



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I700018 B

(45)公告日：中華民國 109 (2020) 年 07 月 21 日

(21)申請案號：105107829 (22)申請日：中華民國 105 (2016) 年 03 月 15 日

(51)Int. Cl. : *H05H1/46 (2006.01) H05H7/02 (2006.01)*
H01L21/3065(2006.01)

(30)優先權：2015/03/23 日本 2015-059693

(71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本

(72)發明人：平野太一 HIRANO, TAICHI (JP) ；石橋淳治 ISHIBASHI, JUNJI (JP) ；伊藤惠貴 ITO, KEIKI (JP) ；佐藤邦紘 SATO, KUNIHIRO (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

TW	200515507A	TW	200912990A
TW	201438055A	CN	1842242A
CN	102157372A	CN	104241071A
JP	2010-219491A	JP	2010-219491A
JP	2012-54534A	US	2011/0240599A1
US	2013/0199727A1		

審查人員：陳伯宜

申請專利範圍項數：9 項 圖式數：12 共 59 頁

(54)名稱
電源系統、電漿處理裝置及電源控制方法

(57)摘要

本發明之課題，係對於隨著對下部電極供給射頻電力，而由於被處理體上所產生之電漿鞘層使得電子被彈開，從而造成之上部電極側的放電，加以抑制。其解決手段係提供一種電源系統，具備：射頻電源，對用以載置被處理體之下部電極，供給產生電漿用之射頻電力；直流電源，對配置成與下部電極相向之上部電極，供給負的第 1 直流電壓、或絕對值大於第 1 直流電壓之負的第 2 直流電壓；以及控制部，執行電源控制處理，交互反覆射頻電力之供給與該供給之停止；於供給射頻電力之期間中之由開始供給射頻電力時起算的第 1 期間，停止第 1 直流電壓及第 2 直流電壓之供給；於該期間中之除了第 1 期間以外的第 2 期間，供給第 1 直流電壓；於停止供給射頻電力的期間，供給第 2 直流電壓。

This invention aims to control discharge on an upper electrode side caused by rebound of electrons with respect to a plasma sheath produced on processed objects accompanying the supply of high frequency power towards a lower electrode. The power source system comprises a high frequency power source, a DC power source and a control section. The high frequency power source supplies high frequency power for generating plasma to a lower electrode on which a processed object is placed. The DC power source supplies, to an upper electrode arranged opposing the lower electrode, a negative first DC voltage or a negative second DC voltage having a larger absolute value than the first DC voltage. The control section conducts a power source control treatment in which the high frequency power is repeatedly supplied and stopped, the supply of the

first DC voltage and the second DC voltage is stopped during a first interval among a supply period of the high frequency power from the beginning of the supply of the high frequency power, while the first DC voltage is supplied during a second interval among the same period excluding the first interval, on the other hand, among another period when the supply of the high frequency power is stopped, the second DC voltage is supplied.

指定代表圖：

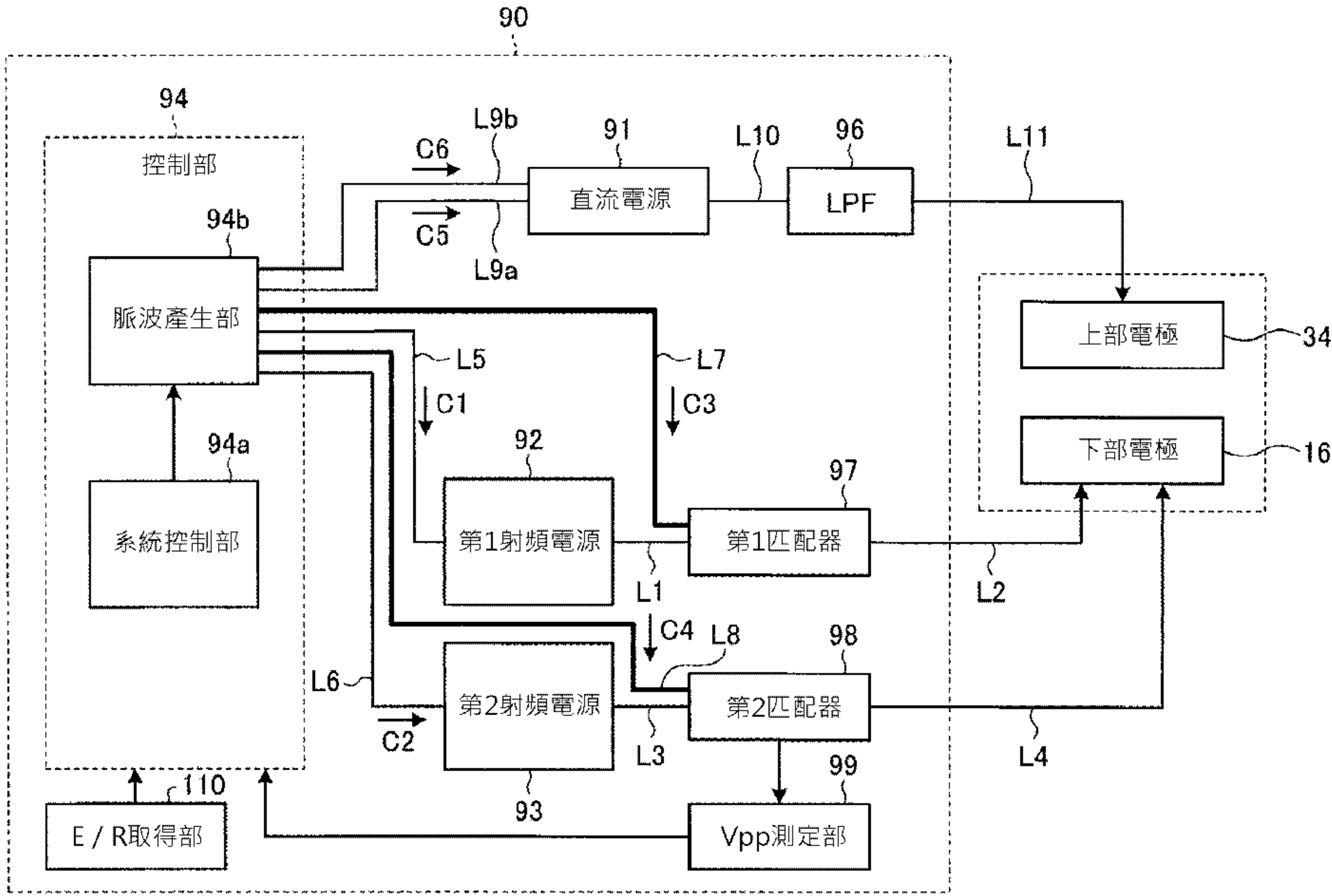


圖 2

符號簡單說明：

- 16 . . . 下部電極
- 34 . . . 上部電極
- 90 . . . 電源系統
- 91 . . . 直流電源
- 92 . . . 第 1 射頻電
源
- 93 . . . 第 2 射頻電
源
- 94 . . . 控制部
- 94a . . . 系統控制部
- 94b . . . 脈波產生部
- 96 . . . 低通濾波器
(LPF)
- 97 . . . 第 1 匹配器
- 98 . . . 第 2 匹配器
- 99 . . . Vpp 測定部
- 110 . . . 蝕刻速率取
得部(E/R 取得部)
- C1~C6 . . . 控制信
號
- L1~L8 , L9a、L9b ,
L10 , L11 . . . 配線



I700018

【發明摘要】

【中文發明名稱】 電源系統、電漿處理裝置及電源控制方法

【英文發明名稱】 POWER SOURCE SYSTEM, PLASMA PROCESSING

DEVICE AND POWER SOURCE CONTROL METHOD

【中文】

本發明之課題，係對於隨著對下部電極供給射頻電力，而由於被處理體上所產生之電漿鞘層使得電子被彈開，從而造成之上部電極側的放電，加以抑制。其解決手段係提供一種電源系統，具備：射頻電源，對用以載置被處理體之下部電極，供給產生電漿用之射頻電力；直流電源，對配置成與下部電極相向之上部電極，供給負的第1直流電壓、或絕對值大於第1直流電壓之負的第2直流電壓；以及控制部，執行電源控制處理，交互反覆射頻電力之供給與該供給之停止；於供給射頻電力之期間中之由開始供給射頻電力時起算的第1期間，停止第1直流電壓及第2直流電壓之供給；於該期間中之除了第1期間以外的第2期間，供給第1直流電壓；於停止供給射頻電力的期間，供給第2直流電壓。

【英文】

This invention aims to control discharge on an upper electrode side caused by rebound of electrons with respect to a plasma sheath produced on processed objects accompanying the supply of high frequency power towards a lower electrode.

The power source system comprises a high frequency power source, a DC power source and a control section. The high frequency power source supplies high

frequency power for generating plasma to a lower electrode on which a processed object is placed. The DC power source supplies, to an upper electrode arranged opposing the lower electrode, a negative first DC voltage or a negative second DC voltage having a larger absolute value than the first DC voltage. The control section conducts a power source control treatment in which the high frequency power is repeatedly supplied and stopped, the supply of the first DC voltage and the second DC voltage is stopped during a first interval among a supply period of the high frequency power from the beginning of the supply of the high frequency power, while the first DC voltage is supplied during a second interval among the same period excluding the first interval, on the other hand, among another period when the supply of the high frequency power is stopped, the second DC voltage is supplied.

【指定代表圖】 圖2

【代表圖之符號簡單說明】

- 16 下部電極
- 34 上部電極
- 90 電源系統
- 91 直流電源
- 92 第1射頻電源
- 93 第2射頻電源
- 94 控制部
- 94a 系統控制部
- 94b 脈波產生部

- 96 低通濾波器（LPF）
- 97 第1匹配器
- 98 第2匹配器
- 99 Vpp測定部
- 110 蝕刻速率取得部（E／R取得部）
- C1～C6 控制信號
- L1～L8，L9a、L9b，L10，L11 配線

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 電源系統、電漿處理裝置及電源控制方法

【英文發明名稱】 POWER SOURCE SYSTEM, PLASMA PROCESSING
DEVICE AND POWER SOURCE CONTROL METHOD

【技術領域】

【0001】

本發明之各種側面及實施形態，係有關於電源系統、電漿處理裝置及電源控制方法。

【先前技術】

【0002】

於半導體元件之製程，作為對半導體晶圓等被處理體進行加工之電漿處理裝置，有一種電漿蝕刻裝置，係對被處理體照射電漿，藉以對被處理體進行蝕刻。作為電漿蝕刻裝置，例如有電容耦合型平行板電漿蝕刻裝置，受到廣泛運用。

【0003】

於電容耦合型平行板電漿蝕刻裝置，係在例如處理容器內，設置一對平行板電極，亦即上部電極及下部電極。於下部電極上，載置被處理體。然後，藉由對處理容器內供給處理氣體，並對上部電極或下部電極供給射頻電力，而在上部電極與下部電極之間的空間產生電漿，再藉由所產生之電漿而對下部電極上之被處理體施行蝕刻。

【0004】

近年，在半導體元件的製程，期待加工被處理體以實現具有更高之深寬比的孔洞。已知若深寬比提高，則在孔洞之底部會累積正離子，導致在孔洞內之正離子的直線傳播性降低。其結果導致難以得到良好之蝕刻形狀。

【0005】

針對此點，已提出有一種手法，係為了使孔洞底部累積的正離子電性中和，而藉由對上部電極供給負的直流電壓，以使上部電極所釋出之電子朝被處理體的方向加速，而對孔洞底部供給加速之電子。

【0006】

然而，透過供給電子所進行之正離子中和，有時會因被處理體上所產生的電漿鞘層（plasma sheath）而受到阻礙。亦即，由於隨著對下部電極供給射頻電力，會在被處理體上產生電漿鞘層，因此電子會被電漿鞘層彈開，而難以到達孔洞底部。其結果，憑藉供給電子有可能無法充份地中和正離子。

【0007】

有鑑於此，已提出一種電漿蝕刻裝置，更進一步地增加供給之電子。此電漿蝕刻裝置藉由以既定周期使射頻電源開、關（on、off），而交互反覆對下部電極供給及停止供給產生電漿用之射頻電力。然後，電漿蝕刻裝置在供給射頻電力的期間，會對上部電極供給絕對值相對較小之負的直流電壓；在停止供給射頻電力的期間，會對上部電極供給絕對值相對較大之負的直流電壓。在此，於停止供給射頻電力的期間，電漿會消失，而被處理體上的電漿鞘層會縮減或消滅。於此期間，由於對上部電極供給絕對值相對較大之負的直流電壓，因此

在被處理體上的電漿鞘層縮減或消滅了的狀態下，會對孔洞底部供給更多電子。藉此，而有效率地中和孔洞底部所累積的正離子。

[習知技術文獻]

[專利文獻]

【0008】

[專利文獻1]日本特開2010－219491號公報

【發明內容】

【0009】

[發明所欲解決的問題]

然而，隨著對下部電極供給射頻電力，而由於被處理體上所產生之電漿鞘層使得電子被彈開，從而造成之上部電極側的放電，於習知技術中，並沒有考量到要將之加以抑制。

【0010】

亦即，於習知技術，在停止供給射頻電力的期間，會對上部電極供給絕對值相對較大之負的直流電壓；而一旦再度開始供給射頻電力，則在開始供給射頻電力之同時，會對上部電極供給絕對值相對較小之負的直流電壓。因此，於習知技術，會隨著對下部電極供給射頻電力，而在被處理體上產生之電漿鞘層尚未完全成長的狀態下，因為對上部電極供給負的直流電壓，而使得從上部電極釋出之電子加速朝向被處理體。如此一來，加速之電子，會由於以遠離被處理體的方向、亦即接近上部電極的方向成長之電漿鞘層，而以朝向靠近上部電

極的方向彈開。就結果而言，於習知技術，有可能因為彈開的電子而在上部電極側導致發生放電。

[解決問題之技術手段]

【0011】

本發明之一側面之電源系統，具備：射頻電源，對用以載置被處理體之下部電極，供給產生電漿用之射頻電力；直流電源，對配置成與該下部電極相向之上部電極，供給負的第1直流電壓、或絕對值大於該第1直流電壓之負的第2直流電壓；以及控制部，執行電源控制處理，交互反覆該射頻電力之供給與該供給之停止；於供給該射頻電力之期間中之由開始供給該射頻電力時起算的第1期間，停止該第1直流電壓及該第2直流電壓之供給；於該期間中之除了該第1期間以外的第2期間，供給該第1直流電壓；於停止供給該射頻電力的期間，供給該第2直流電壓。

[發明之效果]

【0012】

若藉由本發明之各種側面及實施形態，可以實現一種電源系統、電漿處理裝置及電源控制方法，其對於隨著對下部電極供給射頻電力，而由於被處理體上產生之電漿鞘層使得電子被彈開，從而造成之上部電極側的放電，可以加以抑制。

【圖式簡單說明】

【0013】

【圖1】圖1係概略繪示具備一實施形態之電源系統的電漿蝕刻裝置之剖面圖。

【圖2】圖2係繪示一實施形態之電源系統的架構之圖。

【圖3】圖3係繪示一實施形態之直流電源的架構之電路圖。

【圖4】圖4係繪示一實施形態之電源控制處理時序表的一例之圖。

【圖5】圖5係用以說明習知之電源控制處理之圖。

【圖6】圖6係用以說明一實施形態之電源控制處理所進行之放電抑制的機制之圖。

【圖7】圖7係繪示作為電壓停止期間A1a之候補的複數之候補期間、以及對應各候補期間之V_{pp}變動率間之關係的實驗結果之一例之圖。

【圖8A】圖8A係繪示作為電壓停止期間A1a之候補的複數之候補期間、以及對應各候補期間之蝕刻速率降低率間之關係的實驗結果之一例之圖。

【圖8B】圖8B係用以說明圖8A所繪示之電壓停止占有率及蝕刻速率間的關係之圖。

【圖8C】圖8C係用以說明圖8A所繪示之電壓停止占有率及蝕刻速率降低率間的關係之圖。

【圖9】圖9係繪示一實施形態之在電源控制處理使第2射頻電力變化之情況下有無放電的一例之圖。

【圖10】圖10係繪示一實施形態之電源控制處理流程之一例的流程圖。

【圖11】圖11係繪示一實施形態之第1校正處理流程之一例的流程圖。

【圖12】圖12係繪示一實施形態之第2校正處理流程之一例的流程圖。

【實施方式】**【0014】**

以下參照隨附圖式，詳細說明本發明之各種實施形態。又，於各圖式中，對於相同或相當之部分，標記相同符號。

【0015】

圖1係概略繪示具備一實施形態之電源系統的電漿蝕刻裝置之剖面圖。圖1所示之電漿蝕刻裝置1，係電容耦合型平行板電漿蝕刻裝置，其具備略呈圓筒狀之處理容器10。處理容器10係由例如表面經陽極氧化處理之鋁所構成。此處理容器10有施行安全接地。

【0016】

於處理容器10之底部上，設有由陶瓷等構成之絕緣板12；於該絕緣板12上，配置有圓柱狀之承載盤支持台14。於此承載盤支持台14上，設有例如鋁製之作為承載盤的下部電極16。於一實施形態，下部電極16構成載置台，在其上載置作為被處理體之半導體晶圓W。於電漿蝕刻裝置1，以沿著此等承載盤支持台14之側面及下部電極16之側面的形式，設有筒狀之內壁構件26。內壁構件26係例如石英製。

【0017】

於下部電極16之頂面，設有靜電夾頭18，其藉由靜電力而吸附保持半導體晶圓W。此靜電夾頭18所具有之結構係：將作為導電膜之電極20配置於一對絕緣層或絕緣板片之間。電極20與直流電源22電性連接。此靜電夾頭18可以藉由來自直流電源22之直流電壓所產生之庫倫力等靜電力，以吸附保持半導體晶圓W。

【0018】

在下部電極16之頂面、且係靜電夾頭18之周圍，配置有對焦環（補正環）24。對焦環24係具有導電性之物，例如可以由矽所構成。此對焦環24可以提升蝕刻之均勻性。

【0019】

於承載盤支持台14之內部，設有冷媒室28。設於外部之冷卻單元經由配管30a、30b，而對冷媒室28循環供給著既定溫度的冷媒，例如冷却水。藉由控制如此這般循環之冷媒的溫度，以控制載置於下部電極16上之半導體晶圓W的溫度。

【0020】

再者，於電漿蝕刻裝置1，設有氣體供給管線32。氣體供給管線32對靜電夾頭18之頂面與半導體晶圓W之背面之間，供給來自傳熱氣體供給機構之傳熱氣體，例如He氣體。

【0021】

於下部電極16上方，設有上部電極34，其與下部電極16相向。下部電極16與上部電極34係配置成彼此略呈平行。於此等上部電極34與下部電極16之間，區劃出處理空間E，用以對作為被處理體之半導體晶圓W，進行電漿蝕刻。上部電極34與下部電極16上之半導體晶圓W相向，而形成與作為電漿產生空間之處理空間E相接的面，亦即相向面。

【0022】

上部電極34係透過絕緣性遮蔽構件42，而受到處理容器10的上部所支持。上部電極34可以包含電極板36及電極支持體38。電極板36構成與下部電極16相

向的面，並區劃有複數之氣體吐出孔37。電極板36可以由焦耳熱較少之低電阻導電體或半導體構成。如後所述，從強化光阻的觀點來看，電極板36亦可由矽或SiC之類的含矽物質所構成。

【0023】

電極支持體38將電極板36以裝卸自如的方式加以支持，且係以例如鋁這類的導電性材料所構成。此電極支持體38可以具有水冷構造。於電極支持體38內部，設有氣體擴散室40。由此氣體擴散室40，有複數之氣體通流孔41往下方延伸，其與氣體吐出孔37連通。再者，於電極支持體38形成有氣體導入口62，將處理氣體引導至氣體擴散室40；於此氣體導入口62，連接著氣體供給管64。

【0024】

氣體供給管64連接有處理氣體供給部66。於氣體供給管64，由上游側依序設有氣體流量控制器（MFC）68及開閉閥70。又，亦可設置流體控制系統（FCS）以取代MFC。處理氣體供給部66供給用以蝕刻的處理氣體，例如像C₄F₈氣體般含氟碳類氣體（C_xF_y）之氣體。來自處理氣體供給部66的處理氣體，從氣體供給管64到達氣體擴散室40，經過氣體通流孔41及氣體吐出孔37而釋出至處理空間E。亦即，上部電極34發揮用以供給處理氣體之簇射頭的功能。

【0025】

再者，電漿蝕刻裝置1可以進一步具備接地導體10a。接地導體10a係略呈圓筒狀之接地導體，並設置成從處理容器10之側壁延伸至比上部電極34之高度位置更為上方處。

【0026】

此電漿蝕刻裝置1具備本發明一實施形態之電源系統90。電源系統90對下部電極16施加射頻電力，對上部電極34施加直流電壓。針對此電源系統90之詳情，容待後述。

【0027】

再者，於電漿處理裝置1，沿著處理容器10之內壁，以可自由裝卸的方式設有沉積屏蔽（deposit shield）11。沉積屏蔽11在內壁構件26之外周亦有設置。沉積屏蔽11係用以防止蝕刻副產物（deposition）附著於處理容器10，其可以藉由在鋁材上被覆Y2O3等陶瓷而構成。

【0028】

於處理容器10之底部側，且係內壁構件26與處理容器10的內壁之間，設有排氣板片83。排氣板片83，例如可以藉由在鋁材上被覆Y2O3等陶瓷而構成。於此排氣板片83之下方，且係於處理容器10，設有排氣口80。排氣口80經由排氣管82而連接著排氣裝置84。排氣裝置84具有渦輪分子泵等的真空泵，可以使處理容器10內的空間減壓至所要的真空度。此外，於處理容器10之側壁設有半導體晶圓W之搬入搬出口85，此搬入搬出口85藉由閘門閥86而可以開閉。

【0029】

再者，於處理容器10之內壁，設有導電性構件（GND區塊）88。導電性構件88，以在高度方向上位於與半導體晶圓W大致相同高度，安裝於處理容器10之內壁。此導電性構件88，係以DC方式接地，發揮防止異常放電之效果。又，導電性構件88係設於電漿產生區域，其設置位置並不限定於圖1所示位置。例如，導電性構件88亦可係設於下部電極16側，如下部電極16之周圍等等；或是設於上部電極34附近，如環狀設於上部電極34之外側等等。

【0030】

電漿蝕刻裝置1之各構成部，例如電源系統及氣體供給系統、驅動系統、及電源系統90等，構成為連接包含微處理器（電腦）之主控制裝置100，並受其控制。再者，主控制裝置100，連接著由鍵盤及顯示器等所構成之使用者介面100a，該鍵盤係供操作者進行用以管理電漿蝕刻裝置1之指令的輸入操作等，該顯示器係將電漿蝕刻裝置1之運轉狀況可視化而顯示。

【0031】

更進一步地，於主控制裝置100連接著記憶部100b，該記憶部100b儲存有控制程式及處理配方；該控制程式係用以透過主控制裝置100之控制而實現在電漿蝕刻裝置1所執行之各種處理，該處理配方係使電漿蝕刻裝置1之各構成要部對應處理條件而執行處理所用的程式。處理配方係儲存在記憶部100b中之記錄媒體。記錄媒體可以係硬碟或半導體記憶體，亦可以係CDROM、DVD、快閃記憶體等可攜式者。再者，處理配方亦可以係由其他裝置，透過例如專用電路而適當傳送。

【0032】

然後，按照來自使用者介面100a之指示等，而從記憶部100b叫出任意之處理配方，並使主控制裝置100加以執行，藉以在主控制裝置100之控制下，在電漿蝕刻裝置1執行所要求之處理。

【0033】

以下，參照圖2，詳細說明電源系統90。圖2係繪示本發明一實施形態之電源系統的架構之圖。如圖2所示，電源系統90具備：直流電源91、第1射頻電源92、第2射頻電源93、及控制部94。再者，電源系統90具備：低通濾波器（LPF）

96、第1匹配器97及第2匹配器98。再者，電源系統90具備V_{pp}測定部99及蝕刻速率（E/R；Etching Rate）取得部110。

【0034】

第1射頻電源92，發出用以產生電漿的第1射頻電力，並使該第1射頻電力透過配線L1而輸出至第1匹配器97。第1射頻電源92輸出27～100MHz之頻率，於一例中，係輸出40MHz的第1射頻電力。第1射頻電源92透過第1匹配器97而連接下部電極16。第1匹配器97係用於使負載阻抗對第1射頻電源92之內部（或輸出）阻抗匹配。第1匹配器97，在處理容器10內產生了電漿時，使第1射頻電源92之輸出阻抗與負載阻抗一致，並使第1射頻電力透過配線L2而輸出至下部電極16。第1射頻電源92係對下部電極16供給用以產生電漿之射頻電力的射頻電源之一例。

【0035】

第2射頻電源93係對半導體晶圓W施加偏壓，而產生用以對半導體晶圓W引入離子的第2射頻電力，並透過配線L3而對第2匹配器98輸出該第2射頻電力。第2射頻電源93係400kHz～13.56MHz之範圍內的頻率，於一例中，係輸出3MHz之第2射頻電力。第2射頻電源93透過第2匹配器98而連接下部電極16。第2匹配器98係用於使負載阻抗對第2射頻電源93之內部（或者輸出）阻抗匹配。第2匹配器98，在處理容器10內產生了電漿時，使第2射頻電源93之輸出阻抗與負載阻抗一致，並使第2射頻電力透過配線L4而輸出至下部電極16。第2射頻電源93係對下部電極16供給用以引入離子之射頻電力的另一射頻電源之一例。

【0036】

直流電源91，射頻電源92、93及匹配器97、98，連接著控制部94，並受該控制部94控制。控制部94具備未圖示的中央處理裝置（CPU）及記憶體這類儲存裝置，並根據從主控制裝置100輸入進來的控制信號，而讀取記憶裝置所儲存之程式並加以執行，藉以在電源系統90執行所要的處理。例如，控制部94對下部電極16施加射頻電力，而執行用以對上部電極34供給直流電壓的電源控制處理。再者，例如控制部94執行第1校正處理及第2校正處理，修正用以停止對上部電極34供給直流電壓之期間。又，藉由控制部94所執行之電源控制處理、第1校正處理及第2校正處理之詳情，將於後文分別詳述。

【0037】

控制部94具備系統控制部94a與脈波產生部94b。系統控制部94a連接著脈波產生部94b。系統控制部94a根據從主控制裝置100輸入進來的控制信號，而對脈波產生部94b輸出用以產生脈波信號的信號。

【0038】

脈波產生部94b連接著第1射頻電源92、第2射頻電源93、第1匹配器97、及第2匹配器98。脈波產生部94b根據從系統控制部94a輸入進來的信號，而輸出具有既定頻率與脈衝寬度比（duty ratio）的幾個脈波信號。在此，脈波信號係於其振幅交互採取第1位準與第2位準之信號。以下，設第1位準係高於第2位準之位準而繼續說明；但第2位準亦可係高於第1位準之位準。再者，於下文中，有時會將第1位準標記為「H位準」、將第2位準標記為「L位準」。

【0039】

控制部94控制第1射頻電源92之開、關（on、off）。因此，控制部94將脈波產生部94b所輸出之脈波信號的一種，作為控制信號C1，透過配線L5而供給至第

1射頻電源92。此控制信號C1可以係本發明一實施形態之第1控制信號。第1射頻電源92對應控制信號C1之位準，而進行第1射頻電力之輸出與該輸出之停止。例如，第1射頻電源92在控制信號C1係H位準之時，輸出第1射頻電力；在控制信號C1係L位準之時，停止第1射頻電力之輸出。藉此，交互形成了在處理容器10內存在電漿之狀態與電漿消滅之狀態。

【0040】

再者，控制部94控制第2射頻電源93之開、關。具體而言，控制部94控制第2射頻電源93之開、關，以在第1射頻電源92輸出第1射頻電力的期間，由第2射頻電源93輸出第2射頻電力，並在第1射頻電源92停止第1射頻電力之輸出的期間，停止第2射頻電源93所進行之第2射頻電力的輸出。因此，控制部94將脈波產生部94b所輸出之脈波信號的一種，作為控制信號C2，透過配線L6而供給至第2射頻電源93。第2射頻電源93對應控制信號C2之位準，而進行第2射頻電力之輸出與該輸出之停止。例如，第2射頻電源93在控制信號C2係H位準之時，輸出第2射頻電力；在控制信號C2係L位準之時，停止第2射頻電力之輸出。

【0041】

又，亦可使供給至第1射頻電源92的控制信號C1與供給至第2射頻電源93的控制信號C2同步。亦即，亦可使控制信號C1之位相與控制信號C2之位相一致。再者，就控制信號C1與控制信號C2而言，亦可使用相同之脈波信號。與此相異，亦可在控制信號C1與控制信號C2之間設定既定之位相差。亦即亦可在控制信號C1與控制信號C2之間設定既定之位相差，而使得在第1射頻電源92輸出第1射頻電力之期間中的部分期間，以第2射頻電源93輸出第2射頻電力；且在第1射頻電

源92停止第1射頻電力之輸出之期間中的部分期間，停止第2射頻電源93之第2射頻電力的輸出。

【0042】

再者，控制部94控制第1匹配器97，以使第1匹配器97之匹配動作，與第1射頻電源92的開、關同步。因此控制部94將脈波產生部94b所輸出之脈波信號的一種，作為控制信號C3，透過配線L7而供給至第1匹配器97。再者，控制部94控制第2匹配器98，以使第2匹配器98之匹配動作，與第2射頻電源93的開、關同步。因此控制部94將脈波產生部94b所輸出之脈波信號的一種，作為控制信號C4，透過配線L8而供給至第2射頻電源98。

【0043】

若第1匹配器97不能追隨第1射頻電源92之開、關，則控制部94可以進行控制，以使第1匹配器97不動作。亦即，控制部94亦可控制第1匹配器97，以使第1射頻電源92開啟（on）時之匹配狀態，在第1射頻電源92關掉（off）時亦能維持。再者，若第2匹配器98不能追隨第2射頻電源93之開、關，則控制部94可以進行控制，以使第2匹配器98不動作。亦即，控制部94亦可控制第2匹配器98，以使第2射頻電源93開啟時之匹配狀態，在第2射頻電源93關掉時亦能維持。但是，在第1匹配器97及第2匹配器98之動作夠快的情況下，亦可控制第1匹配器97，以使第1射頻電源92之內部阻抗，與包含處理容器10內之電漿的負載阻抗一致。同樣地，亦可控制第2匹配器98，以使第2射頻電源93之內部阻抗，與包含處理容器10內之電漿的負載阻抗一致。

【0044】

如圖2所示，直流電源91對上部電極34，提供作為負的直流電壓之輸出電壓。直流電源91透過配線L9a、L9b而連接至控制部94，並且更進一步地透過配線L10而連接至LPF96。然後，LPF96透過配線L11而連接著上部電極34。以下，除圖2以外，一併參照圖3，更進一步地說明直流電源91。圖3係繪示本發明一實施形態之直流電源的架構之電路圖。圖3所示之直流電源91具備第1直流電源部101、第2直流電源部102、選擇電路103及放電電路104。

【0045】

第1直流電源部101電性連接選擇電路103，產生作為負的直流電壓之第1直流電壓。第1直流電壓係設定於例如0～－800V之間。於一實施形態，於第1直流電源部101與選擇電路103之間，設有用以穩定第1直流電壓值之電路部106。此電路部106具有電容106a及電阻元件106b。電阻元件106b之一端連接著第1直流電源部101，該電阻元件106b之另一端連接著選擇電路103。再者，電容106a之一端連接著接地電位，電容106a之另一端連接著第1直流電源部101與電阻元件106b之間的連接點。電容106a具有例如1 μ F之容量，電阻元件106b具有例如50 Ω 之電阻值。

【0046】

第2直流電源部102與選擇電路103電性連接，並產生第2直流電壓。第2直流電壓係負的直流電壓，其絕對值大於第1直流電壓之絕對值。第2直流電壓係絕對值越大越好，沒有上限。但是，若考量到電漿蝕刻裝置1之耐受性，第2直流電壓可以設定成絕對值小於－2000V的電壓。在第2直流電源部102與選擇電路103之間，設有用以使第2直流電壓值穩定的電路部107。此電路部107具有電容107a及電阻元件107b。電阻元件107b之一端連接著第2直流電源部102，該電阻

元件107b之另一端連接著選擇電路103。再者，電容107a之一端連接著接地電位，電容107a之另一端連接著第2直流電源部102與電阻元件107b之間的連接點。電容107a具有例如1 μ F之容量，電阻元件107b具有例如50 Ω 之電阻值。

【0047】

選擇電路103選擇性地使第1直流電源部101與第2直流電源部102連接上部電極34。於一實施形態，選擇電路103具有切換器元件103a、切換器元件103b及切換器元件103c。切換器元件103a、切換器元件103b及切換器元件103c分別具有第1端子、第2端子、及控制端子。切換器元件103c的第1端子與第1直流電源部101電性連接。切換器元件103b的第1端子與切換器元件103c的第2端子電性連接。切換器元件103a的第1端子與第2直流電源部102電性連接。切換器元件103a的第2端子及切換器元件103b的第2端子彼此電性連接，此等輸出端子間之連接點，經由LPF96而連接至上部電極34。又，LPF96捕集後述之來自第1射頻電源92及第2射頻電源93的射頻波，且可以係由例如LR濾波器或LC濾波器所構成。再者，切換器元件103a、切換器元件103b及切換器元件103c分別並聯連接有整流元件103d、整流元件103e及整流元件103f。

【0048】

切換器元件103a的控制端子、切換器元件103b的控制端子及切換器元件103c的控制端子，係透過電路部108而連接至控制部94的脈波產生部94b。電路部108具有反相電路108a、非反相電路108b、反相電路108c和及閘（AND gate）108d。反相電路108a係連接至切換器元件103a。非反相電路108b係連接至及閘108d的2個輸入端子中之一個輸入端子。反相電路108c係連接至及閘108d的2個輸入端子中之另一個輸入端子。及閘108d只有在從非反相電路108b所輸入之控制信號的

位準係H位準、且從反相電路108c所輸入之控制信號的位準係H位準的情況下，才會對切換器元件103b、103c輸出振幅位準係H位準的控制信號。從控制部94的脈波產生部94b所輸出之脈波信號的一個，係作為控制信號C5而供給至直流電源91；從控制部94的脈波產生部94b所輸出之脈波信號的另一個，係作為控制信號C6而供給至直流電源91。控制信號C6的頻率，與控制信號C5的頻率相同，且控制信號C6的佔空比（duty ratio），小於控制信號C5之佔空比。再者，控制信號C5的頻率及控制信號C6的頻率，與供給至第1射頻電源92之控制信號C1的頻率、及供給至第2射頻電源93之控制信號C2的頻率相同。

【0049】

2個控制信號中，控制信號C6係在從第1射頻電源92供給第1射頻電力之期間中，在從開始供給第1射頻電力之時起算的既定期間，控制切換器元件103b、103c及後述之切換器電路105，以切斷第1直流電源部101及第2直流電源部102間之連接，並且使放電電路104連接至選擇電路103與上部電極34間的連接點109。於下文中，將從開始供給第1射頻電力之時起算的既定期間稱作「電壓停止期間」。電壓停止期間，係第1期間之一例。電壓停止期間因應控制信號C6之佔空比而增減。換言之，電壓停止期間係因應控制信號C6之脈波寬度的增減而增減。控制信號C5係在從第1射頻電源92供給第1射頻電力之期間中，在除了電壓停止期間以外的期間，與控制信號C6協同運作，控制切換器元件103a、103b、103c，以使第1直流電源部101連接至上部電極34，並且在停止從第1射頻電源92供給第1射頻電力的期間，使第2直流電源部102連接至上部電極34。除了電壓停止期間以外的期間，係第2期間之一例。例如，在控制信號C6採取H位準時，切換器電路105關閉，而放電電路104連接至連接點109，不論控制信號C5是否採取H位準

或L位準中之任一，切換器元件103a、103b、103c都會開啟。再者，例如控制信號C6採取L位準、並且控制信號C5採取H位準時，切換器元件103b、103c會關閉，而第1直流電源部101會連接至上部電極34。再者，例如控制信號C6採取L位準、並且控制信號C5採取L位準時，切換器元件103a會關閉，而第2直流電源部102會連接至上部電極34。若對直流電源91供給此種控制信號C5、C6，則會由反相電路108a對切換器元件103a的控制端予供給控制信號C5的反相脈波信號。再者，由非反相電路108b，會經由及閘108d，而對切換器元件103b、103c的控制端予供給控制信號C5的非反相脈波信號。再者，由反相電路108c會經由及閘108d，而對切換器元件103b、103c的控制端予供給控制信號C6的反相脈波信號。更進一步而言，控制信號C6會把自己供給至切換器電路105。

【0050】

放電電路104透過切換器電路105而和選擇電路103與上部電極34間的連接點109連接。當第1直流電源部101及第2直流電源部102，和上部電極34間的連接切斷時，放電電路104會藉由使上部電極34的電場對接地電位放電，而將上部電極34的電壓設定為0。於一實施形態，放電電路104包含電阻元件104a。此電阻元件104a之一端連接著接地電位，其另一端連接著連接點109。電阻元件104a可以具有50Ω之電阻值。切換器電路105設於放電電路104與連接點109之間。切換器電路105並聯連接著整流元件105a。切換器電路105可以選擇性地使放電電路104透過連接點109連接至上部電極34。具體而言，於第1直流電源部101或第2直流電源部102與上部電極34連接的情況下，切換器電路105會切斷放電電路104與連接點109間的連接。另一方面，在第1直流電源部101及第2直流電源部102與上部電極34間的連接係切斷的情況下，切換器電路105會將放電電路104與連接點

109連接。此種切換器電路105之控制，可以藉由來自控制部94之控制信號C6實施。

【0051】

回到圖2之說明。V_{pp}測定部99係連接於第2匹配器98，測定V_{pp}（Volt peak to peak）值，其係對應用以引入離子之第2射頻電力的電壓振幅值。V_{pp}測定部99將所測定之V_{pp}值輸出至控制部94。

【0052】

E/R取得部110取得作為被處理體之半導體晶圓W的蝕刻速率。例如，E/R取得部110取得由電漿蝕刻裝置1之使用者對使用者介面100a所輸入之半導體晶圓W之蝕刻速率。E/R取得部110對控制部94輸出所取得的蝕刻速率。

【0053】

接著，針對圖2繪示之控制部94所執行的電源控制處理，進行說明。圖4係繪示本發明一實施形態之電源控制處理之時序圖的一例之圖。

【0054】

於圖4中，「HF」係顯示對第1射頻電源92所供給之控制信號C1的波形之時序圖。「LF」係顯示對第2射頻電源93所供給之控制信號C2的波形之時序圖。「Top DC（－）」係顯示從直流電源91對上部電極34所供給之直流電壓的波形之時序圖。「SW1、4」係顯示控制切換器元件103b及切換器元件103c的開閉之控制信號的波形之時序圖。「SW2」係顯示控制切換器元件103a的開閉之控制信號的波形之時序圖。「SW3」係顯示控制切換器電路105的開閉之控制信號的波形之時序圖。「C5」係對直流電源91供給之控制信號C5的波形之時序圖。「C6」係對直流電源91供給之控制信號C6的波形之時序圖。

【0055】

如圖4所示，控制部94交互反覆對下部電極16之射頻電力的供給與供給之停止。

【0056】

具體而言，控制部94在期間A1，使用採取H位準之控制信號C1，從第1射頻電源92對下部電極16供給產生電漿用的第1射頻電力，並使用採取H位準之控制信號C2，從第2射頻電源93對下部電極16供給引入離子用的第2射頻電力。藉此，產生對上部電極34與下部電極16之間的處理空間E所供給之處理氣體的電漿，而在半導體晶圓W上開始電漿鞘層之成長。另一方面，控制部94在期間A2，使用採取L位準之控制信號C1，停止從第1射頻電源92供給產生電漿用的第1射頻電力，並使用採取L位準之控制信號C2，停止從第2射頻電源93供給引入離子用的第2射頻電力。藉此，電漿消失，而半導體晶圓W上的電漿鞘層就縮減或消滅。

【0057】

然後，控制部94在供給射頻電力之期間A1中之電壓停止期間A1a，亦即從開始供給射頻電力時起算的既定期間，停止對上部電極34供給第1直流電壓V1及第2直流電壓V2。在此，電壓停止期間A1a，係在半導體晶圓W上之電漿鞘層的成長，自開始至結束為止所需之既定期間。

【0058】

具體而言，控制部94係使用採取H位準之控制信號C6，於電壓停止期間A1a，控制選擇電路103（切換器元件103a、103b、103c），以切斷第1直流電源部101及第2直流電源部102，和上部電極34間的連接；並且，控制切換器電路

105，以使放電電路104連接至連接點109。藉此而在半導體晶圓W上所產生之電漿鞘層尚未完全成長之狀態下，將上部電極34的電壓設定為0。

【0059】

再者，控制部94在供給射頻電力之期間A1中之電壓停止期間A1a以外之期間A1b，對上部電極34供給第1直流電壓V1。

【0060】

具體而言，控制部94係使用採取L位準之控制信號C6、以及採取H位準之控制信號C5，於電壓停止期間A1a以外之期間A1b，控制選擇電路103（切換器元件103a、103b、103c），以使第1直流電源部101連接至上部電極34。藉此而在半導體晶圓W上所產生之電漿鞘層的成長已結束之狀態下，對上部電極34供給第1直流電壓V1，藉由正離子衝撞上部電極34而釋出之電子，會朝半導體晶圓W的方向加速。

【0061】

更進一步地，控制部94在停止射頻電力之供給之期間A2，對上部電極34供給第2直流電壓V2。

【0062】

具體而言，控制部94係使用採取L位準之控制信號C6、以及採取L位準之控制信號C5，於期間A2，控制選擇電路103（切換器元件103a、103b、103c），以使第2直流電源部102連接至上部電極34。藉此，在半導體晶圓W上的電漿鞘層縮減或消滅之狀態下，藉由正離子衝撞上部電極34而釋出之電子，會朝下部電極16上之半導體晶圓W的方向加速。

【0063】

如此這般，於本發明一實施形態之電漿蝕刻裝置1，交互反覆射頻電力之供給與該供給之停止；在供給射頻電力之期間A1中之電壓停止期間A1a，亦即從開始供給射頻電力時起算的既定期間，停止供給第1直流電壓V1及第2直流電壓V2；在該期間A1中之電壓停止期間A1a以外之期間A1b，供給第1直流電壓V1；在停止供給射頻電力的期間A2，執行供給第2直流電壓V2之電源控制處理。藉此，隨著對下部電極16供給射頻電力而在半導體晶圓W上產生電漿鞘層，導致電子彈開的情形，可以得到抑制。其結果，根據本發明一實施形態之電漿蝕刻裝置1，可以抑制在上部電極34側的放電。

【0064】

又，由圖4所示之各時序圖的關係來看，控制信號C5的佔空比係定義如下：
$$\left(\text{電壓停止期間A1a} + \text{期間A1b} \right) / \left(\text{在供給射頻電力之期間A1} + \text{停止供給射頻電力的期間A2} \right)$$
。再者，控制信號C6之佔空比係定義如下：
$$\left(\text{電壓停止期間A1a} \right) / \left(\text{在供給射頻電力之期間A1} + \text{停止供給射頻電力的期間A2} \right)$$
。亦即，控制信號C6的佔空比，小於控制信號C5的佔空比。

【0065】

在此，針對一實施形態之電源控制處理之抑制放電機制，進行詳細說明。在說明一實施形態之電源控制處理所為之放電抑制機制前，作為其前提，先行說明習知之電源控制處理。圖5係用以說明習知之電源控制處理的圖。於圖5，電子係以「e」標示，正離子係以「+」標示。

【0066】

控制部94在對下部電極16停止供給射頻電力的期間A2，對上部電極34供給第2直流電壓V2。如此一來，如圖5之（1）所示，在半導體晶圓W上之電漿鞘層

縮減或消滅之狀態下，藉由正離子衝撞上部電極34而釋出之電子，會朝下部電極16上之半導體晶圓W的方向加速。在此，於期間A2，由於係對上部電極34供給絕對值大於第1直流電壓V1之負的第2直流電壓V2，所以相較於期間A1，會對半導體晶圓W供給更大量的電子。其結果，會有效率地中和蓄積在半導體晶圓W之孔洞底部的正離子。又，於圖5之（1），正離子的箭頭跨距，代表正離子到達上部電極34；電子的箭頭跨距，代表電子到達下部電極16上的半導體晶圓W。

【0067】

一旦對下部電極16之射頻電力供給再度開始，控制部94就於供給射頻電力之同時，對上部電極34供給第1直流電壓V1。如此一來，如圖5之（2）所示，在對下部電極16供給射頻電力之期間A1，隨著對下部電極16之射頻電力供給，在半導體晶圓W上所產生之電漿鞘層S尚未完全成長之狀態下，正離子對上部電極34的衝撞會加速。此時，藉由正離子衝撞上部電極34而釋出之電子，會朝半導體晶圓W的方向加速。如此一來，會由於朝遠離半導體晶圓W的方向——亦即朝靠近上部電極34之方向S1成長之電漿鞘層S，而使加速之電子彈到靠近上部電極34的方向S1。由於朝靠近上部電極34之方向S1成長的電漿鞘層S，而彈到靠近上部電極34的方向之電子，會獲得較大的動能而加速。其結果，於習知之電源控制處理，有可能因彈開之高能量電子而導致在上部電極34側發生放電之虞。又，於圖5之（2），正離子之箭頭跨距，代表正離子到達上部電極34，電子之箭頭跨距，代表電子在電漿鞘層S表面被彈開。

【0068】

相對於此，說明本發明一實施形態之電源控制處理所為之抑制放電機制。

圖6係用以說明本發明一實施形態之電源控制處理所為之抑制放電機制的圖。於

圖6，電子係以「e」顯示，正離子係以「+」顯示。又，於圖6之（1）～（3），電子的箭頭跨距與正離子的箭頭跨距，皆代表加速時對電子或正離子所賦與之動能的量。

【0069】

控制部94在停止對下部電極16供給射頻電力的期間A2，對上部電極34供給第2直流電壓V2。藉此，如圖6之（1）所示，在半導體晶圓W上之電漿鞘層縮減或消滅之狀態下，藉由正離子衝撞上部電極34而釋出之電子，會朝下部電極16上之半導體晶圓W的方向加速。在此，於期間A2，由於係對上部電極34供給絕對值大於第1直流電壓V1之負的第2直流電壓V2，所以相較於期間A1，會對半導體晶圓W供給更大量的電子。其結果，會有效率地中和蓄積在半導體晶圓W之孔洞底部的正離子。

【0070】

一旦對下部電極16之射頻電力供給再度開始，控制部94就於電壓停止期間A1a，亦即從開始供給射頻電力時起算的既定期間內，停止對上部電極34供給第1直流電壓V1及第2直流電壓V2。藉此，如圖6之（2）所示，由於在半導體晶圓W上所產生之電漿鞘層S尚未完全成長之狀態下，上部電極34之電壓係設定為0，所以會抑制正離子對上部電極34之衝撞。如此一來，於電壓停止期間A1a，從上部電極34之電子釋出，也會受到抑制。因此，於電壓停止期間A1a，得以避免由於在半導體晶圓W上朝靠近上部電極34之方向S1成長的電漿鞘層S，而使電子被彈開的問題。其結果，在電壓停止期間A1a，於上部電極34側之放電會得到抑制。

【0071】

在供給射頻電力之期間A1中之電壓停止期間A1a以外之期間A1b，控制部94會對上部電極34供給第1直流電壓V1。藉此，如圖6之（3）所示，藉由正離子對上部電極34之衝撞而釋出的電子，會朝半導體晶圓W的方向加速。加速之電子中的一部分，會由於已完成朝靠近上部電極34之方向S1成長的電漿鞘層S，而朝靠近上部電極34之方向S1彈開。在此，於期間A1b，在半導體晶圓W上所產生之電漿鞘層S的成長已結束。因此，於期間A1b，朝靠近上部電極34之方向S1彈開之電子，不會加速。其結果，於電壓停止期間A1a以外之期間A1b，在上部電極34側之放電會受到抑制。

【0072】

接著，針對如圖2所示之控制部94所執行之第1校正處理進行說明。適用於電源控制處理之電壓停止期間A1a，如上所述，係在半導體晶圓W上，電漿鞘層之成長開始起、至結束為止所需的既定期間。在半導體晶圓W上之電漿鞘層的成長速度，係配合Vpp值之變動而變動；該Vpp值係對應引入離子用的第2射頻電力之電壓振幅值。另一方面，由於已確認到在發生異常放電時Vpp值會驟升，因此藉由確認Vpp值之變動程度，而可以選擇不致發生異常放電之電壓停止期間A1a的適當期間。有鑑於此，於本發明一實施形態之電漿蝕刻裝置1，係使用Vpp值，而執行第1校正處理，修正電壓停止期間A1a成為不致發生異常放電之適當期間。

【0073】

控制部94首先將電壓停止期間A1a切換成作為電壓停止期間A1a之候補的複數之候補期間，同時執行電源控制處理。控制部94從Vpp測定部99接收Vpp值之輸入。控制部94算出各候補期間之Vpp變動率，其代表Vpp值的變動程度。Vpp

變動率係隨著異常放電發生頻率而變大的參數。 V_{pp} 變動率係使用例如下式(1)而算出。藉由使算出之 V_{pp} 變動率對應至各候補期間，而產生出代表 V_{pp} 變動率與候補期間之間的對應關係之數據資料。

【0074】

$$V_{pp}\text{變動率} = 100 \times (V_{pp_max} - V_{pp_ave}) / V_{pp_ave} \cdots (1)$$

其中， V_{pp_max} 代表於既定時間T中之 V_{pp} 值最大值， V_{pp_ave} 代表於既定時間T中之 V_{pp} 值平均值。

【0075】

接著，控制部94參照代表 V_{pp} 變動率與候補期間之間的對應關係之數據資料，找出 V_{pp} 變動率在預先訂定之容許值以下的候補期間，並將電壓停止期間A1a修正成所找出的候補期間。 V_{pp} 變動率在預先訂定之容許值以下的候補期間，若存在有複數個，則控制部94會將電壓停止期間A1a修正成 V_{pp} 變動率最低的候補期間。

【0076】

如此這般，於本發明一實施形態之電漿蝕刻裝置1，執行第1校正處理，將電壓停止期間A1a修正成一候補期間，其代表 V_{pp} 值變動程度之 V_{pp} 變動率會在預先訂定之容許值以下。藉此，可以修正電壓停止期間A1a，使其成為在半導體晶圓W上之電漿鞘層成長會結束的適當期間。因此，可以確實避免於電壓停止期間A1a，由於在半導體晶圓W上朝向靠近上部電極34之方向成長的電漿鞘層而導致電子彈開的問題。其結果，可以確實抑制於電壓停止期間A1a，在上部電極34側之放電。

【0077】

圖7係繪示作為電壓停止期間A1a之候補的複數之候補期間、以及對應各候補期間之Vpp變動率間之關係的實驗結果之一例之圖。圖7所例示之各圖表中，橫軸代表時間（sec），縱軸代表Vpp變動率（%）。再者，於圖7中，「Delay時間」代表作為電壓停止期間A1a之候補的複數之候補期間（μsec），「壓力」代表處理容器10內之壓力（mTorr）。

【0078】

又，於圖7中，就其他條件而言，使用如下——處理氣體：C4F6／C4F8／O2／Ar／C4F6＝85／88／170／400／5sccm、來自第1射頻電源92之第1射頻電力：2000W、來自第2射頻電源93之第2射頻電力：14kW、第1及第2射頻電力之頻率：5kHz、第1及第2射頻電力的佔空比：20%、對上部電極34供給的直流電壓：（第1直流電壓V1）／（第2直流電壓V2）＝－500／－1000V、以及處理時間：60sec。再者，於以下說明中，所謂之Vpp變動率，係指對應第1射頻電源92及第2射頻電源93之開、關的切換時機之Vpp變動率以外的Vpp變動率。

【0079】

從圖7的實驗結果可瞭解到，在候補期間為0的情況下（亦即，並未設定電壓停止期間A1a的情形），Vpp變動率最大；而隨著候補期間從0開始增加，Vpp變動就會降低。以此實驗結果為基礎，發明人更進一步地進行了精心的鑽研。其結果可發現，如圖7之虛線框501所示，若候補期間不及5μsec，則Vpp變動率約為超過2.0%；如圖7之實線框502所示，若候補期間為5μsec以上，則Vpp變動率約可抑制到2.0%以下。然後發現，若Vpp變動率為2.0%以下，則會抑制在上部電極34側之放電。因此，電壓停止期間A1a，較佳係在對應圖7之實線框502之5μsec以上的期間。有鑑於此，於一實施形態，控制部94會找出Vpp變動率在預

先訂定之容許值（例如2.0%）以下之候補期間（例如5μsec以上之期間），而將電壓停止期間A1a修正成所找出之候補期間。藉此，於電壓停止期間A1a在上部電極34側之放電，會確實地受到抑制。

【0080】

接著，針對圖2所示之控制部94所執行之第2校正處理，進行說明。適用於電源控制處理之電壓停止期間A1a，就抑制上部電極34側的放電之觀點來看，較佳係例如設為5μsec以上之期間，可以不特別設置上限。然而，若是使電壓停止期間A1a過度增加，則由上部電極34釋出而朝半導體晶圓W的方向加速的電子量會減少。朝半導體晶圓W的方向加速的電子量一旦減少，則由於電漿密度會減少，因此恐會導致半導體晶圓W之蝕刻速率的降低程度增大。有鑑於此，於本發明一實施形態之電漿蝕刻裝置1，從制定電壓停止期間A1a之上限的觀點看來，係使用半導體晶圓W之蝕刻速率，以執行修正電壓停止期間A1a之第2校正處理。

【0081】

控制部94首先將電壓停止期間A1a切換成作為電壓停止期間A1a之候補的複數之候補期間，同時執行電源控制處理。控制部94從E/R取得部110接收蝕刻速率之輸入。控制部94算出各候補期間之蝕刻速率降低率，其代表蝕刻速率的變動程度。蝕刻速率降低率係使用例如下式（2）而算出。藉由使所算出之蝕刻速率降低率對應至各候補期間，而產生代表蝕刻速率降低率與候補期間之間的對應關係的數據資料。

【0082】

$$\text{蝕刻速率降低率} = 100 \times (ER0 - ER) / ER0 \cdots (2)$$

其中，ER0代表候補期間（亦即電壓停止期間A1a）為0之情況下的半導體晶圓W之蝕刻速率，ER代表候補期間（亦即電壓停止期間A1a）為0以外之情況下的半導體晶圓W之蝕刻速率。

【0083】

接著，控制部94參照代表蝕刻速率降低率與候補期間之間的對應關係之數據資料，找出蝕刻速率降低率會在預先訂定之容許值以下的候補期間，並將電壓停止期間A1a修正成所找出的候補期間。

【0084】

如此這般，於本發明一實施形態之電漿蝕刻裝置1，執行第2校正處理，將電壓停止期間A1a修正成一候補期間，其蝕刻速率降低率會在預先訂定之容許值以下。藉此，可以制定電壓停止期間A1a之上限，以抑制蝕刻速率之降低程度。其結果，可以確實抑制在上部電極34側之放電，同時維持所要的蝕刻速率。

【0085】

又，於一實施形態，係以控制部94執行第2校正處理為例作描述，但電漿蝕刻裝置1之使用者，亦可執行第2校正處理之局部或全部。

【0086】

圖8A係繪示作為電壓停止期間A1a之候補的複數之候補期間、以及對應各候補期間之蝕刻速率降低率間之關係的實驗結果之一例之圖。於圖8A中，「膜種」代表所要蝕刻之半導體晶圓W上的膜的種類，「Poly」相當於聚矽膜，「Ox」相當於SiO₂膜。再者，「ON時間」代表在對下部電極16供給射頻電力之期間A1（μsec）。再者，「Delay時間」代表作為電壓停止期間A1a之候補的複數候補期間（μsec）。再者，「電壓停止占有率」代表相對於期間A1，電壓停止期間A1a

所佔比例（％）。再者，「 E/R 」代表半導體晶圓 W 之蝕刻速率（ nm/min ）。

再者，「 E/R 降低率」代表對應各候補期間之蝕刻速率降低率（％）。

【0087】

又，於圖8A中，作為實驗條件使用如下：第1及第2射頻電力之頻率：10kHz、
第1及第2射頻電力之佔空比：60％

【0088】

圖8B係用以說明圖8A所繪示之電壓停止占有率及蝕刻速率間的關係的說明圖，圖8C係用以說明圖8A所繪示之電壓停止占有率及蝕刻速率降低率間的關係的說明圖。於圖8B及圖8C中，橫軸代表電壓停止占有率（％）。再者，於圖8B中，左側之縱軸代表半導體晶圓 W 上的 SiO_2 膜之蝕刻速率（ nm/min ），右側之縱軸代表半導體晶圓 W 上的聚矽膜之蝕刻速率（ nm/min ）。再者，於圖8C中，左側的縱軸代表半導體晶圓 W 上的 SiO_2 膜之蝕刻速率降低率（％），右側的縱軸代表半導體晶圓 W 上的聚矽膜之蝕刻速率降低率（％）。

【0089】

再者，於圖8B中，曲線601係代表半導體晶圓 W 上的聚矽膜之蝕刻速率的曲線，曲線602係代表半導體晶圓 W 上的 SiO_2 膜之蝕刻速率的曲線。再者，於圖8C中，曲線701係代表半導體晶圓 W 上的聚矽膜之蝕刻速率降低率的曲線，曲線702係代表半導體晶圓 W 上的 SiO_2 膜之蝕刻速率降低率的曲線。

【0090】

如圖8A及圖8B所示，在電壓停止占有率為0的情況下（亦即，並未設定電壓停止期間A1a的情形），聚矽膜及 SiO_2 膜之蝕刻速率皆為最大；而隨著電壓停止占有率從0開始增加，聚矽膜及 SiO_2 膜之蝕刻速率皆會降低。

【0091】

如圖8A及圖8C所示，隨著電壓停止占有率從0開始增加，聚矽膜及SiO₂膜之蝕刻速率降低率皆會增大。更進一步地，聚矽膜及SiO₂膜之蝕刻速率降低率，幾乎為同一數值。

【0092】

從圖8A～圖8C實驗結果的實驗結果可瞭解到，若電壓停止占有率為40%以下，則聚矽膜及SiO₂膜之蝕刻速率降低率，皆會抑制在大約6%以下。因此，電壓停止占有率，亦即，相對於對下部電極16供給射頻電力之期間A1，電壓停止期間A1a所佔之比率，較佳係40%以下。有鑑於此，於一實施形態，控制部94會找出蝕刻速率降低率在預先訂定之容許值以下，即6%以下之候補期間，並將電壓停止期間A1a修正成所找出的候補期間。藉此，可以在抑制上部電極34側之放電的同時，維持所要的蝕刻速率。

【0093】

接著，針對於本發明一實施形態之電源控制處理，在使第2射頻電力變化之情況下有無放電，進行說明。圖9係繪示本發明一實施形態之在電源控制處理使第2射頻電力變化之情況下有無放電的一例之圖。於圖9中，「DC On delay 15us」，代表於本發明一實施形態之電源控制處理，使第2射頻電力從12kW變化成15kW之情況下，有無放電的結果。再者，「STD DC 電源」代表於比較例之電源控制處理，使第2射頻電力從12kW變化成15kW之情況下，有無放電的結果。再者，「DC On delay 15us」代表採用15μsec作為電壓停止期間A1a，「STD DC 電源」代表未設定電壓停止期間A1a。再者，於「DC On delay 15us」及「STD DC 電源」，「×」代表V_{pp}變動率超過預先訂定之容許值，亦即2.0%，也就是代表有放電。

更進一步地，「○」代表 V_{pp} 變動率在預先訂定之容許值2.0%以下，亦即無放電。

【0094】

又，於圖9中，就其他條件而言係採用如下——處理氣體： $C_4F_6/C_4F_8/O_2/Ar/C_4F_6=85/88/170/400/5sccm$ 、來自第1射頻電源92之第1射頻電力：2000W、第1及第2射頻電力之頻率：4~10kHz、第1及第2射頻電力之佔空比：20~60%、對上部電極34之直流電壓：（第1直流電壓 V_1 ）／（第2直流電壓 V_2 ）=-500／-1000V、以及處理時間：60sec。

【0095】

如圖9所示，「DC On delay 15us」與「STD DC 電源」相較，抑制了放電之發生。亦即由圖9之結果可知，於本發明一實施形態之電源控制處理，藉由採用電壓停止期間A1a，可以增大第2射頻電力。

【0096】

接著，針對使用如圖1所示之電漿蝕刻裝置1的電源控制處理流程之一例，進行說明。圖10係繪示本發明一實施形態之電源控制處理流程之一例的流程圖。

【0097】

如圖10所示，一到了處理開始時間點，（步驟S101為肯定），就將例如半導體晶圓W搬入處理容器10內，載置於下部電極16上，藉由排氣裝置84之真空泵而使處理容器10內的氣體排出，從處理氣體供給部66供給處理氣體至處理容器10內；如此一來，控制部94就對下部電極16供給產生電漿用的第1射頻電力（步驟S102）。再者，控制部94對下部電極16供給引入離子用的第2射頻電力。

【0098】

控制部94在供給射頻電力之期間A1中之電壓停止期間A1a，停止對上部電極34供給第1直流電壓V1及第2直流電壓V2（步驟S103）。

【0099】

控制部94在射頻電力之供給開始時起算，仍未經過電壓停止期間A1a之情況下（步驟S104為為否定），回到步驟S103之處理。

【0100】

另一方面，控制部94在射頻電力之供給開始時起算，已經經過電壓停止期間A1之情況下（步驟S104為肯定），就於電壓停止期間A1a以外之期間A1b，對上部電極34供給第1直流電壓V1（步驟S105）。

【0101】

控制部94停止對下部電極16供給產生電漿用的第1射頻電力（步驟S106）。再者，控制部94停止對下部電極16供給引入離子用的第2射頻電力。

【0102】

控制部94在停止供給射頻電力的期間A2，對上部電極34供給第2直流電壓V2（步驟S107）。

【0103】

控制部94在未到處理結束時間點之情況下（步驟S108為為否定），回到步驟S102之處理，等一到處理結束時間點（步驟S108為為肯定），就結束電源控制處理。

【0104】

接著，說明使用如圖1所示之電漿蝕刻裝置1的第1校正處理流程之一例。圖11係繪示本發明一實施形態之第1校正處理流程之一例的流程圖。又，如圖11所

示之第1校正處理，係在例如開始圖10所示之電源控制處理之前，以擋片晶圓取代半導體晶圓W來執行。

【0105】

如圖11所示，一到了處理開始時間點（步驟S111為肯定），控制部94就將電壓停止期間A1a設定為候補期間之初始值（步驟S112）。控制部94執行如圖10所示之電源控制處理（步驟S113）。

【0106】

控制部94算出Vpp變動率（步驟S114）。控制部94在未將電壓停止期間A1a切換成所有候補期間之情況下（步驟S115為否定），就將電壓停止期間A1a切換成下一個候補期間（步驟S116），回到步驟S113之處理。

【0107】

另一方面，控制部94在將電壓停止期間A1a切換成所有候補期間之情況下（步驟S115為肯定），就找出Vpp變動率會在預先訂定之容許值以下之候補期間，並將電壓停止期間A1a修正成所找出的候補期間（步驟S117）。

【0108】

接著，說明使用如圖1所示之電漿蝕刻裝置1的第2校正處理流程之一例。圖12係繪示本發明一實施形態之第2校正處理流程之一例的流程圖。又，如圖12所示之第2校正處理，係在例如圖10所示之電源控制處理開始前執行。

【0109】

如圖12所示，一到了處理開始時間點（步驟S121為肯定），控制部94就將電壓停止期間A1a設定為候補期間之初始值（步驟S122）。控制部94執行圖10所示之電源控制處理（步驟S123）。

【0110】

控制部94算出蝕刻速率降低率（步驟S124）。控制部94在未將電壓停止期間A1a切換成所有候補期間之情況下（步驟S125為否定），就將電壓停止期間A1a切換成下一個候補期間（步驟S126），回到步驟S123之處理。

【0111】

另一方面，控制部94在將電壓停止期間A1a切換成所有候補期間之情況下（步驟S125為肯定），就找出蝕刻速率降低率會在預先訂定之容許值以下之候補期間，並將電壓停止期間A1a修正成所找出的候補期間（步驟S127）。

【0112】

又，如圖12所示之第2校正處理之局部或全部，亦可由電漿蝕刻裝置1之使用者所執行。

【0113】

如上所述，於本發明一實施形態之電漿蝕刻裝置1，交互反覆射頻電力之供給與該供給之停止；在供給射頻電力之期間A1中之電壓停止期間A1a，亦即從開始供給射頻電力時起算的既定期間，停止供給第1直流電壓V1及第2直流電壓V2；並於該期間A1中之電壓停止期間A1a以外之期間A1b，供給第1直流電壓V1；於停止供給射頻電力的期間A2，執行供給第2直流電壓V2之電源控制處理。藉此，隨著對下部電極16供給射頻電力，而由於半導體晶圓W上所產生之電漿鞘層使得電子被彈開的問題，可以得到抑制。其結果，根據本發明一實施形態之電漿蝕刻裝置1，可以抑制在上部電極34側的放電。

【0114】

再者，於本發明一實施形態之電漿蝕刻裝置1，會執行第1校正處理，將電壓停止期間A1a修正成一候補期間，其代表Vpp值變動程度之Vpp變動率會在預先訂定之容許值以下。藉此，可以修正電壓停止期間A1a，使其成為在半導體晶圓W上之電漿鞘層成長會結束的適當期間。因此，於電壓停止期間A1a，由於在半導體晶圓W上朝向靠近上部電極34之方向成長的電漿鞘層而導致電子彈開的問題，可以確實避免。其結果，可以確實抑制於電壓停止期間A1a，在上部電極34側之放電。

【0115】

再者，於本發明一實施形態之電漿蝕刻裝置1，執行第2校正處理，將電壓停止期間A1a修正成一候補期間，其蝕刻速率降低率會在預先訂定之容許值以下。藉此，可以制定電壓停止期間A1a之上限，以抑制蝕刻速率之降低程度。其結果，可以抑制在上部電極34側之放電，同時維持所要的蝕刻速率。

【符號說明】

【0116】

- 1 電漿蝕刻裝置
- 10 處理容器
- 10a 接地導體
- 11 沉積屏蔽
- 12 絕緣板
- 14 承載盤支持台
- 16 下部電極

- 18 靜電夾頭
- 20 電極
- 22 直流電源
- 24 對焦環
- 26 內壁構件
- 28 冷媒室
- 30a、30b 配管
- 32 氣體供給管線
- 34 上部電極
- 36 電極板
- 37 氣體吐出孔
- 38 電極支持體
- 40 氣體擴散室
- 41 氣體通流孔
- 42 絕緣性遮蔽構件
- 62 氣體導入口
- 64 氣體供給管
- 66 處理氣體供給部
- 68 氣體流量控制器（MFC）
- 70 開閉閥
- 80 排氣口
- 82 排氣管

- 83 排氣板片
- 84 排氣裝置
- 85 搬入搬出口
- 86 閘門閥
- 88 導電性構件
- 90 電源系統
- 91 直流電源
- 92 第1射頻電源
- 93 第2射頻電源
- 94 控制部
 - 94a 系統控制部
 - 94b 脈波產生部
- 96 低通濾波器（LPF）
- 97 第1匹配器
- 98 第2匹配器
- 99 Vpp測定部
- 100 主控制裝置
 - 100a 使用者介面
 - 100b 記憶部
- 101 第1直流電源部
- 102 第2直流電源部
- 103 選擇電路

- 103a，103b，103c 切換器元件
- 103d，103e，103f 整流元件
- 104 放電電路
 - 104a 電阻元件
- 105 切換器電路
 - 105a 整流元件
- 106 電路部
 - 106a 電容
 - 106b 電阻元件
- 107 電路部
 - 107a 電容
 - 107b 電阻元件
- 108 電路部
 - 108a 反相電路
 - 108b 非反相電路
 - 108c 反相電路
 - 108d 及閘
- 109 連接點
- 110 蝕刻速率取得部（E／R取得部）
- 501 虛線框
- 502 實線框
- 601、602、701、702 曲線

- A1 期間
- A1a 電壓停止期間
- A1b 電壓停止期間A1a以外之期間
- A2 期間
- C1～C6 控制信號
- E 處理空間
- L1～L8，L9a、L9b，L10， L11 配線
- S 電漿鞘層
- S1 方向
- S101～S108，S111～S117，S121～S127 步驟
- W 半導體晶圓

【發明申請專利範圍】

【第1項】

一種電源系統，包括：

射頻電源，對用以載置被處理體之下部電極，供給產生電漿用之射頻電力；

直流電源，對配置成與該下部電極相向之上部電極，供給負的第1直流電壓、或絕對值大於該第1直流電壓之負的第2直流電壓；以及

控制部，執行電源控制處理，交互反覆該射頻電力之供給與該供給之停止；於供給該射頻電力之期間中之由開始供給該射頻電力時起算的第1期間，停止該第1直流電壓及該第2直流電壓之供給；於該期間中之除了該第1期間以外的第2期間，供給該第1直流電壓；於停止供給該射頻電力的期間，供給該第2直流電壓。

【第2項】

如申請專利範圍第1項之電源系統，其中，更包括：

另一射頻電源，對該下部電極供給與該射頻電力不同之引入離子用的射頻電力；以及

V_{pp}值測定部，測定V_{pp}值，亦即與該引入離子用的射頻電力對應之電壓的振幅值；

該控制部，執行第1校正處理，將該第1期間切換成作為該第1期間之候補的複數之候補期間，同時執行該電源控制處理；依各該候補期間算出代表該V_{pp}值之變動程度的V_{pp}變動率；在該複數之候補期間中，找出該V_{pp}變動率在預先訂定之容許值以下之該候補期間，並將該第1期間修正成所找出之該候補期間。

【第3項】

如申請專利範圍第1或2項之電源系統，其中，更包括蝕刻速率取得部，取得該被處理體之蝕刻速率；

該控制部，執行第2校正處理，將該第1期間切換成作為該第1期間之候補的複數之候補期間，同時執行該電源控制處理；依各該候補期間算出代表該蝕刻速率之降低程度的蝕刻速率降低率；找出該蝕刻速率降低率在預先訂定之容許值以下之該候補期間，並將該第1期間修正成所找出之該候補期間。

【第4項】

如申請專利範圍第1或2項之電源系統，其中，相對於供給該射頻電力之期間，該第1期間所占之比率係40%以下。

【第5項】

如申請專利範圍第1或2項之電源系統，其中，該第1期間係5 μ sec以上之期間。

【第6項】

如申請專利範圍第1或2項之電源系統，其中，該直流電源包括：

第1直流電源部，產生該第1直流電壓；

第2直流電源部，產生該第2直流電壓；

選擇電路，選擇性地使該第1直流電源部及該第2直流電源部，連接至該上部電極；以及

放電電路，透過切換器電路而連接至該選擇電路與該上部電極間的連接點；

該控制部在執行該電源控制處理之情況下，於供給該射頻電力之期間中之該第1期間，控制該選擇電路以切斷該第1直流電源部及該第2直流電源部與該上部電極間之連接，並且控制該切換器電路，使該放電電路連接至該連接點；於

該第2期間，控制該選擇電路以使該第1直流電源部連接至該上部電極，並於停止供給該射頻電力的期間，控制該選擇電路以使該第2直流電源部連接至該上部電極。

【第7項】

一種電漿處理裝置，包括：

處理容器；

氣體供給部，對該處理容器內供給處理氣體；

下部電極，配置於該處理容器內，用以載置被處理體；

上部電極，於該處理容器內配置成與該下部電極相向；

電源系統，具備射頻電源、直流電源以及控制部；該射頻電源係對該下部電極供給產生電漿用之射頻電力；該直流電源係對該上部電極供給負的第1直流電壓、或絕對值大於該第1直流電壓之負的第2直流電壓；該控制部係執行電源控制處理，交互反覆該射頻電力之供給與該供給之停止，於供給該射頻電力之期間中之由開始供給該射頻電力時起算的第1期間，停止該第1直流電壓及該第2直流電壓之供給；於該期間中之除了該第1期間以外的第2期間，供給該第1直流電壓；於停止供給該射頻電力的期間，供給該第2直流電壓。

【第8項】

一種電源控制方法，係使用具備射頻電源及直流電源之電源系統的電源控制方法，該射頻電源對用以載置被處理體之下部電極供給產生電漿用之射頻電力，該直流電源對配置成與該下部電極相向之上部電極供給負的第1直流電壓、或絕對值大於該第1直流電壓之負的第2直流電壓；該電源控制方法，包括以下步驟：

執行電源控制處理的步驟，交互反覆該射頻電力之供給與該供給之停止；於供給該射頻電力之期間中之由開始供給該射頻電力時起算的第1期間，停止該第1直流電壓及該第2直流電壓之供給；於該期間中之除了該第1期間以外的第2期間，供給該第1直流電壓；於停止供給該射頻電力的期間，供給該第2直流電壓。

【第9項】

如申請專利範圍第8項之電源控制方法，其中，更包括以下步驟：

取得該被處理體之蝕刻速率的步驟；

執行校正處理的步驟，將該第1期間切換成作為該第1期間之候補的複數之候補期間，同時執行該電源控制處理；依各該候補期間算出代表該蝕刻速率之降低程度的蝕刻速率降低率；找出該蝕刻速率降低率在預先訂定之容許值以下之該候補期間，並將該第1期間修正成所找出之該候補期間。

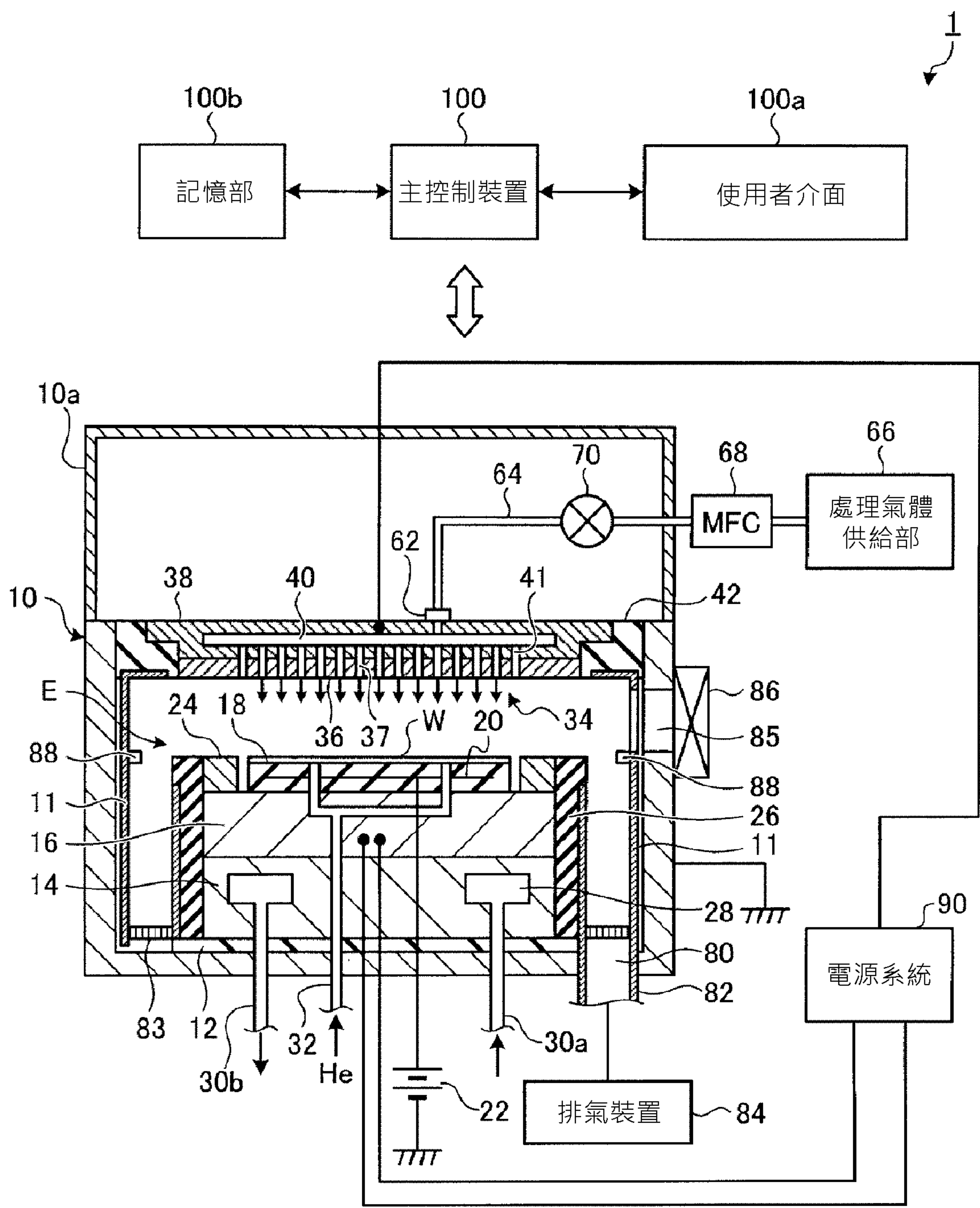


圖 1

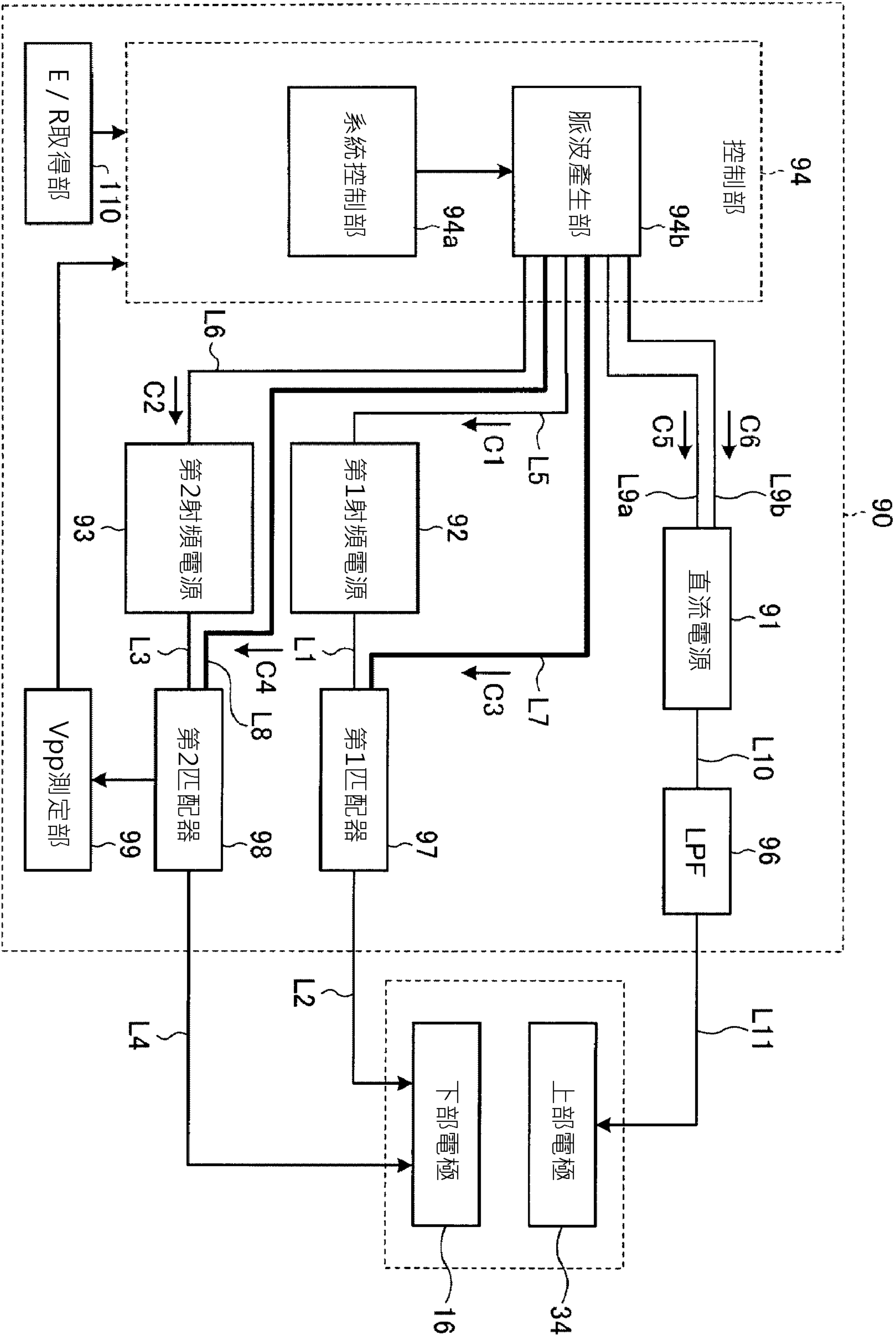


圖 2

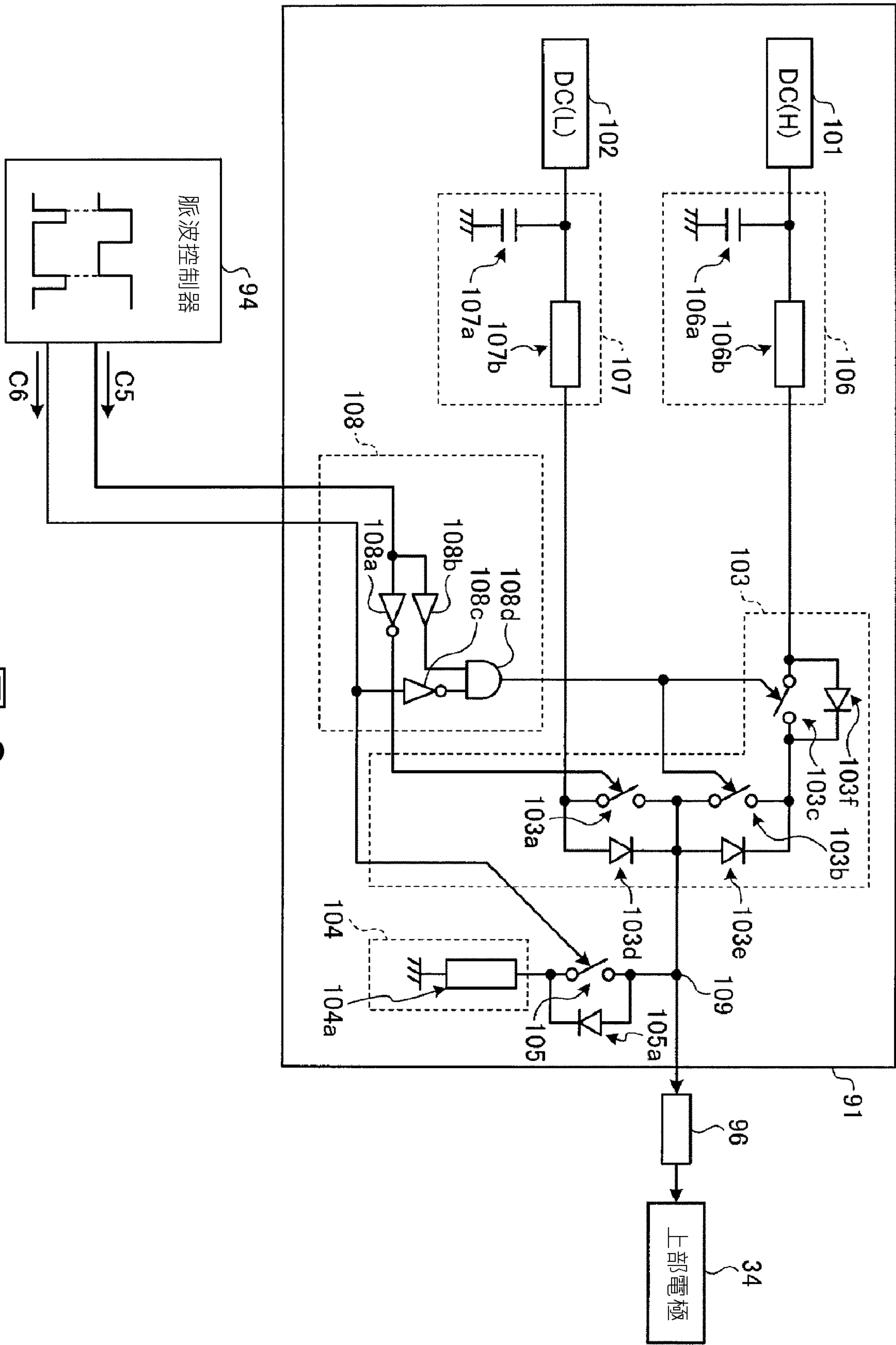


圖 3

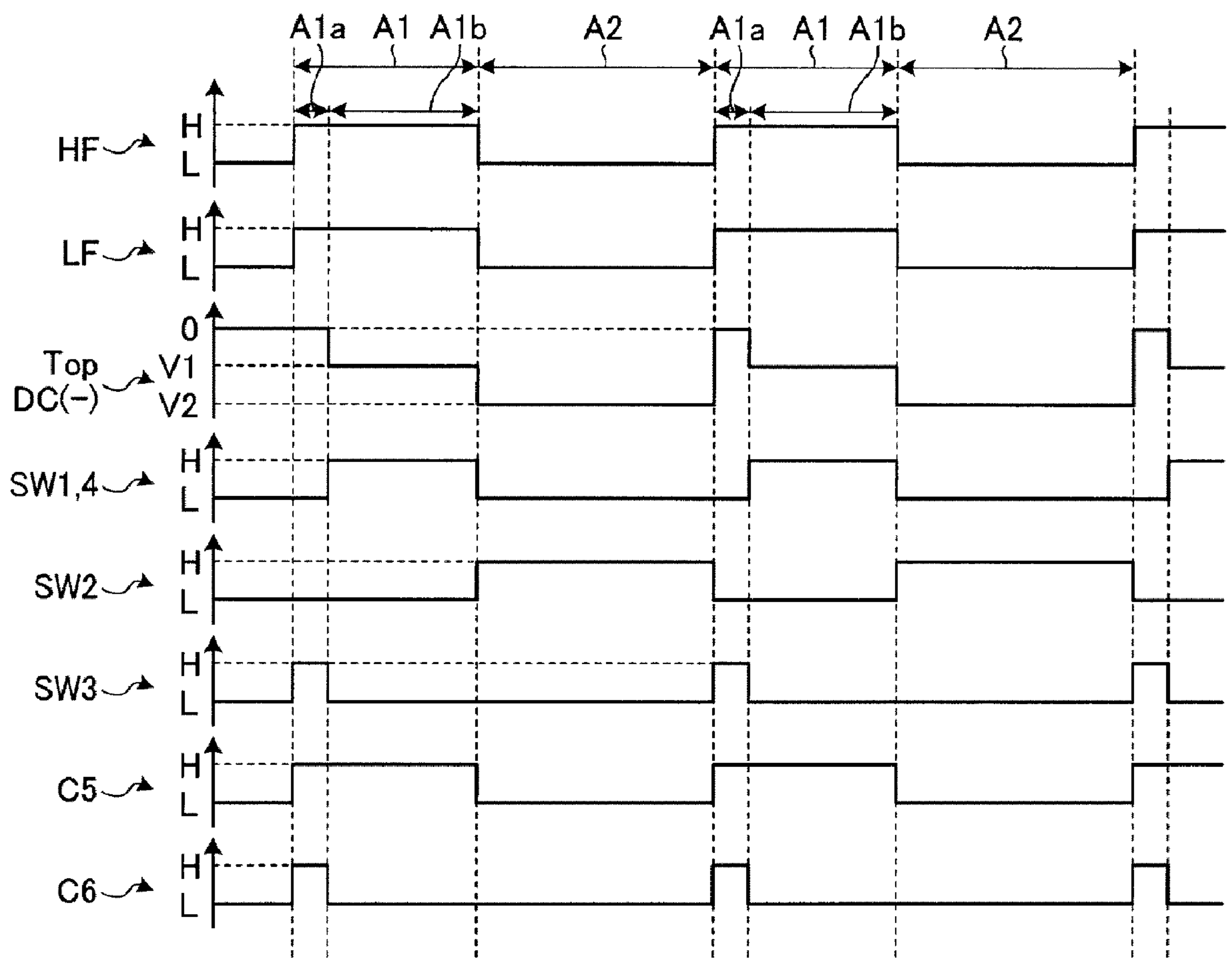


圖 4

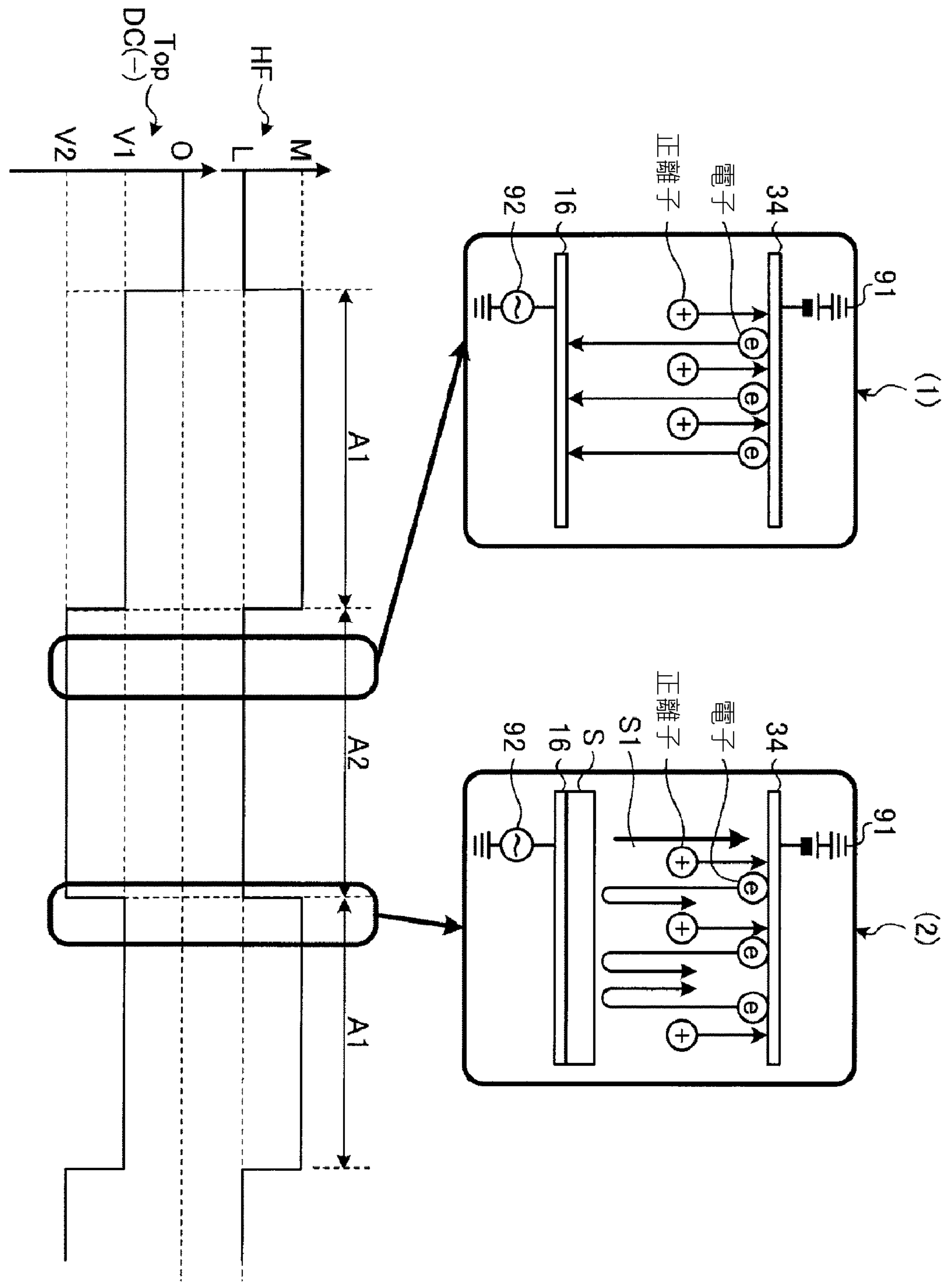


圖 5

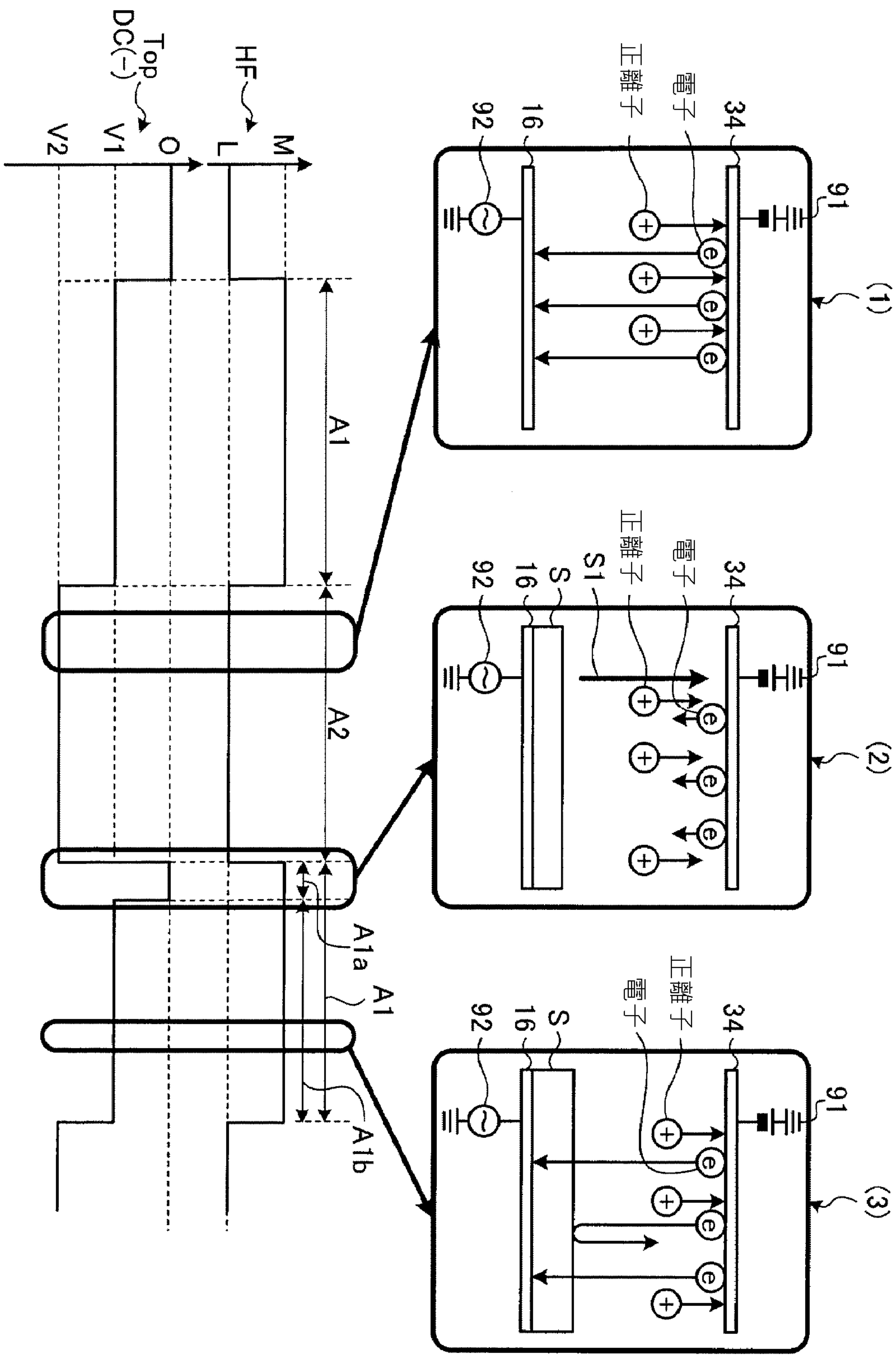


圖 6

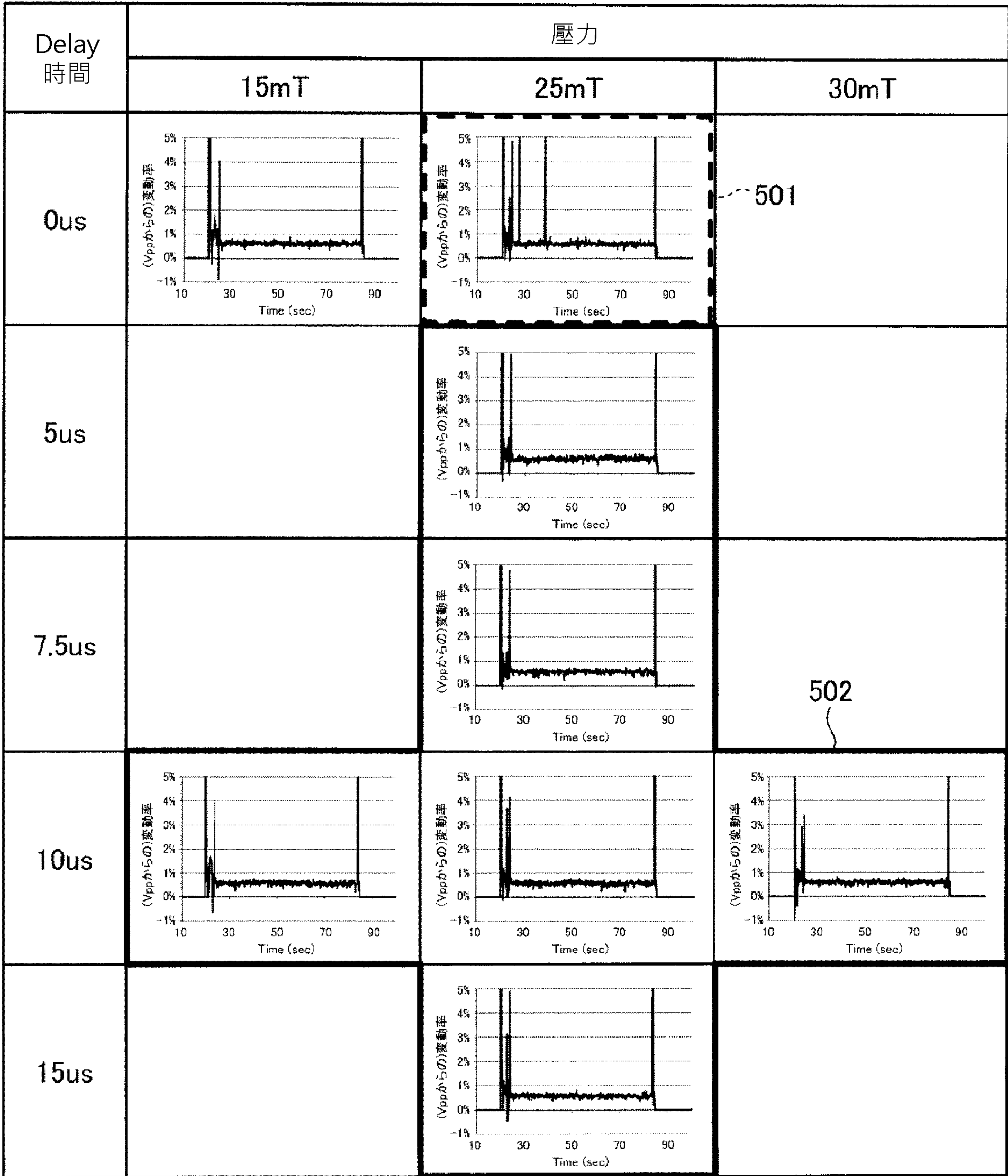


圖 7

膜種	ON時間[μs]	Delay 時間[μs]	電壓停止 占有率[%]	E/R[nm/min]	E / R 降低率[%]
Poly	60	0	0	28	0
Poly	60	10	17	27.5	1.79
Poly	60	15	25	27	3.57
Ox	60	0	0	585.9	0
Ox	60	10	17	575.1	1.84
Ox	60	15	25	566.3	3.35

圖 8A

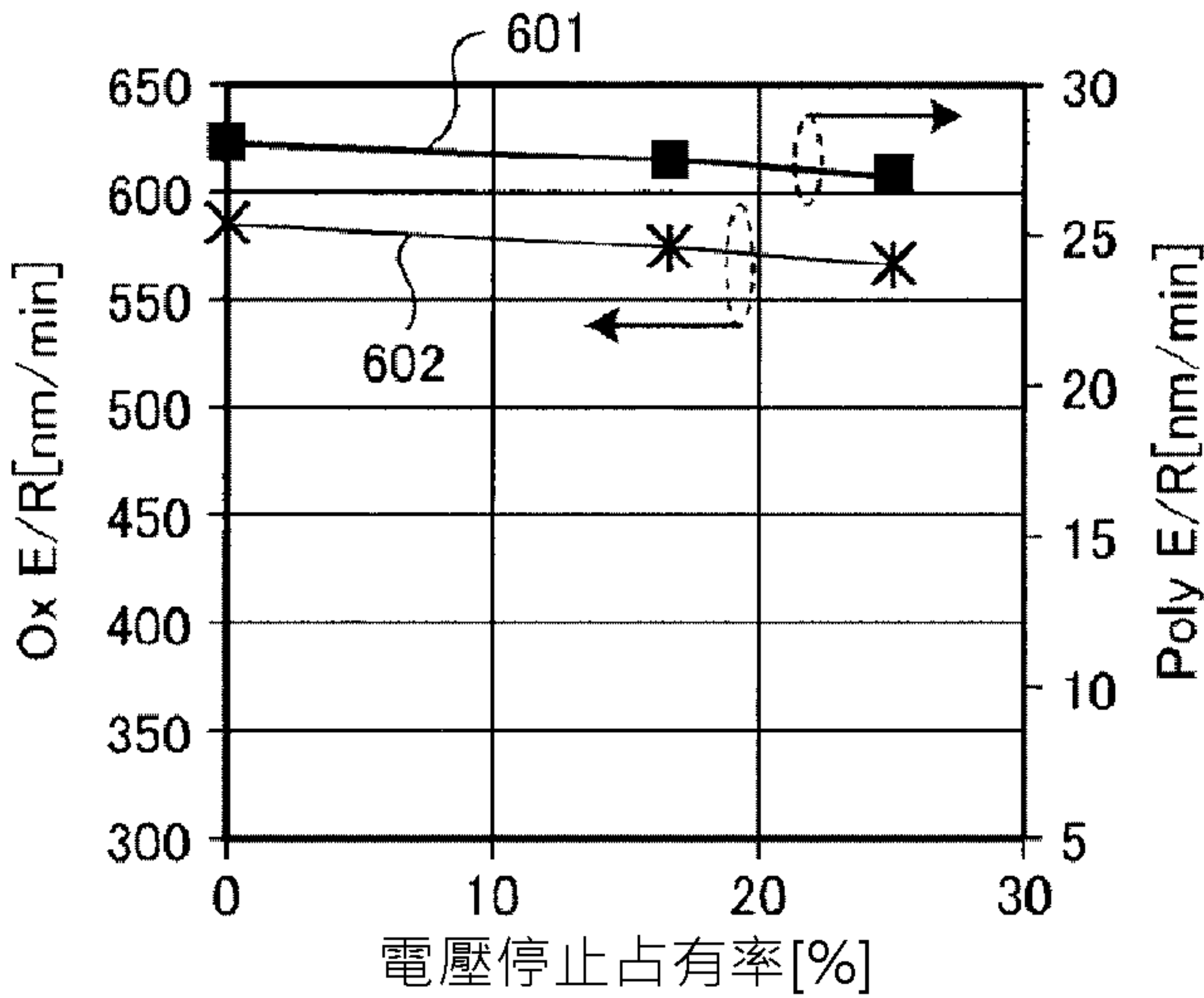


圖 8B

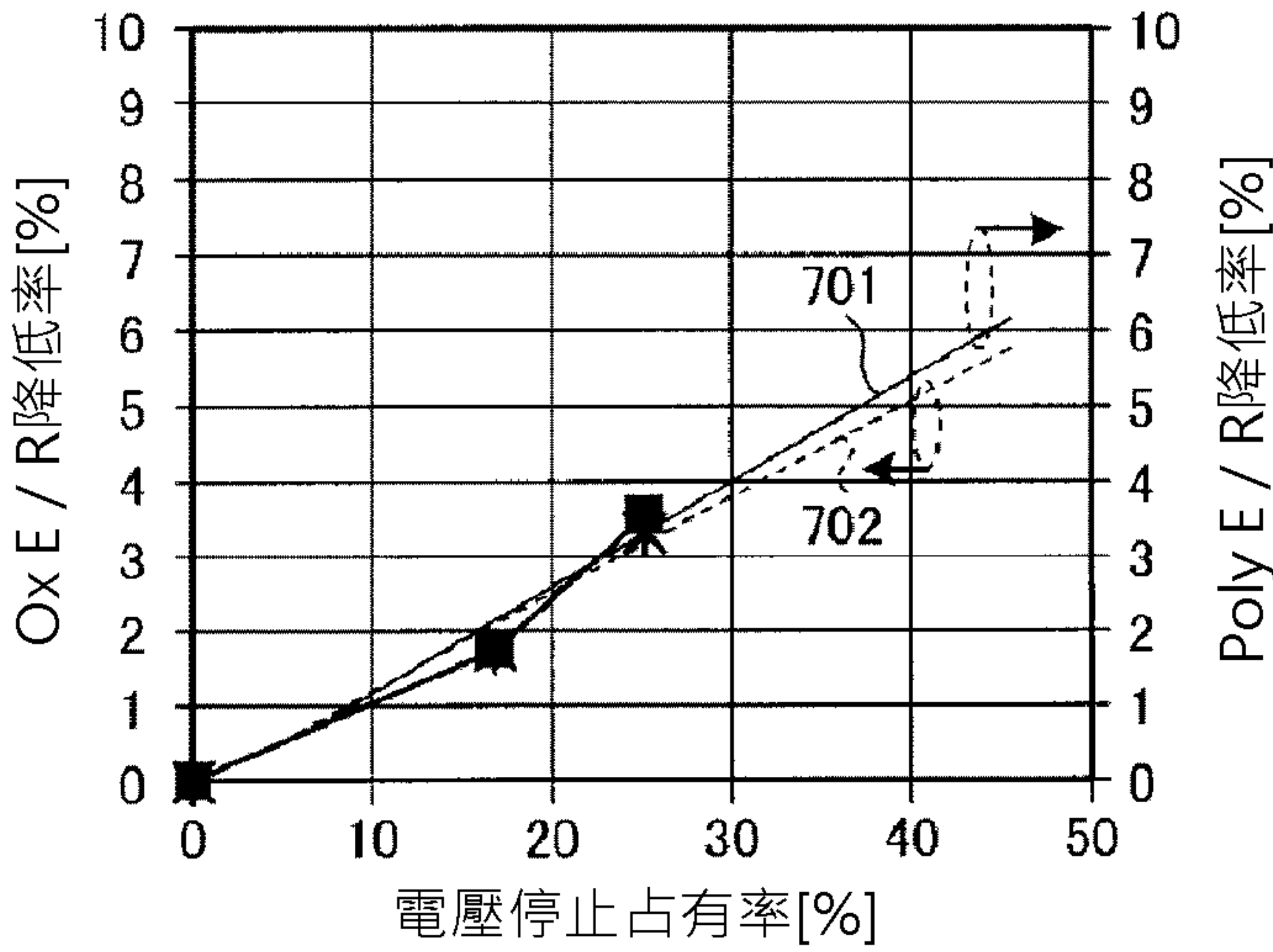


圖 8C

DC On delay 15us															
LF12kW							LF15kW								
Frequency		Duty						Frequency		Duty					
		20%	30%	40%	50%	60%	20%			30%	40%	50%	60%		
4kHz							4kHz								
5kHz	○						5kHz	○							
10kHz			○			○	10kHz			○			○		

STD DC電源															
LF12kW							LF15kW								
Frequency		Duty						Frequency		Duty					
		20%	30%	40%	50%	60%	20%			30%	40%	50%	60%		
4kHz							4kHz								
5kHz	×						5kHz	×							
10kHz						○	10kHz			×			×		

圖 9

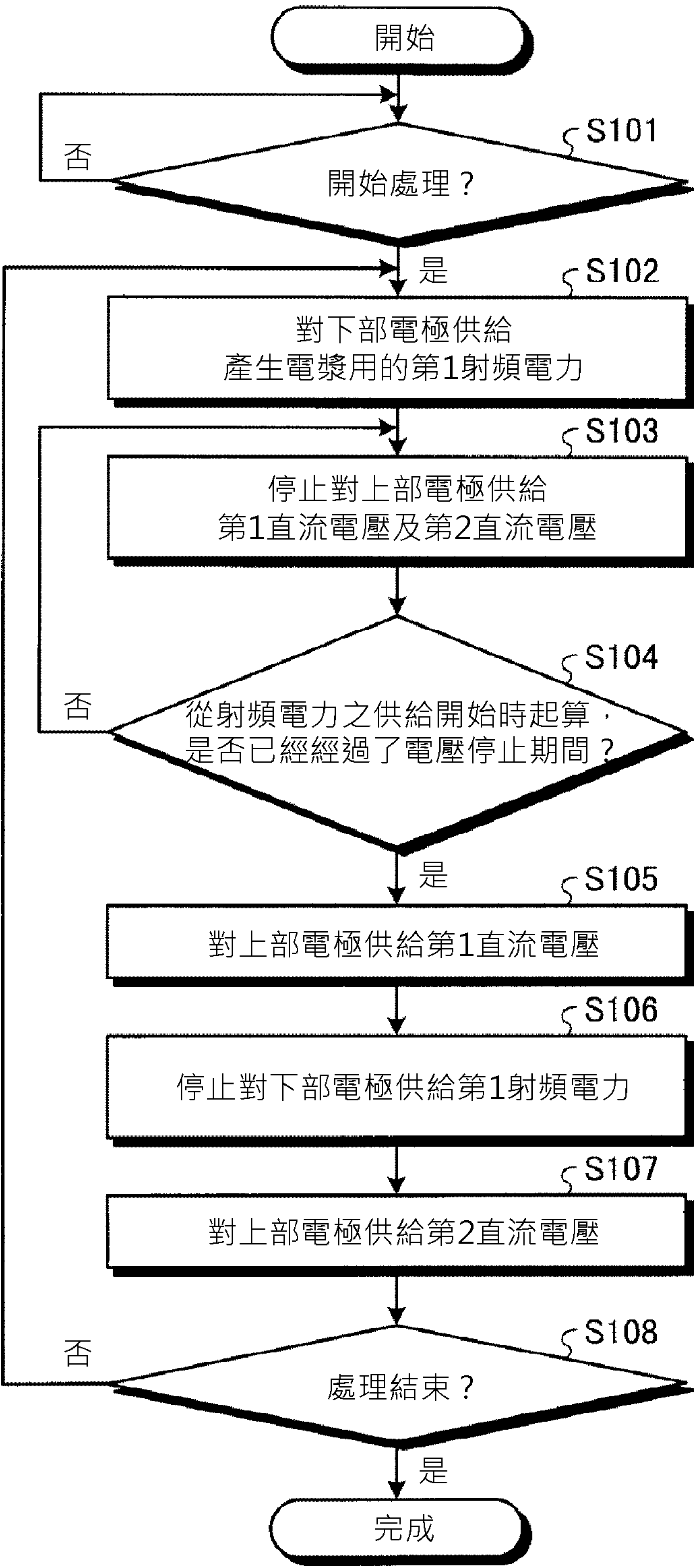


圖 10

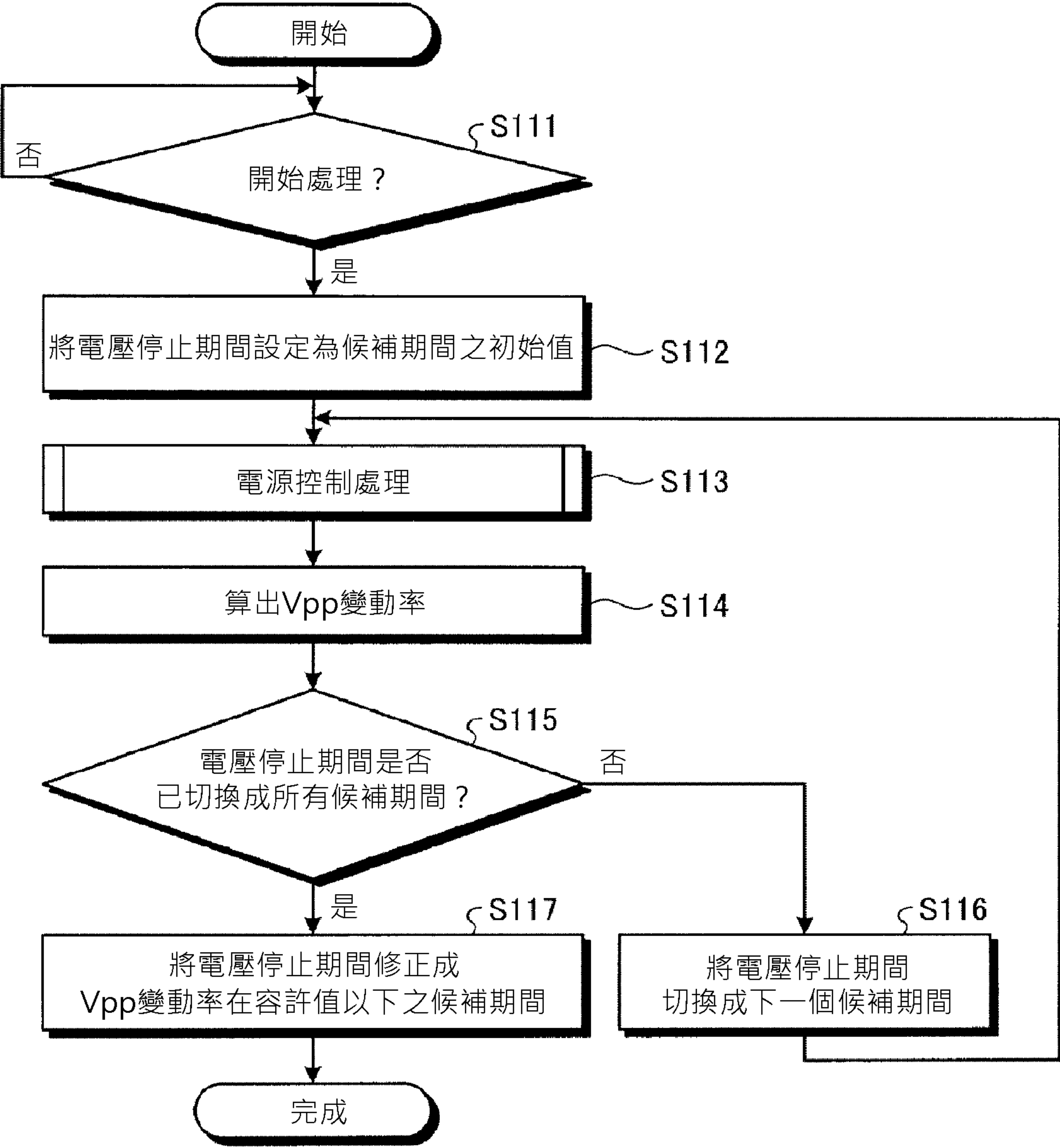


圖 11

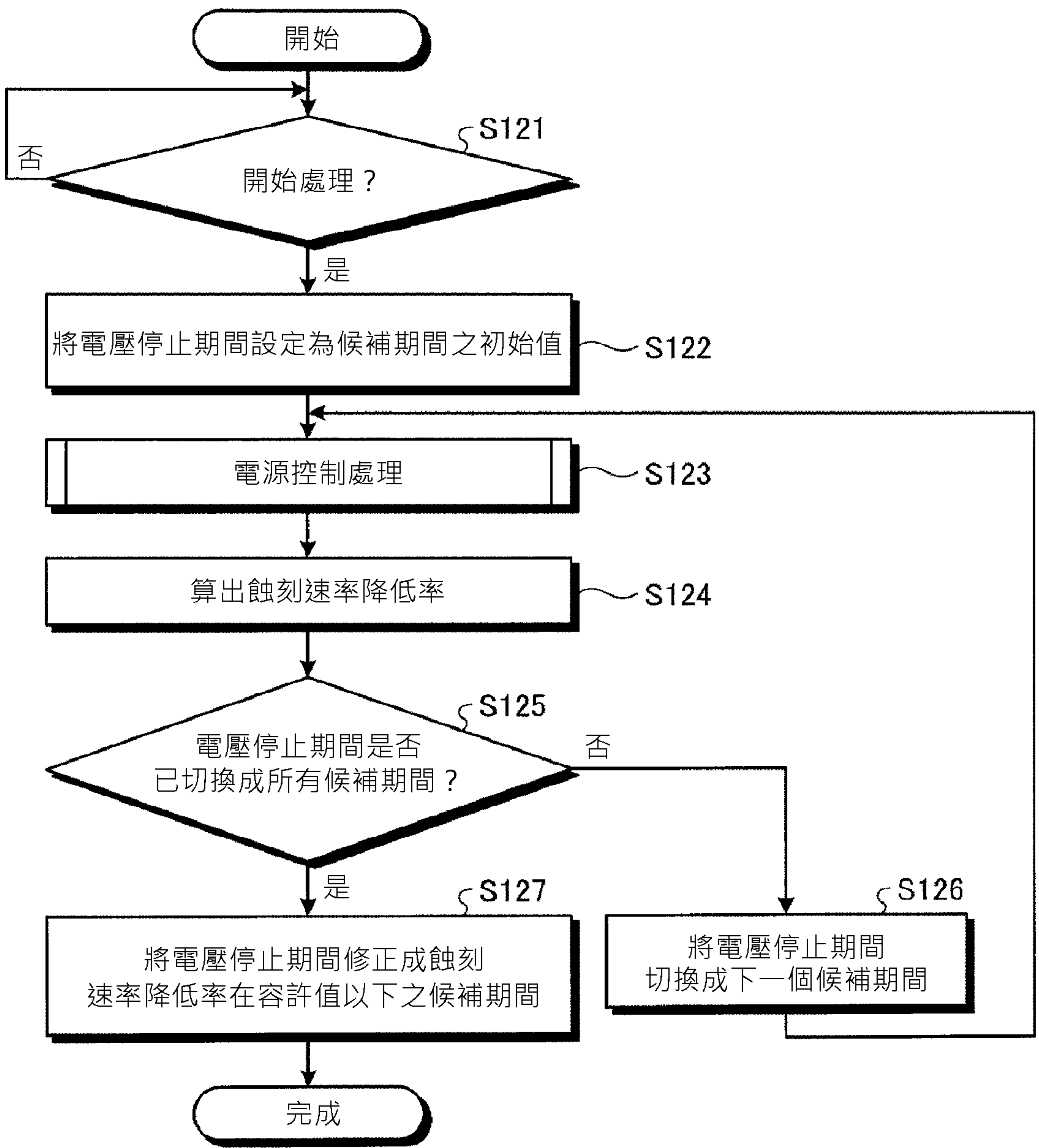


圖 12