

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 29 年 10 月 19 日 (2017.10.19)

【公開番号】特開 2015-70269 (P2015-70269A)
 【公開日】平成 27 年 4 月 13 日 (2015.4.13)
 【年通号数】公開・登録公報 2015-024
 【出願番号】特願 2014-192072 (P2014-192072)
 【国際特許分類】

H 0 1 L 23/12 (2006.01)

H 0 5 K 3/46 (2006.01)

【F I】

H 0 1 L 23/12 N

H 0 5 K 3/46 Q

H 0 5 K 3/46 T

H 0 5 K 3/46 N

【手続補正書】

【提出日】平成 29 年 9 月 11 日 (2017.9.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 の誘電体層 (14) と、

前記第 1 の誘電体層 (14) に付着される少なくとも 1 つの半導体デバイス (12) と

、

前記少なくとも 1 つの半導体デバイス (12) を埋め込むように、前記第 1 の誘電体層 (14) および前記少なくとも 1 つの半導体デバイス (12) の周りに付着される 1 つまたは複数の誘電体シート (26) と、

前記少なくとも 1 つの半導体デバイス (12) に至るように形成される複数のビア (30) であって、前記第 1 の誘電体層 (14) および前記 1 つまたは複数の誘電体シート (26) の少なくとも 1 つに形成される複数のビア (30) と、

前記少なくとも 1 つの半導体デバイス (12) に対する電氣的相互接続を形成するために、前記複数のビア (30) に、およびパッケージ構造 (10) の 1 つまたは複数の外側に面する表面 (18、20) 上に形成される金属相互接続 (38) と、

前記少なくとも 1 つの半導体デバイス (12) の周りに配置される誘電体ウェブ (62) を含み、

前記誘電体ウェブ (62) は、前記少なくとも 1 つの半導体デバイス (12) を受け取るために、それに形成される 1 つまたは複数の開口 (28) を含み、

前記第 1 の誘電体層 (14) は、積層プロセスの間に流れない材料から構成され、

前記 1 つまたは複数の誘電体シート (26) の各々は、前記積層プロセスで硬化する際に溶解し流れるように構成される硬化材料から構成され、そのようにして、前記 1 つまたは複数の誘電体シート (26) は溶解し流れて、前記少なくとも 1 つの半導体デバイス (12) の周囲に存在する任意の空気ギャップを埋めるパッケージ構造 (10) 。

【請求項 2】

前記誘電体ウェブ (62) は、前記誘電体シート (26) と比較して増加した剛性を有し、積層プロセスの間に流れないように構築され、前記誘電体ウェブ (62) は、プリン

ト回路基板（PCB）コア材料、ポリイミド層、セラミック材料、および複合誘電体材料のうちの１つから構成される、請求項1に記載のパッケージ構造（１０）。

【請求項３】

前記誘電体ウェブ（６２）は、銅の回路を有するように構築される、請求項1または2に記載のパッケージ構造（１０）。

【請求項４】

前記１つまたは複数の誘電体シート（２６）は、硬化していないか、または部分的に硬化した状態の、プリプレグ材料、重合樹脂、または接着剤のうちの１つから構成される、請求項1乃至3のいずれかに記載のパッケージ構造（１０）。

【請求項５】

前記少なくとも１つの半導体デバイス（１２）は、パワー半導体デバイス（７２）を含む、請求項1乃至4のいずれかに記載のパッケージ構造（１０）。

【請求項６】

前記複数のビア（３０）は、

前記第１の誘電体層（１４）を貫通し、前記パワー半導体デバイス（７２）の前面（３２）に至るように形成されるビア（３０）と、

前記１つまたは複数の誘電体シート（２６）を貫通し、前記パワー半導体デバイス（７２）の背面（３４）に至るように形成されるビア（３０）と、を含み、

前記ビア（３０）は、前記パッケージ構造（１０）の熱的および電氣的ビアとして機能し、

前記金属相互接続（３８）は、前記パワー半導体デバイス（７２）の前記前面（３２）および前記背面（３４）に至る前記ビア（３０）の各々に形成される、請求項5に記載のパッケージ構造（１０）。

【請求項７】

前記金属相互接続（３８）は、前記パッケージ構造（１０）の前記外側に面する表面（１８、２０）上に、電氣的接続を形成するめっきされた銅パワーオーバーレイ（POL）相互接続および熱拡散銅パッドを含み、そのようにして、前記パワー半導体デバイス（７２）に対して電氣的および熱的相互接続を提供する、請求項6に記載のパッケージ構造（１０）。

【請求項８】

前記パッケージ構造（１０）の外側に面する表面（１８、２０）上に、および前記熱拡散銅パッドの上に付着される熱伝導材料（TIM）（８２）をさらに含み、そのようにして前記パッケージ構造（１０）をヒートシンクに接合することを可能にする、請求項7に記載のパッケージ構造（１０）。

【請求項９】

前記第１の誘電体層（１４）および前記１つまたは複数の誘電体シート（２６）を貫通し延長する複数の貫通ビア（３６）をさらに含み、前記金属相互接続（３８）は、前記少なくとも１つの半導体デバイス（７２）の前記前面（３２）および前記背面（３４）に至る前記貫通ビア（３６）の各々に形成される、請求項1乃至8のいずれかに記載のパッケージ構造（１０）。

【請求項１０】

前記第１の誘電体層（１４）の反対側の前記パッケージ構造（１０）の外側に面する表面（１８、２０）に配置される第２の誘電体層（１６）をさらに含み、前記１つまたは複数の誘電体シート（２６）および前記少なくとも１つの半導体デバイス（１２）は、前記第１の誘電体層（１４）と前記第２の誘電体層（１６）との間に配置され、前記第２の誘電体層（１６）は、積層プロセスの間に流れない材料から構成される、請求項1乃至9のいずれかに記載のパッケージ構造（１０）。

【請求項１１】

前記第１の誘電体層（１４）の反対側の前記パッケージ構造（１０）の外側に面する表面（１８、２０）に配置される銅箔（６１）をさらに含み、前記１つまたは複数の誘電体

シート（２６）および前記少なくとも１つの半導体デバイス（１２）は、前記第１の誘電体層（１４）と前記銅箔（６１）との間に配置される、請求項１乃至１０のいずれかに記載のパッケージ構造（１０）。

【請求項１２】

多層パッケージ構造を形成するように、前記パッケージ構造（１０）の前記外側に面する表面（１８、２０）に付着される、ＰＣＢプリプレグ材料またはポリイミド材料のうちの１つの層と、

前記ＰＣＢプリプレグ材料またはポリイミド材料の前記層の各々を貫通し形成される複数のビア（３０）と、

前記ＰＣＢプリプレグ材料またはポリイミド材料の前記層の前記複数のビア（３０）に形成される金属相互接続（３８）と、をさらに含む、請求項１乃至１１のいずれかに記載のパッケージ構造（１０）。

【請求項１３】

半導体デバイスパッケージ構造（１０）を製造する方法であって、

少なくとも１つの半導体デバイス（１２）を接着剤（２２）で第１の誘電体層（１４）に付着させるステップと、

硬化する際に溶解し流れるように構成される硬化材料の１つまたは複数の誘電体シート（２６）を形成するステップであって、前記誘電体シート（２６）の各々は、硬化していないか、または部分的に硬化した状態であるステップと、

前記１つまたは複数の誘電体シート（２６）を、前記少なくとも１つの半導体デバイス（１２）の周りに配置されるように、前記第１の誘電体層（１４）上に付着させるステップと、

前記最後の誘電体シート（２６）の外側表面上に銅箔（６１）を付着させるステップと、前記１つまたは複数の誘電体シート（２６）を溶解して前記少なくとも１つの半導体デバイス（１２）の周囲に存在する任意の空気ギャップに流れ込ませて、前記少なくとも１つの半導体デバイス（１２）を埋め込むように、前記１つまたは複数の誘電体シート（２６）を硬化させるステップであって、前記第１の誘電体層（１４）は、前記１つまたは複数の誘電体シート（２６）の前記硬化の間には流れないステップと、

前記少なくとも１つの半導体デバイス（１２）に至る複数のビア（３０）を形成するステップであって、前記複数のビア（３０）は、前記第１の誘電体層（１４）および前記１つまたは複数の誘電体シート（２６）の少なくとも１つに形成されるステップと、

前記複数のビア（３０）に、および前記パッケージ構造（１０）の１つまたは複数の外側表面の少なくとも一部の上に金属相互接続（３８）を形成するステップであって、前記金属相互接続（３８）は、前記少なくとも１つの半導体デバイス（１２）に対する電氣的相互接続を形成するステップと、を含む方法。

【請求項１４】

穿孔プロセスまたはスカイピングプロセスの１つにより、前記第１の誘電体層（１４）に位置合せマーク（５２）を形成するステップをさらに含み、前記第１の誘電体層（１４）に前記少なくとも１つの半導体デバイス（１２）を前記付着させるステップは、前記位置合せマーク（５２）によりガイドされる、請求項１３に記載の方法。

【請求項１５】

前記第１の誘電体層（１４）は、予め金属化された誘電体層を含み、前記第１の誘電体層（１４）は、その上に形成される剥離層（４２）によって分離される第１および第２の銅層（４０、４８）を有し、

前記方法は、前記１つまたは複数の誘電体シート（２６）の前記硬化させるステップの後に、前記剥離層（４２）によって前記第２の銅層（４８）を除去するステップをさらに含む、請求項１３または１４に記載の方法。

【請求項１６】

前記少なくとも１つの半導体デバイス（１２）を受け取るための１つまたは複数の開口（２８）を含むように誘電体ウェブ構造（６２）を形成するステップと、

前記第 1 の誘電体層 (1 4) 上に、および前記少なくとも 1 つの半導体デバイス (1 2) の周りに前記誘電体ウェブ (6 2) を配置するステップと、をさらに含み、

前記 1 つまたは複数の誘電体シート (2 6) は、前記少なくとも 1 つの半導体デバイス (1 2) と前記誘電体ウェブ構造 (6 2) との間の任意のギャップにおける前記第 1 の誘電体層 (1 4) 上に配置される、請求項 1 3 乃至 1 5 のいずれかに記載の方法。

【請求項 1 7】

前記誘電体ウェブ (6 2) は、プリント回路基板 (P C B) コア材料、ポリイミド層、セラミック材料、および複合誘電体材料のうちの 1 つから構成される、請求項 1 6 に記載の方法。

【請求項 1 8】

前記誘電体ウェブ (6 2) は、前記金属相互接続 (3 8) に接続される銅の回路を含む、請求項 1 7 に記載の方法。

【請求項 1 9】

前記 1 つまたは複数の誘電体シート (2 6) は、硬化していないか、または部分的に硬化した状態の、プリプレグ材料、重合樹脂、または接着剤のうちの 1 つから構成される、請求項 1 3 乃至 1 8 のいずれかに記載の方法。

【請求項 2 0】

前記少なくとも 1 つの半導体デバイス (1 2) は、パワー半導体デバイス (7 2) を含み、

前記複数のビア (3 0) を形成するステップは、前記パワー半導体デバイス (7 2) の背面 (3 4) に至るビア (3 0) を形成するステップを含み、金属相互接続 (3 8) は、前記パワー半導体デバイス (7 2) の前記背面 (3 4) に至る前記ビア (3 0) の各々に形成される、請求項 1 3 乃至 1 9 のいずれかに記載の方法。

【請求項 2 1】

前記パッケージ構造 (1 0) の 1 つまたは複数の前記外側表面 (1 8 、 2 0) に P C B プリプレグ材料またはポリイミド材料のいずれかの層を積層するステップと、

P C B コア材料またはポリイミド材料の前記層の各々に複数のビア (3 0) を形成するステップと、

P C B コア材料またはポリイミド材料の前記層の前記複数のビア (3 0) に金属相互接続 (3 8) を形成するステップと、をさらに含む、請求項 1 3 乃至 2 0 のいずれかに記載の方法。

【請求項 2 2】

前記第 1 の誘電体層 (1 4) および前記誘電体シート (2 6) のスタックを貫通し延長する貫通ビア (3 6) を形成するステップをさらに含み、

金属相互接続 (3 8) を形成するステップは、前記パッケージ構造 (1 0) を貫通し延長する金属相互接続 (3 8) を形成するステップを含み、

前記金属相互接続 (3 8) は、前記貫通ビア (3 6) に形成され、前記パッケージ構造 (1 0) の前記外側表面 (1 8 、 2 0) 上へ出る、請求項 1 3 乃至 2 1 のいずれかに記載の方法。

【請求項 2 3】

少なくともその一部分に塗布された接着剤 (2 2) を有する第 1 の誘電体層 (1 4) と、

前記接着剤 (2 2) により前記第 1 の誘電体層 (1 4) に付着される 1 つまたは複数の半導体デバイス (1 2) であって、前記 1 つまたは複数の半導体デバイス (1 2) の各々の表面が前記第 1 の誘電体層 (1 4) に付着されるコンタクトパッドをその上に有する、1 つまたは複数の半導体デバイス (1 2) と、

前記 1 つまたは複数の半導体デバイス (1 2) を埋め込むように、前記 1 つまたは複数の半導体デバイス (1 2) の周りの前記第 1 の誘電体層 (1 4) に配置される誘電体封入材 (2 4) であって、前記 1 つまたは複数の半導体デバイス (1 2) の周囲に存在する任意の空気ギャップを埋めるように、硬化の際に溶解し流れるように構成される 1 つまたは

複数の硬化していないかまたは部分的に硬化した誘電体シート（２６）を含む誘電体封入材（２４）と、

前記１つまたは複数の半導体デバイス（１２）に至るように形成される複数のビア（３０）であって、前記第１の誘電体層（１４）および前記誘電体封入材（２４）の少なくとも一方に形成される複数のビア（３０）と、

前記１つまたは複数の半導体デバイス（１２）に対する全ての電気的および熱的相互接続を形成する前記複数のビア（３０）において、ならびにＰＯＬパッケージ構造（１０）において形成されるＰＯＬ相互接続と、

前記第１の誘電体層（１４）上に、および前記１つまたは複数の半導体デバイス（１２）の周りに配置される誘電体ウェブ（６２）であって、前記１つまたは複数の半導体デバイス（１２）を受け取るために、それに形成される開口（２８）を含む誘電体ウェブ（６２）と、

を含み、

前記第１の誘電体層（１４）は、前記１つまたは複数の誘電体シート（２６）の前記硬化の間に流れないように構成され、

前記誘電体ウェブ（６２）は、前記１つまたは複数の誘電体シート（２６）と比較して増加した剛性を有するように構築され、誘電体封入材（２４）を硬化させる処理を受ける際に、溶解しないかまたは流れない材料から構成される、パワーオーバーレイ（ＰＯＬ）パッケージ構造（１０）。

【請求項 ２４】

前記複数の誘電体シート（２６）は、プリプレグ材料、重合樹脂、または接着剤のうちの１つから構成される、請求項 ２３に記載のパワーオーバーレイ（ＰＯＬ）パッケージ構造（１０）。

【請求項 ２５】

前記第１の誘電体層（１４）の反対側の前記パッケージ構造（１０）の外側に面する表面（１８、２０）に配置され、前記１つまたは複数の誘電体シート（２６）の前記硬化の間に流れないように構成される第２の誘電体層（１６）をさらに含み、前記誘電体封入材（２４）および前記少なくとも１つの半導体デバイス（１２）は、前記第１の誘電体層（１４）と前記第２の誘電体層（１６）との間に配置される、請求項 ２３または ２４に記載のパワーオーバーレイ（ＰＯＬ）パッケージ構造（１０）。

【請求項 ２６】

第１の誘電体層（１４）と、

前記第１の誘電体層（１４）に付着される少なくとも１つの半導体デバイス（１２）と

、
前記少なくとも１つの半導体デバイス（１２）を埋め込むように、前記第１の誘電体層（１４）および前記少なくとも１つの半導体デバイス（１２）の周りに付着される１つまたは複数の誘電体シート（２６）と、

前記少なくとも１つの半導体デバイス（１２）に至るように形成される複数のビア（３０）であって、前記第１の誘電体層（１４）および前記１つまたは複数の誘電体シート（２６）の少なくとも１つに形成される複数のビア（３０）と、

前記少なくとも１つの半導体デバイス（１２）に対する電気的相互接続を形成するために、前記複数のビア（３０）に、およびパッケージ構造（１０）の１つまたは複数の外側に面する表面（１８、２０）上に形成される金属相互接続（３８）と、

を含み、

前記第１の誘電体層（１４）は、積層プロセスの間に流れない材料から構成され、

前記１つまたは複数の誘電体シート（２６）の各々は、前記積層プロセスで硬化する際に溶解し流れるように構成される硬化材料から構成され、そのようにして、前記１つまたは複数の誘電体シート（２６）は溶解し流れて、前記少なくとも１つの半導体デバイス（１２）の周囲に存在する任意の空気ギャップを埋め、

前記１つまたは複数の誘電体シート（２６）は、硬化していないか、または部分的に硬

化した状態の、プリプレグ材料、重合樹脂、または接着剤のうちの１つから構成される、
パッケージ構造（１０）。

【請求項２７】

第１の誘電体層（１４）と、

前記第１の誘電体層（１４）に付着される少なくとも１つの半導体デバイス（１２）と

、

前記少なくとも１つの半導体デバイス（１２）を埋め込むように、前記第１の誘電体層（１４）および前記少なくとも１つの半導体デバイス（１２）の周りに付着される１つまたは複数の誘電体シート（２６）と、

前記少なくとも１つの半導体デバイス（１２）に至るように形成される複数のビア（３０）であって、前記第１の誘電体層（１４）および前記１つまたは複数の誘電体シート（２６）の少なくとも１つに形成される複数のビア（３０）と、

前記少なくとも１つの半導体デバイス（１２）に対する電氣的相互接続を形成するために、前記複数のビア（３０）に、およびパッケージ構造（１０）の１つまたは複数の外側に面する表面（１８、２０）上に形成される金属相互接続（３８）と、

多層パッケージ構造を形成するように、前記パッケージ構造（１０）の前記外側に面する表面（１８、２０）に付着される、ＰＣＢプリプレグ材料またはポリイミド材料のうちの１つの層と、

前記ＰＣＢプリプレグ材料またはポリイミド材料の前記層の各々を貫通し形成される複数のビア（３０）と、

前記ＰＣＢプリプレグ材料またはポリイミド材料の前記層の前記複数のビア（３０）に形成される金属相互接続（３８）と、

を含み、

前記第１の誘電体層（１４）は、積層プロセスの間に流れない材料から構成され、

前記１つまたは複数の誘電体シート（２６）の各々は、前記積層プロセスで硬化する際に溶解し流れるように構成される硬化材料から構成され、そのようにして、前記１つまたは複数の誘電体シート（２６）は溶解し流れて、前記少なくとも１つの半導体デバイス（１２）の周囲に存在する任意の空気ギャップを埋めるパッケージ構造（１０）。

【請求項２８】

少なくともその一部分に塗布された接着剤（２２）を有する第１の誘電体層（１４）と

、

前記接着剤（２２）により前記第１の誘電体層（１４）に付着される１つまたは複数の半導体デバイス（１２）であって、前記１つまたは複数の半導体デバイス（１２）の各々の表面が前記第１の誘電体層（１４）に付着されるコンタクトパッドをその上に有する、１つまたは複数の半導体デバイス（１２）と、

前記１つまたは複数の半導体デバイス（１２）を埋め込むように、前記１つまたは複数の半導体デバイス（１２）の周りの前記第１の誘電体層（１４）に配置される誘電体封入材（２４）であって、前記１つまたは複数の半導体デバイス（１２）の周囲に存在する任意の空気ギャップを埋めるように、硬化の際に溶解し流れるように構成される１つまたは複数の硬化していないかまたは部分的に硬化した誘電体シート（２６）を含む誘電体封入材（２４）と、

前記１つまたは複数の半導体デバイス（１２）に至るように形成される複数のビア（３０）であって、前記第１の誘電体層（１４）および前記誘電体封入材（２４）の少なくとも一方に形成される複数のビア（３０）と、

前記１つまたは複数の半導体デバイス（１２）に対する全ての電氣的および熱的相互接続を形成する前記複数のビア（３０）において、ならびにＰＯＬパッケージ構造（１０）において形成されるＰＯＬ相互接続と、

前記第１の誘電体層（１４）の反対側の前記パッケージ構造（１０）の外側に面する表面（１８、２０）に配置され、前記１つまたは複数の誘電体シート（２６）の前記硬化の間に流れないように構成される第２の誘電体層（１６）と、

含み、

前記誘電体封入材（２４）および前記少なくとも１つの半導体デバイス（１２）は、前記第１の誘電体層（１４）と前記第２の誘電体層（１６）との間に配置され、

前記第１の誘電体層（１４）は、前記１つまたは複数の誘電体シート（２６）の前記硬化の間に流れないように構成される、パワーオーバーレイ（ＰＯＬ）パッケージ構造（１０）。