



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0049825
(43) 공개일자 2008년06월04일

(51) Int. Cl.
G06F 7/00 (2006.01) *G06F 7/57* (2006.01)
G06F 7/503 (2006.01)
(21) 출원번호 10-2008-7009079
(22) 출원일자 2008년04월16일
 심사청구일자 **없음**
 번역문제출일자 2008년04월16일
(86) 국제출원번호 PCT/US2006/039180
 국제출원일자 2006년10월04일
(87) 국제공개번호 WO 2007/047167
 국제공개일자 2007년04월26일
(30) 우선권주장
 11/252,061 2005년10월17일 미국(US)

(71) 출원인
 프리스케일 세미컨덕터, 인크.
 미합중국 텍사스 (우편번호 78735) 오스틴 월리암
 캐논 드라이브 웨스트 6501
(72) 발명자
 누네스, 링콘, 알.
 미국 텍사스 78613, 레이크라인 세다 파크, 옥스
 드라이브 2026
 페니쉬, 알베르트, 엔.
 미국 텍사스 78729, 오스틴, 카힐 드라이브 8518
(74) 대리인
 이범래, 장훈

전체 청구항 수 : 총 20 항

(54) 임베딩된 마스킹을 갖는 빠른 회전자와 그 방법

(57) 요 약

연산수를 회전하는 연산수 회전자(100) 및 방법이 개시된다. 연산수 회전자(100)는 복수의 연산수 크기들 중의 하나를 나타내는 연산수 크기를 수신하기 위한 제 1 입력, 회전량 신호를 수신하기 위한 제 2 입력, 그리고 복수의 제어 신호들을 제공하기 위한 제어 출력을 갖는 제 1 디코더(102)를 포함한다. 연산수 회전자(100)는 또한, 제 1 디코더(102)의 제어 출력에 결합되는 제 1 입력, 데이터 요소를 수신하기 위한 제 2 입력, 그리고 회전된 데이터를 제공하기 위한 출력을 갖는 회전자(104)를 포함한다. 회전자(104)는, 회전량 신호에 대응하는 양만큼 복수의 연산수 크기들 중의 하나에 대응하는 데이터 요소의 부분들을 회전하기 위해 복수의 제어 신호들에 반응적이다.

특허청구의 범위

청구항 1

연산수 회전자(operand rotator)에 있어서,

복수의 연산수 크기들 중의 하나를 나타내는 연산수 크기를 수신하기 위한 제 1 입력, 회전량 신호를 수신하기 위한 제 2 입력, 그리고 복수의 제어 신호들을 제공하기 위한 제어 출력을 갖는 제 1 디코더; 및

상기 제 1 디코더의 제어 출력에 결합되는 제 1 입력, 데이터 요소를 수신하기 위한 제 2 입력, 그리고 출력을 갖는 회전자를 포함하고, 상기 회전자는 상기 회전량 신호에 따른 양만큼 상기 복수의 연산수 크기들 중의 하나에 대응하는 상기 데이터 요소의 부분들을 회전하기 위해 상기 복수의 제어 신호들에 반응적인, 연산수 회전자.

청구항 2

제 1 항에 있어서, 상기 제 1 디코더는 또한 시프트 유형을 수신하기 위한 제 3 입력을 가지며, 상기 시프트 유형에 응답하여 상기 복수의 제어 신호들을 더 제공하는, 연산수 회전자.

청구항 3

제 2 항에 있어서, 상기 회전자는 상기 출력에 시프트된 데이터를 제공하기 위해 회전된 데이터 요소에 대해 마스킹 연산을 수행하기 위해 상기 복수의 제어 신호들에 더 반응적인, 연산수 회전자.

청구항 4

제 1 항에 있어서,

상기 연산수 크기를 수신하기 위한 제 1 입력, 시프트량 신호를 수신하기 위한 제 2 입력, 그리고 복수의 마스킹 제어 신호들을 제공하기 위한 제어 출력을 갖는 제 2 디코더; 및

상기 제 2 디코더의 제어 출력에 결합된 제 1 입력, 상기 회전자의 출력에 결합된 제 2 입력, 그리고 시프트된 데이터를 제공하기 위한 출력을 갖는 마스킹 모듈을 더 포함하고, 상기 마스킹 모듈은 상기 시프트량 신호에 대응하는 양만큼 상기 복수의 연산수 크기들 중 하나에 대응하는 상기 데이터 요소의 부분들을 시프트하기 위해 상기 복수의 마스킹 제어 신호들에 반응적인, 연산수 회전자.

청구항 5

제 1 항에 있어서, 상기 제 1 디코더는 상기 회전량 신호의 제 1 부분을 디코딩하기 위한 제 1 디코딩 논리, 그리고 상기 회전량 신호의 제 2 부분을 디코딩하기 위한 제 2 디코딩 논리를 포함하는, 연산수 회전자.

청구항 6

제 5 항에 있어서, 상기 회전자는 상기 제 1 디코딩 논리의 출력에 결합되는 입력을 갖는 제 1 단의 다중화기들(multiplexers)을 포함하고, 제 1 단의 다중화기들은 상기 데이터 요소를 부분적으로 시프트하는, 연산수 회전자.

청구항 7

제 6 항에 있어서, 상기 회전자는, 상기 제 2 디코딩 논리의 출력에 결합되는 제 1 입력, 상기 부분적으로 시프트된 데이터 요소를 수신하기 위해 제 1 단의 다중화기들의 출력에 결합되는 제 2 입력을 갖는 제 2 단의 다중화기들을 포함하고, 상기 제 2 단의 다중화기들은 상기 회전 데이터를 제공하기 위한 것인, 연산수 회전자.

청구항 8

제 1 항에 있어서, 상기 복수의 연산수 크기들은 바이트(byte) 크기, 1/2 워드(word) 크기, 및 워드 크기를 포함하는, 연산수 회전자.

청구항 9

제 1 항에 있어서, 상기 복수의 연산수 크기들은 워드 크기의 2배를 포함하는, 연산수 회전자.

청구항 10

제 1 항에 있어서, 상기 회전자는 좌측 혹은 우측 방향으로 벡터 데이터의 부분들을 회전하기 위해 상기 복수의 제어 신호들에 반응적인, 연산수 회전자.

청구항 11

연산수 회전자에 있어서,

복수의 연산수 크기들 중의 하나를 나타내는 연산수 크기를 수신하기 위한 제 1 입력, 회전량을 수신하기 위한 제 2 입력, 시프트 유형을 수신하기 위한 제 3 입력, 및 복수의 제어 신호들을 제공하기 위한 제어 출력을 갖는 디코더; 및

상기 디코더의 상기 제어 출력에 결합된 제 1 입력, 데이터 요소를 수신하기 위한 제 2 입력, 그리고 회전되거나 혹은 시프트되는 데이터를 제공하기 위한 출력을 갖는 회전자 및 마스크 논리 회로를 포함하고, 상기 회전자 및 시프터는 상기 회전량 신호에 대응하는 양만큼 상기 복수의 연산수 크기들 중의 하나에 대응하는 상기 데이터 요소의 부분들을 회전하거나 혹은 시프트하기 위해 상기 복수의 제어 신호들에 반응적인, 연산수 회전자.

청구항 12

제 11 항에 있어서, 상기 회전자 및 시프터는 상기 데이터 요소를 부분적으로 회전하거나 혹은 시프트하기 위해 상기 복수의 제어 신호들의 제 1 부분에 반응적인 제 1 단의 다중화기들을 포함하는, 연산수 회전자.

청구항 13

제 12 항에 있어서, 상기 회전자 및 시프터는, 상기 부분적으로 회전된 데이터 요소를 수신하여 상기 부분적으로 회전되거나 혹은 시프트된 데이터 요소를 제공하고, 상기 데이터 요소를 더 회전하거나 혹은 시프트하기 위해 제 2 단의 다중화기들을 더 포함하는, 연산수 회전자.

청구항 14

제 12 항에 있어서, 상기 제 1 단의 다중화기들은 부호 확장 입력(sign extend input)을 포함하고, 제 1 단의 다중화기들은 상기 부호 확장 입력에 기초한 상기 데이터 요소를 시프트하기 위해 상기 시프트 유형 신호에 반응적인, 연산수 회전자.

청구항 15

데이터 유닛을 회전하기 위한 방법에 있어서,

첫 번째로 제 1 디코더에서 복수의 연산수 크기들 중의 하나를 나타내는 제 1 연산수 크기를 수신하는 단계;

상기 제 1 디코더에서 회전량 신호를 수신하는 단계;

상기 제 1 디코더로부터 회전자로 복수의 제어 신호들을 제공하는 단계; 및

상기 회전량 신호에 대응하는 양만큼 상기 제 1 연산수 크기에 대응하는 제 1 데이터 요소의 부분들을 회전하는 단계를 포함하는, 데이터 유닛을 회전하기 위한 방법.

청구항 16

제 15 항에 있어서,

두 번째로 상기 제 1 디코더에서 복수의 연산수 크기들 중의 하나를 나타내는 제 2 연산수 크기를 수신하는 단계로서, 상기 제 2 연산수 크기는 상기 제 1 연산수 크기와는 상이한, 상기 수신 단계; 및

상기 회전량 신호에 대응하는 양만큼 상기 제 2 연산수 크기에 대응하는 제 2 데이터 요소의 부분들을 회전하는 단계를 더 포함하는, 데이터 유닛을 회전하기 위한 방법.

청구항 17

제 15 항에 있어서,

상기 제 1 디코더에서 시프트량 신호를 수신하는 단계; 및

상기 시프트량 신호에 대응하는 양만큼 상기 복수의 연산수 크기들 중의 하나에 대응하는 벡터 데이터의 부분들을 시프팅하는 단계를 더 포함하는, 데이터 유닛을 회전하기 위한 방법.

청구항 18

제 17 항에 있어서, 상기 벡터 데이터의 부분들은 대수적(algebraic) 우측 시프트 연산에 대응하는 방식으로 시프트되는, 데이터 유닛을 회전하기 위한 방법.

청구항 19

제 15 항에 있어서, 상기 복수의 연산수 크기들은 바이트 크기, 1/2 워드 크기, 및 워드 크기를 포함하는, 데이터 유닛을 회전하기 위한 방법.

청구항 20

제 15 항에 있어서, 상기 복수의 연산수 크기들은 워드 크기의 2배를 포함하는, 데이터 유닛을 회전하기 위한 방법.

명세서

기술 분야

<1> 본 개시는 일반적으로 계산 회로에 관한 것이고, 더 구체적으로는, 집적 회로에서 연산수들(operands)을 회전시키고 시프트(shift)시키기 위한 시스템들에 관한 것이다.

배경기술

<2> 데이터 프로세서는 그 자신의 명령 세트들을 구현하기 위해 다양한 시프트 연산들을 요구한다. 시프트 연산들은 좌측 시프트들, 우측 시프트들, 및 회전들을 포함할 수 있다. 이 시프트들은 계산적이거나 혹은 논리적이고, 연산수의 어느 한 쪽의 비트들이 어떻게 핸들링되는지를 결정한다. 각각의 시프트 혹은 회전 연산은 다양한 길이를 갖는다. 주어진 비트 위치로 어느 비트가 시프트되는지는 시프트 연산의 유형과 회전량에 의해 결정된다.

<3> 여러 종류들의 시프터들(shifters)이 존재한다. 단순한 시프트 레지스터는 병렬로 입력 연산수를 저장하고나서, 각각의 클럭 사이클 동안 1 비트 위치만큼 직렬로 연산수를 시프트한다. 연산수가 원하는 수의 비트들만큼 시프트되었을 때, 그 결과는 병렬로 시프트 레지스터로부터 판독된다. 또 다른 유형의 시프터는 배럴(barrel) 시프터이다. 배럴 시프터는 소스(source) 연산수의 각각의 비트로부터 목적지(destination) 연산수의 각각의 비트로의 접속들을 포함한다. 그러므로, 배럴 시프터는 임의 수의 비트 위치들에 의해 시프트 명령을 수행할 수 있다. 배럴 시프터들은 2개의 레지스터들을 일반적으로 포함하고, 이를 각각은, 방향에 따라, 시프트 연산의 소스 레지스터 또는 목적지 레지스터로서 기능한다. 소스 및 목적지 레지스터들은, 기본적으로 $M \times M$ 트랜지스터들의 행렬이고, 여기서 M 은 연산수의 크기인 시프트 어레이에 결합된다. 배럴 시프터들은 빠르지만, 대량의 회로 영역을 요구한다.

<4> 데이터 프로세서는 또한 벡터 연산들을 지원하도록 요구되거나, 또는 단일 명령 복수 데이터(single instruction multiple data; SIMD)로서 알려질 수 있다. 그런 연산들을 지원하기 위해, 데이터 프로세서는, 벡터 연산수들에 대해, 시프트 및 회전 연산들을 포함하는 계산 및 논리 연산들을 수행하도록 요구된다. 벡터 연산수들은 다양한 크기일 수 있다. 벡터 프로세서들에서 시프트들을 수행하기 위한 하나의 알려진 기술은 각각의 가능한 벡터 크기를 지원하는 복수의 시프터들을 병렬로 갖는 것이다. 그러나, 이 기술은 복수의 배럴 시프터들과 대량의 회로 영역을 요구한다.

발명의 상세한 설명

<5> 연산수를 회전시키는 시스템 및 방법이 개시된다. 상기 시스템은 복수의 연산수 크기들 중의 하나를 나타내는 연산수 크기를 수신하기 위한 제 1 입력, 회전량 신호를 수신하기 위한 제 2 입력, 및 복수의 제어 신호들을 제

공하기 위한 제어 출력을 포함한다. 상기 시스템은 또한, 제 1 디코더의 제어 출력에 접속되는 제 1 입력, 데이터 요소를 수신하기 위한 제 2 입력, 및 회전된 데이터를 제공하기 위한 출력을 갖는 회전자를 포함한다. 상기 회전자는, 회전량 신호에 대응하는 양만큼 복수의 연산수 크기들 중의 하나에 대응하는 데이터 요소의 부분들을 회전하기 위해 복수의 제어 신호들에 반응적이다.

<6> 특정한 일 양태에서, 제 1 디코더는 또한 시프트 유형을 수신하기 위한 제 3 입력을 갖고, 시프트 유형에 응답하여 복수의 제어 신호들을 더 제공한다. 또 다른 특정한 양태에서, 회전자는, 출력에 시프트된 데이터를 제공하기 위해 회전된 데이터 요소에 대해 마스킹 연산을 수행하기 위해 복수의 제어 신호들에 더 반응적이다.

<7> 또 다른 양태에서, 상기 시스템은, 연산수 크기를 수신하기 위한 제 1 입력, 시프트량 신호를 수신하기 위한 제 2 입력, 그리고 복수의 마스킹 제어 신호들을 제공하기 위한 제어 출력을 갖는 제 2 디코더를 포함한다. 상기 시스템은 또한, 제 2 디코더의 제어 출력에 결합된 제 1 입력, 회전자 모듈의 출력에 결합된 제 2 입력, 그리고 시프트된 데이터를 제공하기 위한 출력을 갖는 마스킹 모듈을 포함한다. 마스킹 모듈은, 시프트량 신호에 대응하는 양만큼 복수의 연산수 크기들 중의 하나에 대응하는 데이터 요소의 부분들을 시프트하기 위해 복수의 마스킹 제어 신호들에 반응적이다.

<8> 또 다른 양태에서, 제 1 디코더는 회전량 신호의 제 1 부분을 디코딩하기 위한 제 1 디코딩 논리 그리고 회전량 신호의 제 2 부분을 디코딩하기 위한 제 2 디코딩 논리를 포함한다.

<9> 일 특정 양태에서, 회전자는 제 1 디코딩 논리의 출력과 결합된 입력을 갖는 제 1 단의 다중화기들(multiplexers)을 포함하고, 상기 제 1 단의 다중화기들은 데이터 요소를 부분적으로 시프트하기 위한 것이다. 또 다른 특정 양태에서, 회전자는 제 2 디코딩 논리의 출력과 결합된 제 1 입력, 그리고 부분적으로 시프트된 데이터 요소를 수신하기 위한 제 1 단의 다중화기들의 출력과 결합된 제 2 입력을 갖는 제 2 단의 다중화기들을 포함하고, 이 제 2 단의 다중화기들은 회전된 데이터를 제공하기 위한 것이다. 여전히 또 다른 특정 양태에서, 디코더는 회전량의 제 3 부분을 디코딩하기 위해 제 3 디코딩 논리를 포함하고, 회전자는 다중화기들의 제 3 단을 포함한다.

<10> 또 다른 특정 양태에서, 복수의 연산수 크기들은 바이트(byte) 크기, 1/2 워드(word) 크기, 및 워드 크기를 포함한다. 또 다른 특정 양태에서, 복수의 연산수 크기들은 워드 크기의 2배 또는 다른 워드 크기의 복수 배들을 포함한다.

<11> 일 특정한 양태에서, 회전자는 벡터 데이터의 부분들을 좌측 혹은 우측 방향으로 회전하기 위해 복수의 제어 신호들에 반응적이다.

<12> 일 특정 양태에서, 시스템은, 복수의 연산수 크기들 중의 하나를 나타내는 연산수 크기를 수신하기 위한 제 1 입력, 회전량을 수신하기 위한 제 2 입력, 시프트량을 수신하기 위한 제 3 입력, 및 복수의 제어 신호들을 제공하기 위한 제어 출력을 갖는 디코더를 포함한다. 시스템은 또한, 디코더의 제어 출력과 결합된 제 1 입력, 데이터 요소를 수신하기 위한 제 2 입력, 및 회전되거나 혹은 시프트된 데이터를 제공하기 위한 출력을 갖는 회전자와 마스크 논리 회로를 포함하고, 상기 회전자와 시프터는 회전량 혹은 시프트량 신호에 대응하는 양만큼 복수의 연산수 크기들 중의 하나에 대응하는 데이터 요소의 부분들을 회전 혹은 시프트하기 위한 복수의 제어 신호들에 반응적이다.

<13> 일 특정 양태에서, 회전자와 시프터는 데이터 요소를 부분적으로 회전하거나 또는 시프트하기 위해 복수의 제어 신호들의 제 1 부분에 반응적인 제 1 단의 다중화기들을 포함한다. 또 다른 특정 양태에서, 회전자와 시프터는 또한 부분적으로 회전된 데이터 요소를 수신하고 데이터 요소를 더 회전하거나 혹은 시프트하기 위해 상기 부분적으로 회전되거나 혹은 시프트된 데이터 요소를 제공하기 위한 제 2 단의 다중화기들을 더 포함한다.

<14> 일 특정 양태에서, 제 1 단의 다중화기들은 부호 확장 입력(sign extend input)을 포함하고, 제 1 단의 다중화기들은 데이터 요소를 시프트하기 위한 부호 확장 입력에 반응적이다.

<15> 방법은, 첫 번째로 제 1 디코더에서 복수의 연산수 크기들 중의 하나를 나타내는 제 1 연산수 크기를 수신하는 단계, 그리고 제 1 디코더에서 회전량 신호를 수신하는 단계를 포함한다. 상기 방법은 또한, 제 1 디코더로부터 회전자로 복수의 제어 신호들을 제공하는 단계, 그리고 회전량 신호에 대응하는 양만큼 복수의 연산수 크기들 중의 하나에 대응하는 데이터 요소의 부분들을 회전하는 단계를 포함한다.

<16> 일 특정 양태에서, 상기 방법은 또한 두 번째로 제 1 디코더에서 제 2 연산수 크기를 수신하는 단계를 포함하고, 제 2 연산수 크기는 제 1 연산수 크기와는 상이하다. 이 양태에서, 상기 방법은 또한 회전량 신호에

대응하는 양만큼 제 2 연산수 크기에 대응하는 데이터 요소의 부분들을 회전하는 단계를 포함한다.

<17> 또 다른 특정 양태에서, 상기 방법은 제 1 디코더에서 시프트량 신호를 수신하는 단계, 그리고 시프트량 신호에 대응하는 양만큼 복수의 연산수 크기를 중의 하나에 대응하는 벡터 데이터의 부분들을 시프팅하는 단계를 포함한다. 또 다른 특정 양태에서, 벡터 데이터의 부분들은 대수적(algebraic) 우측 시프트 연산에 대응하는 방식으로 시프트된다. 여전히 또 다른 특정 양태에서, 복수의 연산수 크기들은 바이트 크기, 1/2 워드 크기, 및 워드 크기를 포함한다. 일 특정 양태에서, 복수의 연산수 크기들은 워드 크기의 2배 혹은 워드 크기의 다른 복수 배들을 포함한다.

실시예

<24> 도 1을 참조하면, 본 발명에 따른 연산수 회전자(100)가 도시된다. 연산수 회전자(100)는 제 1 디코더(102), 회전자(104), 제 2 디코더(106), 및 마스킹 모듈(108)을 포함한다. 제 1 디코더(102)는 "Amw", "Amh", 및 "Amb"로 레이블링된 사프트량 신호들을 수신하기 위한 제 1 제어 입력 단자들, "B/H/W"로 레이블링된 연산수 크기 신호들을 수신하기 위한 제 2 제어 입력 단자들, 그리고 복수의 제어 출력 단자들을 갖는다. 회전자(104)는 "VA[0:31]"로 레이블링된 입력 연산수를 수신하기 위한 데이터 입력, 디코더(102)의 제어 출력 단자들의 대응하는 것들에 접속되는 제어 입력 단자들의 세트, 그리고 회전된 데이터 신호를 제공하기 위한 데이터 출력 단자를 갖는다. 제 2 디코더(106)는 시프트량 신호들 Amw, Amh, 및 Amb를 수신하기 위한 제 1 제어 입력 단자들, 그리고 "Rot/Shf"로 레이블링된 시프트 유형 신호들을 수신하기 위한 제 2 제어 입력 단자들을 갖는다. Rot/Shf로 레이블링된 신호들은, 연산이 시프트 혹은 회전 연산, 시프트 좌측 혹은 시프트 우측 연산, 그리고 논리 시프트 혹은 대수적 시프트 연산이어야 하는지의 여부를 나타내는 op 코드를 포함한다. 제 2 디코더(106)는 또한 복수의 제어 출력 단자들을 포함한다. 마스킹 모듈(108)은 "최종 결과"로서 레이블링된 데이터 출력 신호를 제공하기 위해 데이터 출력 단자를 갖는다.

<25> 연산에서, 연산수 회전자(100)는 상이한 벡터 포맷들로 표현될 수 있는 연산수들에 회전 및 시프트 연산들을 수행할 수 있는 벡터 회전자이다. 도 1에 도시된 실시예에서, 연산수 회전자(100)는 8-비트, 16-비트, 및 32-비트(즉, 바이트, 1/2 워드, 워드) 벡터 연산수들에 대해 시프트들 및 회전들을 지원한다. 워드 크기의 2배, 혹은 워드 크기의 다른 복수 배들과 같은, 다른 연산수 크기들은 대안적 실시예들에서 지원될 수 있다.

<26> 추가로, 연산수 회전자(100)는 상이한 양만큼 벡터 연산수의 상이한 부분들을 회전시킬 수 있다. 예를 들어, 32-비트 연산수에 대해, 연산수 회전자(100)는 제 1 양만큼 연산수의 제 1 1/2 워드를 시프트하고, 제 2 양만큼 연산수의 제 2 1/2 워드를 시프트할 수 있다.

<27> 연산수 회전자(100)는 시프트들을 수행하고, 2 단들에서 동작한다. 제 1 단에서, 비트들은 회전자(104)에 의해 회전 연산에서 회전된다. 제 2 단에서, 특정 비트 위치들은 명령에 의해 결정된 것처럼 대수적 시프트들 혹은 논리적 시프트들로 단순한 회전 연산을 변환시키기 위해 마스킹 모듈(108)에 의해 경계 조간들을 핸들링하도록 마스킹된다. 회전 연산을 수행하기 위해, 제 1 디코더(102)는 벡터 크기 B/H/W는 물론이고 제어 신호들 Amw, Amh, 및 Amb를 디코딩한다. 디코딩된 제어 신호들에 기초하여, 회전자(104)는 적절한 양만큼 벡터 연산수의 각각의 부분을 회전한다.

<28> 연산수 회전자(100)는 제 2 디코더(106)와 마스킹 모듈(108)을 사용하여 단순한 회전 연산들을 시프트 연산들로 변환한다. 마스킹 모듈(108)은, 시프트의 유형 그리고 수행될 시프트의 경계 조건들을 결정하기 위해 시프트 유형 신호들 Rot/Shf 뿐만이 아니라 제어 신호들 Amw, Amh, 및 Amb에 반응적이다. 마스킹 모듈(108)은, 대수적 시프트 연산 후의 부호 비트와 같이, 빈 비트 위치들에 삽입될 값을 결정하기 위해 마스크를 적용한다.

<29> 회전량과 벡터 크기 모두를 사용하여 추가적 디코딩을 수행하여, 회전자(100)는 모든 지원되는 시프트량들과 벡터 크기들을 핸들링하기 위해 단일 32 x 32 행렬에서 제어 신호들을 생성할 수 있다. 그러므로, 디코더(102)가 필적할만한 베럴 시프터의 디코더보다 어느 정도 더 클 수 있지만, 회전자(104)의 행렬은 32 x 32 베럴 시프트에 대해 사용되는 시프트 어레이와 거의 같은 크기이다. 더욱이, 연산수 회전자(100)는, 모든 지원되는 벡터 크기들에 대해 사용될 수 있고, 특정 연산수의 상이한 부분들을 독립적으로 시프트하거나 혹은 회전할 수 있으므로, 벡터 프로세서들에서 크게 회로 영역을 절약한다. 추가로, 연산수 회전자는 절전하고, 일부 다른 해결책들보다도 더 빠르다.

<30> 도 2를 참조하면, 연산수 회전자(200)의 대안적 일 실시예가 도시된다. 연산수 회전자는 디코더(202), 회전자, 및 마스킹 모듈(204)을 포함한다. 디코더(202)는 "Amw", "Amh", 및 "Amb"로서 레이블링된 시프트량 신호들을 수신하기 위한 제 1 제어 입력 단자들, "B/H/W"로서 레이블링되는 연산수 크기 신호들을 수신하기 위한 제 2 제

어 입력 단자들, "Rot/Shf"로서 레이블링되는 시프트 유형 신호들을 수신하기 위한 제 3 제어 입력 단자들, 그리고 복수의 제어 출력 단자들을 포함한다. 회전자 및 마스킹 모듈(204)은 "VA[0:31]"로 레이블링된 입력 연산 수를 수신하기 위한 데이터 입력, 디코더(202)의 제어 출력 단자들의 대응하는 것들에 접속되는 제어 입력 단자들의 세트, 그리고 "최종 결과"로서 레이블링되는 데이터 출력 신호를 제공하기 위한 데이터 출력 단자를 갖는다.

- <31> 연산에서, 연산수 회전자(200)는 상이한 벡터 포맷들로 표현될 수 있는 연산수들에 대해 회전 및 시프트 연산들을 수행할 수 있는 벡터 회전자이다. 연산수 회전자(100)에 대해, 연산수 회전자(200)는 8-비트, 16-비트, 및 32-비트(즉, 바이트, 1/2 워드, 및 워드) 벡터 연산수들에 대해 시프트들과 회전들을 지원하지만, 워드 크기의 2배와 같은 다른 연산수 크기들은 대안적 실시예들에서 지원될 수 있다.
- <32> 회전 연산을 수행하기 위해, 디코더(202)는 제어 신호들 B/H/W 및 Rot/Shf는 물론이고 제어 신호들 Amw, Amh, 및 Amb를 디코딩한다. 디코딩된 제어 신호들에 기초하여, 회전자와 마스킹 모듈(204)은 적절량만큼 벡터 연산수의 각각의 부분을 회전시키고, 다양하게 지원되는 시프트 연산들에 대한 경계 조건들을 핸들링하기 위한 마스킹을 수행한다.
- <33> 도 1의 연산수 회전자(100)의 이점들에 추가하여, 연산수 회전자(200)는 회전 및 마스킹 함수들을 단일 회로로 병합하여, 추가적 회로 영역 및 추가적 전력을 절약하고, 추가적 속도를 제공한다.
- <34> 도 3은 도 2의 디코더(202), 회전자, 및 마스킹 모듈(204)의 일부를 형성하는 회로(300)를 블럭도 형태로 나타낸다. 회로는, 제 1 디코더(302), 제 2 디코더(304), 그리고 제 1 다중화기(306), 제 2 다중화기(308), 제 3 다중화기(310), 및 제 4 다중화기(312)를 포함하는 제 1 단의 다중화기들을 포함한다. 상기 시스템은 또한, 부호 확장 모듈(314), 그리고 제 5 다중화기(316), 제 6 다중화기(318), 제 7 다중화기(320), 및 제 8 다중화기(322)를 포함하는 제 2 단의 다중화기들을 포함한다. 상기 시스템은 또한 출력 레지스터(324) 및 입력 레지스터들(326, 328, 및 330)을 포함한다.
- <35> 제 1 디코더(302)는 제 2 입력 레지스터(328)에 저장되는 "I1 RS-OP"로서 레이블링되는 시프트 유형 신호들을 수신하기 위한 제 1 제어 입력 단자들, 제 3 입력 레지스터(330)에 저장되는 "I1 RS-VB"로서 레이블링되는 시프트량 신호들을 수신하기 위한 제 2 제어 입력 단자들, 그리고 복수의 제어 출력 단자들을 갖는다. 제 2 디코더(304)는 또한 "I1 RS-OP"로서 레이블링되는 시프트량을 수신하기 위한 제 1 제어 입력 단자들, "I1 RS-VB"로서 레이블링되는 시프트량 신호들을 수신하기 위한 제 2 제어 입력 단자들, 그리고 복수의 제어 출력 단자들을 갖는다. 부호 확장 모듈(314)은 "I1 RS-OP"로서 레이블링되는 시프트 유형 신호들을 수신하기 위한 제어 입력들, 제 1 입력 레지스터(326)에 저장되는 "I1 RS-VA"로서 레이블링되는 입력 연산수의 4 비트들을 수신하기 위한 데이터 입력들, 그리고 데이터 출력 단자를 포함한다.
- <36> 다중화기들(306, 308, 310, 및 312)은 각각 "MOA", "MOB", "M1A", "M1B", "M2A", "M2B", "M3A", 및 "M3B"로 각각 레이블링된 2개의 다중화기들로 구성된다. 다중화기들(306, 308, 310, 및 312) 각각은 I1 RS-VA로서 레이블링되는 입력 연산수를 수신하기 위한 제 1 데이터 입력들, 부호 확장 모듈(314)의 데이터 출력 단자에 대응하는 제 2 데이터 입력들, 그리고 제 1 디코더(302)의 제어 출력 단자들의 대응하는 것들에 접속되는 복수의 제어 입력 단자들을 갖는다. 제 1 다중화기(306)는 "M0_res[0:15]"로서 레이블링되는 데이터 출력 신호를 제공하기 위한 데이터 출력 단자를 포함한다. 제 2 다중화기(308)는 "M1_res[0:15]"로서 레이블링되는 데이터 출력 신호를 제공하기 위한 데이터 출력 단자를 포함한다. 제 3 다중화기(310)는 "M2_res[0:15]"로서 레이블링되는 데이터 출력 신호를 제공하기 위한 데이터 출력 단자를 포함한다. 제 4 다중화기(312)는 "M3_res[0:15]"로서 레이블링되는 데이터 출력 신호를 제공하기 위한 데이터 출력 단자를 포함한다.
- <37> 다중화기들(316, 318, 320, 및 322)은 각각 다중화기들(306, 308, 310, 및 312)의 대응하는 데이터 출력을 수신하기 위한 제 1 데이터 입력들, 그리고 제 2 디코더(304)의 제어 출력 단자들의 대응하는 것들에 접속되는 복수의 제어 입력 단자들을 갖는다. 제 5 다중화기(316)는 "R[0:7]"로서 레이블링되는 데이터 출력 신호를 제공하기 위한 데이터 출력 단자를 포함한다. 제 6 다중화기(318)는 "R[8:15]"로서 레이블링되는 데이터 출력 신호를 제공하기 위한 데이터 출력 단자를 포함한다. 제 7 다중화기(320)는 "R[16:23]"로서 레이블링되는 데이터 출력 신호를 제공하기 위한 데이터 출력 단자를 포함한다. 제 8 다중화기(322)는 "R[24:31]"로서 레이블링되는 데이터 출력 신호를 제공하기 위한 데이터 출력 단자를 포함한다.
- <38> 연산 동안, 제 1 디코더(302)는 회전량 신호, 연산수 크기, 및 시프트 유형 신호의 더 높은 혹은 더 중요한 비트들을 수신한다. 디코더(302)는 제 1 단의 다중화기들에 제어 신호들을 제공하기 위해 이들 수신된 비트들을

디코딩한다. 다중화기들(306, 308, 310, 및 312)의 제 1 단은 벡터 데이터 요소를 수신하고, 제 1 디코더(302)에 의해 제공되는 제어 신호들에 기초하는 부호 확장 모듈(314)로부터 부호 확장 신호는 수신된 데이터 요소에 기초하여 시프트된 출력을 제공한다.

<39> 제 1 단의 다중화기들은 코어스(coarse) 시프팅 연산을 수행한다. 더 구체적으로, 제 1 단의 다중화기들은 데이터 요소의 코어스 부분들에 대한 시프트 연산을 수행하도록 동작한다. 예를 들어, 데이터 요소가 32 비트 길이이면, 제 1 단의 다중화기들은 데이터 요소를 포함하는 각각의 바이트 혹은 워드를 시프트한다.

<40> 추가로, 다중화기들은 부호 확장 모듈(314)로부터 데이터를 수신한다. 부호 확장 모듈(314)은 제 1 단의 다중화기들에 마스킹 혹은 시프트 연산을 적용하도록 사용된다. 예를 들어, 부호 확장 모듈(314)은, 회전 연산을 시프트 연산으로 수정하기 위해 데이터 요소에 대해 마스킹 연산을 수행하는 방식으로 데이터 요소에 1들이나 0들을 배치하도록 사용될 수 있다.

<41> 제 2 디코더(304)는 회전량의 더 낮은 3 비트들을 디코딩한다. 제 2 디코더(304)는 또한 연산수 크기 및 시프트 유형을 수신한다. 이들 입력들에 기초하여, 제 2 디코더(304)는 다중화기들(316, 318, 320, 및 322)의 제 2 단에 제어 신호들을 제공한다.

<42> 제 2 단의 다중화기들은 제 1 단의 다중화기들의 출력을 수신한다. 그 후, 제 2 단의 다중화기들은 제 2 디코더(304)에 의해 제공되는 제어 신호들에 기초하여 제 1 단의 다중화기들의 출력을 회전한다. 제 2 단의 다중화기들은 "파인(fine)" 시프트 연산을 수행한다. 더 구체적으로, 다중화기들(316, 318, 320, 및 322) 각각은 제 1 단의 다중화기들로부터 16 비트들을 수신하여, 상기 수신된 비트들에 대해 시프트 혹은 회전 연산을 수행한다. 비트들이 회전된 후, 회전된 비트들은 레지스터(324)에서 단일 연산수로 병합된다. 그러므로, 레지스터(324)는 회전되고 시프트된 결과를 저장한다.

<43> 도시된 것처럼 "코어스" 그리고 "파인" 구성에서 다중화기들의 2개의 단들을 사용하여, 연산수의 개별 부분들은 독립적으로 그리고 상이한 회전량으로 회전된다. 추가로, 부호 확장 모듈(314)의 사용은 연산수의 병합된 마스킹을 허용한다. 이것은 회전자에 의해 요구되는 회로 영역의 양을 감소시킨다. 또한, 회로(300)는 상이한 회전 및 시프트 양들을 지원하여, 회전 및 시프트 연산들에 요구되는 전체 회로 영역을 감소시키고, 감소된 전력을 사용하고 더 빠른 회로를 만드는 결과를 가져온다.

<44> 다른 다중화기 구성들이 가능하다. 회전 및 시프트 연산들은 다중화기들의 단일 단을 사용하여 수행될 수 있다. 2 단 이상의 다중화기들의 단들이 또한 사용될 수 있다. 또한, 다중화기들은 제 1 및 제 2 디코더들이 역순이 되도록 구성될 수 있다.

<45> 도 4는 도 3의 회로(300)를 더 상세히 나타내는 회로(400)를 블럭도 형태로 나타낸다. 시스템(400)은 도 3의 회전 회로(300)를 구현하도록 사용될 수 있다. 시스템(400)은 제 1 디코더 모듈(402), 제 2 디코더 모듈(406), 및 부호 확장 모듈(404)을 포함한다. 시스템은 또한, 다중화기들(408, 410, 412, 414, 416, 418, 420, 및 422)로 구성되는 제 1 단의 다중화기들을 포함한다. 시스템(400)은 또한 다중화기들(424, 426, 428, 및 430)로 구성되는 제 2 단의 다중화기들을 포함한다.

<46> 제 1 디코더 모듈(402)은 "VB[12,27:28]"로서 레이블링되는 시프트량 신호들을 수신하기 위한 제 1 제어 입력 단자들, "Shf/Rot"로서 레이블링되는 시프트 유형 신호들을 수신하기 위한 제 2 제어 입력 단자들, "바이트", "1/2(half)", 및 "워드"로서 레이블링되는 연산수 크기를 수신하기 위한 제 3 제어 입력 단자들, 그리고 "좌/우"로서 레이블링되는 시프트 방향들 신호들을 수신하기 위한 제 4 제어 입력 단자들을 포함한다. 제 1 디코더 모듈(402)은 또한 제어 신호들을 제공하기 위한 복수의 제어 출력들을 포함한다. 제 2 디코더 모듈(406)은 "VB[5:7,13:15,21:23,29:31]"로서 레이블링되는 시프트량 신호들을 수신하기 위한 제 1 제어 입력 단자들, "바이트", "1/2(half)", 및 "워드"로서 레이블링되는 연산수 크기를 수신하기 위한 제 2 제어 입력 단자들, 그리고 "좌/우"로서 레이블링되는 시프트 방향들 신호들을 수신하기 위한 제 3 제어 입력 단자들을 포함한다. 제 2 디코더 모듈(406)은 또한 제어 신호들을 제공하기 위한 복수의 제어 출력들을 포함한다.

<47> 시스템(400)은 "VA[0:31]"으로서 레이블링되는 입력 연산수를 수신한다. 다중화기들(408, 410, 412, 414, 416, 418, 420, 및 422)을 포함하는 제 1 단의 다중화기들 각각은 입력 연산수에 기초하여 복수의 데이터 입력들을 수신한다. 예를 들어, 다중화기(408)는 복수의 데이터 입력들을 수신하고, 각각의 입력은 입력 연산수를 포함하는 비트들의 부분들을 포함한다. 그러므로, 도시된 것처럼, 다중화기(408)는, 입력 연산수의 0 내지 7 비트들로 구성되는 "0:7"로서 레이블링되는 데이터 입력을 수신한다. 제 1 단의 다중화기들에서 포함된 다른

다중화기들은 유사한 데이터 입력들을 수신한다.

<48> 추가로, 부호 확장 모듈(404)은 "VA[0,8,16,24]"로서 레이블링되는 복수의 부호 비트들을 수신하기 위한 제 1 데이터 입력들, "Shf_Log/Shf_Ari"로서 레이블링되는 시프트 유형 신호를 수신하기 위한 제 1 제어 입력들, "B/H/W"로서 레이블링되는 연산수 크기를 수신하기 위한 제 2 제어 입력 신호들을 포함한다. 부호 확장 모듈(404)은 또한 "S0", "S1", "S2", 및 "S3"로서 레이블링되는 복수의 데이터 출력들을 포함한다. 제 1 단의 다중화기들의 각각은 부호 확장 모듈(404)의 데이터 출력들의 대응하는 것과 접속되는 데이터 입력을 포함한다. 그러므로, 다중화기들(408 및 410) 각각은 부호 확장 모듈(404)의 "S0" 데이터 출력에 대응하는 데이터 입력을 포함한다. 유사하게, 다중화기들(412 및 414) 각각은 "S1" 데이터 출력에 대응하는 데이터 입력을 포함하고, 다중화기들(416 및 418) 각각은 "S2" 데이터 출력에 대응하는 데이터 입력을 포함하고, 다중화기들(420 및 422) 각각은 부호 확장 모듈(404)의 "S3" 데이터 출력에 대응하는 데이터 입력을 포함한다. 또한, 제 1 단의 다중화기들의 각각은 제 1 디코더(402)의 제어 출력들의 대응하는 것들에 접속되는 복수의 제어 입력들을 포함한다. 제 1 단의 다중화기들의 각각은 또한 데이터 입력을 포함한다.

<49> 다중화기(424), 다중화기(426), 다중화기(428), 및 다중화기(430)를 포함하는 제 2 단의 다중화기들의 각각은 하나 이상의 제 1 단의 다중화기들의 데이터 출력에 기초하여 복수의 데이터 입력들을 포함한다. 그러므로, 다중화기(424)의 데이터 입력은 다중화기(408)와 다중화기(410)의 데이터 출력에 접속된다. 도시된 것처럼, 다중화기들(408 및 410)의 데이터 출력은 "R0[0:15]"로서 레이블링되는 16 비트 1/2 워드를 형성한다. 다중화기(424)의 입력은 1/2 워드 R0[0:15]의 특정 비트들에 기초된다. 예를 들어, 도시된 것처럼, 다중화기(424)의 제 1 입력은 1/2 워드 R0[0:15]의 비트들 0:7로 구성되고, 한편 제 2 입력은 1/2 워드 R0[0:15]의 비트들 1:8로 구성된다. 다중화기들(426, 428, 및 430)은 제 1 단의 다중화기들의 상이한 출력들에 기초하여, 유사한 방식으로 구성된다. 제 2 단의 다중화기들의 각각은 또한 제 2 디코더 모듈(406)의 제어 출력들의 대응하는 것들에 접속되는 복수의 제어 입력들을 포함한다.

<50> 또한, 제 2 단의 다중화기들의 각각은 데이터 출력을 포함한다. 예를 들어, 다중화기(424)는 ROT RES[0:7]로서 레이블링되는 데이터 출력을 제공한다. 다중화기들(424, 426, 428, 및 430)의 각각의 출력들은 회전 결과를 산출하기 위해, 32 비트 레지스터에 배치되는 것처럼, 적절한 방식으로 병합될 수 있다.

<51> 연산 동안, 제 1 디코더 모듈(402)은, 제 1 단의 다중화기들에 대한 제어 신호들을 산출하기 위해 수신된 시프트량, 시프트 유형, 연산수 크기, 및 시프트 방향 신호들을 디코딩한다. 이를 제어 신호들에 기초하여, 제 1 단의 다중화기들의 각각은 출력으로서 제공하기 위해 복수의 입력들 중의 하나를 선택한다. 그러므로, 예를 들어, 다중화기(414)는 출력으로서 제공하기 위해 입력 0:7, 8:15, 16:23, 혹은 23:31를 선택할 수 있다. 이 방식으로, 제 1 단의 다중화기들의 각각은 입력 연산수 VA[0:31]에 대해 코어스 시프트를 수행한다. 추가로, 부호 확장 모듈(404)은 부호 확장 모듈에 제공되는 제어 신호들에 기초하여 제 1 단의 다중화기들에 데이터를 제공한다. 부호 확장 모듈(404)에 의해 제공되는 데이터는 시프트 유형, 시프트 방향, 및 다른 제어 신호들에 따라 적절한 경계 조건들을 적용하기 위해 제 1 단의 다중화기들의 각각의 다중화기에 의해 선택된다. 제 1 단의 다중화기들의 각각의 출력은 그러므로 각각의 다중화기에 제공되는 입력들 중의 하나 그리고 부호 확장 모듈에 의해 제공되는 데이터에 기초된다.

<52> 제 2 디코더 모듈(406)은 제 2 단의 다중화기들에 대해 제어 신호들을 산출하기 위해 수신된 시프트량, 연산수 크기, 및 시프트 방향 신호들을 디코딩한다. 이를 제어 신호들에 기초하여, 제 2 단의 다중화기들의 각각은 출력으로서 제공하기 위해 복수의 입력들 중의 하나를 선택한다. 그러므로, 예를 들어, 다중화기(424)는 출력으로서 제공하기 위해 입력 0:7, 1:8, 2:9, 3:10, 4:11, 5:12, 6:13, 7:14, 혹은 8:15를 선택할 수 있다. 이 방식으로, 제 2 단의 다중화기들의 각각은 제 1 단의 다중화기들의 대응하는 출력에 대해 파인 시프트를 수행한다. 제 2 단 다중화기들의 출력들은 최종 회전되거나 혹은 시프트된 결과를 형성하도록 병합된다.

<53> 위에 설명된 것처럼, "코어스" 회전 단 및 "파인" 회전 단의 사용은 감소된 전력을 사용하는 더 소형의, 더 빠른 회로를 만드는 결과를 가져온다. 추가로, 다중화기들의 감소된 혹은 증가된 단들이 상이한 어플리케이션들에서 사용될 수 있다.

<54> 도 4의 시스템이 벡터 요소들에 대한 연산들을 참조하여 설명되었지만, 시스템은 또한 스칼라 요소들에 대한 연산들을 수행하도록 구성될 수 있다. 이 경우, 스칼라 연산수들이 항상 동일한 크기이라고 가정하면, 디코더들에 연산수 크기가 제공되지 않을 수 있다. 더욱이, 또 다른 데이터 입력이 제 2 단 다중화기들 각각에 제공될 수 있다. 이를 데이터 입력들은 제 2 마스킹 연산을 수행하기 위해 부호 확장 모듈 혹은 다른 적절한 소스로부터 비트들을 주입할 수 있다. 이 제 2 마스킹 연산은, 시스템이, 스칼라 명령 세트에 대해 적절한 시프트들을

수행하기 위해, "주입된 마스킹" 연산 혹은 다른 연산들을 수행하도록 한다. 이 구성에서, 제 2 단 다중화기들은 새로운 데이터 입력을 수용하기 위해 도 4에 도시된 것들보다 더 크지만, 제 1 단은 단순화되고, 도 4에서 사용된 다중화기들의 단지 1/2에 1을 더한 것을 가질 수 있다.

<55> 본 발명의 원칙들이 특정 장치와 연결하여 상술되었지만, 이 설명이 단지 예제이고 본 발명의 범위의 제한으로서 만들어진 것은 아님을 명백히 이해해야 한다.

도면의 간단한 설명

<18> 본 개시는, 동반된 도면들을 참조하여 당업자들에게 그 다수의 특징들 및 이점들이 명백하고, 더 잘 이해될 수 있다.

<19> 도 1은 본 발명에 따른 회전자 시스템의 블럭도이다.

<20> 도 2는 본 발명의 또 다른 실시예에 따른 회전자 시스템의 블럭도이다.

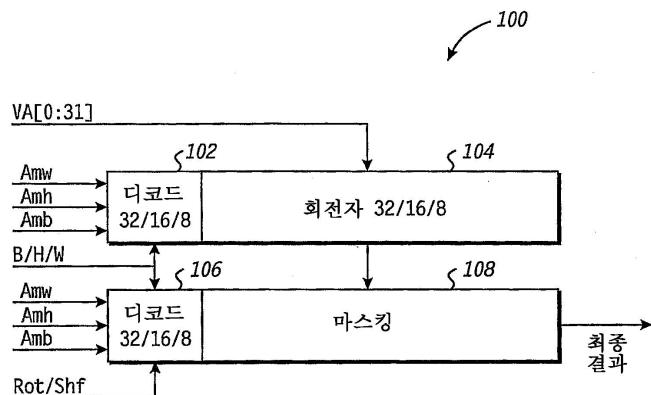
<21> 도 3은 도 2의 디코더, 회전자, 및 마스킹 모듈의 일부를 형성하는 회로를 블럭도 형태로 나타낸다.

<22> 도 4는 도 3의 회로(300)를 더 상세히 나타내는 회로(400)를 블럭도 형태로 나타낸다.

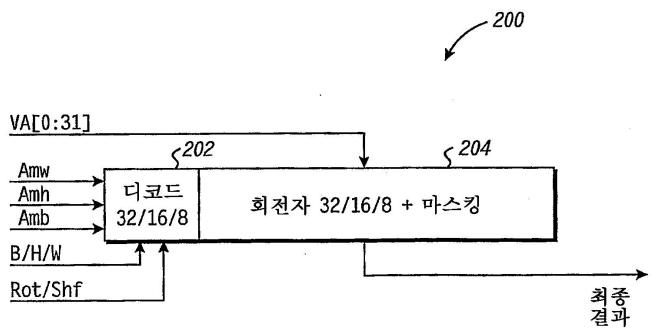
<23> 상이한 도면들에서 동일한 참조부호들의 사용은 유사하거나 혹은 동일한 항목들을 지시한다.

도면

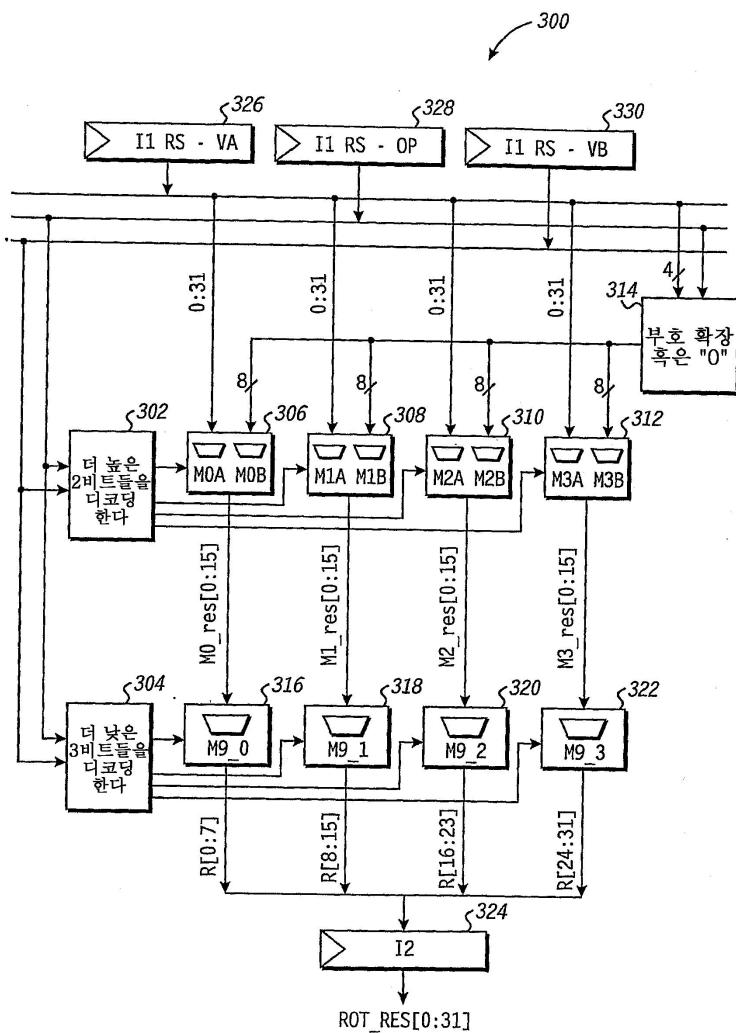
도면1



도면2



도면3



도면4

