

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年1月3日(03.01.2014)

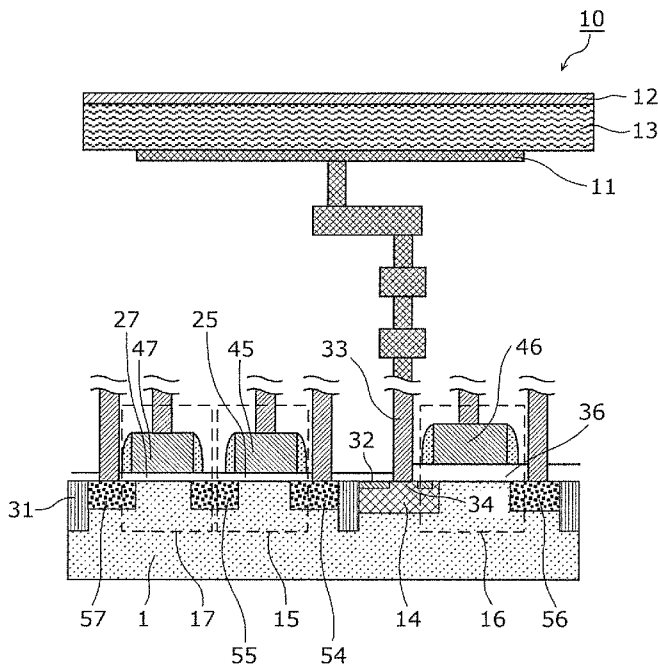


(10) 国際公開番号
WO 2014/002330 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/3745 (2011.01)
H04N 5/374 (2011.01)
 - (21) 国際出願番号: PCT/JP2013/001510
 - (22) 国際出願日: 2013年3月8日(08.03.2013)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2012-144763 2012年6月27日(27.06.2012) JP
 - (71) 出願人: パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者: 森 三佳(MORI, Mitsuyoshi). 大槻 浩久(OHTSUKI, Hirohisa). 大森 愛幸(OHMORI, Yoshiyuki). 佐藤 好弘(SATO, Yoshihiro). 宮川 良平(MIYAGAWA, Ryohei).
 - (74) 代理人: 新居 広守(NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SOLID-STATE IMAGING DEVICE

(54) 発明の名称: 固体撮像装置



(57) Abstract: The solid-state imaging device of the present disclosure is provided with a plurality of two-dimensionally arranged pixels (10). Each pixel (10) is provided with: a metal electrode (11); a photoelectric conversion layer (13) which is formed on the metal electrode, and which converts light to electrical signals; a transparent electrode (12) formed on the photoelectric conversion layer (13); a charge accumulation region (14) which is electrically connected to the metal electrode (11), and which accumulates the charge from the photoelectric conversion layer (13); an amplification transistor (15) which outputs a signal voltage corresponding to the amount of charge in the charge accumulation region (14); and a reset transistor (16) which resets the potential of the charge accumulation region (14). The film thickness of a gate oxide film of the reset transistor (16) is thicker than the film thickness of a gate oxide film (25) of the amplification transistor (15).

(57) 要約: 本開示の固体撮像装置は、二次元状に配置された複数の画素(10)を備え、画素(10)は、金属電極(11)と、金属電極(11)上に形成された、光を電気信号に変換する光電変換層(13)と、光電変換層(13)上に形成された透過電極(12)と、透明電極(12)上に形成された電荷蓄積領域(14)と、電荷蓄積領域(14)の電荷量に応じた信号電圧を出力する増幅トランジスタ(15)と、電荷蓄積領域(14)の電位をリセットするリセットトランジスタ(16)とを備え、リセットトランジスタ(16)のゲート酸化膜の膜厚が、増幅トランジスタ(15)のゲート酸化膜(25)の膜厚より厚い。

明電極(12)と、金属電極(11)と電気的に接続され、光電変換層(13)からの電荷を蓄積する電荷蓄積領域(14)と、電荷蓄積領域(14)の電荷量に応じた信号電圧を出力する増幅トランジスタ(15)と、電荷蓄積領域(14)の電位をリセットするリセットトランジスタ(16)とを備え、リセットトランジスタ(16)のゲート酸化膜の膜厚が、増幅トランジスタ(15)のゲート酸化膜(25)の膜厚より厚い。

WO 2014/002330 A1

明 細 書

発明の名称： 固体撮像装置

技術分野

[0001] 本発明は、画素がアレイ状に配列された固体撮像装置に関する。

背景技術

[0002] 光電変換可能な材料を半導体基板上方に積層し、微細化された画素においても大きな飽和電荷量を実現できる積層型センサが提案されている。

[0003] 図5は、特許文献1に記載された積層型イメージセンサの画素断面図である。同図に示されるように、半導体基板200上方に光電変換層210、透明電極211、画素電極212が形成されている。また、半導体基板200内には、出力回路を構成する複数の不純物領域が形成されている。上記不純物領域には、光電変換層210内で発生した電荷を蓄積するn型の電荷蓄積部201と、電荷蓄積部201の上部に、半導体基板200の表面欠陥起因のリークを低減するためのp型の表面注入領域202が形成されている。また、電荷蓄積部201に蓄積された電荷を信号線に出力するため、浮遊拡散部203へ電荷を転送する転送トランジスタ204が形成されている。浮遊拡散部203は、電荷量に応じた電圧に変換するため増幅トランジスタ205のゲートに接続され、浮遊拡散部203には、信号線へ出力する画素を選択するため選択トランジスタ206が形成されている。また、浮遊拡散部203の電位をリセットするため、リセットトランジスタ207が形成されている。また、光電変換層210内で発生した光電荷を電荷蓄積部201へ伝送するため、コンタクト208が設けられており、コンタクト抵抗を下げるため高不純物濃度のn型のコンタクト注入領域209が形成されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-164604号公報

発明の概要

発明が解決しようとする課題

- [0005] 半導体基板 200 表面のコンタクト 208 近傍では、p 型の表面注入領域 202 と n 型のコンタクト注入領域 209 により p n 接合が形成される。この p n 接合のリーク電流は接合部の電界強度に依存し、接合部でのリーク電流を低減するためには、表面注入領域 202 の不純物濃度を一定以上に高くできない。
- [0006] しかしながら、表面注入領域 202 は、そもそも、半導体基板 200 の表面欠陥、特に加工時に欠陥が誘発されやすいゲート端近傍での欠陥起因のリーク電流を低減するために設けられおり、この不純物濃度を低くすると、欠陥起因のリーク電流を十分に抑制することが出来ない。
- [0007] 本発明は、上記課題に鑑み、リーク電流が抑制された高感度な積層型固体撮像装置を提供することを目的とする。

課題を解決するための手段

- [0008] 上記課題を解決するために、本発明に係る固体撮像装置は、二次元状に配置された複数の画素を備え、前記複数の画素のそれぞれは、金属電極と、前記金属電極上に形成された、光を電気信号に変換する光電変換層と、前記光電変換層上に形成された透明電極と、前記金属電極と電氣的に接続され、前記光電変換層からの電荷を蓄積する電荷蓄積領域と、前記電荷蓄積領域の電荷量に応じた信号電圧を出力する増幅トランジスタと、前記電荷蓄積領域の電位をリセットするリセットトランジスタとを備え、前記リセットトランジスタのゲート酸化膜の膜厚が、前記増幅トランジスタのゲート酸化膜の膜厚より厚いことを特徴とする。
- [0009] 上記構成によれば、高い電圧をリセットトランジスタのゲート電極に印加することができ、ゲート端近傍に表面注入領域を担う電荷を集めて、表面注入領域の電位を安定させることができ、リーク電流を抑制できる。

発明の効果

- [0010] 本発明に係る固体撮像装置によれば、電荷蓄積部のリーク電流を低減するとともに、 $1/f$ ノイズを低減でき、高感度 (S/N) の固体撮像装置を実

現することができる。

図面の簡単な説明

- [0011] [図1]図 1 は、実施の形態に係る固体撮像装置の一例を示す回路図である。
- [図2A]図 2 A は、実施の形態に係る画素の構成の一例を示す断面図である。
- [図2B]図 2 B は、実施の形態に係る電源回路の構成の一例を示す断面図である。
- [図3]図 3 は、実施の形態 1 に係る固体撮像装置の画素平面図である。
- [図4]図 4 は、実施の形態 2 に係る固体撮像装置の画素平面図である。
- [図5]図 5 は、特許文献 1 に記載された積層型センサの画素断面図である。

発明を実施するための形態

- [0012] 以下、実施の形態について、図面に基づいて詳細に説明する。なお、本発明は、以下の実施の形態に限定されるものではない。また、本発明の効果を奏する範囲を逸脱しない範囲で、適宜変更は可能である。さらに、他の実施の形態との組み合わせも可能である。

- [0013] (実施の形態 1)

まず、実施の形態 1 に係る固体撮像装置の画素回路構成の一例について、図 1 を用いて説明する。

- [0014] 図 1 は、実施の形態に係る固体撮像装置の一例を示す回路図である。同図に記載された固体撮像装置は、画素 10 が、二次元状に配列された積層型イメージセンサの一例である。画素 10 内には、金属電極 11 と、金属電極上に形成された、光を電気信号に変換する光電変換層 13 と、光電変換層 13 上に形成された透明電極 12 と、光電変換層 13 からの電荷を蓄積する電荷蓄積領域（フローティングディフュージョン）14 と、電荷蓄積領域 14 の電荷量に応じた信号電圧を出力する増幅トランジスタ 15 と、電荷蓄積領域の電位をリセットするリセットトランジスタ 16 と、選択トランジスタ 17 とを備える。

- [0015] 光電変換層 13 は、入射光を光電変換することで、信号電荷を生成する。光電変換層 13 によって生成された信号電荷は、電荷蓄積領域 14 に金属電

極 11 を介して転送される。本実施の形態では、電荷を転送するために、透明電極 12 に正バイアス 10 V 程度を印加している。

[0016] 電荷蓄積領域 14 に転送された電荷は、増幅トランジスタ 15 によって増幅される。選択トランジスタ 17 がオン状態になると、増幅トランジスタ 15 によって増幅された信号が出力信号線 18 へ出力される。

[0017] リセットトランジスタ 16 を動作させた際に生じる熱 (kTC) ノイズを除去するため、出力信号線 18 からフィードバック配線 19 を介して逆位相のノイズ成分を電荷蓄積領域 14 へ戻し、熱 (kTC) ノイズを相殺している。

[0018] 垂直回路 20 から画素内の各トランジスタを制御する信号を入力し、水平回路 21 を介して信号端 24 へ出力している。小型化のため同一チップ内に設けた電源回路 22 により透明電極 12 に印加する 10 V 程度の印加電圧を発生させている。

[0019] 続いて、実施の形態 1 に係る固体撮像装置が備える画素 10 の断面構成の一例について、図 2 A を用いて説明する。

[0020] 図 2 A は、実施の形態に係る画素の構成の一例を示す断面図である。同図に表されたように、本実施の形態に係る固体撮像装置の画素 10 は、半導体基板に形成された n 型のウエル 1 と、半導体基板上方に形成され入射した光を光電変換することにより信号電荷を生成する光電変換層 13 と、光電変換層 13 を挟み込む金属電極 11 と透明電極 12 とを備える。透明電極 12 は、光電変換層 13 へ光入射を可能とするため ITO または ZnO 等の透明電極が用いられている。

[0021] 本実施の形態では、半導体基板に形成された n 型のウエル 1 を用いているが、半導体基板に形成された p 型のウエルであっても良い。その場合、以降で示す不純物の導電型は n 型と p 型とが入れ替わる。

[0022] また、光電変換層 13 で発生する電荷は、透明電極 12 に 10 V 程度の正電圧を印加することにより、金属電極 11 を介してホールを転送し、p 型の電荷蓄積領域 14 に蓄積する。この電荷蓄積領域 14 は、リセットトランジ

スタ16の活性領域を兼用しており、リセットトランジスタ16をオンにすると、電荷蓄積領域14の電位がリセットされる。

[0023] さらに、この電荷蓄積領域14は、n型あるいはSTI (Shallow Trench Isolation) からなる分離領域31により、画素内の増幅トランジスタ15あるいは選択トランジスタ17と電氣的に分離されている。

[0024] また、この電荷蓄積領域14の上部に、n型の表面注入領域32を設けて、ウエル1表面に多くある欠陥によって生じるリーク電流の電荷蓄積領域14への漏れ込みを抑制している。

[0025] また、光電変換層13からの電荷を電荷蓄積領域14へ転送するためのコンタクト33と半導体基板との界面に、コンタクト抵抗を低減するコンタクト注入領域34を設けている。また表面注入領域32は、リセットトランジスタ16のゲート端近傍まで拡張されている。

[0026] このリセットトランジスタ16のゲート酸化膜36の膜厚は、増幅トランジスタ15のゲート酸化膜25の膜厚より厚い。この構成により、リセットトランジスタ16に高いゲート電圧を印加することが可能となる。このため、リセットトランジスタ16のオフ時には、ゲート下に表面注入領域32を担う多数キャリアと同じ電子を集めることが可能となり、表面注入領域32の電位を安定させることができ、リーク電流を低減できる。本実施の形態では、例えば、リセットトランジスタ16のオン時の電圧は0V程度、オフ時の電圧は3.8V程度としている。

[0027] また、増幅トランジスタ15のゲート酸化膜25を薄く形成することにより、1/fノイズを抑制することが出来る。

[0028] また、選択トランジスタ17のゲート酸化膜27の膜厚を、増幅トランジスタ15のゲート酸化膜25の膜厚と同じ厚さにしている。この構成により、選択トランジスタ17をオンにする際のゲート印加電圧を低減できるので、低消費電力化が促進される。なお、上記の同じ厚さとは、略同一の厚さ、すなわち製造上の誤差を含む。

[0029] 本実施の形態では、増幅トランジスタ 15 のゲート酸化膜 25 の膜厚は、例えば、約 3 nm～6 nm の範囲である。またリセットトランジスタ 16 のゲート酸化膜 36 の膜厚は、例えば、約 4 nm～13 nm である。また、選択トランジスタ 17 のゲート酸化膜 27 の膜厚は、例えば、約 3 nm～6 nm の範囲である。

[0030] 図 2 B は、実施の形態に係る電源回路の構成の一例を示す断面図である。透明電極 12 に電圧を印加する電源回路 22 を構成するトランジスタのゲート酸化膜 35 の膜厚は、リセットトランジスタ 16 のゲート酸化膜 36 の膜厚より厚い。この構成により、電源回路 22 を構成するトランジスタに高電圧を印加することが可能となり、光電変換層 13 で生成した信号電荷を電荷蓄積領域 14 へ伝送することが出来る。このゲート酸化膜 35 の膜厚は、透明電極 12 に 10 V 程度を印加させるために、約 15～25 nm の範囲であることが好ましい。

[0031] 本実施の形態において、例えば、ウエル電圧を約 2.8 V とし、リセットトランジスタ 16 のゲート電圧を 3.8 V 程度にした際、リーク電流が数 10% 改善される。

[0032] また、電荷蓄積領域 14 と接続された増幅トランジスタ 15 のゲート電極 45 の電位が、リセットトランジスタ 16 によりリセット電位となる際に、ウエル 1 と増幅トランジスタ 15 のゲート電極 45 との間の耐圧が確保できる程度まで、増幅トランジスタ 15 のゲート酸化膜 25 は薄膜化されている。これにより、リーク電流以外のノイズ成分である $1/f$ ノイズ $N_{1/f}$ は、下記の理論式から明確なように低減される。ここで、 G_{ox} は、ゲート酸化膜の膜厚、 W はチャネル幅、および L はゲート長である。

[0033] [数 1]

$$N_{1/f} \propto \sqrt{\frac{G_{ox}}{W \cdot L}} \quad (\text{式 1})$$

[0034] 次に、図 2 A の断面構造を実現する複数の画素 10 の第 1 の平面構成を表

す図を、図3（上層の配線は図示せず）を用いて説明する。

[0035] 図3は、実施の形態1に係る固体撮像装置の画素平面図である。図3に示すように、画素内の電荷蓄積領域14のコンタクト33は、信号電荷が混合されるため隣接する画素10と共有できない。コンタクト33以外のコンタクトは、信号電荷の混合という問題は生じないので、隣接する画素10と共有することが可能であり、受光面において垂直方向に隣接する画素10とコンタクトを共有している。これにより、一画素あたりのコンタクト占有面積率が低下するため、画素サイズの微細化が可能となる。

[0036] また、増幅トランジスタ15と受光面において垂直方向に隣接する画素10の増幅トランジスタ15とは活性領域54を共有する。この構成により、上下隣接する画素10でコンタクトを共有するため、増幅トランジスタ15のゲート長を確保でき、ノイズ成分の一つである $1/f$ ノイズを低減できる。

[0037] また、選択トランジスタ17と受光面において垂直方向に隣接する画素10の選択トランジスタ17とは活性領域57を共有する。この構成により、上下画素でコンタクトを共有するため、選択トランジスタ17のゲート長を確保しながら、活性領域を共有している増幅トランジスタ15のゲート長を確保でき、ノイズ成分の一つである $1/f$ ノイズを低減できる。

[0038] また、リセットトランジスタ16と受光面において垂直方向に隣接する画素10のリセットトランジスタ16とは活性領域56を共有する。この構成により、上下画素でコンタクトを共有するため、リセットトランジスタ16のゲート長を確保でき、電荷蓄積領域14を活性領域とするリセットトランジスタ16のオン特性を確保できる。

[0039] また、リセットトランジスタ16のゲート長は、増幅トランジスタ15のゲート長より長い。この構成により、増幅トランジスタ15の駆動能力を確保しながら、電荷蓄積領域14を活性領域とするリセットトランジスタ16のオン特性バラツキ、つまりゲート長に依存する閾値電圧、ドレイン電流等のバラツキを低減でき、電荷蓄積領域14の電位を安定化できる。よって、

画素間でのリーク特性が一様になり、鮮明な画像を撮像できる。一方、増幅トランジスタのゲート長を短くし、 \sqrt{L} 長に反比例し相互コンダクタンス g_m が高くなるため、駆動能力が高くなり高速に信号を出力信号線 18 に伝達できる。

[0040] また、増幅トランジスタ 15 と選択トランジスタ 17 とを同じ列に配置している。選択トランジスタ 17 のゲート電圧によるオンオフ特性を確保しつつゲート長を短くすれば、増幅トランジスタ 15 のゲート長を長くでき、式 1 から $1/f$ ノイズも低減できる。

[0041] 本実施の形態においては、画素 10 のセルサイズが $0.9 \mu\text{m}$ である場合、増幅トランジスタ 15 のゲート長は、例えば、約 $0.2 \sim 0.3 \mu\text{m}$ の範囲であることが望ましい。リセットトランジスタ 16 のゲート長は、例えば、約 $0.2 \sim 0.5 \mu\text{m}$ の範囲である。選択トランジスタ 17 のゲート長は、例えば、約 $0.1 \sim 0.5 \mu\text{m}$ の範囲である。画素のセルサイズが異なる場合でも、セルサイズの $0.9 \mu\text{m}$ からの変更比率によって、異なるセルサイズに対応するゲート長が導き出せることは言うまでもない。

[0042] (実施の形態 2)

本実施の形態では、図 2 A の断面構造を実現する複数の画素 10 の第 2 の平面構成を説明する。

[0043] 図 4 は、実施の形態 2 に係る固体撮像装置の画素平面図である。同図には、図 3 と同様に、リセットトランジスタ 16 が分離領域 31 により増幅トランジスタ 15 および選択トランジスタ 17 と分離して形成されている。

[0044] 図 4 に示すように、画素内の選択トランジスタ 17 は、同一画素内の増幅トランジスタ 15 と活性領域 55 の一部を共有しており、画素内のリセットトランジスタ 16 の活性領域 56 は、同一画素内の増幅トランジスタ 15 の活性領域 55 と電氣的に分離されている。この構成により、高速駆動性を求められる増幅トランジスタ 15 および選択トランジスタ 17 のチャンネル幅を広く確保できる。また、リセットトランジスタ 16 の活性領域の面積を小さくすることで、表面注入領域 32 と電荷蓄積領域 14 との $p-n$ 接合面積を小

小さくすることが可能となり、pn接合リークを抑えることが出来る。

[0045] また、リセットトランジスタ16は、同一画素内の選択トランジスタ17と受光面において水平方向に隣接する画素内の選択トランジスタ17との間に配置されている。または、リセットトランジスタ16は、同一画素内の増幅トランジスタ15と受光面において水平方向に隣接する画素内の増幅トランジスタ15との間に配置されていてもよい（図示せず）。この構成により、チャンネル幅が狭小なりセットトランジスタ16と、チャンネル幅が広い増幅トランジスタ15および選択トランジスタ17とのチャンネル方向を並行に同一画素内に配置でき、ノイズ特性を確保しながら、画素サイズの微細化が容易にできる。

[0046] また、増幅トランジスタ15のチャンネル幅は、リセットトランジスタ16のチャンネル幅よりも広い。式1から、増幅トランジスタ15のチャンネル幅を拡大すると、増幅トランジスタ15の $1/f$ ノイズを低減できる。他方、リセットトランジスタ16のチャンネル幅を縮小することで、リセットトランジスタ16の活性領域を兼ねた電荷蓄積領域14のpn接合面積を小さくでき、 $1/f$ ノイズとリーク電流を低減でき、信号に対するノイズ成分を低減した高感度な画像が得られる。また、増幅トランジスタ15の動作電流を確保するためトランジスタチャンネル幅を拡大でき高速駆動が可能であり、ノイズ成分の一つである $1/f$ ノイズも低減できる。

[0047] 本実施の形態においては、画素のセルサイズが $0.9\mu\text{m}$ である場合、増幅トランジスタ15のチャンネル幅は、例えば、約 $0.1\sim 0.5\mu\text{m}$ の範囲である。リセットトランジスタ16のチャンネル幅は、例えば、約 $0.1\sim 0.2\mu\text{m}$ の範囲である。選択トランジスタ17のチャンネル幅は、例えば、約 $0.1\sim 0.5\mu\text{m}$ の範囲である。画素のセルサイズが異なる場合でも、セルサイズの $0.9\mu\text{m}$ からの変更比率によって、異なるセルサイズに対応するチャンネル幅が導き出せることは言うまでもない。

[0048] また、選択トランジスタ17のゲート電極47のゲート長は、増幅トランジスタ15ゲート電極45のゲート長より短い。これにより、増幅トランジ

スタ15のゲート長を確保でき、ノイズ成分の一つである $1/f$ ノイズを低減できる。

[0049] 以上の構成により、リーク電流および $1/f$ ノイズが低減された固体撮像装置を製造することができる。また、 $1\mu\text{m}$ 程度の微細画素サイズを実現でき、高速電荷読み出しも可能となる。

[0050] 以上、本発明に係る固体撮像装置について、実施の形態1および2に基づいて説明したが、本発明は、実施の形態1および2に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を実施の形態1および2に施したのものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の範囲内に含まれる。

[0051] また、上記実施の形態に係る固体撮像装置は、典型的には集積回路であるLSIとして実現される。これらは個別に1チップ化されてもよいし、一部又は全てを含むように1チップ化されてもよい。

[0052] また、集積回路化はLSIに限るものではなく、専用回路又は汎用プロセッサで実現してもよい。LSI製造後にプログラムすることが可能なFPGA(Field Programmable Gate Array)、又はLSI内部の回路セルの接続や設定を再構成可能なリプログラマブル・プロセッサを利用してもよい。

[0053] また、上記断面図等において、各構成要素の角部および辺を直線的に記載しているが、製造上の理由により、角部および辺が丸みをおびたものも本発明に含まれる。

[0054] また、上記で用いた数字は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された数字に制限されない。また、表面注入領域32、コンタクト注入領域34、活性領域54~57等の不純物領域等のn型およびp型等は、本発明を具体的に説明するために例示するものであり、これらを反転し、同等の結果を得ることも可能である。また、上記で示した各構成要素の材料は、全て本発明を具体的に説明するために例示するものであり、本発明は例示された材料に制限されない。また、構成要素間の接続

関係は、本発明を具体的に説明するために例示するものであり、本発明の機能を実現する接続関係はこれに限定されない。

[0055] また、上記説明では、MOSトランジスタを用いた例を示したが、他のトランジスタを用いてもよい。

産業上の利用可能性

[0056] 本発明の固体撮像装置は、積層型構造で低ノイズ特性を有する微細画素サイズの固体撮像装置に適用できる。

符号の説明

- [0057]
- 1 ウエル
 - 10 画素
 - 11 金属電極
 - 12 透明電極
 - 13 光電変換層
 - 14 電荷蓄積領域
 - 15 増幅トランジスタ
 - 16 リセットトランジスタ
 - 17 選択トランジスタ
 - 18 出力信号線
 - 19 フィードバック配線
 - 20 垂直回路
 - 21 水平回路
 - 22 電源回路
 - 24 信号端
 - 25、27、35、36 ゲート酸化膜
 - 31 分離領域
 - 32 表面注入領域
 - 33 コンタクト
 - 34 コンタクト注入領域

- 4 5 増幅トランジスタのゲート電極
- 4 6 リセットトランジスタのゲート電極
- 4 7 選択トランジスタのゲート電極
- 5 4、5 5、5 6、5 7 活性領域

請求の範囲

- [請求項1] 二次元状に配置された複数の画素を備え、
前記複数の画素のそれぞれは、
金属電極と、
前記金属電極上に形成された、光を電気信号に変換する光電変換層
と、
前記光電変換層上に形成された透明電極と、
前記金属電極と電気的に接続され、前記光電変換層からの電荷を蓄
積する電荷蓄積領域と、
前記電荷蓄積領域の電荷量に応じた信号電圧を出力する増幅トラン
ジスタと、
前記電荷蓄積領域の電位をリセットするリセットトランジスタとを
備え、
前記リセットトランジスタのゲート酸化膜の膜厚が、前記増幅トラ
ンジスタのゲート酸化膜の膜厚より厚い
固体撮像装置。
- [請求項2] 前記固体撮像装置は、さらに、
前記透明電極に電圧を印加する電源回路を備え、
前記電源回路を構成するトランジスタのゲート酸化膜の膜厚は、前
記リセットトランジスタのゲート酸化膜の膜厚より厚い
請求項1記載の固体撮像装置。
- [請求項3] 前記増幅トランジスタのチャンネル幅は、前記リセットトランジスタ
のチャンネル幅より広い
請求項1記載の固体撮像装置。
- [請求項4] 前記複数の画素のそれぞれは、さらに、
前記増幅トランジスタが前記信号電圧を出力するタイミングを決定
する選択トランジスタを備え、
前記複数の画素は、第1の画素を含み、

前記第 1 の画素内の前記選択トランジスタは、前記第 1 の画素内の前記増幅トランジスタと活性領域の一部を共有しており、

前記第 1 の画素内の前記リセットトランジスタの活性領域は、前記第 1 の画素内の前記増幅トランジスタの活性領域と電氣的に分離されている

請求項 1 記載の固体撮像装置。

[請求項5]

前記複数の画素のそれぞれは、さらに、

前記増幅トランジスタが前記信号電圧を出力するタイミングを決定する選択トランジスタを備え、

前記複数の画素は、第 1 の画素と、当該第 1 の画素と受光面において水平方向に隣接する第 2 の画素とを含み、

前記第 1 の画素内の前記リセットトランジスタは、前記第 1 の画素内の前記増幅トランジスタと前記第 2 の画素内の前記増幅トランジスタとの間に配置されている

請求項 1 記載の固体撮像装置。

[請求項6]

前記リセットトランジスタのゲート長は、前記増幅トランジスタのゲート長より長い

請求項 1 記載の固体撮像装置。

[請求項7]

前記選択トランジスタのゲート長は、前記増幅トランジスタのゲート長より短い

請求項 1 記載の固体撮像装置。

[請求項8]

前記複数の画素は、第 1 の画素と、当該第 1 の画素と受光面において垂直方向に隣接する第 2 の画素とを含み、

前記第 1 の画素内の前記増幅トランジスタと前記第 2 の画素内の前記増幅トランジスタとは、活性領域を共有する

請求項 1 記載の固体撮像装置。

[請求項9]

前記複数の画素のそれぞれは、さらに、

前記増幅トランジスタが前記信号電圧を出力するタイミングを決定

する選択トランジスタを備え、

前記複数の画素は、第1の画素と、当該第1の画素と受光面において垂直方向に隣接する第2の画素とを含み、

前記第1の画素内の前記選択トランジスタと前記第2の画素内の前記選択トランジスタとは、活性領域を共有する

請求項1記載の固体撮像装置。

[請求項10]

前記複数の画素は、第1の画素と、当該第1の画素と受光面において垂直方向に隣接する第2の画素とを含み、

前記第1の画素内の前記リセットトランジスタと前記第2の画素内の前記リセットトランジスタとは、活性領域を共有する

請求項1記載の固体撮像装置。

[請求項11]

前記リセットトランジスタのゲート酸化膜の膜厚は、4 nm～13 nmの範囲であり、

前記増幅トランジスタのゲート酸化膜の膜厚は、3 nm～6 nmの範囲である

請求項1記載の固体撮像装置。

[請求項12]

前記固体撮像装置は、さらに、

前記電荷蓄積領域の上部に、表面注入領域を備え、

前記電荷蓄積領域は第1導電型であり、前記表面注入領域は第2導電型である

請求項1記載の固体撮像装置。

[請求項13]

前記複数の画素のそれぞれは、さらに、

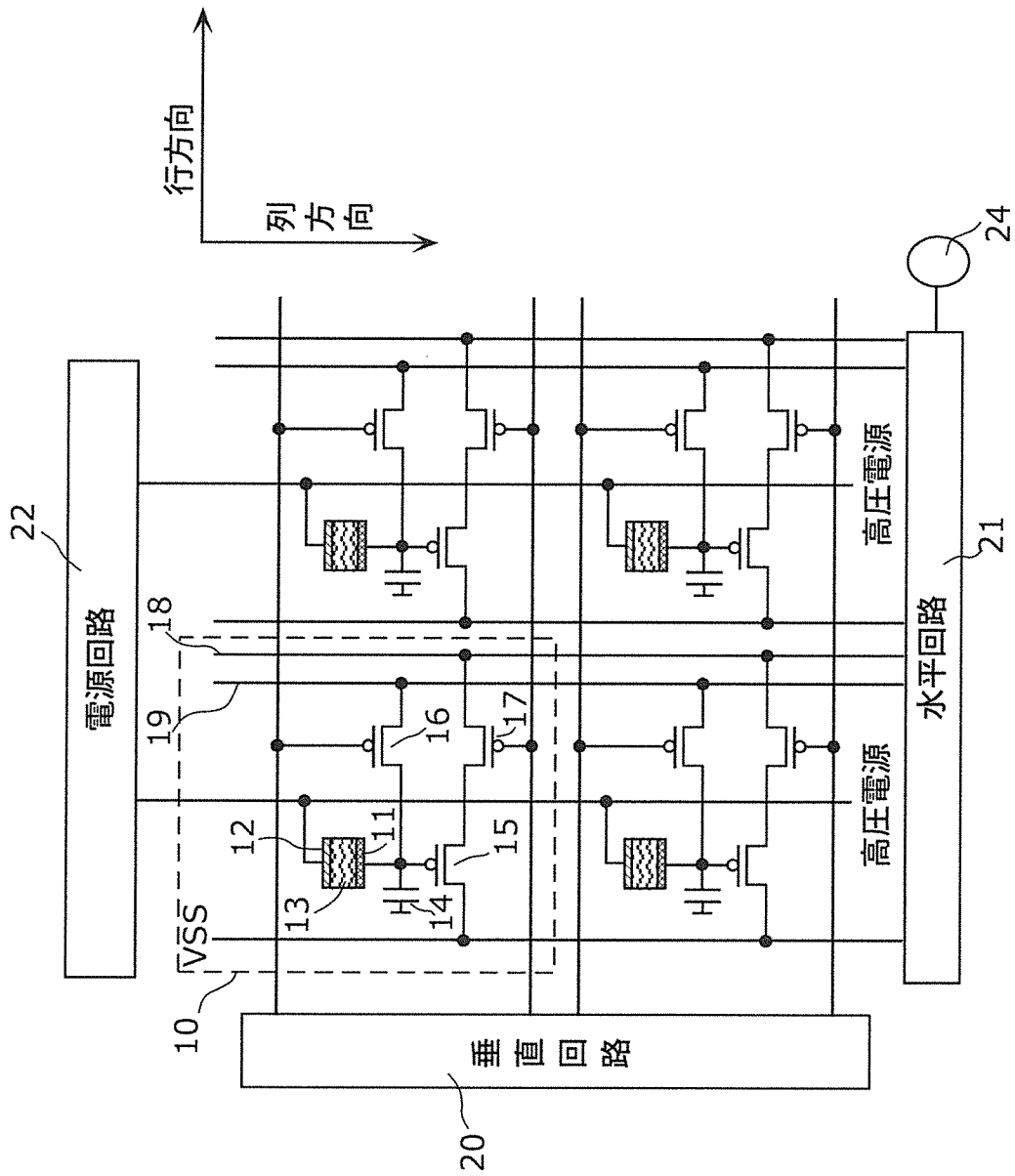
前記増幅トランジスタが前記信号電圧を出力するタイミングを決定する選択トランジスタを備え、

前記複数の画素は、第1の画素と、当該第1の画素と受光面において水平方向に隣接する第2の画素とを含み、

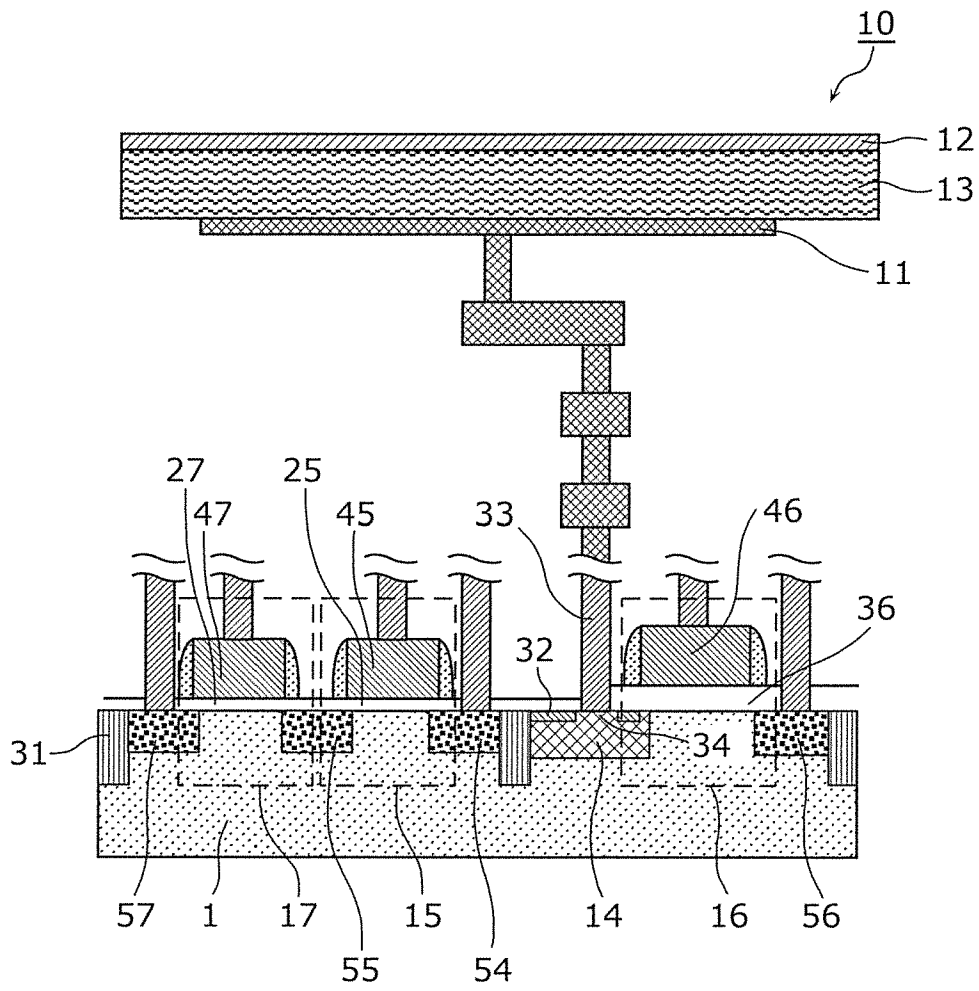
前記第1の画素内の前記リセットトランジスタは、前記第1の画素内の前記選択トランジスタと前記第2の画素内の前記選択トランジスタ

タとの間に配置されている
請求項 1 記載の固体撮像装置。

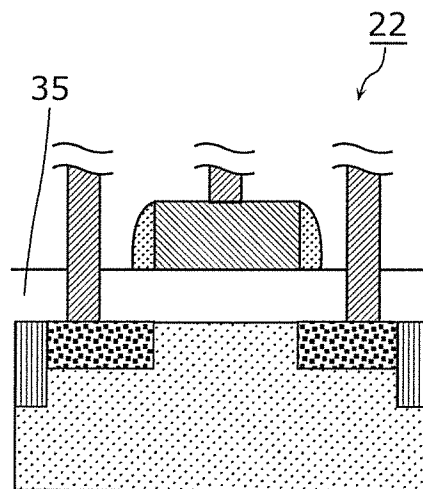
[圖1]



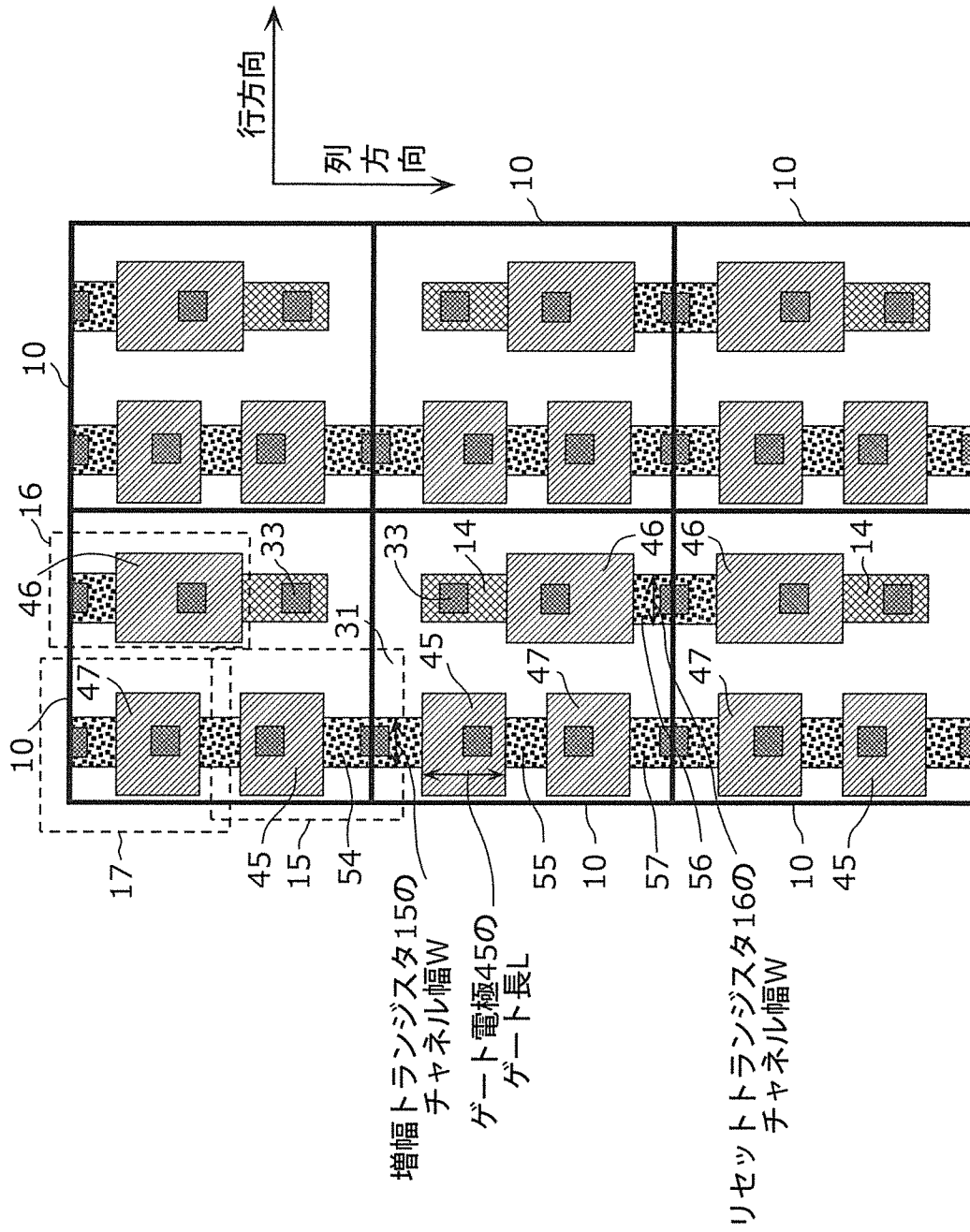
[図2A]



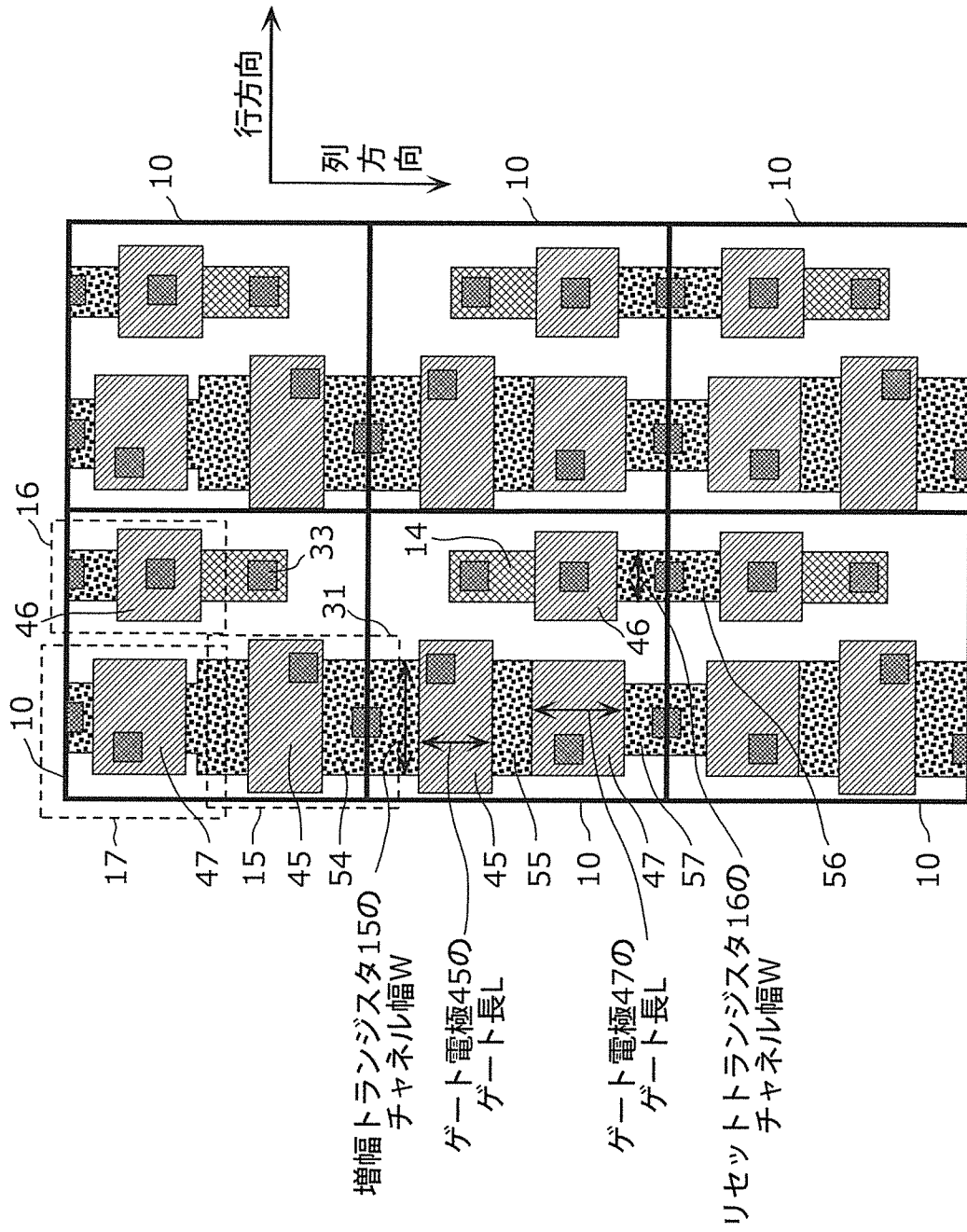
[図2B]



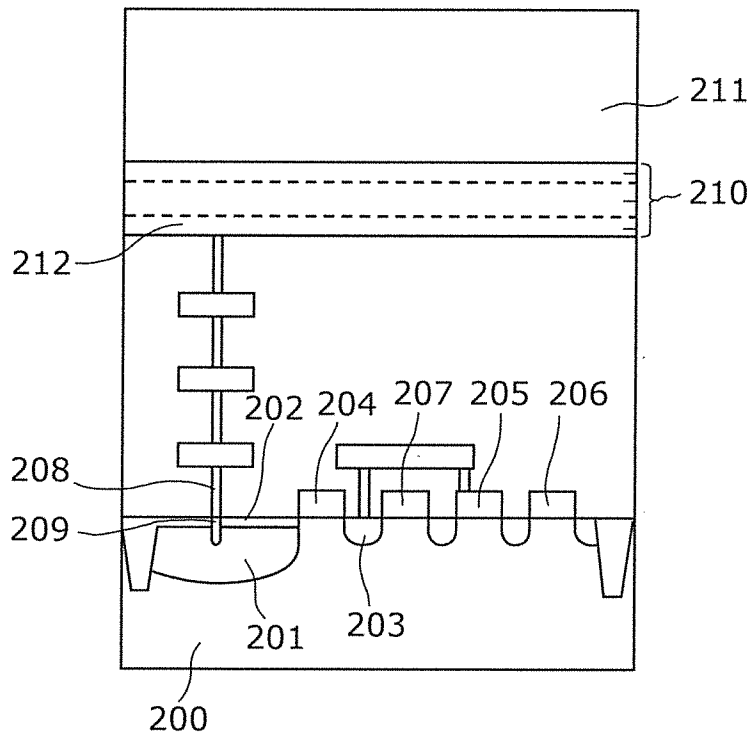
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/001510

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H04N5/374(2011.01)i, H04N5/3745(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H04N5/374, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2012/005010 A1 (Panasonic Corp.), 12 January 2012 (12.01.2012), paragraphs [0047] to [0053], [0065] to [0086]; fig. 3, 5 to 9 & JP 2012-19169 A	1-4, 6-13 5
Y A	JP 2008-124395 A (Matsushita Electric Industrial Co., Ltd.), 29 May 2008 (29.05.2008), paragraphs [0024], [0042] to [0046], [0049] to [0050] (Family: none)	1-4, 6-13 5
Y	JP 2011-216728 A (Fujifilm Corp.), 27 October 2011 (27.10.2011), paragraphs [0016] to [0021]; fig. 1 (Family: none)	2

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 April, 2013 (15.04.13)Date of mailing of the international search report
23 April, 2013 (23.04.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/001510

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-196884 A (Matsushita Electric Industrial Co., Ltd.), 27 July 2006 (27.07.2006), paragraphs [0017] to [0018] & US 2006/0131624 A1 & US 2012/0098044 A1 & KR 10-2006-0069319 A & CN 1812113 A	3, 6-7
Y	JP 2012-60076 A (Panasonic Corp.), 22 March 2012 (22.03.2012), paragraphs [0032] to [0038]; fig. 1 & WO 2012/035696 A	12

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L27/146(2006.01)i, H04N5/374(2011.01)i, H04N5/3745(2011.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L27/146, H04N5/374, H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2013年
 日本国実用新案登録公報 1996-2013年
 日本国登録実用新案公報 1994-2013年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2012/005010 A1 (パナソニック株式会社) 2012.01.12, 段落 [0047] - [0053], 段落 [0065] - [0086], 図3, 図5-9 & JP 2012-19169 A	1-4, 6-13 5
Y A	JP 2008-124395 A (松下電器産業株式会社) 2008.05.29, 段落【0024】, 段落【0042】 - 【0046】, 段落【0049】 - 【0050】 (ファミリーなし)	1-4, 6-13 5

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 15.04.2013	国際調査報告の発送日 23.04.2013
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 小川 将之 電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-216728 A (富士フイルム株式会社) 2011. 10. 27, 段落【0016】－【0021】, 図1 (ファミリーなし)	2
Y	JP 2006-196884 A (松下電器産業株式会社) 2006. 07. 27, 段落【0017】－【0018】 & US 2006/0131624 A1 & US 2012/0098044 A1 & KR 10-2006-0069319 A & CN 1812113 A	3, 6-7
Y	JP 2012-60076 A (パナソニック株式会社) 2012. 03. 22, 段落【0032】－【0038】, 図1 & WO 2012/035696 A	12