

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】令和 1 年 9 月 5 日 (2019.9.5)

【公開番号】特開 2018-98768 (P2018-98768A)

【公開日】平成 30 年 6 月 21 日 (2018.6.21)

【年通号数】公開・登録公報 2018-023

【出願番号】特願 2017-158851 (P2017-158851)

【国際特許分類】

H 0 3 F 3/195 (2006.01)

【F I】

H 0 3 F 3/195

【手続補正書】

【提出日】令和 1 年 7 月 26 日 (2019.7.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力信号を増幅する増幅器と、

前記増幅器の出力信号を第 1 信号経路と第 2 信号経路とに分岐し、前記第 1 および第 2 信号経路のインピーダンス変換を行う、スプリッタと、

前記増幅器の出力信号または前記増幅器の出力信号を前記スプリッタで前記第 1 信号経路に分岐した信号を出力する第 1 出力端子と、

前記増幅器の出力信号または前記増幅器の出力信号を前記スプリッタで前記第 2 信号経路に分岐した信号を出力する第 2 出力端子と、

前記増幅器の出力信号を前記第 1 出力端子から出力するか、前記第 2 出力端子から出力するか、または前記スプリッタで分岐して前記第 1 および第 2 出力端子の双方から出力するかを切り替える、出力制御部と、

前記増幅器、前記スプリッタおよび前記出力制御部が配置される S O I (Silicon On Insulator) 基板と、を備える、半導体装置。

【請求項 2】

前記出力制御部は、

前記増幅器の出力ノードと前記スプリッタの入力ノードとの間に接続される第 1 スイッチと、

前記第 1 信号経路と前記第 1 出力端子との間に接続される第 2 スイッチと、

前記第 2 信号経路と前記第 2 出力端子との間に接続される第 3 スイッチと、

前記増幅器の出力ノードと前記第 1 出力端子との間に接続される第 4 スイッチと、

前記増幅器の出力ノードと前記第 2 出力端子との間に接続される第 5 スイッチと、を有し、

前記出力制御部は、前記第 1 乃至第 5 スイッチの切替制御により、前記増幅器の出力信号を前記第 1 出力端子から出力するか、前記第 2 出力端子から出力するか、または前記スプリッタで分岐して前記第 1 および第 2 出力端子の双方から出力するかを切り替える、請求項 1 に記載の半導体装置。

【請求項 3】

前記増幅器は、第 1 入力信号を増幅する第 1 増幅器と、第 2 入力信号を増幅する第 2 増幅器と、を有し、

前記出力制御部は、前記第 1 増幅器の出力信号を前記第 1 出力端子から出力するか、前記第 2 出力端子から出力するか、または前記スプリッタで分岐して前記第 1 および第 2 出力端子の双方から出力するかの切り替えと、前記第 2 増幅器の出力信号を前記第 1 出力端子から出力するか、前記第 2 出力端子から出力するか、または前記スプリッタで分岐して前記第 1 および第 2 出力端子の双方から出力するかの切り替えと、を行う、請求項 1 に記載の半導体装置。

【請求項 4】

前記出力制御部は、

前記第 1 増幅器の出力ノードと前記スプリッタの入力ノードとの間に接続される第 1 スイッチと、

前記第 1 信号経路と前記第 1 出力端子との間に接続される第 2 スイッチと、

前記第 2 信号経路と前記第 2 出力端子との間に接続される第 3 スイッチと、

前記第 1 増幅器の出力ノードと前記第 1 出力端子との間に接続される第 4 スイッチと、

前記第 1 増幅器の出力ノードと前記第 2 出力端子との間に接続される第 5 スイッチと、

前記第 2 増幅器の出力ノードと前記スプリッタの入力ノードとの間に接続される第 6 スイッチと、

前記第 2 増幅器の出力ノードと前記第 1 出力端子との間に接続される第 7 スイッチと、

前記第 2 増幅器の出力ノードと前記第 2 出力端子との間に接続される第 8 スイッチと、

前記第 1 増幅器と前記第 1 増幅器の出力ノードとの間に接続される第 9 スイッチと、

前記第 2 増幅器と前記第 2 増幅器の出力ノードとの間に接続される第 10 スイッチと、を備え、

前記出力制御部は、前記第 1 乃至第 10 スイッチの切替制御により、前記第 1 増幅器の出力信号を前記第 1 出力端子から出力するか、前記第 2 出力端子から出力するか、または前記スプリッタで分岐して前記第 1 および第 2 出力端子の双方から出力するかの切り替えと、前記第 2 増幅器の出力信号を前記第 1 出力端子から出力するか、前記第 2 出力端子から出力するか、または前記スプリッタで分岐して前記第 1 および第 2 出力端子の双方から出力するかの切り替えと、を行う、請求項 3 に記載の半導体装置。

【請求項 5】

前記増幅器は、第 1 入力信号を増幅する第 1 増幅器と、第 2 入力信号を増幅する第 2 増幅器と、第 3 入力信号を増幅する第 3 増幅器と、を有し、

前記出力制御部は、前記第 1 増幅器の出力信号を前記第 1 出力端子から出力するか、前記第 2 出力端子から出力するか、または前記スプリッタで分岐して前記第 1 および第 2 出力端子の双方から出力するかの切り替えと、前記第 2 増幅器の出力信号を前記第 1 出力端子から出力するか、前記第 2 出力端子から出力するか、または前記スプリッタで分岐して前記第 1 および第 2 出力端子の双方から出力するかの切り替えと、前記第 3 増幅器の出力信号を前記第 1 出力端子から出力するか、または前記第 2 出力端子から出力するかの切り替えと、を行う、請求項 1 に記載の半導体装置。

【請求項 6】

前記出力制御部は、

前記第 1 増幅器の出力ノードと前記スプリッタの入力ノードとの間に接続される第 1 スイッチと、

前記第 1 信号経路と前記第 1 出力端子との間に接続される第 2 スイッチと、

前記第 2 信号経路と前記第 2 出力端子との間に接続される第 3 スイッチと、

前記第 1 増幅器の出力ノードと前記第 1 出力端子との間に接続される第 4 スイッチと、

前記第 1 増幅器の出力ノードと前記第 2 出力端子との間に接続される第 5 スイッチと、

前記第 2 増幅器の出力ノードと前記スプリッタの入力ノードとの間に接続される第 6 スイッチと、

前記第 2 増幅器の出力ノードと前記第 1 出力端子との間に接続される第 7 スイッチと、

前記第 2 増幅器の出力ノードと前記第 2 出力端子との間に接続される第 8 スイッチと、

前記第 1 増幅器と前記第 1 増幅器の出力ノードとの間に接続される第 9 スイッチと、

前記第2増幅器と前記第2増幅器の出力ノードとの間に接続される第10スイッチと、
前記第3増幅器の出力ノードと前記第1出力端子との間に接続される第11スイッチと

、

前記第3増幅器の出力ノードと前記第2出力端子との間に接続される第12スイッチと、
を備え、

前記出力制御部は、前記第1乃至第12スイッチの切替制御により、前記第1増幅器の出力信号を前記第1出力端子から出力するか、前記第2出力端子から出力するか、または前記スプリッタで分岐して前記第1および第2出力端子の双方から出力するかの切り替えと、前記第2増幅器の出力信号を前記第1出力端子から出力するか、前記第2出力端子から出力するか、または前記スプリッタで分岐して前記第1および第2出力端子の双方から出力するかの切り替えと、前記第3増幅器の出力信号を前記第1出力端子から出力するか、または前記第2出力端子から出力するかの切り替えと、を行う、請求項5に記載の半導体装置。

【請求項7】

前記スプリッタは、

前記第1信号経路上において直列接続される第1インダクタおよび第2インダクタと、
前記第2信号経路上において直列接続される第3インダクタおよび第4インダクタと、
を有し、

前記第1乃至第4インダクタは、前記SOI基板上に配置されるスパイラル状の導電パターンである、請求項1乃至6のいずれか1項に記載の半導体装置。

【請求項8】

前記増幅器は、

第1基準電位と第2基準電圧との間に直列接続される、第5インダクタ、第1トランジスタ、第2トランジスタ、および第6インダクタを備え、

前記第1トランジスタのゲートには、前記入力信号が入力され、

前記第2トランジスタのゲートには、バイアス電圧が入力され、

前記第2トランジスタのドレイン電圧に応じた信号が前記増幅器の出力ノードから出力され、

前記第5インダクタの配線幅は、前記第1乃至第4インダクタの配線幅より大きく、

前記第6インダクタの配線幅は、前記第1乃至第4インダクタの配線幅より小さい、請求項7に記載の半導体装置。

【請求項9】

前記増幅器は、

第1入力信号を増幅する第1増幅器と、

第2入力信号を増幅する第2増幅器と、を有し、

前記スプリッタは、

一端が前記第1インダクタと前記第2インダクタとの間に接続され、他端が第3基準電位に接続された第1可変キャパシタと、

一端が前記第3インダクタと前記第4インダクタとの間に接続され、他端が第4基準電位に接続された第2可変キャパシタと、を有し、

前記出力制御部は、

前記第1増幅器の出力信号を前記第1出力端子から出力するか、前記第2出力端子から出力するか、または前記スプリッタで分岐して前記第1および第2出力端子の双方から出力するかの切り替えと、前記第2増幅器の出力信号を前記第1出力端子から出力するか、前記第2出力端子から出力するか、または前記スプリッタで分岐して前記第1および第2出力端子の双方から出力するかの切り替えと、を行い、

前記第1増幅器の出力信号を前記スプリッタで分岐して出力するときと、前記第2増幅器の出力信号を前記スプリッタで分岐して出力するときとで、前記第1および第2可変キャパシタのキャパシタンスを異なる値に切り替える、請求項7に記載の半導体装置。