

公告本

396345

申請日期	87.9.25
案 號	87115992
類 別	G11C 29/00

A4
C4

(以上各欄由本局填註)

396345

發明專利說明書

一、發明 名稱	中 文	用以實行多重資料庫記憶體裝置之資料庫聯鎖設計及相關測試模之裝置及方法
	英 文	Apparatus and Method for Implementing a Bank Interlock Scheme and Related Test Mode for Multibank Memory Devices
二、發明 創作人	姓 名	1. 奧立佛凱爾 (Oliver KIEHL) 2. 剛納 H. 克羅斯 (Gunnar H. KRAUSE)
	國 籍	1. 美國 2. 美國
	住、居所	1. 美國佛蒙特州 05445 坦史東廣場 401 號 2. 美國佛蒙特州 05401 柏林頓 #84 奧斯汀路 80 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權

1997年09月29日 案號 08/939,546 (主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明()

發明背景

1. 發明領域

本發明有關多重資料庫記憶體裝置，且較特別地，有關一種用於多重資料庫記憶體裝置之改良式資料庫聯鎖設計及測試模式。

2. 習知技藝說明

已知在一多重資料庫記憶體裝置中之整個記憶體陣列係畫分為諸功能性地相同之記憶體資料庫。典型地，各資料庫具有相同數目之字元線及位元線，其可獨立於其他各資料庫而激活。結果，利用來激活一資料庫之列位址並不需要相同於利用來激活其他任一資料庫之其他任一列位址。

同時，已知經由一列位址來激活一字元線會造成所有相關於該激活之字元線之諸記憶體單元被鎖定於個別之供各相對應位元線用之感知放大器。在習知標準操作模式中，各讀取或寫入命令提供資料庫選取資訊及一行位址，以便選擇或選取一資料庫之激活的字元線之特別位元線，也就是說，首先該資料庫選取資訊用來選取一資料庫且只有在該資料庫中之行位址係使用來選取資料讀取(或資料寫入)於相對應之感知放大器。然而，因為只有一共用之資料路徑，故沒有其他資料庫可儲存資料自相結合之系統之諸寫入資料線，或可驅動資料於系統之諸讀取資料線。

結果，習知多重資料庫記憶體裝置必須在一時間執行

五、發明說明 (>)

一資料庫，而此方法將造成該等記憶體資料庫之測試，即，執行此連續性之資料庫接著資料庫之測試的時間過多，且因此非常嚇人。

發明概述

在本發明之一觀點中，一種測試具有複數記憶體資料庫之多重資料庫記憶體裝置之方法，包含下列步驟：(a)激活該複數記憶體資料庫之兩個或多個，以用於參與該測試；(b)在各激活之資料庫內選取至少一相對應於一記憶體單元之共同記憶體位址；(c)同時地將測試資料寫入各激活資料庫之所選取之記憶體單元內；(d)同時地讀取先前寫入於各激活之資料庫之所選取之記憶體單元內之該測試資料；以及(e)比較讀取自各激活之資料庫之測試資料與讀取自各其他激活之資料庫之測試資料，且若確定一匹配存在時，則指示一通過之情形，否則指示一錯誤之情形。

在本發明之另一觀點中，一種選擇性地存取多重資料庫記憶體一體裝置之記憶體資料庫之方法，其中該多重資料庫記憶體裝置具有一共同之內部資料路徑操作性地耦合於複數記憶體資料庫，該方法包含下列步驟：(a)提供一內部資料庫激活信號，該內部資料庫激活信號指示該複數之記憶體資料庫之那些記憶體資料庫已激活；(b)允許連續之內部讀取及連續之內部寫入資料之其中之一經由該共同之內部資料路徑自/至所激活之記憶體資料庫；以及(c)拒絕連續之內部讀取及連續之內部寫入資料之

五、發明說明()

其中之一經由該共同之內部資料路徑自 / 至所激活之記憶體資料庫。

有利地，本發明提供一種多重資料庫 DRAM 裝置之測試模式，其實質地降低相關於測試該多重資料庫 DRAM 裝置之所有資料庫之整個測試時間，以及提供一種資料聯鎖設計，其在測試模式及正常操作模式期間提供一相對於該等資料庫之資料路徑之鎖定特性。

本發明之該等及其他目的，特性及優點將從下文結合於諸附圖所讀取之其描繪性實施例之詳細說明而呈明顯。

圖式簡單說明

第 1 圖係一方塊圖，描繪根據本發明之實行資料庫聯鎖設計及測試模式之多重資料庫 DRAM 裝置；

第 2 圖係一典型之邏輯器真值表，用於根據本發明之資料路徑選取邏輯器之安排；以及

第 3 圖係一典型之邏輯器真值表，用於根據本發明之通過 / 錯誤邏輯器及晶片外驅動器之方塊。

發明詳細說明

首先參閱第 1 圖，本發明之實行係顯示於下文之多重資料庫記憶體裝置 10 之相關部分，此等記憶體裝置例如含有：隨機存取記憶體 (RAM)，動態隨機存取記憶體 (DRAM)，同步型 DRAM (SDRAM)，唯讀記憶體 (ROM)，或合併型 DRAM-邏輯器電路 (埋入式 DRAM)。在一實施例中，該記憶體裝置包含一 DRAM。為清楚為見，須理解的是只有一單一位元資料路徑被描繪；然而，本發明之實行可明顯地

五、發明說明(4)

延伸至具有較大數目之並列資料位元之較為實用之資料匯流排形態，例如8,16,32,64位元之資料匯流排或較大者。

如圖示，一多重資料庫DRAM裝置10含有N資料庫。較佳地，該多重資料庫DRAM裝置可為一多重資料庫SDRAM裝置，雖然其他形式之多重資料庫DRAM裝置可實行本發明之教示。資料庫0(方塊12)，資料庫1(方塊14)至資料庫N(方塊16)之各資料庫係經由個別之選取信號資料庫線MX0,MX1至MXN而操作性地耦合於資料路徑資料庫選取邏輯器20。進一步地，各資料庫係操作性地耦合於系統讀取資料線SRDLT(系統讀取資料線真)及SRDLC(系統讀取資料線補數)二者，同時該二線操作性地耦合於測試模式通過/錯誤邏輯器22，該邏輯器22將予以解說且其本身操作性地耦合於晶片外驅動器(OCD)24。同樣地，各資料庫操作性地耦合於系統寫入資料線SWDLT(系統寫入資料線真)及SWDLC(系統寫入資料線補數)二者，該二線操作性地耦合於資料接收器26。外部資料輸入/輸出線(諸DQ線)係操作性地耦合於該OCD24及該資料接收器26。此外，各資料庫操作性地耦合於一位址匯流排28及一控制信號匯流排30，如已知。在匯流排28上之諸位址信號可以以一習知方式經由位址邏輯器17產生，而諸控制信號可以以一習知方式經由控制邏輯器18產生。諸位址信號及控制信號係分別外部地自晶片外DRAM控制器電路提供至位址邏輯器17及控制邏輯器18。

五、發明說明(5)

響應於外部控制信號(例如未圖示之DRAM控制器),該控制邏輯器18產生諸資料庫激活(BN[0:N])信號,一資料庫選取(BS)信號,及一壓縮測試模式(TMC)信號。該三信號係施加於資料路徑資料庫選取邏輯器20。此外,該通過/錯誤邏輯器22接收由控制邏輯器18所產生之TMC信號以及輸出致能(OE)信號。一般熟習於本技藝者將可由本文所描述之本發明之教示之所給定者來實行此邏輯控制電路(控制邏輯器18),因此不再提供進一步說明。

雖所描繪者為分離之資料線,但SRDLT及SWDLT可為一雙向之資料線,同樣地,SRDLC及SWDLC可為另一雙向資料線,進一步地,所使用之真/補數資料線之安排並非本發明之關鍵,而是可使用具有一資料有效信號之單一讀取資料線及一單一寫入資料線。

大致地,本發明提供一種獨到之測試模式,其有效地降低相關於測試多重資料庫DRAM裝置之諸資料庫之時間。根據本發明,如將藉由一詳細之實例來解說,該測試模式藉由諸資料位元之並列寫入及讀取而同時地測試所有激活之資料庫以用記憶單元之錯誤。結果,一寫入命令等於分別至N個不同之資料庫之N個連續之寫入命令,而一讀取命令提供通過/錯誤之資訊作為讀取所有N資料庫之壓縮結果。例如,若測試圖案係相同於各資料庫時,則在各資料庫之激活期間之列位址會相同。在此一情況中,若所有資料庫之所讀出之資料係相同於寫入其中之資料時,則該測試之結果為"通過";若資料不一致

五、發明說明 (b)

時，則會檢出"錯誤"且可置換該裝置，或若在預熔之測試中(如將描述者)，則可以以冗餘部分來檢修或置換記憶體之不良部分。

而本發明之測試模式可使用相同之局部測試圖案於各資料庫中，結果在激活期間，各資料庫之列位址係相同，同時該測試模式具有壓縮非相對應之諸字元線之能力。有效地，當壓縮之資料來自該晶片之較遠之分開之地區時，則將導致錯誤測試之多位元誤差之可能性會實質地最小化，此將稍後進一步地解說於本說明書中。

現參閱第2圖，本發明之獨到的測試模式及鎖定功能之典型之實行係描繪相對於輸入至(BS, BA, TMC)及輸出自(MX)該裝置10(第1圖)之資料路徑資料庫選取邏輯器20之諸信號。請注意行(C)及列(R)之符號已插置於該表中，以便易於參考於該表與此說明間。行1表示測試模式信號(TMC)，其使本發明之測試模式致能及失能，所以採用一邏輯0為一使失能之情形而一邏輯1為一致能之情形，可見到列1至6(TMC=0)代表裝置10之正常操作(非測試模式或未致能測試模式)，而列7(TMC=1)代表在測試模式中之裝置的操作。當然，須理解的是，可使用替換之邏輯設定，亦即，邏輯0致能一功能而邏輯1則使該功能失能，此設定對於本發明並非特別地重要。

進一步地，行2至5代表該資料庫選取(BS)信號之個別位元，兩位元係顯示於最大有效位元(行2)與最小有效位元(行5)之間，該BS信號可根據欲選取之資料庫之數目而

五、發明說明(？)

具有較多或較少之位元。又進一步，行6至9代表個別之資料庫激活(BA)信號而具有行6代表資料庫0之激活(BA0信號)，行7代表資料庫1之激活(BA1信號)，到行9，其代表資料庫N之激活(BAN信號)，行8僅表所有在資料庫1與資料庫N間所激活之可能之資料庫。同樣地，行10至13代表以一相同於BA信號所示之方式之個別之選取資料庫(MX)信號。

現將解說正常操作(非測試模式)之諸實例。列1描繪資料庫0之選取及激活，BS信號之諸位元係完全邏輯0，表示該資料庫0係由外部控制電路(DRAM控制器)選取。其次，BA0信號(行6)設定為邏輯1，表示該資料庫0係激活，BA信號之其餘者則係“不予關注”(X)，因為其在此時無關於是否其他資料庫被激活，其原因則由於該BA信號之情形，只有資料庫0被選取。一致地，該M00信號(行10)亦設定於內部選取資料庫0之1，如第1圖中所示。所有其他MX信號係邏輯0，使無法內部地選取此未經選取(亦即，未經BS信號定址)之資料庫。所以，列1描繪資料庫0之讀取或寫入資料之存取。至於是否該操作係讀取或寫入之操作之確定，則以習知之方式由外部DRAM控制器來確定。

接著，列2描繪由BS信號所欲之資料庫0之選取；然而，因為BA0信號並未激活而結果BA0信號係一邏輯0，MX0信號並未設定且因而並未內部地選取資料庫0。所以，若資料庫並未由適當之經設定之BA信號予以激活時，則

五、發明說明(8)

該資料庫不會被選取，不管BS信號之情形如何。

列3及4分別地描繪相同於列1及2所示之情形，僅用於資料庫1，也就是說，列3係資料庫1讀取或寫入資料之存取，而列4則描繪資料庫1無法執行讀取/寫入作業。同樣地，列5及6顯示相同以用於資料庫N。

因此，須理解的是，根據本發明之BA信號之操作可使用來提供一種獨到之聯鎖特性。如圖示及上述相對於列2, 4及6, 即使資料庫選取信號(BS)係設定為1以便選取個別之資料庫，但該資料庫將不能實際地由適當之選取資料庫(MX)信號來內部地選取，除非設定適當之資料庫激活(BA)信號。因此，本發明提供鎖定/去鎖定-資料庫或諸資料庫於多重資料庫DRAM裝置內之能力，也就是說，若某些資料庫未激活時，則它們並不具有裝置之內部資料線之存取且因此不能執行讀取/寫入作業。此獨到之資料庫聯鎖設計可使用於正常操作中，如上述，或使用於測試模式，如下文將描述者。

參閱第2圖中之表之列7, 顯示測試模式(TMC)信號係設定於邏輯1, 藉此致能本發明之測試模式，結果，施加於該裝置之資料庫選取(BS)信號之情形沒什麼關係(不必關注)。然而，資料庫激活(BA)信號確定那些資料庫會包含在該測試中。行6至9指出資料庫0至N係激活；然而，在測試模式中，較少之資料庫會激活(降至1資料庫)。該等MX信號係設定相對應於BA信號，如表中所示，MX0至MXN係設定以藉此內部地選取資料庫0至資料庫N。利

五、發明說明(9)

用於 6 至 12 中之名詞 (BA0, BA1, ..., BAN) 係使用於強調 BA 信號與 MX 信號間之對應關係；然而，根據此處所採用之邏輯指定，各信號可表示為一邏輯 1 以指示該信號係致能，當然，如前文所述，邏輯 0 可使用來指示一致能情形而邏輯 1 為一使失能情形。

因此，具有致能之測試模式及具有所要之激活（由 BA 信號）與選取（由 MX 信號）之資料庫，則可發出一單一之寫入（或寫入叢發）命令（再次經由外部之 DRAM 控制器），而測試圖案接著並列地寫入所激活之各資料庫（利用位址匯流排 28 來提供行位址）之記憶體單元（例如每資料庫一記憶體單元，除非發出一寫入叢發命令於每資料庫之多於一單元要寫入之情況）中。如所述，該單一之寫入命令係形同 N 個連續寫入命令於 N 個相異之資料庫，其中 N 係所激活之資料庫數目。再者，該 BA 信號可作為鎖定至 / 自用於此時並未選擇測試之資料庫之資料線的存取。在測試圖案之資料寫入所激活之資料庫之後，施加一讀取命令，及接著取得通過或錯誤之資訊作為讀取之壓縮結果，同時比較所有 N 個資料庫之資料。

應理解的是，測試模式中所使用之精確測試圖案對於本發明並非關鍵性，而熟習本技藝者將能夠根據所使用之測試圖案來實行可接受之方法以用於確定通過 / 錯誤之情形。然而，現參閱第 3 圖，顯示有一真值表，描繪一相關於實行通過 / 錯誤邏輯器 22（第 1 圖）結合晶片外驅動器 24 之可能結果之實例，通過 / 錯誤邏輯器之精確

五、發明說明 (12)

之各資料庫中之各記憶體單元內，所以，整個測試圖案可以以此方式寫入該等資料庫之內。

現在，當從所激活之資料庫讀取資料時，讀取命令係由控制邏輯 18 所解碼且提供在控制信號匯流排 30 之上，而 OE 信號來到邏輯 1，接著，並列地讀出各資料庫中相對應所解碼之行位址之各記憶體單元中之資料位元且提供至通過 / 錯誤邏輯器 22 (第 1 圖)。若所有記憶體單元具有相同之資料 (邏輯 1 或邏輯 0) 時，亦即，匹配時，則取得測試通過之情形；然而，若至少一資料庫無法輸出相同值時，則指示測試錯誤之情形。

第 3 圖之圖表描繪此觀念，行 5 指示 SRDLC 正驅動邏輯 0 而 SRDLC 維持於邏輯 1，此指出所有相對於個別行位址之諸記憶體單元正儲存邏輯 0，假設此係在寫入操作期間寫入此等單元內之值，則通過之情形存在於測試之該部分，此係顯示為輸出於 DQ 線上之邏輯 0。另一方面，行 6 指示 SRDLC 正驅動邏輯 0 而 SRDLC 則維持於邏輯 1，此意指所有之相對應於下一個個別行位址之諸記憶體單元正儲存邏輯 1，再者，假設此係在寫入操作期間寫入此等單元內之值，則通過之情形亦存在於測試之該部分，類似於行 5 中之情形，該結果在 DQ 線上係指示為邏輯 0。將理解的是，如圖表中之所示，輸出於 DQ 線上之邏輯準位係隨意的且可實行於任一方式中。也就是說，通過 / 錯誤邏輯器 22 可形成使得邏輯 1 輸出於 DQ 線上以指示一通過情形而非圖表中之所示之邏輯 0，同時，在讀取資料線上之真

四、中文發明摘要(發明之名稱：)

用以實行多重資料庫記憶體裝置之
資料庫聯鎖設計及相關測試模之裝
置及方法

一種具有複數記憶體資料庫之多重資料庫記憶體裝置
的測試方法該方法包含下列步驟：

激活該複數記憶體資料庫之兩個或多個，用於參與該
測試；

選取至少一相對應於各激活之資料庫內之一記憶體單
元之共同記憶體位址；

同時地寫入測試資料於各激活資料庫之所選取記憶體
單元之內；

同時地讀取先前寫入於各激活資料庫之所選取記憶體
單元內之該測試資料；以及

比較讀取自各激活資料庫之測試資料與讀取自各其他
激活資料庫之測試資料，且若一匹配係確定存在時，則
指示一通過之情形，否則指示一錯誤之情形。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、中文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：**Apparatus and Method for Implementing a Bank Interlock Scheme and Related Test Mode for Multibank Memory Devices**)

Testing of a multibank memory device having a plurality of memory banks which includes activating two or more of the plurality of memory banks for participation in the test; selecting at least one common memory address corresponding to a memory cell within each activated bank; simultaneously writing test data into the selected memory cell of each activated bank; simultaneously reading the test data previously written into the selected memory cell of each activated bank; and comparing the test data read from each activated bank with the test data from each other activated bank and if a match is determined to exist, then indicating a pass condition, else indicating a fail condition.

六、申請專利範圍

1. 一種具有複數記憶體資料庫之多重資料庫記憶體裝置的測試方法，該方法包含下列步驟：

激活該複數記憶體庫之兩個或多個，用於參與該測試；

選取至少一相對應於各激活之資料庫內之一記憶體單元之共同記憶體位址；

同時地寫入測試資料於各激活資料庫之所選取記憶體單元之內；

同時地讀取先前寫入於各激活資料庫之所選取記憶體單元之內之該測試資料；以及

比較讀取自各激活資料庫之測試資料與讀取自各其他激活資料庫之測試資料，且若一匹配確定存在時，則指示一通過之情形，否則指示一錯誤之情形。

2. 如申請專利範圍第1項之方法，其中一測試圖案係分別地寫入於各激活資料庫內一共同之複數所選取記憶體單元之內，在各記憶體資料庫內之各共同之所選取之記憶體單元係同時寫入。

3. 如申請專利範圍第2項之方法，其中至少一部分先前寫入於該共同之複數所選取記憶體單元內之該測試圖案係同時地自該處讀取且相互比較，以確定一串列之一通過或錯誤情形。

4. 如申請專利範圍第2項之方法，其中在各激活資料庫中之該複數所選取記憶體單元係以許多字元線加以建構，且其中儲存於諸非對應字元線中之部分該測試圖

六、申請專利範圍

案係同時地自該激活資料庫讀取且相互比較，以確定一通過或不良之情形。

5. 一種選擇性地存取多重資料庫記憶體裝置之記憶體資料庫之方法，其中該多重資料庫記憶體裝置具有一共同之內部資料路徑，操作性地耦合於該複數之記憶體資料庫，該方法包含下列步驟：

提供一資料庫激活信號，該資料庫激活信號指示該複數記憶體資料庫之那些記憶體資料庫係激活；

允許一經由該共同之內部資料路徑連續地內部讀取或寫入資料自/至該等激活之記憶體資料庫；以及

拒絕一經由該共同之內部資料路徑連續地內部讀取或寫入資料自/至該等未激活之記憶體資料庫。

6. 一種用以測試具有複數記憶體資料庫之多重資料庫記憶體裝置的裝置，包含：

用以激活該複數記憶體資料庫之兩個或多個以用於參與該測試之裝置；

用以選取至少一相對應於各激活之資料庫之內之一記憶體單元之共同記憶體位址之裝置；

用以同時地寫入測試資料於各激活資料庫之所選取記憶體單元內的裝置；

用以同時地讀取先前寫入於各激活資料庫之所選取記憶體單元內之該測試資料的裝置；以及

用以比較讀取自各激活資料庫之測試資料與讀取自各其他激活資料庫之測試資料，且若一匹配係確定存

六、申請專利範圍

時，則指示一通過之情形，否則指示一錯誤之情形的裝置。

7. 如申請專利範圍第6項之裝置，其中一測試圖案係分地地寫入於各激活資料庫內一共同之複數所選取記憶體單元之內，在各記憶體資料庫內之各共同之所選取之記憶體單元係同時寫入。
8. 如申請專利範圍第7項之裝置，其中至少一部分先前寫入於該共同之複數所選取記憶體單元內之該測試圖案係同時地自該處讀取且相互比較，以確定一串列之一通過或錯誤情形。
9. 如申請專利範圍第7項之裝置，其中在各激活資料庫中之該複數所選取記憶體單元係以許多字元線加以建構，且其中儲存於諸非對應字元線中之部分該測試圖案係同時地自該激活資料庫讀取且相互比較，以確定一通過或不良之情形。
10. 如申請專利範圍第6項之裝置，其中該激活裝置含有一資料路徑資料庫選取邏輯器單元，其係響應於一資料庫激活信號及產生分別對應於該複數記憶體資料庫之複數選取資料庫信號，該等選取資料庫信號選擇性地激活該等記憶體庫以響應該資料庫激活信號。
11. 如申請專利範圍第6項之裝置，其中該比較裝置含有一通過/錯誤邏輯器單元，其係響應於一測試模式信號及諸內部資料線，且產生一測試結果信號，指示該通過/錯誤情形。

六、申請專利範圍

12. 一種選擇性地存取多重資料庫記憶體裝置之記憶體資料庫之裝置，其中該多重資料庫記憶體裝置具有一共同之內部資料路徑，操作性地耦合於該複數之記憶體資料庫，包含：

用以提供一資料庫激活信號，該資料庫激活信號指示該複數記憶體資料庫之那些記憶體資料庫係激活之裝置；

用以允許一經由該共同之內部資料路徑連續地內部讀取或寫入資料自/至該等激活之記憶體資料庫之裝置；以及

用以拒絕一經由該共同之內部資料路徑連續地內部讀取或寫入資料自/至該等未激活之記憶體資料庫之裝置。

13. 一種具有複數記憶體資料庫之多重資料庫記憶體裝置的測試方式，包含下列步驟：

激活該複數記憶體資料庫之兩個或多個以用於參與該測試；

選取至少一相對應於各激活之資料庫內之一記憶體單元之共同記憶體位址；

並列地寫入測試資料於各激活資料庫之所選取記憶體單元內；

並列地讀取先前寫入於各激活資料庫之所選取記憶體單元內之該測試資料；以及

比較讀取自各激活資料庫之測試資料與讀取自各其

六、申請專利範圍

他激活資料庫之測試資料，且若一匹配係確定存在時，則指示一通過之情形，否則指示一錯誤之情形。

14. 如申請專利範圍第13項之測試方法，其中一測試圖案係分別並列地寫入於該等激活之資料庫內之一共同之複數所選取記憶體單元中。

15. 如申請專利範圍第14項之測試方法，其中至少一部分先前寫入於該共同之複數所選取記憶體單元內之該測試圖案係並列地自該處讀取且相互比較，以確定一串列之一通過或錯誤情形。

16. 如申請專利範圍第14項之測試方法，其中在各激活資料庫中之該複數所選取記憶體單元係以許多字元線加以建構，且其中儲存於諸非對應字元線中之部分該測試圖案係並列地自該激活資料庫讀取且相互比較，以確定一通過或不良之情形。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

記憶體晶片

第1圖

