

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/24 (2006.01)

G11C 16/02 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810174029.6

[43] 公开日 2009 年 5 月 20 日

[11] 公开号 CN 101436606A

[22] 申请日 2008.11.12

[21] 申请号 200810174029.6

[30] 优先权

[32] 2007.11.12 [33] JP [31] 2007-292723

[71] 申请人 株式会社日立制作所

地址 日本东京都

[72] 发明人 木下胜治 寺尾元康 松冈秀行

屉子佳孝 木村嘉伸 岛明生

田井光春 高浦则克

[74] 专利代理机构 北京市金杜律师事务所

代理人 王茂华

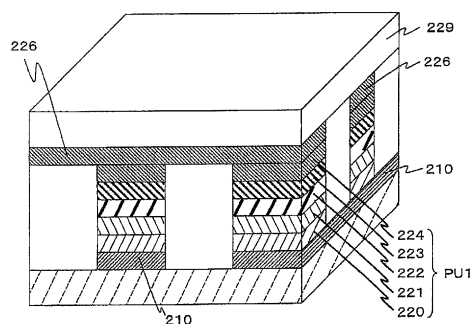
权利要求书 2 页 说明书 17 页 附图 27 页

[54] 发明名称

非易失性半导体存储器件

[57] 摘要

本发明提供一种非易失性半导体存储器件。在相变存储器等中,存在如下问题:用薄膜形成记录材料和选择元件双方时,因重写工作等的热而使与记录材料层相邻的层的原子扩散到记录材料层,重写特性发生变化。为了解决上述问题,本发明在非易失性记录材料层(224)与选择元件(220、221)之间具有膜厚为 5nm~200nm 的半导体层(222)。由此,可得到大容量且重写条件稳定的非易失性存储器。



1. 一种非易失性半导体存储器件，其特征在于，包括：

第一电极；

第二电极；

形成在上述第一电极和上述第二电极之间的非易失性记录材料层和选择元件；以及

形成在上述非易失性记录材料层和上述选择元件之间的、包含上述非易失性记录材料层所包含的元素的半导体层。

2. 根据权利要求 1 所述的非易失性半导体存储器件，其特征在于，

上述半导体层形成在上述选择元件上，

上述非易失性记录材料层形成在上述半导体层上。

3. 根据权利要求 1 所述的非易失性半导体存储器件，其特征在于：

上述半导体层形成在上述非易失性记录材料层上，

上述选择元件形成在上述半导体层上。

4. 根据权利要求 1 所述的非易失性半导体存储器件，其特征在于：

上述非易失性记录材料层包括含有硫族元素中至少一种元素的材料。

5. 根据权利要求 1 所述的非易失性半导体存储器件，其特征在于：

上述半导体层包含 40 原子 % 以上的 Ge。

6. 根据权利要求 5 所述的非易失性半导体存储器件，其特征在于：

上述半导体层包含 90 原子 % 以上的 Ge。

7. 根据权利要求 1 所述的非易失性半导体存储器件，其特征在于：

上述半导体层是 Ge 和 Si 的混合材料。

8. 根据权利要求 1 所述的非易失性半导体存储器件，其特征在于：

上述半导体层是 InSb 或 GaSb。

9. 根据权利要求 1 所述的非易失性半导体存储器件，其特征在于：

上述半导体层具有 5nm ~ 200nm 的膜厚。

10. 根据权利要求 1 所述的非易失性半导体存储器件，其特征在于：

上述选择元件是二极管。

11. 根据权利要求 10 所述的非易失性半导体存储器件，其特征在于：

上述二极管是多晶硅 PIN 二极管。

12. 根据权利要求 1 所述的非易失性半导体存储器件，其特征在于：

存储器单元包括上述非易失性记录材料层和上述选择元件，
上述存储器单元是相变存储器的存储器单元。

非易失性半导体存储器件

技术领域

本发明涉及非易失性地存储由金属化合物的结晶状态和非结晶状态之间的相变来决定的电阻值的、可进行电重写的相变存储器装置。

背景技术

在非易失性存储器件中，有的存储器件将金属化合物的结晶状态和非结晶状态用作存储信息。作为该存储材料，通常使用碲化合物。利用它们反射率的差异来存储信息的原理广泛应用于如 DVD（数字视盘）那样的光信息存储介质。

近年来，提出将该原理应用于电信息存储。该方法与光学方法不同，是用电流量或电压变化来检测非晶与结晶的电阻差、即非晶的高电阻状态与结晶的低电阻状态。应用于后者的电信息存储的存储器称为相变存储器，相变存储器的基本存储器单元的构造是将相变电阻元件和选择元件组合在一起的构造。相变存储器利用由对相变电阻元件施加电流而产生的焦耳热来使相变电阻元件的构成要素、即非易失性记录材料层为结晶状态或非结晶状态。相变存储器通过维持非易失性记录材料层的结晶状态或非结晶状态来存储保持信息。对于重写，在为电气的高电阻非结晶状态时，在施加大电流而使作为非易失性存储材料的电阻变化材料的温度为熔点以上之后，进行快速冷却即可，在为电气的低电阻非结晶状态时，限制施加的电流而使电阻变化材料的温度为低于熔点的结晶温度即可。通常非易失性记录材料层的电阻值会因为相变而发生 2 位数~3 位数左右的变化。因此，相变存储器利用结晶或非晶而读出的信号有较大不同，易于进行读出工作。

专利文献 1: US 2006/020354/A1

专利文献 2: US 6,426,891 B1

发明内容

在以往的相变存储器的重写中，从结晶状态相变到非结晶状态或从非结晶状态相变到结晶状态，因此非易失性记录材料层被加热到非常高的温度。因此，随着反复重写，存在构成与非易失性记录材料层接近的膜的原子从与非易失性记录材料层接近的膜扩散，重写条件发生变化的问题。

在现有技术、例如 US 2006/020354/A1（专利文献 1）所记载的技术中，在非易失性记录材料层与选择元件之间配置有电连接成为电阻的金属膜，但金属元素从金属膜向非易失性记录材料层扩散，重写条件发生变化，这成为一个问题。在 US 6,426,891 B1（专利文献 2）中，在非易失性记录材料层与选择元件之间，为了防止在重写时发生的来自非易失性记录材料层的热扩散而配置导电性隔热膜，但存在难以进行非易失性记录材料层的非晶化所需的快速冷却这样的问题。本发明的目的在于提供一种相变存储器，其防止从与非易失性记录材料层相邻的层扩散原子、或即使发生了扩散也成为不影响重写条件的原子，进而还容易进行用于非晶化的快速冷却，从而保持稳定的重写条件。

例举本申请的代表性技术方案，本发明的非易失性半导体存储器件包括第一电极、第二电极、形成在第一电极和第二电极之间的非易失性记录材料层和选择元件、形成在非易失性记录材料层和选择元件之间的包括非易失性记录材料层所含元素的半导体层。以下，将形成在非易失性记录材料层和选择元件之间的包括非易失性记录材料层所含元素的半导体层简称为半导体层。

根据本发明，可得到重写条件稳定的相变存储器。例如实现可在重写时间为 50ns 以下进行 10^9 次以上重写的非易失性存储器。

附图说明

图 1 是本发明实施方式 1 的存储器单元的要部剖视图。

图 2 是本发明实施方式 2 的存储器单元的要部剖视图。

图 3 是本发明实施方式 3 的存储器单元的要部剖视图。

图 4 是本发明实施方式 4 的存储器单元的要部剖视图。

图 5 表示本发明实施方式 1 的半导体器件的制造工序中的概视图。

图 6 是表示硅基板、外围电路部及存储器矩阵部的位置关系的图。

图 7 是表示硅基板、外围电路部及存储器矩阵部的位置关系的图。

图 8 是表示硅基板、外围电路部及存储器矩阵部的位置关系的图。

图 9 是接着图 5 的半导体器件的制造工序中的概视图。

图 10 是接着图 9 的半导体器件的制造工序中的概视图。

图 11 是接着图 10 的半导体器件的制造工序中的概视图。

图 12 是接着图 11 的半导体器件的制造工序中的概视图。

图 13 是接着图 12 的半导体器件的制造工序中的概视图。

图 14 是接着图 13 的半导体器件的制造工序中的概视图。

图 15 是接着图 14 的半导体器件的制造工序中的概视图。

图 16 是接着图 15 的半导体器件的制造工序中的概视图。

图 17 是接着图 16 的半导体器件的制造工序中的概视图。

图 18 是接着图 17 的半导体器件的制造工序中的概视图。

图 19 是与图 18 所记载的构造对应的俯视图。

图 20 是表示本发明的半导体器件的存储器矩阵的要部电路图。

图 21 表示本发明实施方式 1 的半导体器件的制造工序中的概视图。

图 22 表示本发明实施方式 2 的半导体器件的制造工序中的概视图。

图 23 是接着图 22 的半导体器件的制造工序中的概视图。

图 24 是接着图 23 的半导体器件的制造工序中的概视图。

图 25 是接着图 24 的半导体器件的制造工序中的概视图。

图 26 是接着图 25 的半导体器件的制造工序中的概视图。

图 27 是接着图 26 的半导体器件的制造工序中的概视图。

图 28 是与 Si-Ge 的光学常数相关的图。

图 29 是接着图 27 的半导体器件的制造工序中的概观图。

图 30 是与图 29 所记载的构造对应的俯视图。

图 31 表示本发明实施方式 4 的半导体器件的制造工序中的概观图。

图 32 表示本发明实施方式 5 的半导体器件的制造工序中的概观图。

具体实施方式

使用图 1~图 4 说明本发明的非易失性存储器的存储器单元。关于其构造,与非易失性记录材料层和选择元件位于不同的层、经塞柱(plug)而电连接的构造不同,是不经塞柱而在同一层将非易失性记录材料层和选择元件电连接的所谓柱形构造。另外,在此作为选择元件以 pn 多晶硅二极管为例加以说明。因此,在图 1~图 4 中,虽然示出了形成 pn 结的第一多晶硅层和第二多晶硅层,但也可以是如 np 结、pin 结那样的其他结的构造。或者,可以在存储器单元使用采用了金属布线层与多晶硅层的肖特基(Schottky)结的选择元件。在此以 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 为例说明非易失性记录材料层,但通过选择用包含硫族元素(S、Se、Te)中至少一种元素的材料组成,能够得到同等程度的性能。

在以下的各实施例中,对按各不相同的层叠顺序层叠的构造以及适当的膜厚进行总括说明。

图 1 表示的是将第一多晶硅层 107、第二多晶硅层 106、半导体层 105、非易失性记录材料层 104、第二金属布线层 103、第三金属布线层 101 依次层叠在第一金属布线层 102 上而成的实施例 1 所述的构造。

将非易失性记录材料层 104 形成在半导体层 105、第一多晶硅层 107 和第二多晶硅层 106 上。如此,在由第一多晶硅层 107 和第二多晶硅层 106 构成的 pn 多晶硅二极管与非易失性记录材料层 104 之间

设有半导体层 105, 因此能够抑制因重写工作时产生的热而在 pn 多晶硅二极管内作为杂质掺杂的原子扩散到非易失性记录材料层 104。半导体层 105 的膜厚无论过厚还是过薄都不能发挥功能。若过厚, 则虽有导电性, 但电阻过大, 因其温度依赖性而使非易失性记录材料层 104 的电阻值的温度余量不足。若过薄, 则由于非易失性记录材料层 104 的存储写入时的反复温度上升而不能防止选择元件的特性劣化。

关于膜厚与低电阻状态、高电阻状态的在高温下的电阻比的关系, 在半导体层 105 的膜厚为 160nm 时, 低电阻状态、高电阻状态的电阻比约为 1:20, 在膜厚为 200nm 时, 电阻比约为 1:10, 在膜厚为 240nm 时, 电阻比约为 1:5。在这样的电阻变化型非易失性存储器中, 从防止误读出的观点考虑, 需要使低电阻状态和高电阻状态的电阻比为 10 倍左右, 因此, 半导体层 105 的膜厚为 200nm 以下。

另外, 对于膜厚与可重写次数的关系, 在半导体层 105 的膜厚为 3nm 时, 可重写次数约为 10^5 次, 在半导体层 105 的膜厚为 5nm 时, 可重写次数约为 10^6 次, 在半导体层 105 的膜厚为 8nm 时, 可重写次数约为 10^6 次。在电阻变化型非易失性存储器中, 需要至少具有约 10^6 次的可重写次数, 因此半导体层 105 的膜厚为 5nm 以上。

图 2 表示的是将非易失性记录材料层 104、半导体层 105、第二多晶硅层 106、第一多晶硅层 107、第二金属布线层 103、第三金属布线层 101 依次层叠在第一金属布线层 102 上而成的实施例 2 所述的构造。

将非易失性记录材料层 104 形成在半导体层 105、第二多晶硅层 106 和第一多晶硅层 107 上。如此, 在由第一多晶硅层 107 和第二多晶硅层 106 构成的 pn 多晶硅二极管与非易失性记录材料层 104 之间设有半导体层 105, 因此能够抑制因重写工作时产生的热而在 pn 多晶硅二极管内作为杂质掺杂的原子扩散到非易失性记录材料层 104。半导体层 105 的膜厚无论过厚还是过薄都不能发挥功能。若过厚, 则虽然有导电性, 但电阻过大, 因其温度依赖性而使非易失性记录材料层 104 的电阻值的温度余量不足。若过薄, 则由于非易失性记录材料层

104 的存储写入时的反复温度上升而不能防止选择元件的特性劣化。

在图 2 的情况下,膜厚与电阻比的关系、膜厚与可重写次数的关系也与上述图 1 的情况相同。

图 3 表示的是将第一多晶硅层 107、第二多晶硅层 106、半导体层 105、非易失性记录材料层 104、半导体层 105、第二金属布线层 103、第三金属布线层 101 依次层叠在第一金属布线层 102 上而成的实施例 3 所述的构造。即,在实施例 1 所述构造的半导体层 105 与第二金属布线层 103 之间还新增加了半导体层 105。由此,除了实施例 1 所述的效果之外,还能够抑制第二金属布线层 103 内的金属原子向非易失性记录材料层 104 的扩散,能够抑制因金属原子引起的重写条件的变化。利用新增加的半导体层 105 能够抑制第二金属布线层 103 因热循环而引起的劣化,使可重写次数提高 5 倍以上。

图 4 表示的是将半导体层 105、非易失性记录材料层 104、半导体层 105、第二多晶硅层 106、第一多晶硅层 107、第二金属布线层 103、第三金属布线层 101 依次层叠在第一金属布线层 102 上而成的实施例 4 所述的构造。即,在实施例 2 所述构造的半导体层 105 与第一金属布线层 102 之间还新增加了半导体层 105。由此,除了实施例 2 所述的效果之外,还能够抑制第一金属布线层 102 内的金属原子向非易失性记录材料层 104 的扩散,能够抑制因金属原子引起的重写条件的变化。利用新增加的半导体层 105 能够抑制第一金属布线层 102 因热循环而引起的劣化,使可重写次数提高 5 倍以上。

在图 3~图 4 的情况下,膜厚和可重写次数的关系与上述图 1 的情况相同。半导体层 105 的总膜厚与电阻比的关系与上述图 1 的情况相同。

实施例 1

以下,参照附图详细说明本发明的非易失性存储器的存储器单元的制造方法。在用于说明实施例的所有附图中,对同样的构件标注相同的附图标记,省略其重复说明。在以下的实施方式中,除了特别必要时,原则上不重复相同或大致相同的部分的说明。在实施方式所使

用的附图中,虽然是剖视图,有时为了容易观察附图,会省略剖面线。虽然是俯视图,有时为了容易看附图,会标注剖面线。

在本实施方式中,本发明的存储器单元形成在图5所示的半导体基板201上。半导体基板201是用于形成非易失性存储器,以及形成使非易失性存储器的存储器矩阵工作的外围电路的基板。使用现有的CMOS技术制造外围电路。在此,半导体基板、存储器矩阵和外围电路的位置关系如图6~图8所示。图6~图8示意性表示与作为半导体基板的硅基板的元件形成表面相垂直的方向的剖视图。在本实施方式中,如图6所示,以在外围电路部上制造存储器矩阵部的情况为例进行说明。即,为在硅基板上形成作为第一层的外围电路部、在第二层形成存储器矩阵的层叠构造。存储器矩阵和外围电路的位置关系可以是如图7所示那样存储器矩阵部和外围电路部处于同一层,也可以是如图8所示那样存储器矩阵部和外围电路部处于同一层、且存储器矩阵部的下层也有外围电路部的层叠构造。在图6和图8中,存储器矩阵部是第二层,但也可以是第三层、第四层,至少位于外围电路部的上层。

图5表示在半导体基板201上依次堆积第一金属布线层202、第一多晶硅层203、第二非晶硅层204的构造。第一金属布线层202由溅镀形成。第一金属布线层202的材料是钨。更优选是,由于电阻率低的材料的电压降较小,可取得读出电流,因此该第一金属布线层202的材料例如可以是铝或铜。为了提高粘结性,可以在第一金属布线层202与半导体基板201之间堆积TiN等金属化合物。

第一多晶硅层203是如下这样形成:通过LP-CVD(Low Pressure Chemical Vapor Deposition: 低压化学气相蒸镀法)堆积包含硼、镓、铟中任一种元素的非晶硅,其后通过RTA(Rapid Thermal Annealing: 急速加热处理)进行结晶和杂质活性化。第一多晶硅层203具有50~250nm的膜厚。在此,在第一金属布线层202为钨的情况下,对于用来形成第一多晶硅层203的材料而言,含有硼的非晶硅与含有镓或铟的非晶硅相比难以形成钨的硅化物,因此是优选的。为了防止钨与非

晶硅直接接触而发生反应形成钨的硅化物，可以在第一多晶硅层 203 与第一金属布线层 202 之间堆积 TiN 等金属化合物。接着，第二非晶硅层 204 可通过利用 LP-CVD 堆积含有磷或砷的非晶硅而获得。第二非晶硅层 204 具有 50~250nm 的膜厚。

图 9 表示对在图 5 中堆积的第二非晶硅层 204 实施激光退火的工序。通过激光退火进行第二非晶硅层 204 的结晶化和杂质活性化，从而形成第二多晶硅层 205。在本实施例中，构成存储器单元的选择元件是 pn 二极管。因此，以第一多晶硅层 203 与第二多晶硅层 205 的结为 pn 结进行说明，也可以在存储器单元使用如 np 结、pin 结、pi 结那样的其他结、或与第一金属布线层 203 的肖特基结的选择元件。

图 10 是表示在图 9 基础上依次堆积了半导体层 206、非易失性记录材料层 207、第二金属布线层 208 后的图。半导体层 206、非易失性记录材料层 207、第二金属布线层 208 通过溅镀而堆积。

非易失性记录材料层 207 的材料是 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，膜厚为 5~300nm，更优选是纵横比较低的 5~50nm，从而容易进行后工序的干蚀刻、绝缘性材料的埋入。

半导体层 206 是由含有非易失性记录材料层 104 的构成元素的材料构成的半导体层。通过使用这样的层，即使由于激光退火的高温状态而引起一部分元素从半导体层 206 向非易失性记录材料层扩散，也能将重写特性、对二极管的影响抑制到实用上不会有问题的程度。例如在 Ge-Sb-Te 族材料中即使 Ge 扩散，存储器特性的变化也是没有问题的程度。

半导体层 206 以难以发生非易失性记录材料层 207 的重写条件变化的 Ge 为材料，膜厚为 5nm~200nm。该膜厚范围的理由如上所述。并且，优选 Ge 含量是 90 原子%以上。即使改变 Ge 而使用 Ge-Si 混合材料，也能得到同样的效果。在该情况下，膜厚也优选为 5nm~200nm。另外，除此之外，也可以是包含 Ge 和除 Si 之外的元素。此时，若 Ge 含量是 40 原子%以上，则非易失性存储器的重写特性难以劣化，因此优选。即，作为半导体层 206，在使用除 Ge-Si 混合材

料以外的材料时,由至少含有40原子%以上的Ge的材料构成。作为该半导体层206,可以使用除Ge以外的公知的各种半导体材料,可以使用InSb、GaSb。作为半导体层尤其重要之处在于该半导体层由含有构成非易失性记录材料层的材料的半导体材料构成。即使在这些场合下,对于膜厚,优选是5nm~200nm。

在本实施例中,非易失性记录材料层207的构成元素以 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 为例,也可以使用 $\text{Ge}_3\text{Sb}_2\text{Te}_6$ 、 $\text{Ge}_5\text{Sb}_2\text{Te}_8$ 、Ge-Te等非易失性记录材料层。作为信息重写原理,相变存储器的原理是一例,但除此之外,在采用固体电解质存储器的原理时,例如可以以 Cu_2Se 层、GeSe层作为非易失性记录材料层,使第一金属布线层和第二金属布线层的至少一方为Cu。但是,固体电解质存储器有在写入工作和消去工作中施加相反方向电压的双向工作方式、和在写入工作和消去工作中施加相同方向电压的单向工作方式,在此由于使用二极管作为非易失性记录材料层的选择元件,因此需要以单向电压驱动。

半导体层206的膜厚无论过厚还是过薄都不能发挥功能。若过厚,则虽然有导电性,但电阻过大,因其温度依赖性而使非易失性记录材料层207的电阻值的温度余量不足。若过薄,则由于非易失性记录材料层207的存储写入时的反复温度上升而不能防止选择元件的特性劣化。根据前述的理由,半导体层206的膜厚处于5nm以上200nm以下。

图11表示在图10基础上使用现有的光刻技术对抗蚀剂进行蚀刻的构造。抗蚀剂209的图案是存储器矩阵的字线的图案,是与相邻的字线图案平行延伸、纵纹状的图案。

图12表示使用现有的干刻技术在掩模对图11所示的抗蚀剂209进行蚀刻,对第二金属布线层208、非易失性记录材料层207、半导体层206、第一多晶硅层205、第二多晶硅层203和第一金属布线层202进行蚀刻,并使用现有技术除去了抗蚀剂209之后的构造。由第一金属布线层210、第一多晶硅层211、第二多晶硅层212、半导体层213、非易失性记录材料层214和第二金属布线层215构成的层叠膜

的图案反映抗蚀剂 209 的图案,形成纵纹状图案。第一金属布线层 210 作为存储器矩阵的字线与半导体基板 201 电连接,从而可进行非易失性存储器的读出和写入,在此省略了图示。

图 13 表示将绝缘性材料填充于图 12 中的图案之间后,使用现有技术的 CMP (Chemical Mechanical Polishing: 化学机械研磨法) 对该绝缘性材料进行切削后的构造。该切削量是与绝缘性材料 217 和第二金属布线层 215 的表面高度相同的量。

图 14 是通过溅镀在图 13 的绝缘性材料 217 和第二金属布线层 215 之上堆积第三金属布线层 218 的构造。第三金属布线层 218 的材料是钨,但更优选是电阻率低的铝、铜。

图 15 表示在图 14 的第三金属布线层 218 上使用现有的光刻技术对抗蚀剂进行图案形成后的构造。抗蚀剂 219 的图案是存储器矩阵的位线图案,是与相邻的位线图案平行延伸、纵纹状图案。抗蚀剂 219 的图案与第一金属布线层 210 的图案交叉。

图 16 表示使用现有的干刻技术在掩模对图 15 所示的抗蚀剂 219 进行蚀刻,对第三布线层 218、第二金属布线层 215、非易失性记录材料层 214、半导体层 213、第二多晶硅层 212、第一多晶硅层 211 和绝缘性材料 217 进行加工,使用现有技术除去了抗蚀剂 219 之后的构造。此时,为了能够选择存储器单元,需要残留相当于存储器矩阵字线的第一金属布线层 210。由第一多晶硅层 220、第二多晶硅层 221、半导体层 222、非易失性记录材料层 223 和第二金属布线层 224 构成的层叠膜 PU1 是柱状。相当于存储器矩阵位线的第三金属布线层 226 是与相邻的第三金属布线层 226 平行的纵纹形状,与第一金属布线层 210 交叉配置。第三金属布线层 226 作为存储器矩阵的位线而与半导体基板 201 电连接,从而可进行非易失性存储器的读出和写入,在此省略了图示。

图 17 表示在图 16 的图案之间堆积了绝缘性材料之后,使用现有技术的 CMP 对堆积的绝缘性材料进行切削后的构造。切削量是与绝缘性材料 228 和第三金属布线层 226 的表面高度相同的量。

图 18 表示在图 17 的构造基础上堆积了绝缘性材料 229 后的构造。

将按以上使用图 15 ~ 图 18 说明的制造方法制作出的存储器单元的俯视图示于图 19。作为存储器字线的第一金属布线层 210 与作为位线的第三金属布线层 226 交叉，层叠膜 PU1 配置在其交点。

以下，使用附图说明应用了本发明非易失性存储器的存储单元的存储器矩阵的工作方式。

图 20 是非易失性存储器的存储器单元阵列的结构图。存储器单元 MC_{ij} ($i=1, 2, 3 \dots, m$) ($j=1, 2, 3 \dots, n$) 的构造是：配置在多条平行配置的第一布线（以下称为字线） WLi ($i=1, 2, 3 \dots, m$)、和与字线 WLi 交叉的多条并行配置的第二布线（以下称为位线） BLj ($j=1, 2, 3 \dots, n$) 的交点，选择元件 SE 与相变电阻元件 VR 串联连接。在该图中，选择元件 SE 的一端与字线 WLi 连接，相变电阻元件 VR 的一端与位线 BLj 连接，但如后所述，为了向字线 WLi 和位线 BLj 施加电压而选择存储器单元，也可以将选择元件 SE 的一端与位线 BLj 连接，相变电阻元件 VR 的一端与字线 WLi 连接。

非易失性存储器的记录如下这样进行。例如，在重写存储器单元 MS11 时，对第一个字线 $WL1$ 施加电压 V_h ，对其他字线 WLi 施加电压 V_1 ，对第一个位线 $BL1$ 施加电压 V_1 ，对其他位线 BLj 施加电压 V_1 ，在 $MC11$ 的相变电阻元件流过电流来存储信息。在此，电压 V_h 是高于电压 V_1 的电压。在重写时，为了使非选择的存储器单元不进行误写入，需要发挥作用的选择元件 SE。当然，电压 V_h 必须是选择元件 SE 的击穿电压以下。非易失性存储器的读出如下这样进行。例如在读出存储器单元 $MC11$ 的信息时，对第一个字线 $WL1$ 施加电压 V_m ，对另一字线 WLi 施加电压 V_1 ，对第一个位线 $BL1$ 施加电压 V_1 ，根据流到 $BL1$ 的电流大小读出信息。

上述记述了存储器矩阵仅是在第一层的单层进行的写入、读出，若做成多层，能够进一步大容量化，因此优选。例如，如图 21 所示，将存储器矩阵层叠两层时，在图 18 的构造基础上，即在绝缘性材料 310 上，与实施例 1 的图 5 ~ 图 8 同样，形成存储器矩阵的第二层字

线即第一金属布线层 402、由第二层的第一多晶硅层 403、第二层的第二多晶硅层 404、第二层的半导体层 405、第二层的非易失性记录材料层 406 和第二层的第二金属布线层 407 构成的柱状的第二层的层叠膜 PU11、相当于存储器矩阵的第二层位线的第三金属布线层 409，并形成绝缘性材料 408 和绝缘性材料 410 即可。

此时，对第二层的多晶硅层进行退火时，同时第一层的非易失性记录材料层 214 被过热，但由布线层和绝缘层覆盖非易失性记录材料层 214，因此能够防止变形、剥离。

进而在层叠 k 层 ($k=1, 2, 3 \cdots 1$) 存储器矩阵时也用同样的方法制作存储器矩阵。当然，在层叠存储器矩阵的情况下，在进行非易失存储器的记录和读出时需要选择层。关于层的选择，例如在各层的字线共用的情况下，只要用位线选择写入层即可。

如此，通过层叠存储器矩阵，存储器单元的位密度变高，因此能够以低成本制造非易失存储器。

实施例 2

在本实施方式中，本发明的存储器单元形成在图 22 所示的半导体基板 201 上。半导体基板 201 是不仅形成非易失性存储器、还形成用于使非易失性存储器的存储器矩阵工作的外围电路的基板。使用现有的 CMOS 技术制造外围电路。外围电路和存储器矩阵的位置关系与实施例 1 相同。

图 22 表示在半导体基板 201 上依次堆积第一金属布线层 202、非易失性记录材料层 207、半导体层 206、第二非晶硅层 204、第一非晶硅层 251 的构造。第一金属布线层 202 由溅镀形成。第一金属布线层 202 的材料是钨。更优选是，由于电阻率较低的材料电压降较小，可取得读出电流，因此该第一金属布线层 202 的材料例如可以是铝或铜。为了提高粘结性，可以在第一金属布线层 202 与半导体基板 201 之间堆积 TiN 等金属化合物。非易失性记录材料层 207、半导体层 206 通过溅镀堆积。非易失性记录材料层 207 的材料例如是适于利用结晶-非晶相变进行记录的 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ，膜厚为 5~300nm，更优选是纵横

比低的 5 ~ 50nm 的膜厚,从而容易进行后工序的干蚀刻、绝缘性材料的埋入。到此进行了层叠的阶段,也可以将半导体层 206 作为保护层,对非易失性记录材料层进行激光退火。此时,对半导体层 206 的激光退火优选使用透射多晶硅层的波长为 460nm ~ 1 μ m 以下的长波长激光,但也可使用 450nm 以下的短波长的激光,以便使用多晶硅层吸收光,利用热传递使非易失性记录材料层被加热。激光照射是连续照射或脉冲照射。

第二非晶硅层 204 通过利用 LP - CVD 堆积含有磷或砷的非晶硅而获得。第二非晶硅层 204 具有 50 ~ 250nm 的膜厚。第一非晶硅层 251 通过利用 LP - CVD 堆积含有硼、镓或铟的非晶硅而获得。第一非晶硅层 251 具有 50 ~ 250nm 的膜厚。

半导体层 206 的膜厚无论过厚还是过薄都不能发挥功能。若过厚,则虽然有导电性,但电阻过大,因其温度依赖性而使非易失性记录材料层 207 的电阻值的温度余量不足。若过薄,则由于非易失性记录材料层 207 的存储写入时的反复温度上升而不能防止选择元件的特性劣化。出于上述理由,半导体层 206 的膜厚是 5nm ~ 200nm。

半导体层 206 的材料是难以发生非易失性记录材料层 207 的重写条件变化的、Ge 含量为 90% 以上的材料。也可以是实施例 1 所述的材料。在本实施例中,非易失性记录材料层 207 的构成元素以 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 为例,也可以使用 $\text{Ge}_3\text{Sb}_2\text{Te}_6$ 、 $\text{Ge}_5\text{Sb}_2\text{Te}_8$ 、Ge - Te 等非易失性记录材料层。还可以使用适用于固体电解质存储器记录的固体电解质材料。

图 23 表示对在图 22 中堆积的第二非晶硅层 204 和第一非晶硅层 251 实施激光退火的工序。通过激光退火进行第二非晶硅层 204 和第一非晶硅层 251 的结晶化和杂质活性化,从而形成第二多晶硅层 205 和第一多晶硅层 203。在本实施例中,构成存储器单元的选择元件是 pn 二极管。因此,以第一多晶硅层 203 与第二多晶硅层 205 的结为 pn 结进行说明,但也可以在存储器单元使用如 np 结、pin 结、pi 结那样的其他结的选择元件。

若将非易失性记录材料层 207 形成在半导体层 206、第二非晶硅层 204 和第一非晶硅层 251 的下方,则至少将半导体层 206 作为保护层而由激光照射对非易失性记录材料层 207 进行退火,从而大幅度减少 as-depo 状态的原子排列的紊乱,能够将存储器元件的工作成品率提高 10% 以上。在对多晶硅层进行退火时,隔着半导体层 206 位于其下方的非易失性记录材料层 207 也可能成为大幅度高于熔点的高温,但若用短波长的短脉冲激光进行退火,则能够抑制向下方热扩散,防止变形、剥离。在用波长为 450nm 以下、脉冲宽度为 100 μ s 以下的脉冲激光照射时,未观察到变形、剥离。

图 24 是通过溅镀在图 23 的多晶硅层上堆积第二金属布线层 208 的构造。第二金属布线层 208 的材料是钨,但更优选是电阻率低的铝、铜。

图 25 与实施例 1 的图 11 和图 12 所说明的方法相同,表示使用现有的光刻技术、干刻技术在图 24 所示的第二金属布线层 208 上对第二金属布线层 208、第一多晶硅层 203、第二多晶硅层 205、半导体层 206、非易失性记录材料层 207 和第一金属布线层 202 进行加工后的构造。由第一金属布线层 210、第一多晶硅层 211、第二多晶硅层 212、半导体层 213、非易失性记录材料层 214 和第二金属布线层 215 构成的层叠膜的图案与存储器矩阵的字线图案相同,是与相邻的图案平行延伸的纵纹状图案。第一金属布线层 210 作为存储器矩阵的字线与半导体基板 201 电连接,从而可进行非易失性存储器的读出和写入,在此省略了图示。

图 26 表示在图 25 的构造形成之后,使用 HDP-CVD 将绝缘性材料填充于图案之间,并通过 CMP 进行了平坦化之后,通过现有的溅镀堆积第三金属布线层 218 的构造。第三金属布线层 218 的材料是钨,但更优选是电阻率低的铝、铜。

图 27 表示在图 26 的基础上使用现有的光刻技术、干刻技术对第三金属布线层 218、第二金属布线层 215、非易失性记录材料层 214、半导体层 213、第二多晶硅层 212、第一多晶硅层 211 和绝缘性材料

217 进行加工后的构造。此时, 为了能够选择存储器单元, 需要残留相当于存储器矩阵字线的第一金属布线层 210。由非易失性记录材料层 223、半导体层 222、第二多晶硅层 221、第一多晶硅层 220、和第二金属布线层 224 构成的层叠膜 PU2 是柱状。第三金属布线层 226 的图案是存储器矩阵的位线图案, 是与相邻的位线图案平行而延伸的纵纹形状。另外, 第三金属布线层 226 作为存储器矩阵的位线而与半导体基板 201 电连接, 从而可进行非易失性存储器的读出和写入, 在此省略了图示。

若将半导体层最优化, 则可以在层叠到第一多晶硅层后, 用波长为 350nm ~ 450nm 的连续激光或脉冲激光同时照射第一多晶硅层和非易失性记录材料层。此时, 半导体层的材料可以是 Si - Ge 混合材料。Si - Ge 族的折射率和衰减系数的波长依赖性如图 28 所示那样, 因此, 可以用透射多晶硅层的波长为 460nm ~ 1 μ m 的长波长激光对非易失性记录材料层进行退火, 接着用波长为 350nm 以下的短波长激光对多晶硅层进行退火。更优选是, 在用含有 Si 为 77 原子% ~ 94 原子% 的 Si - Ge 做成膜厚为 5nm ~ 200nm 的情况下, 构成对多晶硅层和非易失性记录材料层都适合的退火。

图 29 是在图 27 的构造形成之后, 使用 HDP - CVD 将绝缘性材料 228 填充于图案之间, 并通过 CMP 进行了平坦化之后, 通过现有的溅镀堆积绝缘性材料 229 的图。

将按以上使用图 22 ~ 图 27 和图 29 说明的制造方法制作出的存储器单元的俯视图示于图 30。作为存储器字线的第一金属布线层 210 与作为位线的第三金属布线层 226 交叉, 层叠膜 PU2 配置在其交点。各层所使用的材料与实施例 1 相同。与实施例 1 相同, 也可以层叠多层存储器矩阵。

应用了本发明的非易失性存储器的存储器单元的存储器矩阵的工作方式与实施例 1 相同。

实施例 3

与实施例 1 的图 5 ~ 图 18 相同, 图 31 表示在半导体基板 201 上

形成作为存储器矩阵字线的第一金属布线层 210、由第一多晶硅层 220、第二多晶硅层 221、半导体层 222、非易失性记录材料层 223、半导体层 222、和第二金属布线层 224 构成的柱状的层叠膜 PU5、相当于存储器矩阵位线的第三金属布线层 226，并形成绝缘性材料 229 和绝缘性材料 228。

通过设置半导体层，防止在非易失性记录材料层进行反复写入时由热循环引起的劣化，提高可重写次数为 5 倍以上。对于半导体层的总膜厚，与实施例 1 相同。各层所使用的材料与实施例 1 相同。与实施例 1 相同，也可以层叠多层存储器矩阵。

在本实施例中，与第二金属布线层之下无半导体层的情况相比，形成半导体材料后，将该层作为保护层，能够对非易失性记录材料层进行激光退火。对于半导体层的膜厚，与实施例 1 相同。各层所使用的材料与实施例 1 相同。与实施例 1 相同，也可以层叠多层存储器矩阵。

应用了本发明的非易失性存储器的存储器单元的存储器矩阵的工作方式与实施例 1 相同。外围电路和存储器矩阵的位置关系与实施例 1 相同。

实施例 4

与实施例 1 的图 5~图 18 相同，图 32 表示在半导体基板 201 上形成作为存储器矩阵字线的第一金属布线层 210、由半导体层 222、非易失性记录材料层 223、半导体层 222、第二多晶硅层 221、第一多晶硅层 220 和第二金属布线层 224 构成的柱状的层叠膜 PU6、相当于存储器矩阵位线的第三金属布线层 226，并形成绝缘性材料 229 和绝缘性材料 228。

通过设置半导体层，防止在非易失性记录材料层进行反复写入时由热循环引起的劣化，提高可重写次数为 5 倍以上。对于半导体层的总膜厚，与实施例 1 相同。各层所使用的材料与实施例 1 相同。与实施例 1 相同，也可以层叠多层存储器矩阵。

应用了本发明的非易失性存储器的存储器单元的存储器矩阵的

工作方式与实施例 1 相同。外围电路和存储器矩阵的位置关系与实施例 1 相同。

以上，对各实施例进行说明。在各实施例中，在多晶硅二极管与非易失性记录材料层之间设置含有非易失性记录材料层所含元素的半导体层，从而能够抑制多晶硅二极管中所含杂质因重写工作时产生的热而扩散到非易失性记录材料层。由于该半导体层含有非易失性记录材料层所含元素，因此即使该半导体内的元素扩散到非易失性记录材料层，对重写条件的影响较小。因此，可得到重写条件稳定的非易失性存储器或可重写次数比现有技术更多的非易失性存储器。

在以上的各实施例中，对相变存储器进行了说明，但只要不脱离本发明的思想，对非易失性记录材料层就能使用公知的各种非易失性记录材料。例如是相变材料、固体电解质材料和磁性材料等。此时，作为半导体材料，通过设置包含各种材料所含元素的半导体层，可以得到相同的效果。

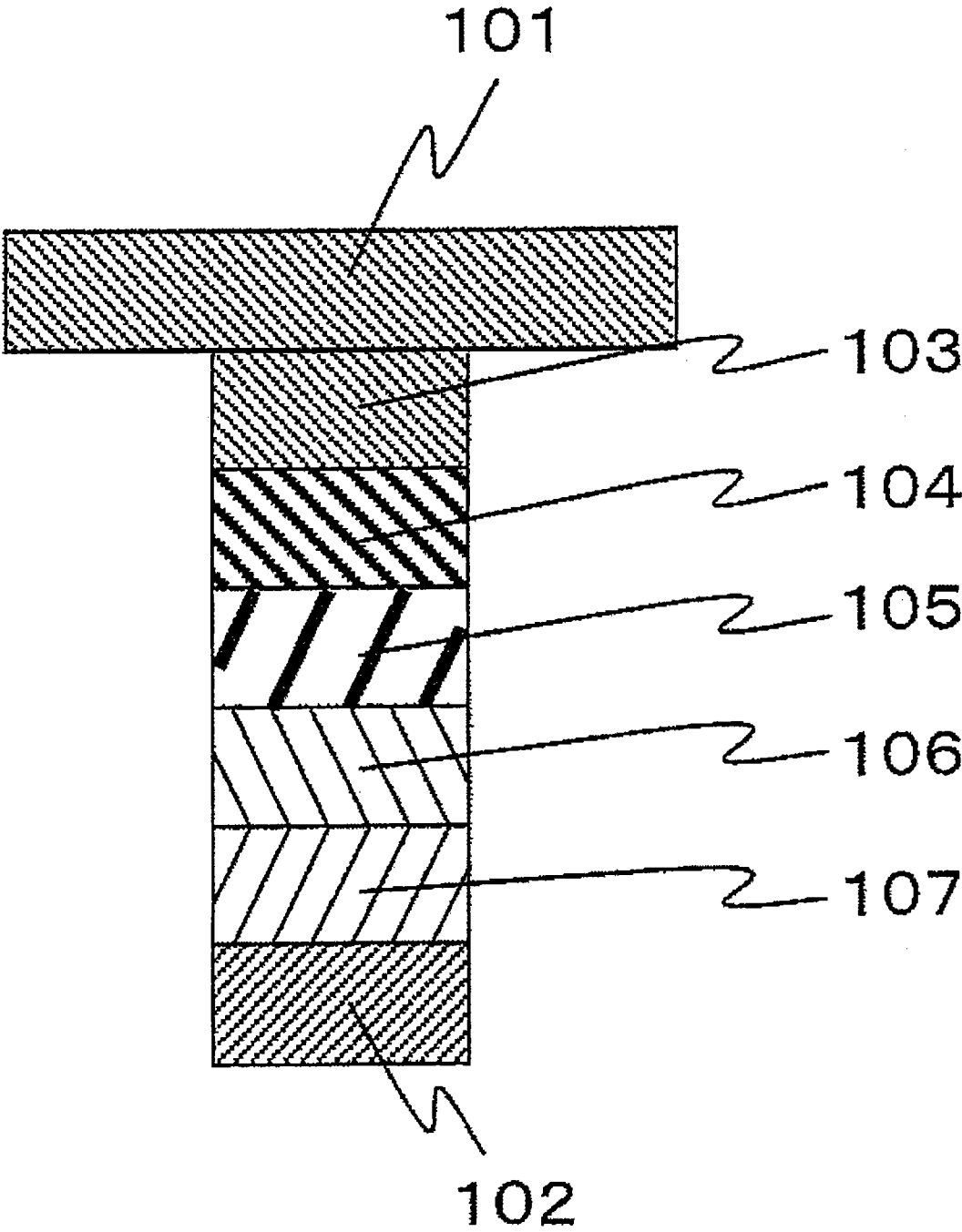


图 1

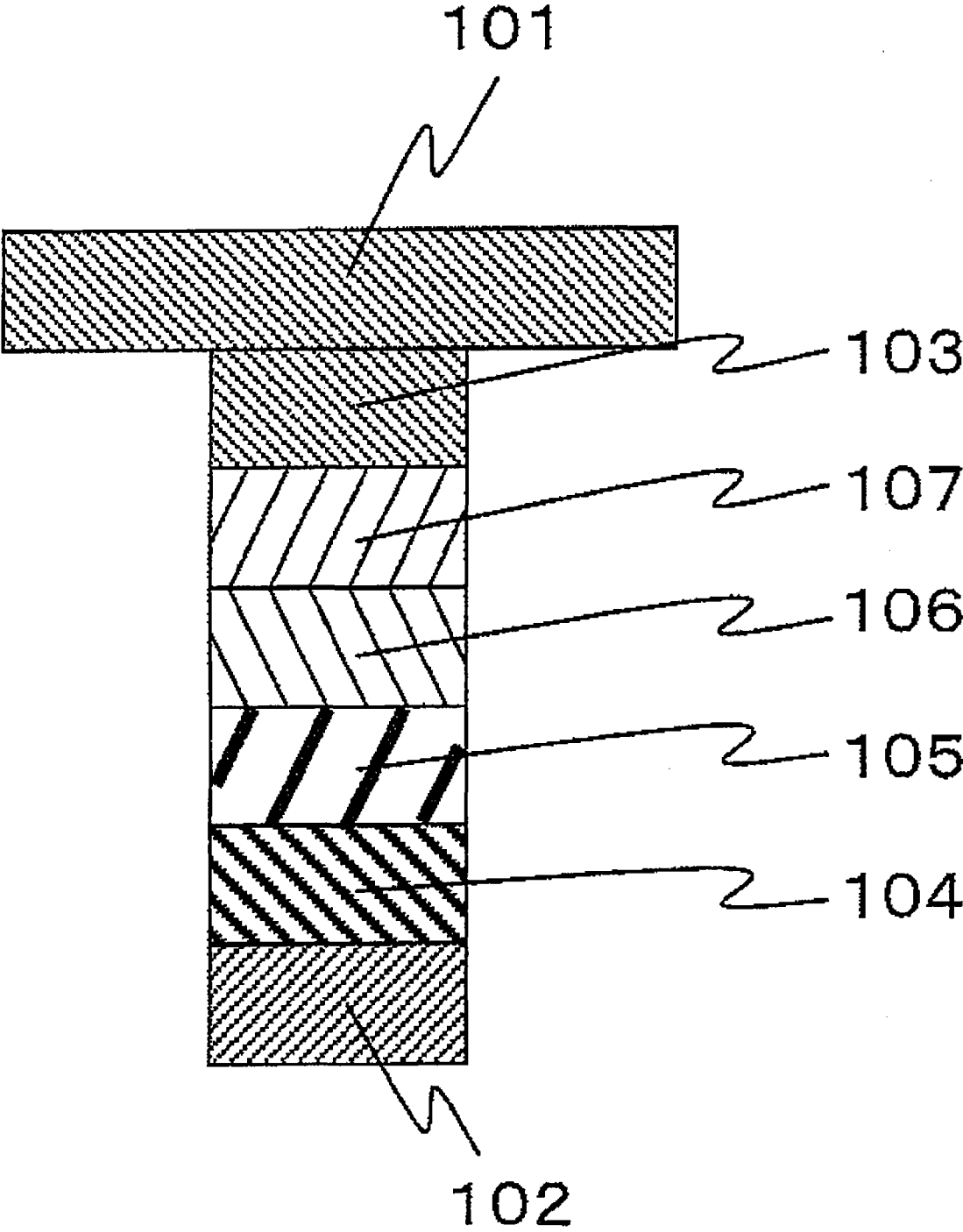


图 2

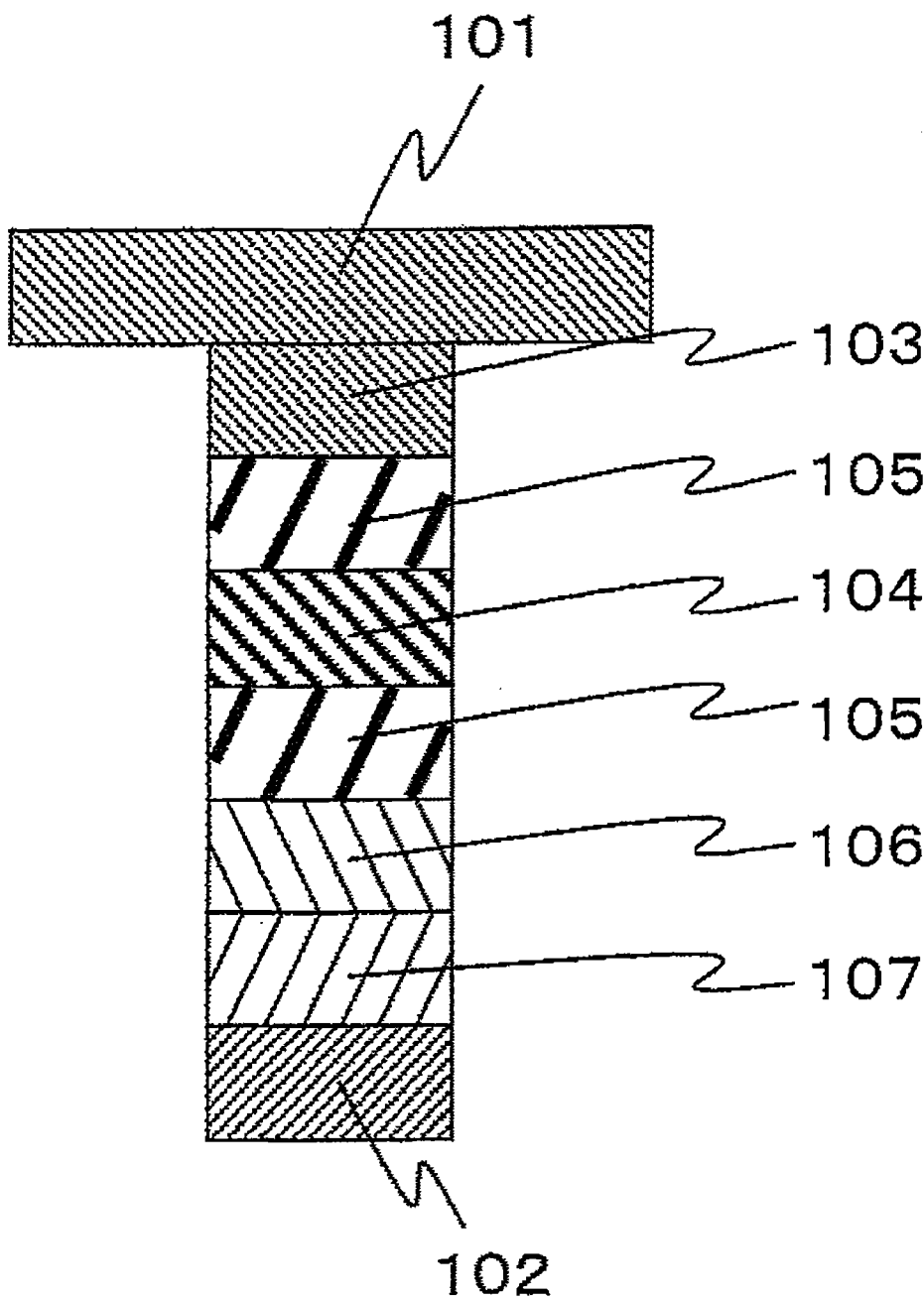


图 3

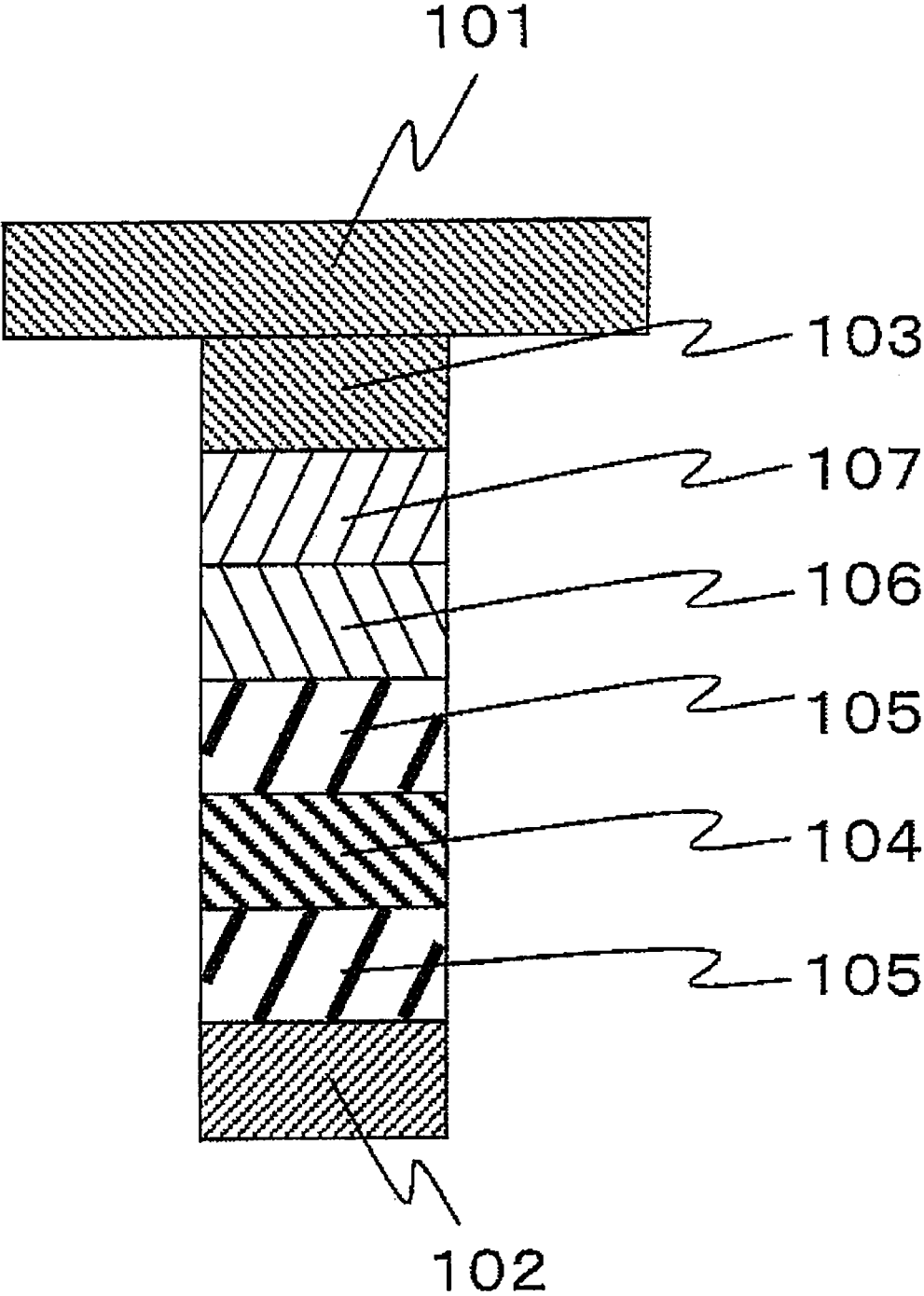


图 4

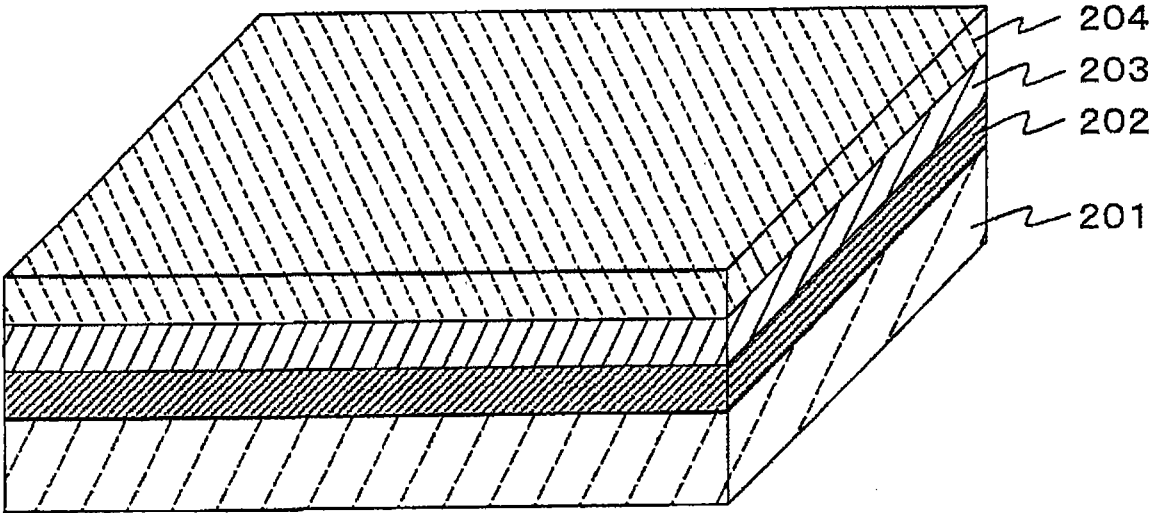


图 5

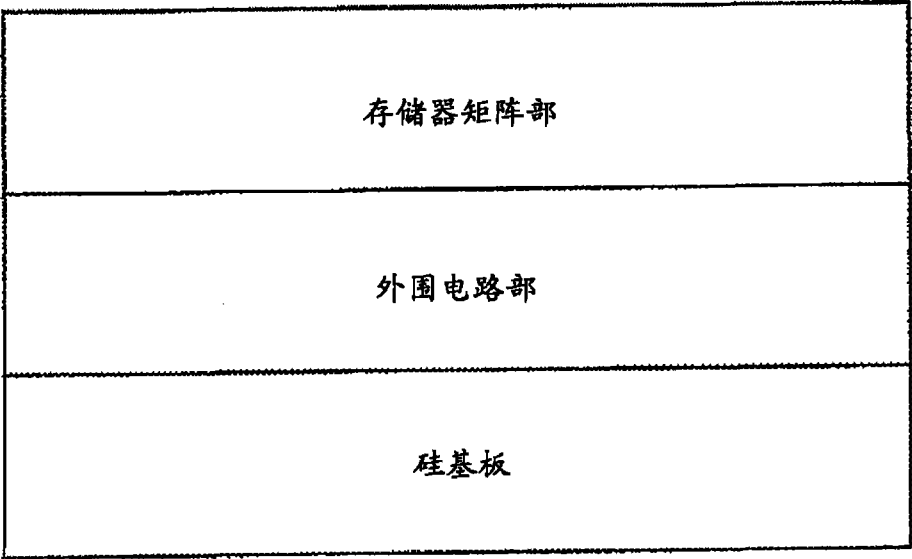


图 6

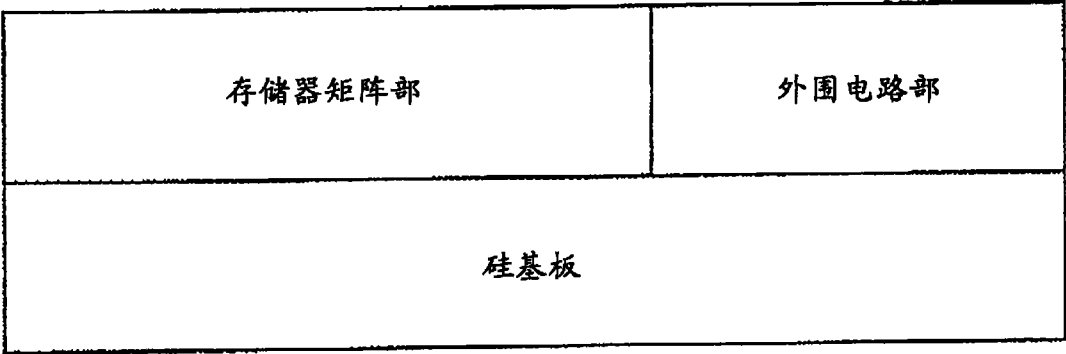


图 7

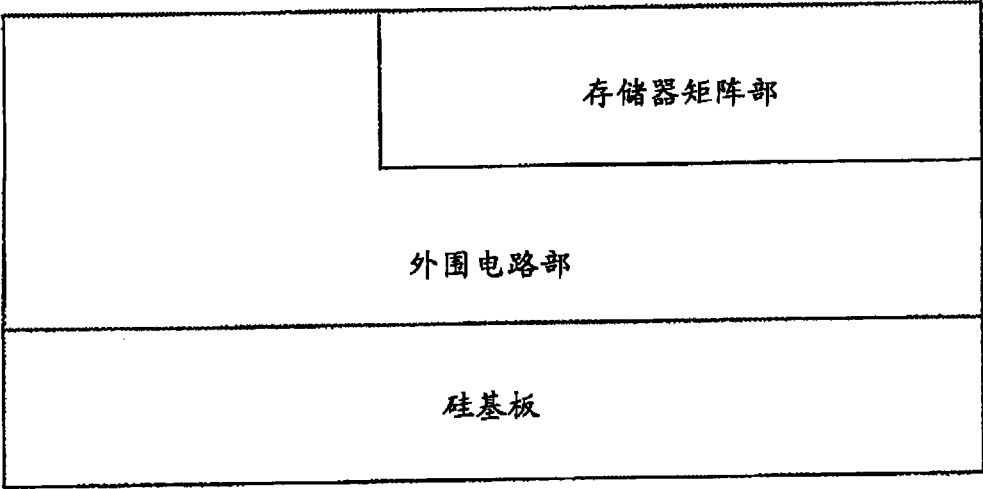


图 8

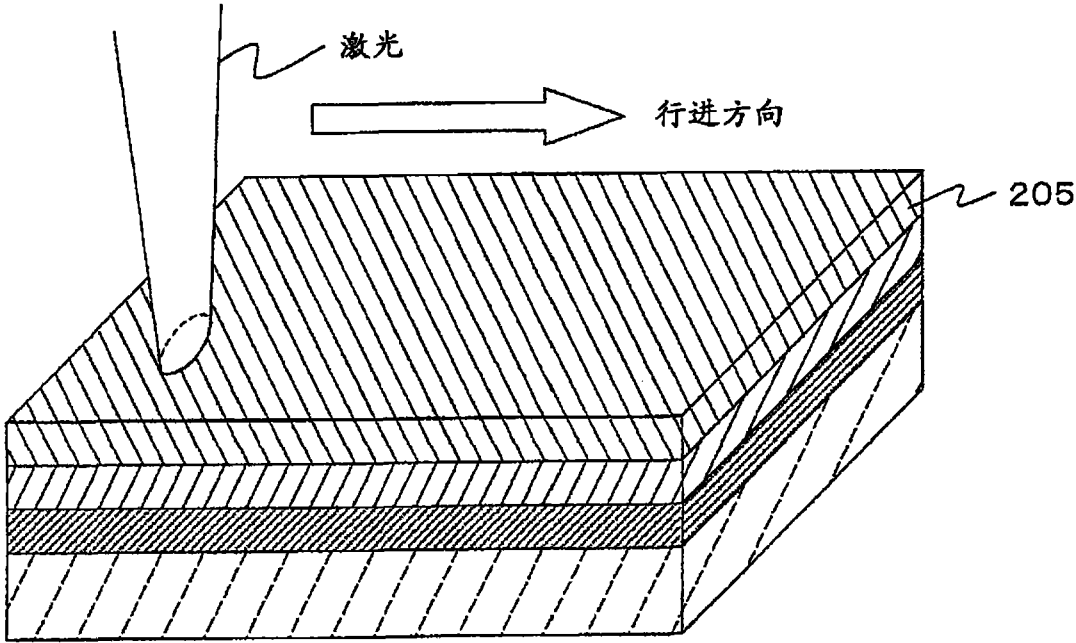


图 9

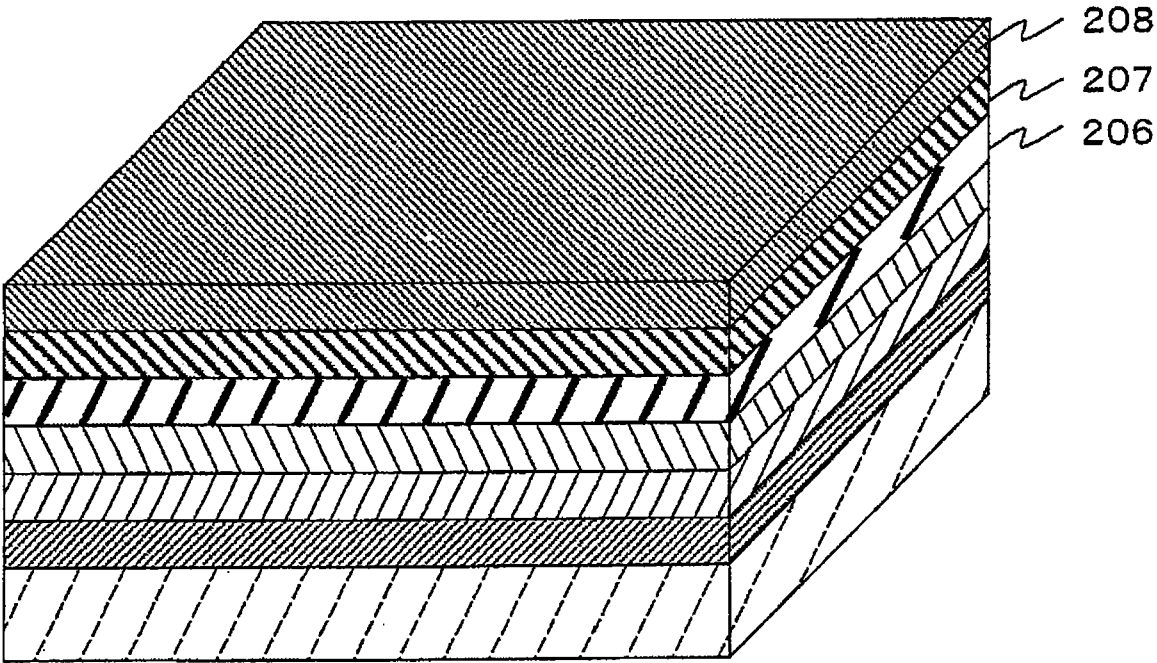


图 10

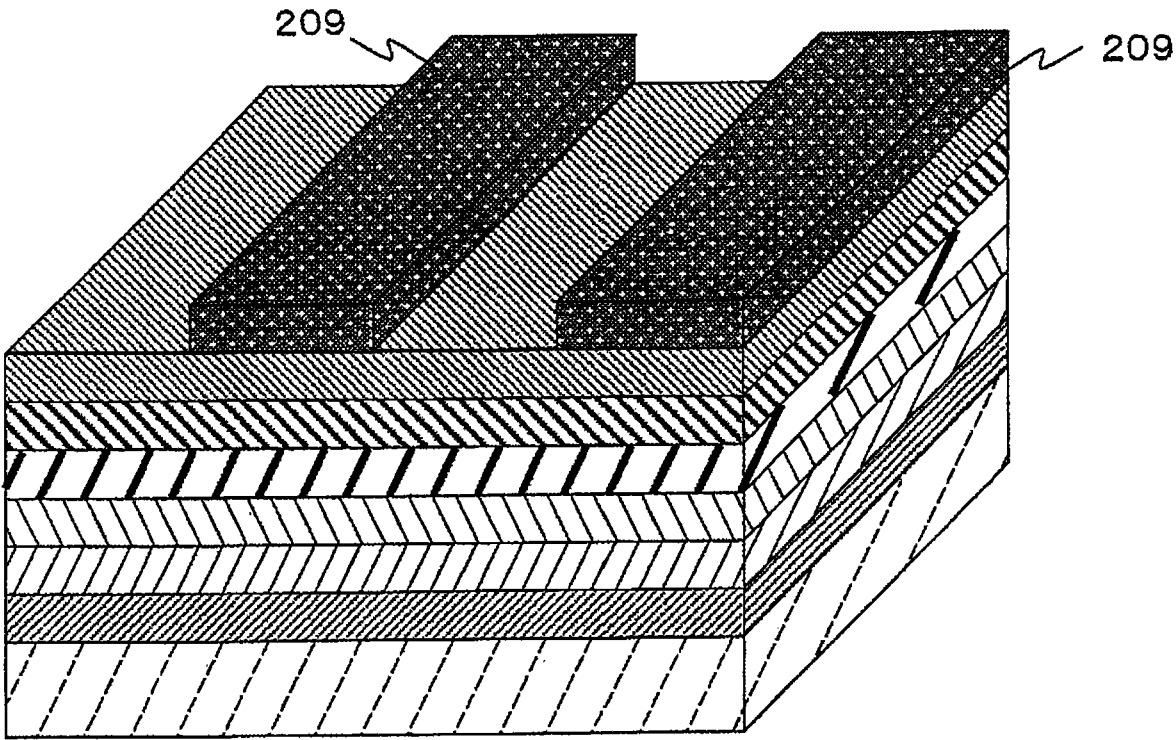


图 11

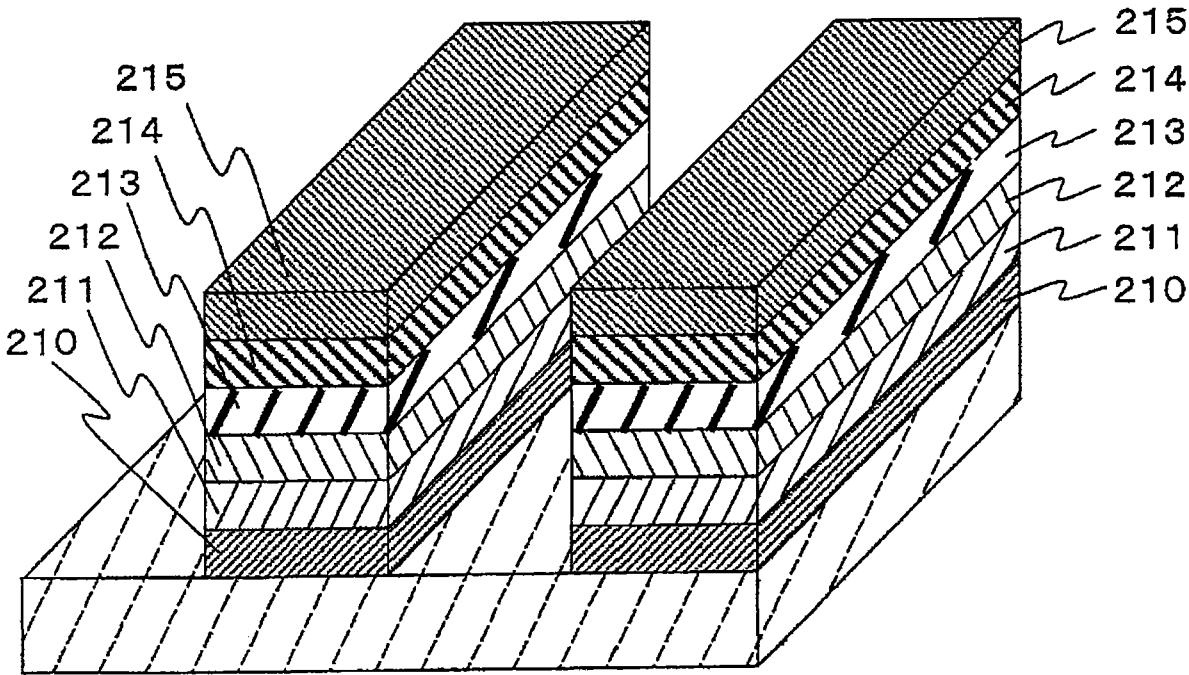


图 12

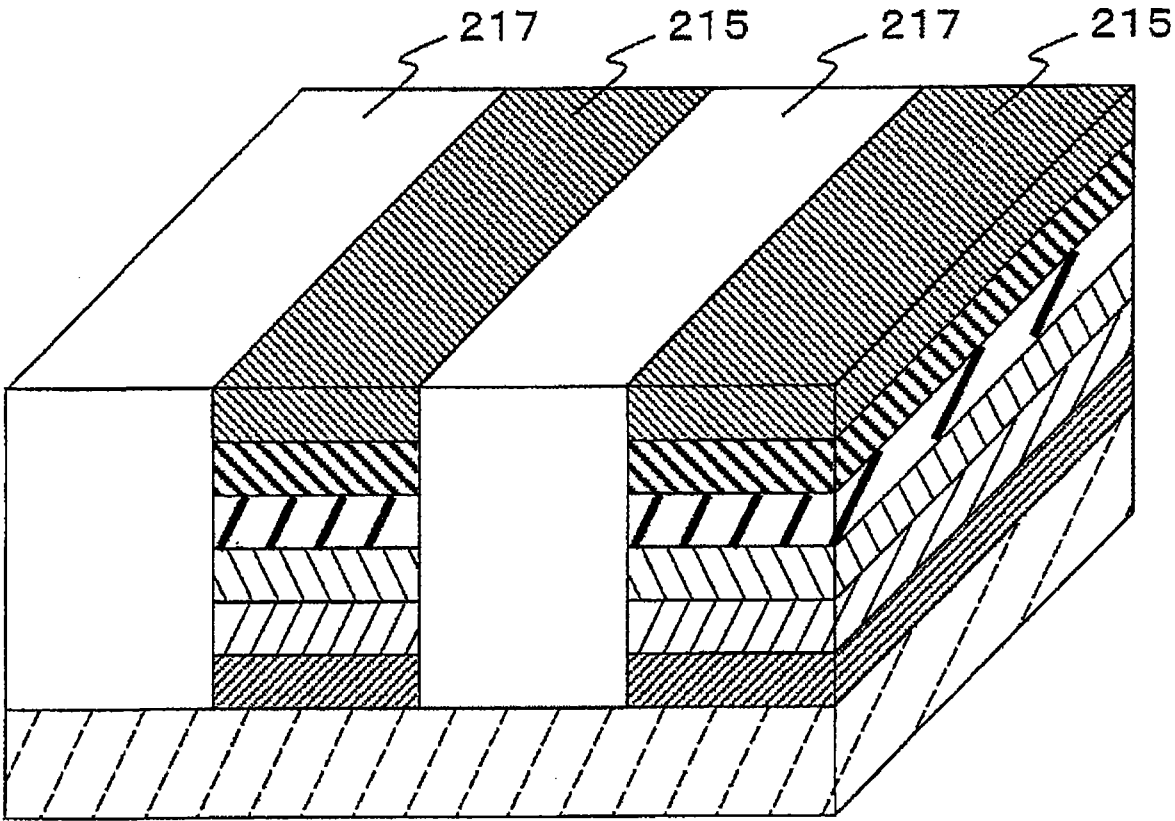


图 13

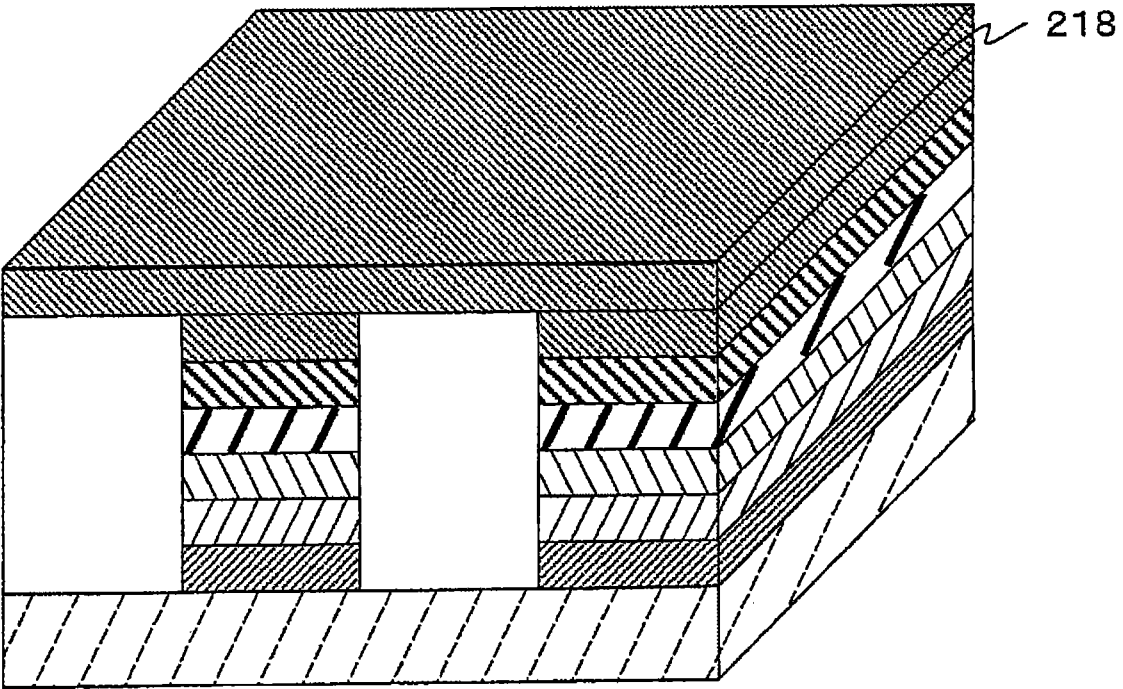


图 14

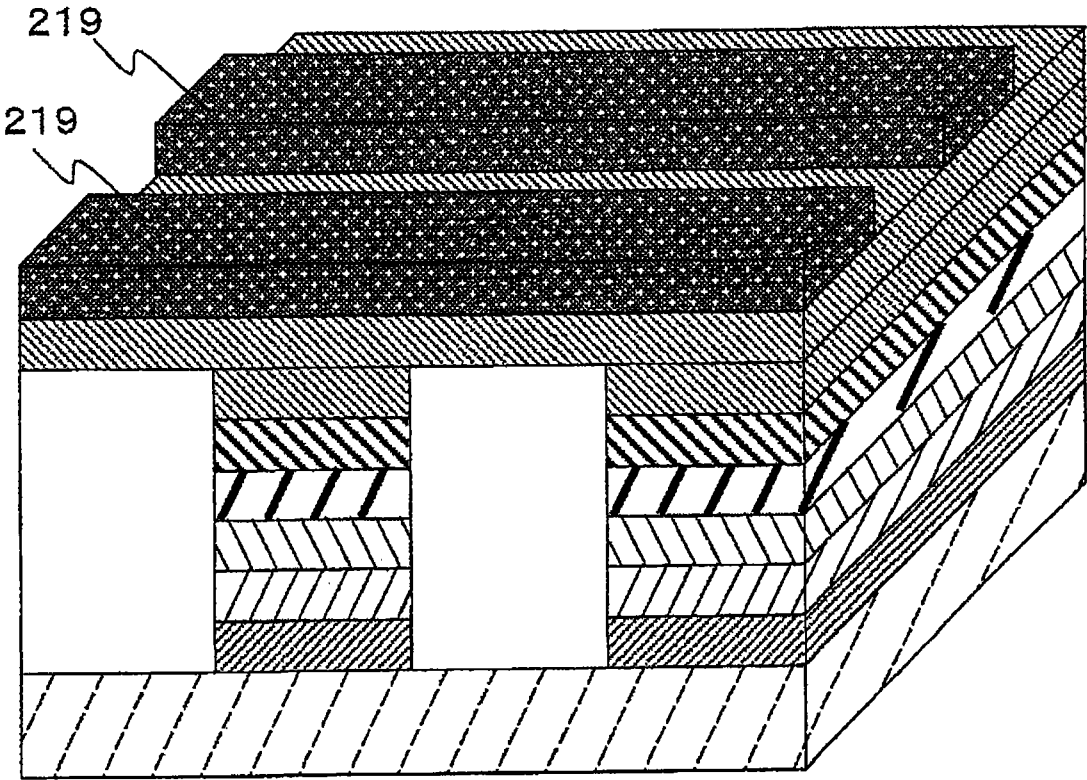


图 15

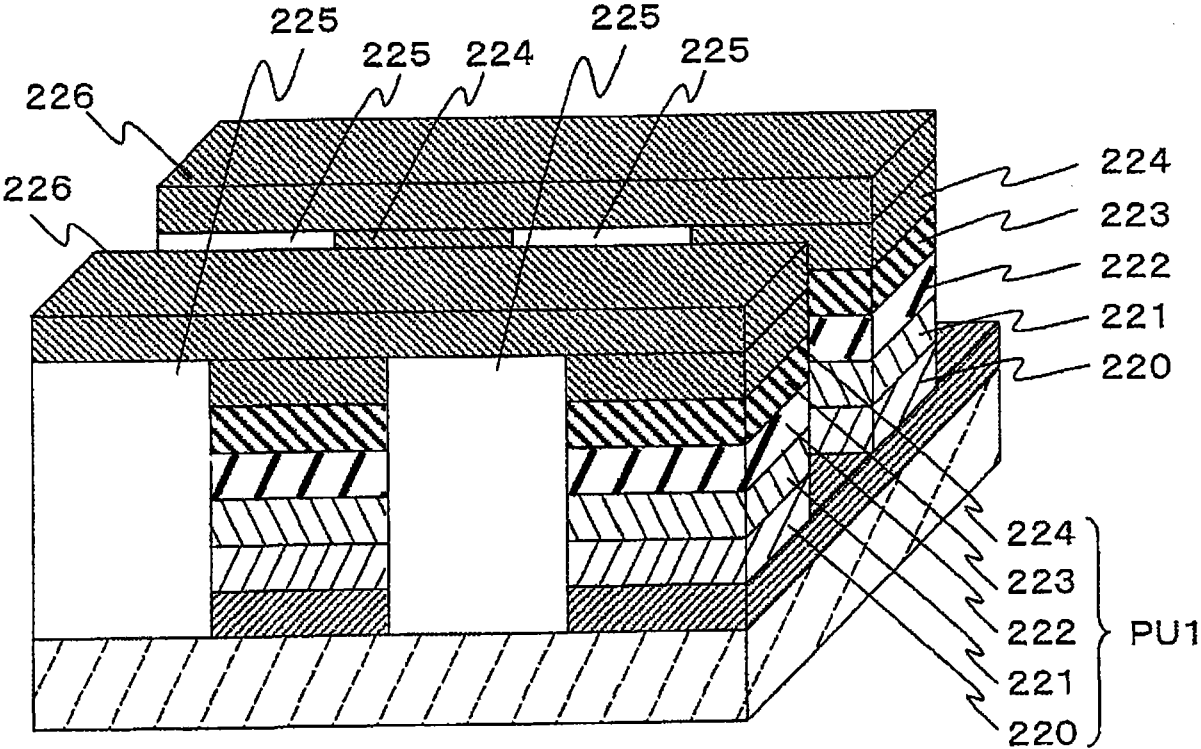


图 16

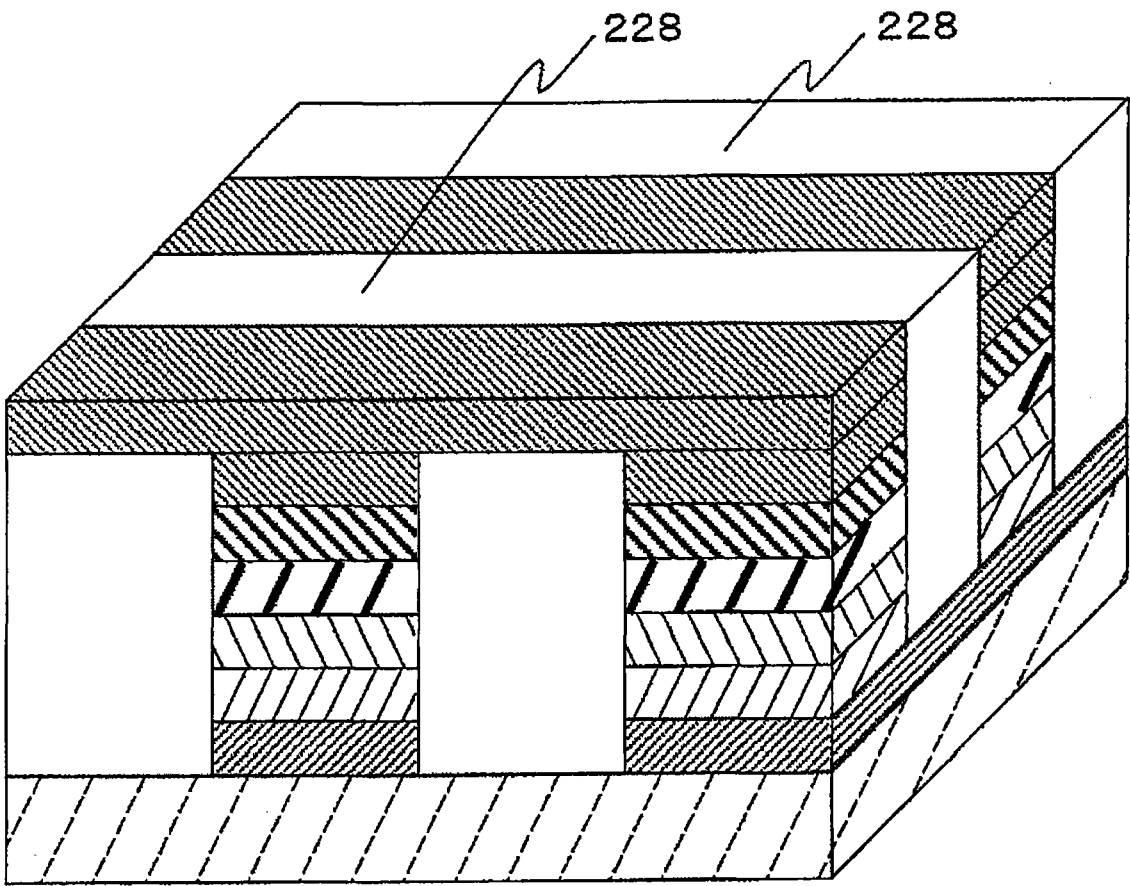


图 17

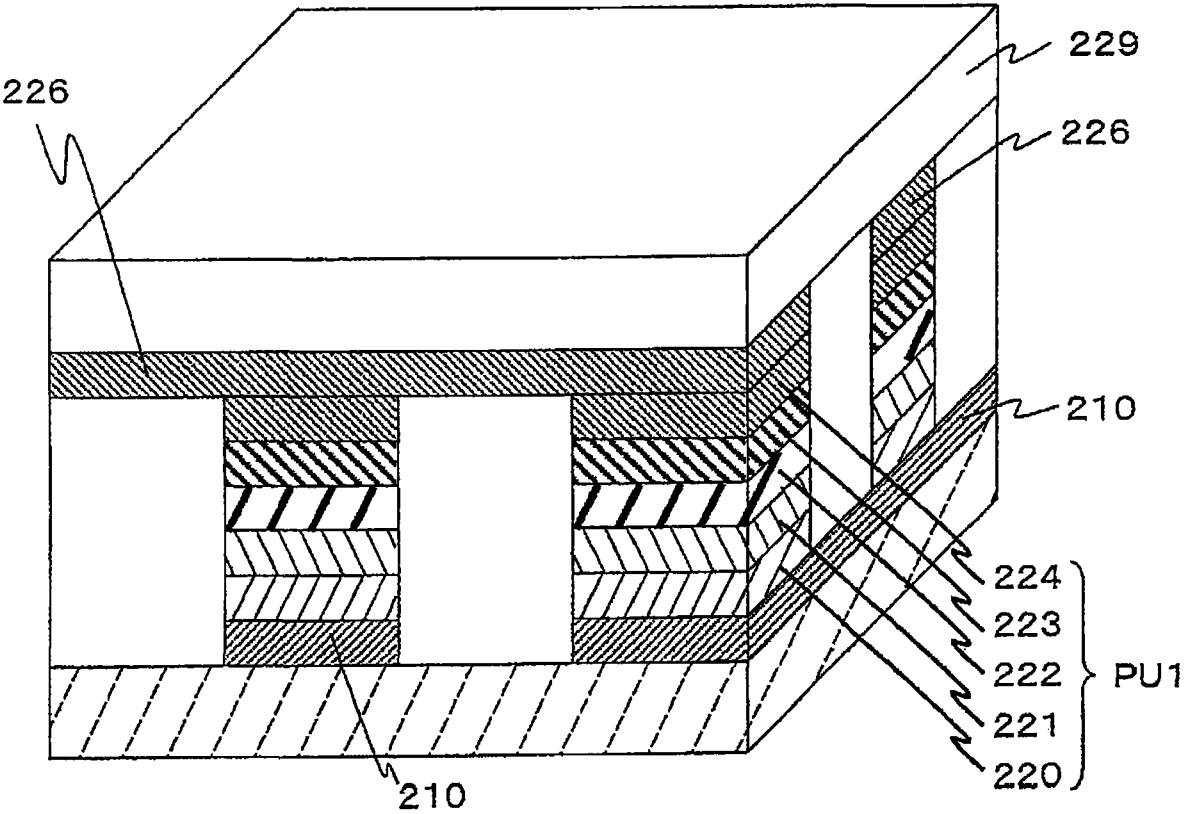


图 18

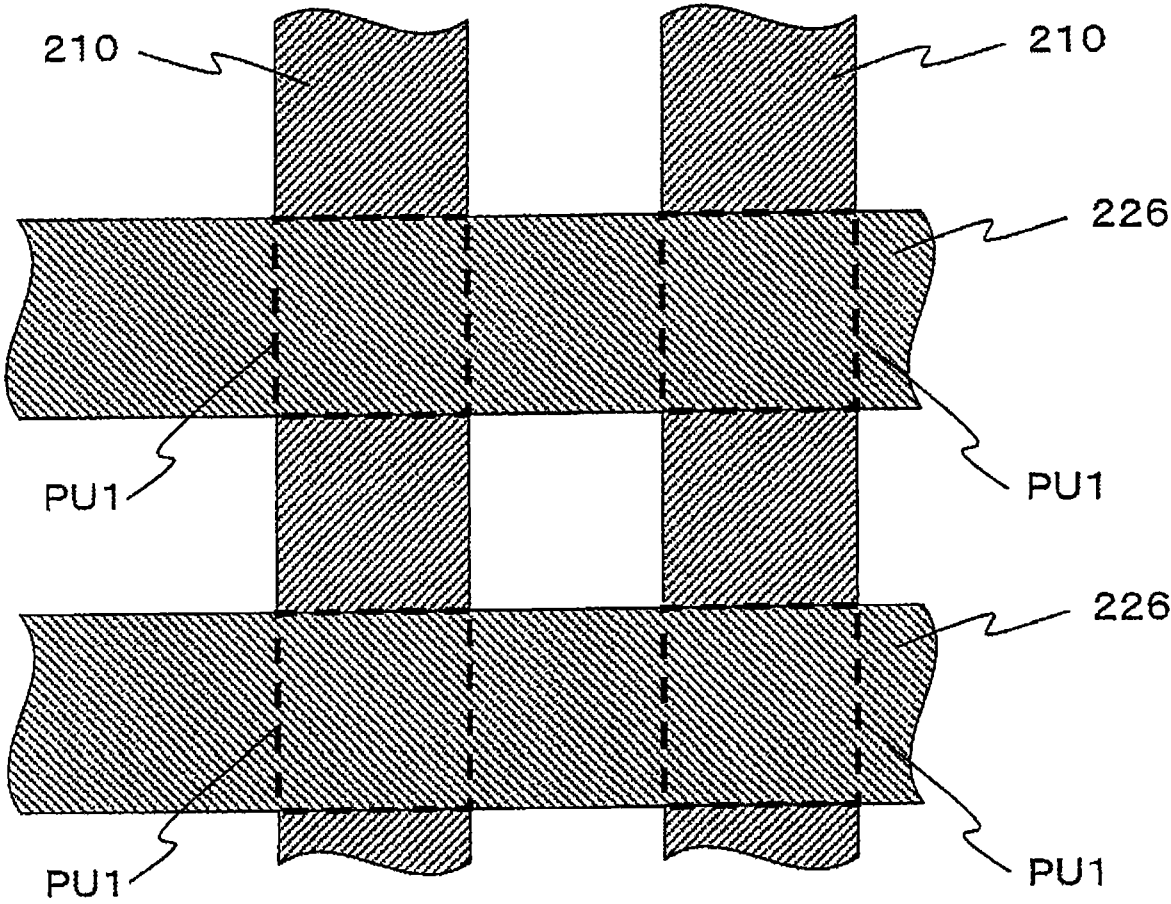


图 19

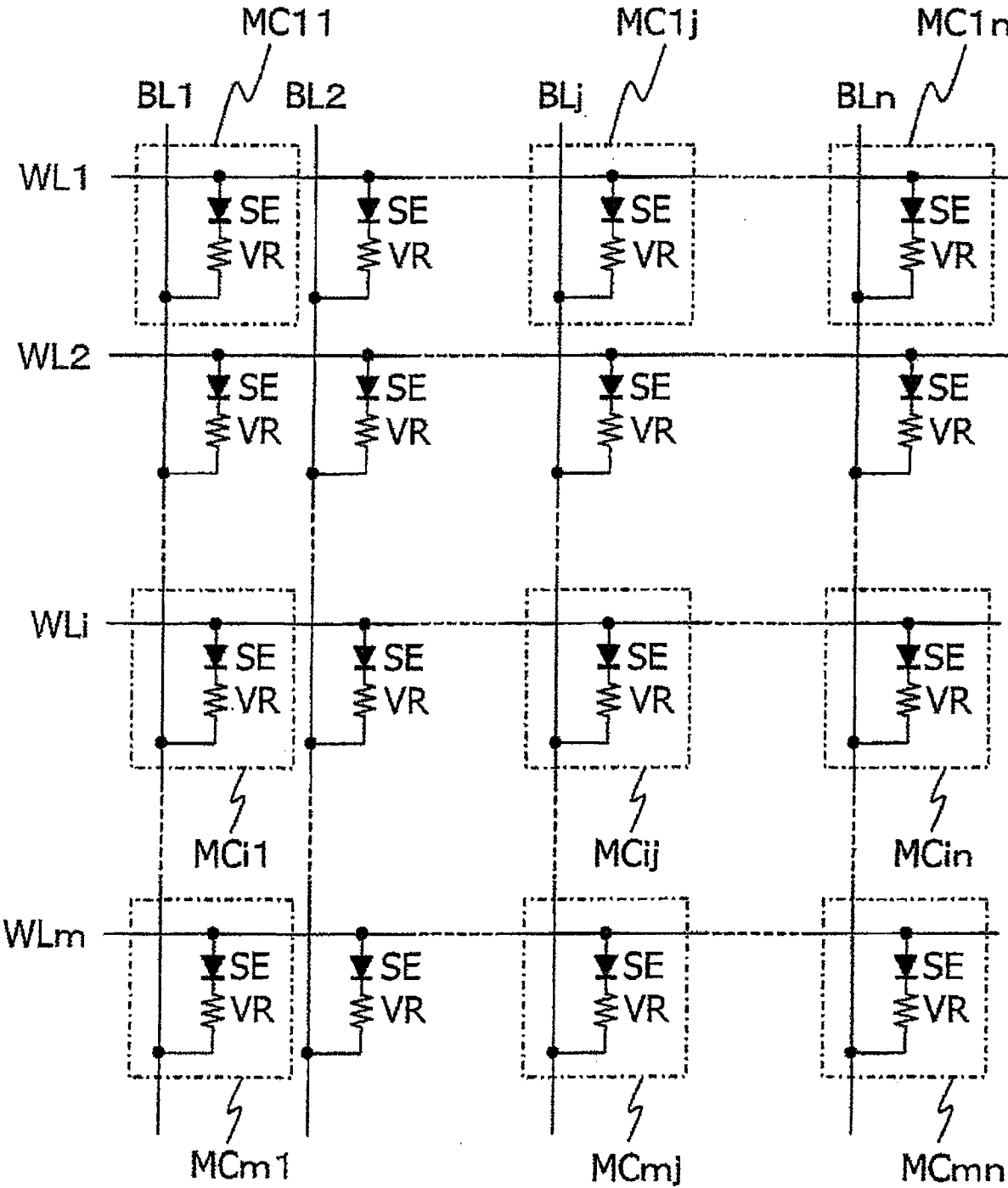


图 20

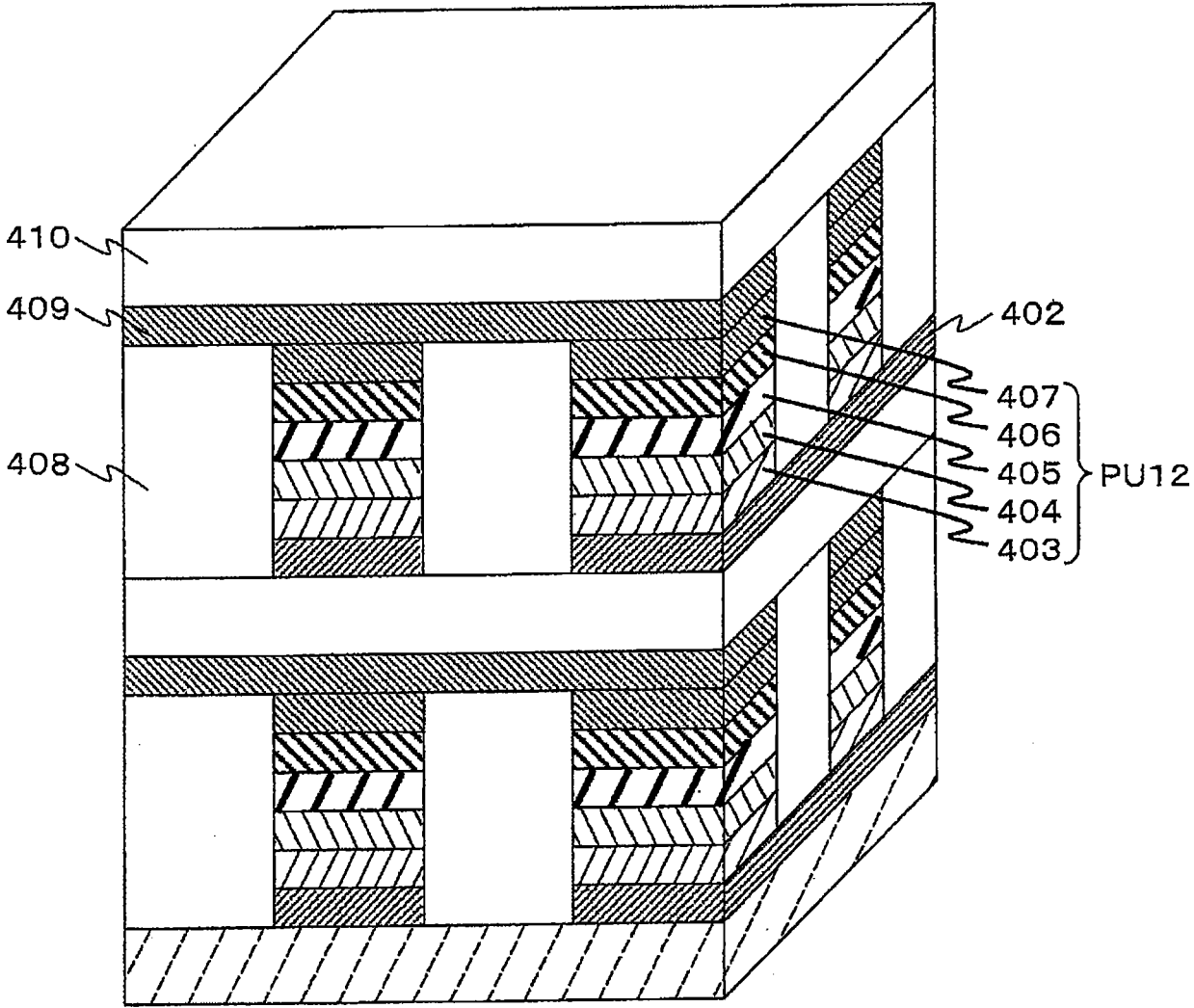


图 21

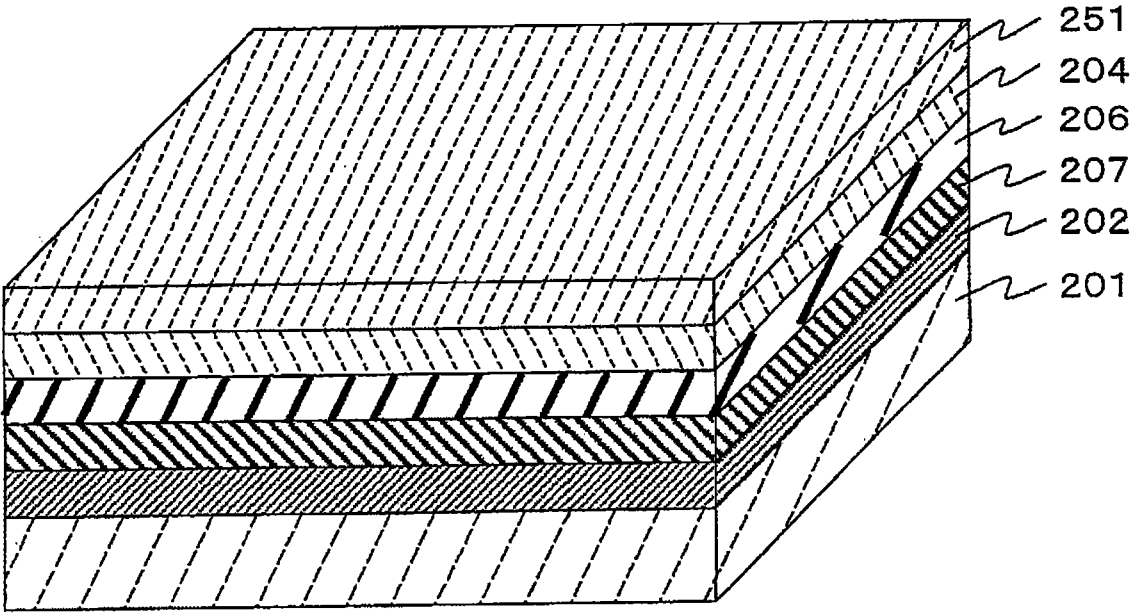


图 22

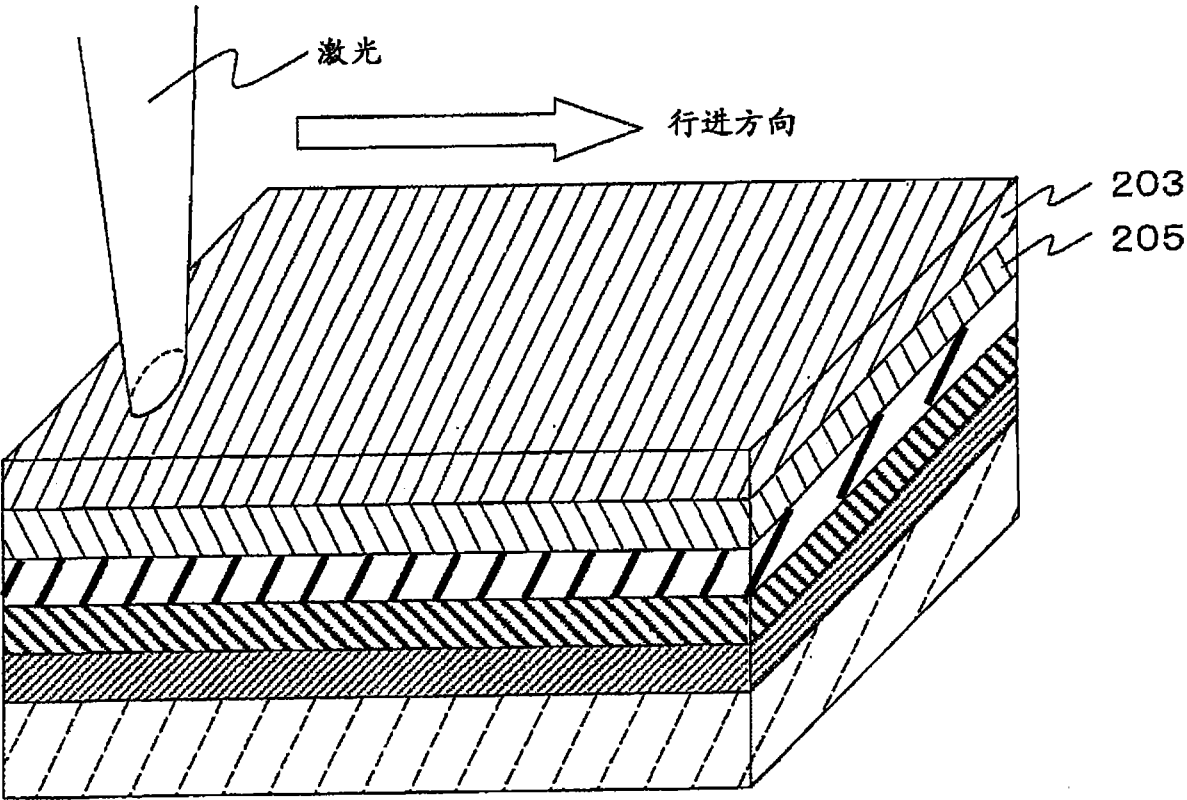


图 23

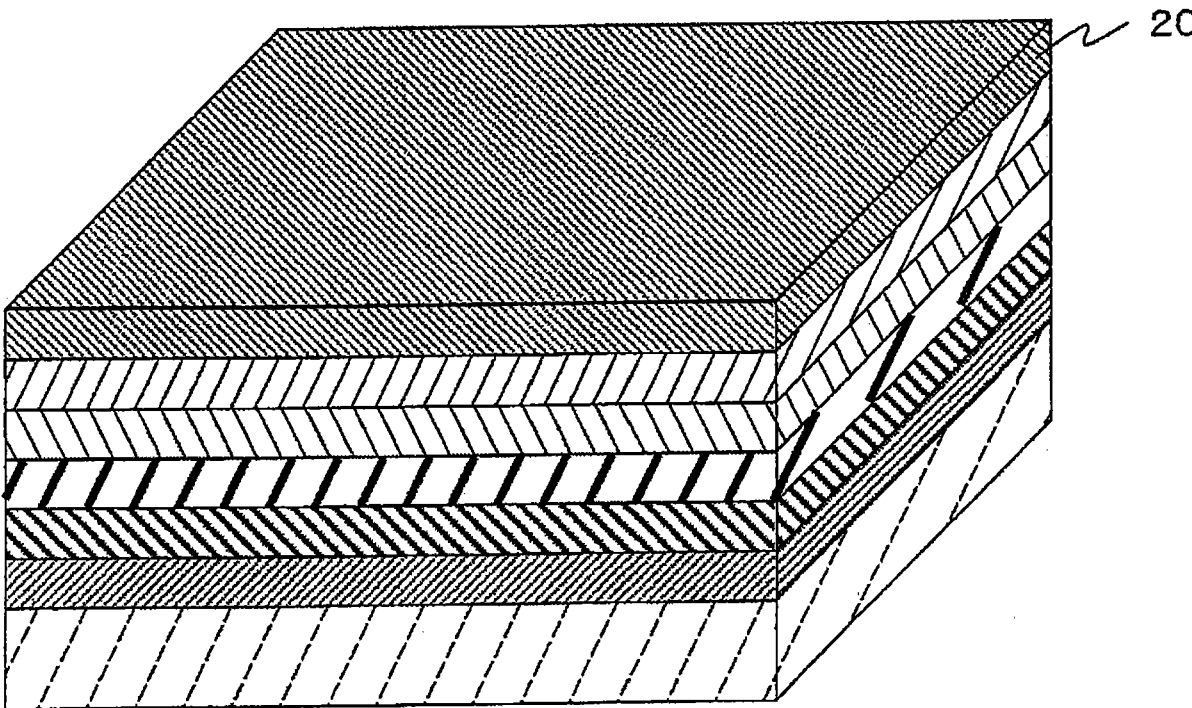


图 24

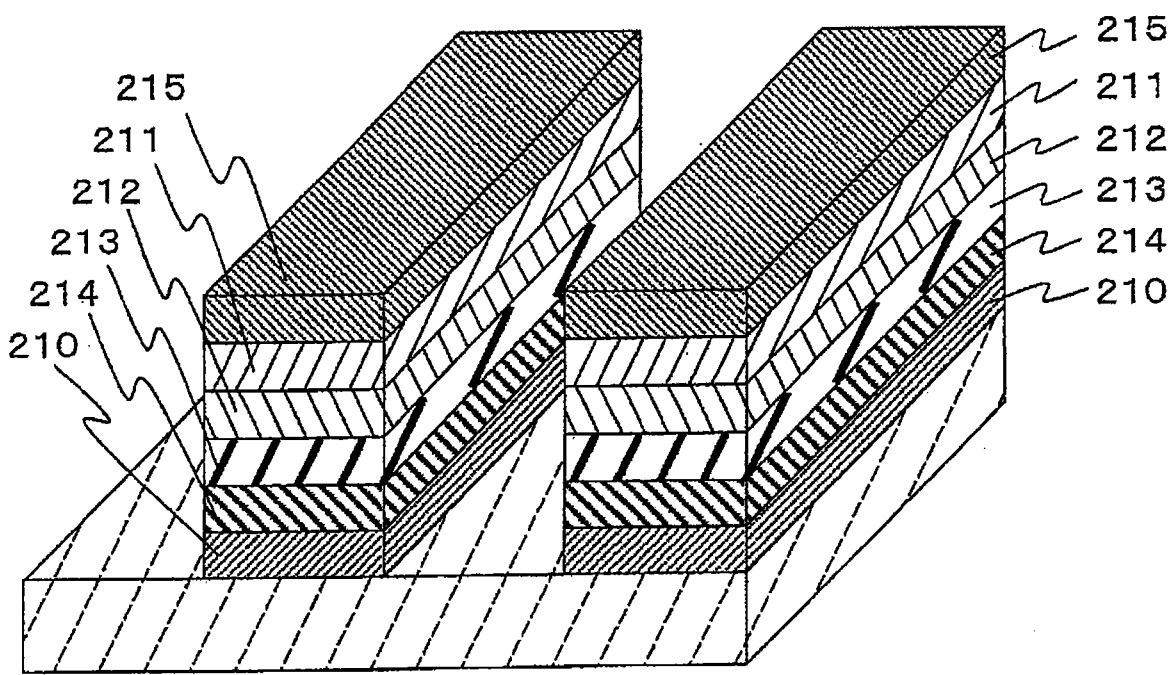


图 25

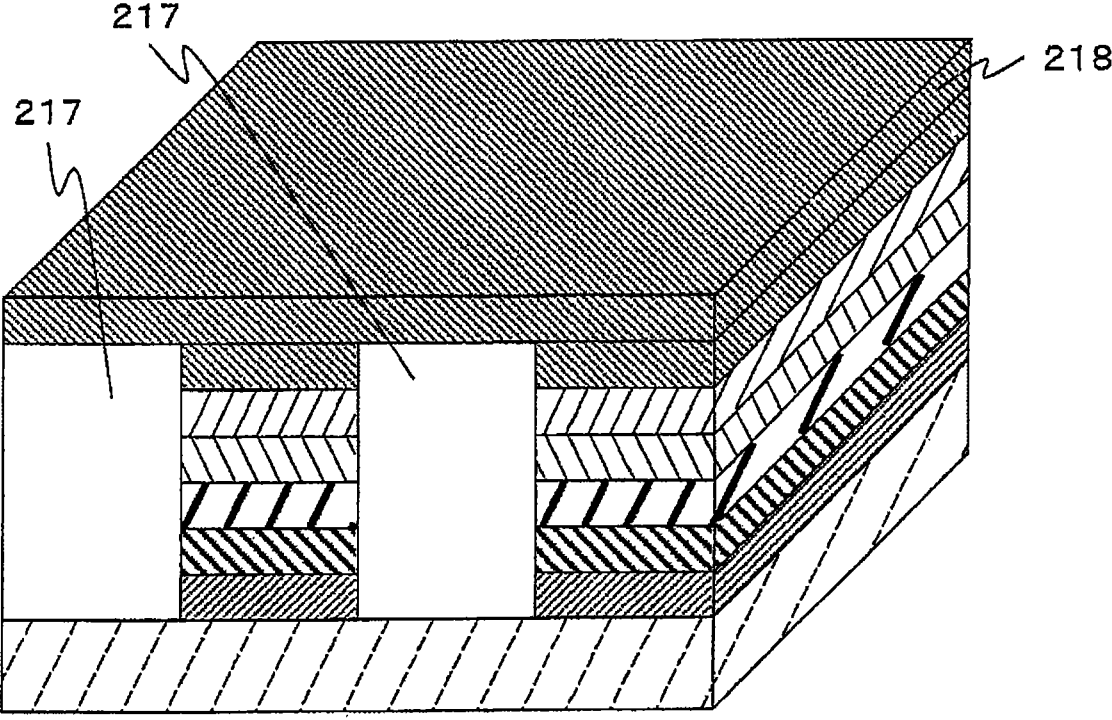


图 26

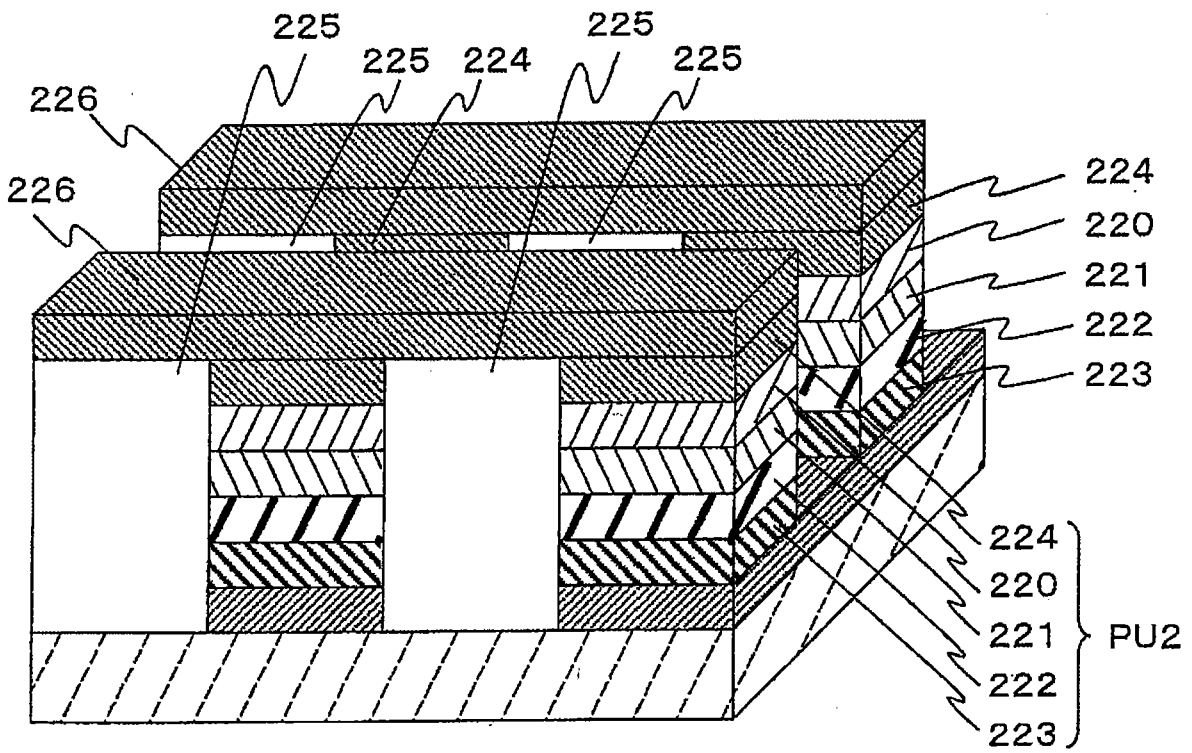


图 27

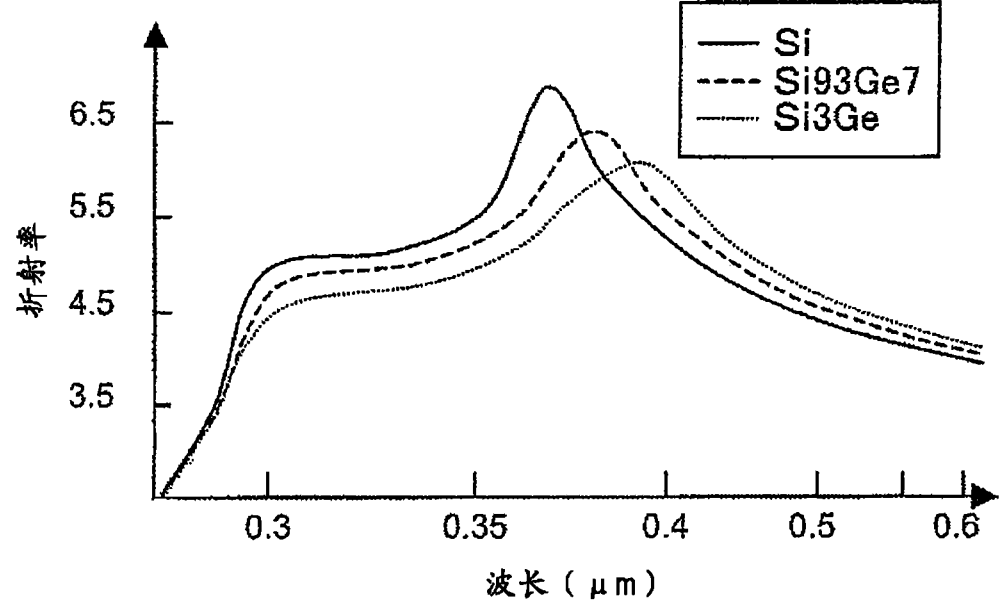


图 28

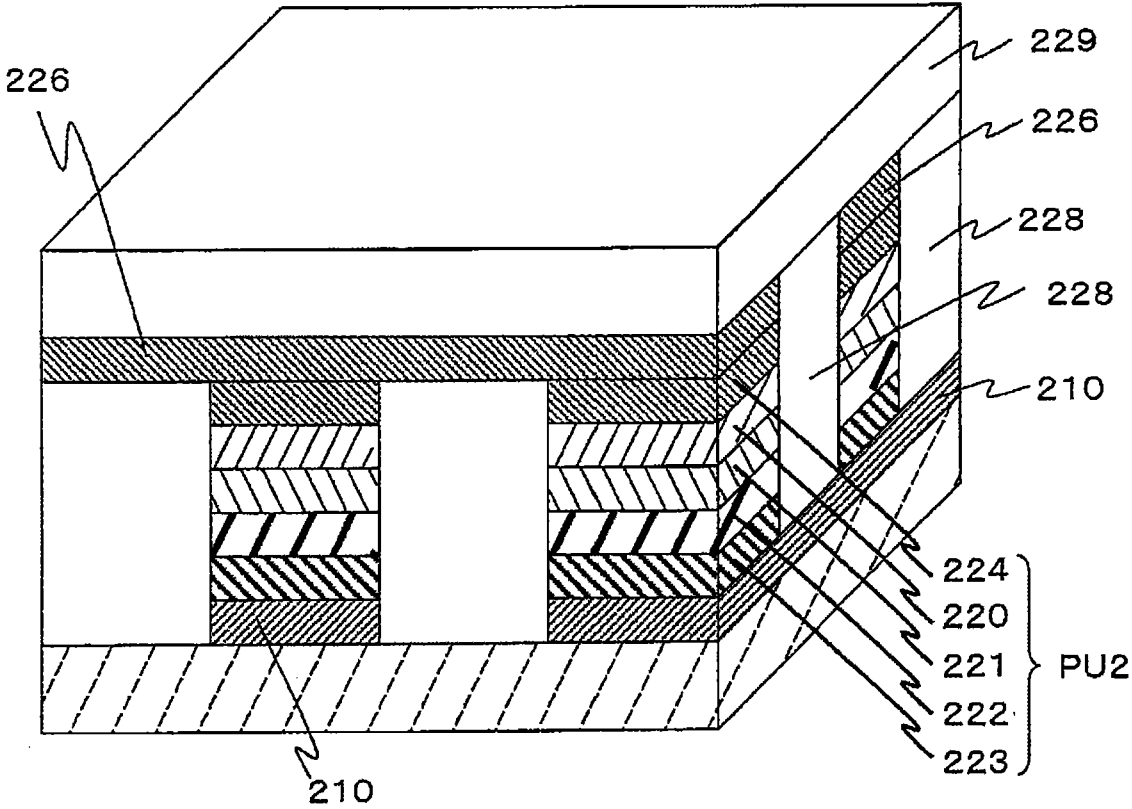


图 29

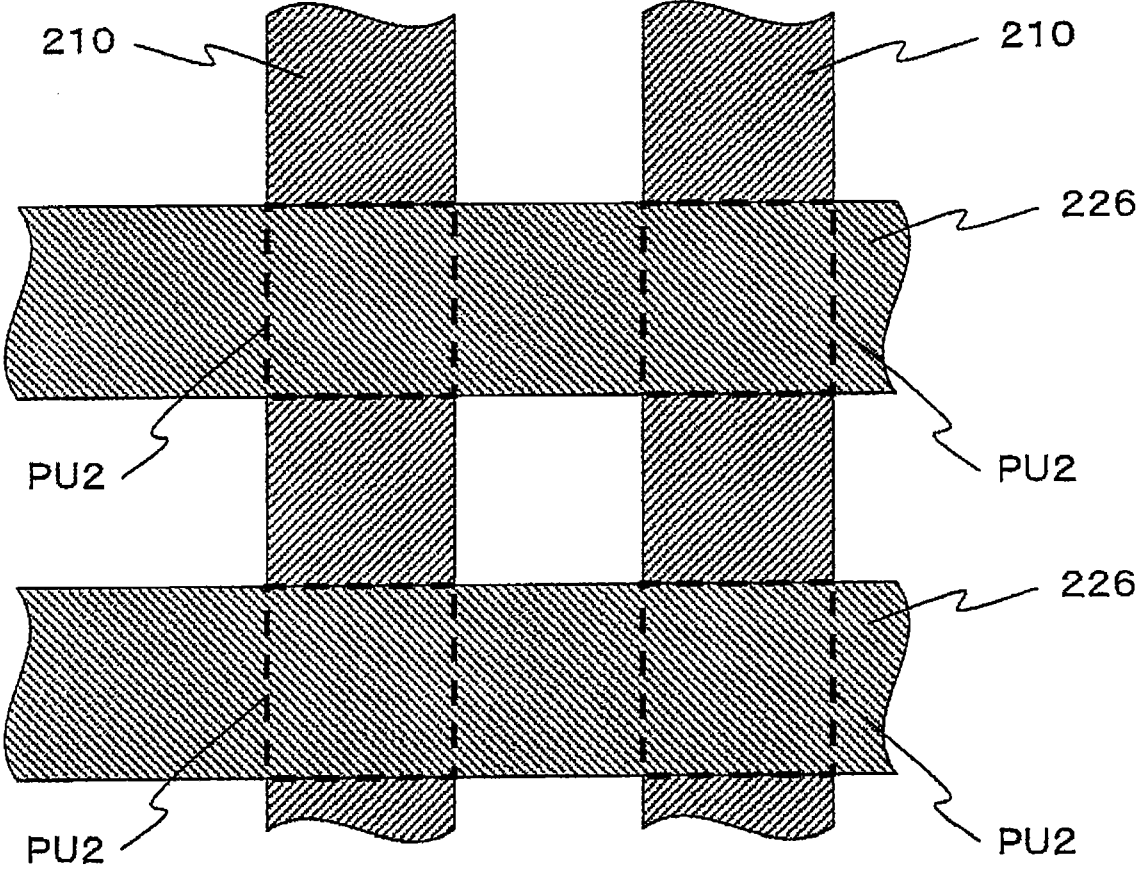


图 30

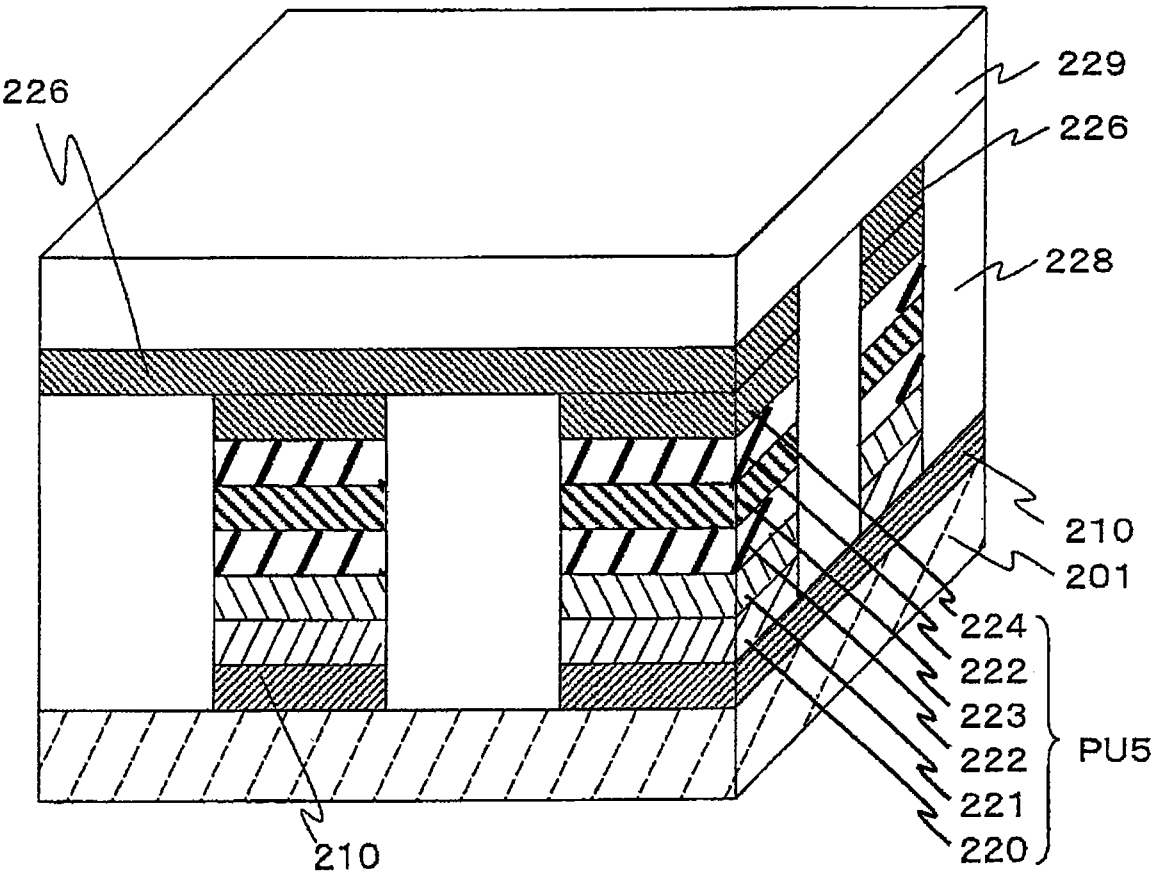


图 31

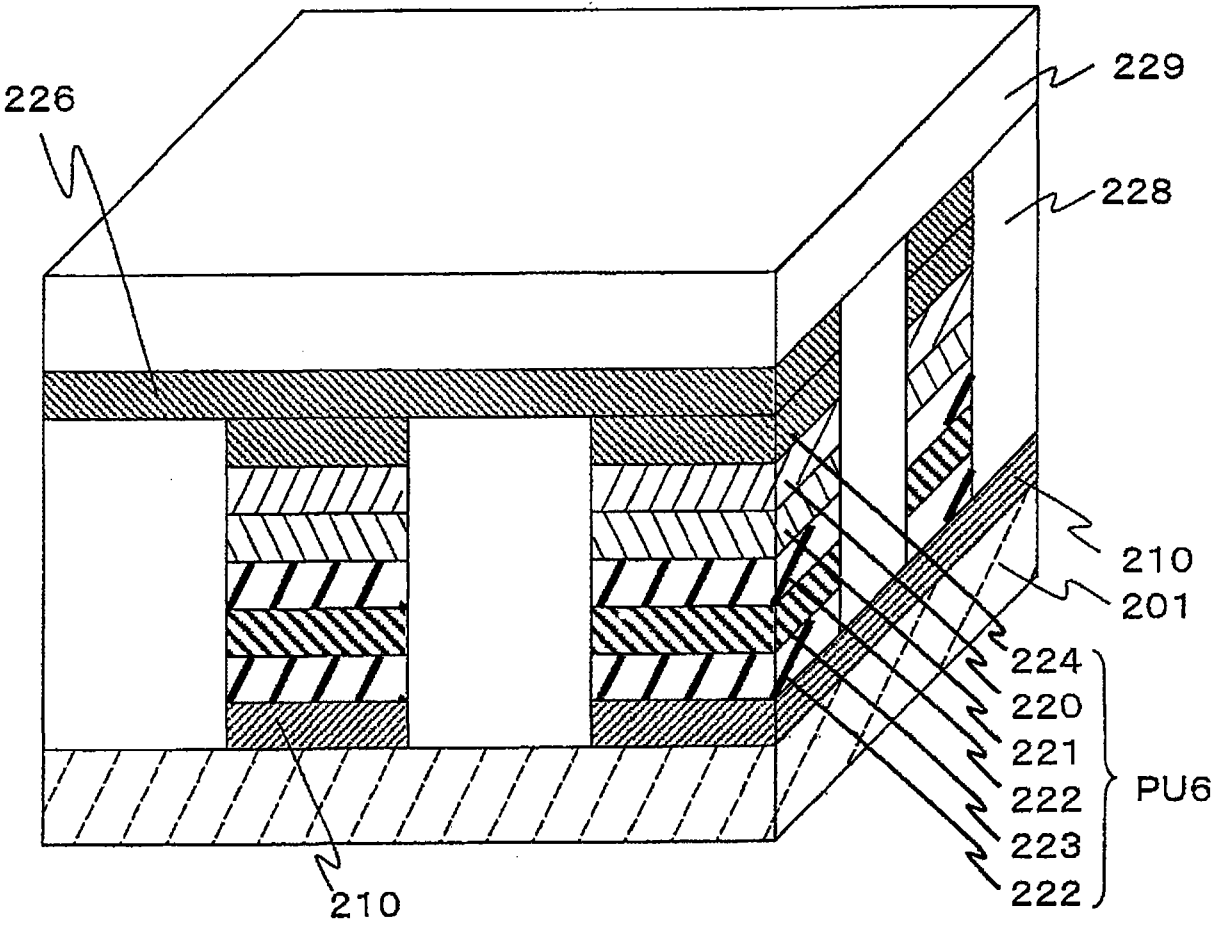


图 32