



CONFÉDÉRATION SUISSE
OFFICE FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

① CH 649 162 A5

⑤ Int. Cl. 4: G 05 F 3/16
H 01 L 27/02

Brevet d'invention délivré pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

⑫ FASCICULE DU BREVET A5

⑲ Numéro de la demande: 7863/81

⑳ Date de dépôt: 09.12.1981

⑳ Priorité(s): 10.12.1980 JP 55-174162
04.09.1981 JP 56-139548

㉔ Brevet délivré le: 30.04.1985

㉕ Fascicule du brevet
publié le: 30.04.1985

㉗ Titulaire(s):
Kabushiki Kaisha Suwa Seikosha, Tokyo (JP)

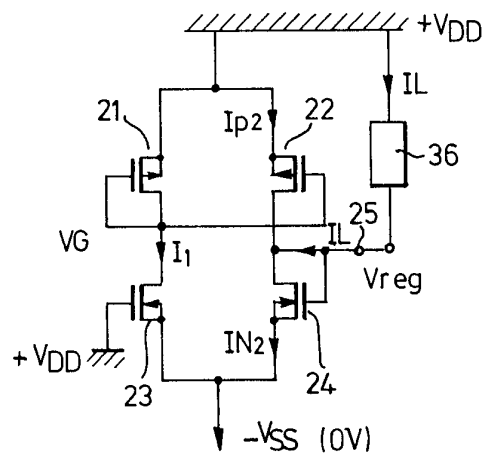
㉘ Inventeur(s):
Hashimoto, Masami, Suwa-shi/Nagano-ken (JP)

㉙ Mandataire:
Bovard AG, Bern 25

⑤④ Circuit de régulation de basse tension.

⑤⑦ Le circuit comprend, sous forme intégrée, deux transistors MOSFET à canal P (21, 22) ayant même tension de seuil, et deux transistors MOSFET à canal N (23, 24) ayant différentes tensions de seuil. La configuration du circuit est telle que le même courant traverse un transistor à canal P (21) et un transistor à canal N (23). D'autre part, les deux transistors à canal P (21, 22) ont la même tension sur leur électrode de commande. Les paramètres, coefficient et tension de seuil des quatre transistors, sont établis de façon que la tension entre une connexion de sortie (25) et une connexion d'alimentation (VDD), alimentant une charge d'utilisation (36) soit constante et égale à la différence des tensions de seuil des deux transistors à canal N (23, 24).

Ce circuit de régulation de basse tension est avantageusement utilisé dans et pour un circuit intégré devant être de très petites dimensions et consommer seulement très peu d'énergie.



REVENDEICATIONS

1. Circuit de régulation de basse tension, comprenant deux transistors MOSFET à canal P ayant la même tension de seuil et deux transistors MOSFET à canal N ayant respectivement différentes tensions de seuil, caractérisé en ce qu'il est agencé de manière que la différence des tensions de seuil des deux transistors MOSFET à canal N est délivrée sur une connexion de sortie en tant que tension de sortie, le courant de charge étant fourni par cette connexion de sortie.

2. Circuit de régulation de basse tension, comprenant deux transistors MOSFET à canal N ayant la même tension de seuil et deux transistors MOSFET à canal P ayant respectivement différentes tensions de seuil, caractérisé en ce qu'il est agencé de manière que la différence des tensions de seuil des deux transistors MOSFET à canal P est délivrée sur une connexion de sortie en tant que tension de sortie, le courant de charge étant fourni par cette connexion de sortie.

La présente invention concerne un circuit de régulation de basse tension comprenant deux transistors MOSFET à canal P ayant la même tension de seuil, et deux transistors MOSFET à canal N ayant respectivement différentes tensions de seuil.

La présente invention s'étend également à un circuit de régulation de basse tension dans lequel les polarités de canal P et N sont inversées relativement à ce qui est défini ci-dessus.

Un tel circuit de régulation de basse tension est destiné à réduire la consommation de courant, et donc de puissance, d'un circuit intégré.

Dans un circuit de régulation de basse tension typique de l'art antérieur, la somme de la tension de seuil VTP d'un transistor à canal P et de la tension de seuil VTN d'un transistor à canal N, c'est-à-dire la valeur de tension (VTP + VTN), est fournie, et la tension de sortie est commandée par un comparateur de façon à être égale à cette valeur (VTP + VTN), ce montage, réducteur d'impédance, comprenant un comparateur, étant destiné à permettre l'alimentation en tension d'un circuit fonctionnant à haute fréquence (circuit oscillateur, flip-flops, ...). Toutefois, un tel circuit présente l'inconvénient d'exiger une aire de configuration importante dans le circuit intégré, compte tenu du circuit d'établissement de la tension standard (VTP + VTN), du comparateur, sans parler d'un condensateur pour empêcher les oscillations du comparateur, et d'autres éléments de circuits annexes. Ainsi, le circuit de régulation antérieurement connu était très désavantageux du point de vue des possibilités de réduction des dimensions de la plaquette de circuit intégré, sans parler encore des questions de coût.

Le but de la présente invention est de fournir un circuit de régulation de basse tension qui ne présente pas les inconvénients susmentionnés des circuits connus de l'art antérieur.

Conformément à l'invention, ce but est atteint par les circuits définis dans les revendications 1 et 2.

On note que, dans le circuit de régulation de basse tension proposé par l'invention, le courant de charge (courant d'utilisation) est directement délivré par le circuit qui engendre la tension standard (ou tension de référence). Il en résulte une importante simplification de la construction du circuit, de sorte qu'un circuit de régulation de basse tension n'ayant qu'une aire de configuration de petites dimensions peut être obtenu.

Le dessin annexé illustre, à titre d'exemple et comparativement à ce que connaissait l'art antérieur, des formes d'exécution de l'objet de l'invention; dans ce dessin:

la fig. 1 représente le schéma d'un circuit de régulation de basse tension d'un type connu,

la fig. 2 représente le schéma d'un circuit de régulation de basse tension conforme à la conception particulière proposée,

la fig. 3 représente le circuit de la fig. 2 dans l'état où il alimente une charge, cette fig. 3 montrant également les courants dans les différents endroits du circuit,

la fig. 4 est un diagramme représentant la courbe caractéristique de la tension de sortie en fonction de la tension d'alimentation dans le circuit de régulation de basse tension selon la conception proposée,

la fig. 5 représente le schéma d'un circuit de régulation de basse tension conforme à la conception proposée, sous une autre forme d'exécution dans laquelle les transistors MOSFET à canal N sont intervertis avec les transistors MOSFET à canal P, et

la fig. 6 représente le schéma du circuit de régulation de basse tension de la fig. 5, auquel une charge d'utilisation est connectée, cette fig. 6 montrant également les courants dans les différents endroits du circuit.

Les formes d'exécution de l'objet de l'invention concernant un circuit de régulation de basse tension sur et pour un circuit intégré monolithique de type MOS.

Après avoir brièvement considéré, en liaison avec la fig. 1, un circuit de régulation de basse tension de type connu, on considérera deux formes d'exécution d'un circuit de régulation de basse tension conforme à la conception particulière proposée. Ces deux formes d'exécution procèdent bien l'une et l'autre du même concept inventif, puisqu'elles ne diffèrent, en fait, que par une interversion entre des transistors MOSFET à canal P et des transistors MOSFET à canal N, et vice versa.

La fig. 1 représente un circuit de régulation de basse tension classique qui comprend un circuit 11 de génération d'une tension standard, ou d'une tension de référence, un amplificateur opérationnel 12, et un transistor MOSFET 13 dont on utilise la variation de résistance équivalente par la commande du potentiel sur son électrode de commande. Dans ce circuit de régulation de tension, la régulation d'une tension de sortie susceptible d'alimenter une certaine charge est obtenue par le fait qu'une tension standard (ou tension de référence) V_{st} est délivrée à la sortie du circuit générateur de tension standard 11 et appliquée à une entrée de l'amplificateur opérationnel 12, dont l'autre entrée reçoit la tension de sortie stabilisée V_{reg} du circuit de régulation de basse tension. Ces deux tensions constituent donc les signaux d'entrée de l'amplificateur opérationnel 12 et, du fait que la sortie de ce dernier est connectée à l'électrode de commande du transistor MOSFET 13, le fonctionnement de cet amplificateur opérationnel différentiel assure que la tension de sortie V_{reg} est maintenue égale à la tension standard V_{st} . Toutefois, un tel circuit de régulation de basse tension requiert une grande aire de configuration sur le circuit intégré, compte tenu du grand nombre d'éléments qui constituent le circuit représenté à la fig. 1 (de même que des éléments non représentés contenus dans le bloc 11). De plus, un condensateur 14 doit être prévu pour empêcher l'amplificateur opérationnel, à très haut gain, de se mettre à osciller. Tout cela est très désavantageux du point de vue de la recherche d'une réduction toujours plus poussée des dimensions des plaquettes de circuit intégré.

Les formes d'exécution du circuit de régulation de basse tension selon la conception particulière proposée, qui vont être considérées en liaison avec les fig. 2 et suivantes, ne présentent pas le désavantage susmentionné; du fait de leur petit nombre d'éléments, elles peuvent être réalisées sur une petite aire de configuration dans la constitution du circuit.

On note, d'une façon générale, qu'une importante simplification est obtenue par le fait que le courant de charge ou d'utilisation est délivré directement par le circuit qui engendre la tension standard (ou tension de référence).

On considérera tout d'abord la constitution d'un circuit représenté à la fig. 2.

La source et le substrat de deux transistors MOSFET à canal P 21 et 22 sont connectés à la tension d'alimentation +VDD. La source et le substrat de deux transistors MOSFET à canal N 23 et 24 sont connectés à la tension d'alimentation -VSS. L'électrode de

commande et le drain de l'un des transistors MOSFET à canal P 21 sont connectés l'un à l'autre. L'électrode de commande de l'autre transistor MOSFET à canal P 22 est connectée à celle du premier transistor MOSFET à canal P 21. L'électrode de commande du premier transistor MOSFET à canal N 23 est connectée à la tension d'alimentation positive +VDD. L'électrode de commande et le drain de l'autre transistor MOSFET à canal N 24 sont connectés l'un à l'autre. Le drain du premier transistor MOSFET à canal P 21 est connecté à celui du premier transistor MOSFET à canal N 23, et le drain du second transistor MOSFET à canal P 22 est connecté à celui de l'autre transistor MOSFET à canal N 24, cette dernière connexion fournissant également la connexion de sortie 25. Le coefficient β du transistor MOSFET à canal P 21 est désigné par $\beta P1$, et la tension de seuil de ce transistor est désignée par VTP. Le coefficient β du transistor MOSFET à canal P 22 est désigné par $\beta P2$, et la tension de seuil de cet élément, qui est la même que celle du transistor MOSFET à canal P 21, est également VTP. Le coefficient β du transistor MOSFET à canal N 23 est désigné par $\beta N1$, et la tension de seuil de ce transistor est désignée par VTNH. Le coefficient β du transistor MOSFET à canal N 24 est désigné par $\beta N2$, et la tension de seuil de ce transistor est VTNL.

Le fonctionnement du circuit qui vient d'être décrit se présente comme suit, dans le cas où une charge d'utilisation 36 est appliquée, comme cela est montré à la fig. 3.

Puisque les deux transistors MOSFET à canal P 21, 22 fonctionnent en régime de saturation de courant, puisqu'ils ont le même potentiel appliqué en commun à leurs deux électrodes de commande et puisqu'ils ont la même tension de seuil, le rapport des courants, circulant respectivement dans le transistor MOSFET à canal P 21 et dans le transistor MOSFET à canal P 22, est égal au rapport $\beta P1$ à $\beta P2$ de leur coefficient de commande de courant (quadratique). Le courant circulant dans le transistor MOSFET à canal P 21 est égal au courant circulant dans le transistor MOSFET à canal N 23. Le courant circulant dans le transistor MOSFET à canal P 22 est en relation avec le courant circulant dans le transistor à canal N 24. D'autre part, le courant circulant dans ce dernier est en relation avec le potentiel apparaissant sur la connexion de sortie 25. En fait, le potentiel de sortie sur cette connexion 25 est en relation avec tous les transistors MOSFET 21, 22, 23 et 24. Plus la tension de seuil VTNH du transistor MOSFET à canal N 23 est élevée, plus le courant circulant dans les transistors MOSFET 21 et 23 est petit, et plus le courant circulant dans le transistor MOSFET à canal P 22 est également petit. Par ailleurs, plus le courant circulant dans ce transistor MOSFET à canal P 22 est faible, plus le potentiel sur la connexion de sortie 25 est proche du potentiel d'alimentation négative -VSS. D'autre part, plus la tension de seuil VTNL du transistor MOSFET à canal N 24 est faible, plus le potentiel de la connexion de sortie 25 est voisine du potentiel négatif d'alimentation -VSS. De ce fait, en donnant à $\beta P1$, $\beta P2$, $\beta N1$ et $\beta N2$ des valeurs adéquates, on peut obtenir, comme tension de sortie sur la connexion de sortie 25, la valeur $(VTNH - VTNL)$, valeur qui est constante et qui est indépendante de la tension d'alimentation. En pratique, on a constaté qu'il était possible de délivrer de cette façon une telle basse tension stabilisée.

On vient de décrire le principe général du circuit de régulation de basse tension selon la conception particulière proposée. Le fonctionnement de chacun des transistors MOSFET est simplifié pour être maintenant décrit plus avant.

Les transistors MOSFET à canal P 21 et 22 servent à établir une relation entre le courant circulant dans chacune des branches de circuit incluant respectivement ces transistors MOSFET 21 et 22. Le transistor MOSFET à canal N 23 sert à fournir le plus haut des seuils de tension (ou tension de seuil) VTNH. Le transistor MOSFET à canal N 24 sert à fournir le plus bas des seuils de tension (ou tension de seuil) VTNL. Dans la phase de conception du circuit, les valeurs de $\beta P1$, $\beta P2$, $\beta N1$ et $\beta N2$ sont susceptibles d'être sélectionnées pour présenter les valeurs les plus appropriées, compte tenu de la valeur estimée du courant de charge.

Il est nécessaire d'établir les transistors MOSFET 21, 22, 23 et 24 de façon qu'ils fonctionnent en régime de saturation de courant. Les transistors MOSFET 21 et 24 se trouvent de toute façon en régime de saturation de courant, de par leur mode de connexion (électrodes de commande reliées au drain). Pour les deux autres transistors MOSFET 22 et 23, la condition de saturation de courant est réalisée pour autant que la tension aux bornes de leurs tronçons source-drain soit supérieure à la tension qui existe entre leur source et leur électrode de commande, diminuée de leur valeur de tension de seuil.

Compte tenu de ce que les tensions source-électrode de commande sont identiques pour les transistors MOSFET 21 et 22, de ce que ces deux transistors ont la même valeur de tension de seuil et de ce que le même courant circule dans le tronçon source-drain du transistor MOSFET à canal P 21 et dans le tronçon source-drain du transistor MOSFET à canal N 23, on peut aisément établir, par considérations algébriques, les conditions devant être remplies par les paramètres pour assurer que tous les transistors MOSFET (c'est-à-dire les transistors MOSFET 22 et 23, puisque le régime est de toute façon assuré pour les autres transistors) sont en régime de saturation de courant. Ces conditions nécessaires sont données par les formules d'inégalité 101 et 102 ci-après.

Il y a lieu de fournir encore la définition des différentes grandeurs qui sont reportées sur la fig. 3, représentant le circuit régulateur de basse tension alimentant une charge d'utilisation 36. Les grandeurs utilisées dans les équations qui vont suivre sont les suivantes: le courant circulant dans le transistor MOSFET à canal P 21 et dans le transistor MOSFET à canal N 23 est désigné par I_1 . Le courant circulant dans le transistor MOSFET à canal N 22 est désigné par I_{p2} . Le courant circulant dans le transistor MOSFET à canal 24 est désigné par I_{N2} . Le courant de charge est désigné par I_L . Le potentiel sur le drain du transistor MOSFET à canal P 21 est désigné par V_G . Le potentiel négatif -VSS est admis comme le potentiel zéro. Le potentiel sur le drain du transistor MOSFET à canal P 22, c'est-à-dire le potentiel de sortie du circuit de régulation de basse tension, est désigné par V_{reg} . Pour assurer que les quatre transistors MOSFET sont à l'état de saturation, c'est-à-dire que leur courant est déterminé par la tension sur leur électrode de commande et par leur coefficient β , et non pas par leur circuit de charge, il faut que les paramètres $\beta P1$, $\beta N1$, VDD, VTNH, VTNL et VTP aient des valeurs telles que soient satisfaites les inégalités suivantes:

$$\frac{VTNH - VTNL}{VDD - VTNH} > \sqrt{\frac{\beta N1}{\beta P1}} \quad (101)$$

et

$$\frac{VTNH - VTP}{VDD - VTNH} > \sqrt{\frac{\beta N1}{\beta P1}} \quad (102)$$

Ces conditions étant remplies, et les particularités découlant de la configuration de circuit étant prises en considération, on obtient:

$$I_1 = \frac{1}{2} \beta P1 (VDD - V_G - VTP)^2 \quad (103)$$

$$I_1 = \frac{1}{2} \beta N1 (VDD - VTNH)^2 \quad (104)$$

$$I_{p2} = \frac{1}{2} \beta P2 (VDD - V_G - VTP)^2 \quad (105)$$

$$I_{N2} = \frac{1}{2} \beta N2 (V_{reg} - VTNL)^2 \quad (106)$$

$$I_{p2} + I_L = I_{N2} \quad (107)$$

Si l'on admet la relation

$$I_L = n I_{p2} \quad (108)$$

entre le courant de charge I_L et le courant circulant dans le transistor MOSFET à canal P 22, la résolution des équations 103 à 108 amène la relation suivante:

$$V_{reg} = V_{TNL} + K (V_{DD} - V_{TNH}) \quad (109)$$

avec

$$K = \sqrt{\frac{(n+1) \beta_{N1} \cdot \beta_{P2}}{\beta_{N2} \cdot \beta_{P1}}} \quad (110)$$

De cette équation, on peut établir des valeurs ou des relations de valeurs de β_{P1} , β_{P2} , β_{N1} ou β_{N2} qui rendent

$$K = 1 \quad (111)$$

En admettant $K = 1$ dans la relation 109, on obtient:

$$V_{DD} - V_{reg} = V_{TNH} - V_{TNL} \quad (112)$$

Ainsi, on voit de l'équation 112 que, si l'on établit les paramètres du circuit de façon à satisfaire chacune des équations de condition 101, 102 et 111, la basse tension réglée ($V_{TNH} - V_{TNL}$) peut être obtenue entre la connexion de sortie 25 et la connexion de tension positive VDD. Il faut noter que, parmi les conditions de construction ci-dessus, qui sont requises pour obtenir une basse tension réglée, se trouve l'équation 108. Selon celle-ci, on voit que, dans le cas où le courant de charge IL subirait des variations, du fait de variations dans le procédé de fabrication ou dans l'usage du circuit intégré, on pourrait craindre que la condition $K = 1$ ne soit pas totalement remplie et que la tension de sortie subisse quelques variations.

La fig. 4 montre un exemple des valeurs numériques calculées de la caractéristique de tension en fonction de la tension d'alimentation VDD, pour les cas où K vaudrait respectivement 0,8, 0,9, 1,0, 1,1 et 1,2. Pour ce calcul, on a admis les valeurs suivantes:

$$V_{TNH} = 1,35 \text{ V}$$

$$V_{TNL} = 0,30 \text{ V}$$

$$V_{TP} = 0,5 \text{ V}$$

$$n = 12 (K = 1)$$

Dans ce calcul, les variations intervenant en rapport avec des accroissements ou des diminutions du courant de charge IL ont été considérées comme des variations de n et K, K étant utilisé comme paramètre. Comme on le voit à la fig. 4, en utilisant comme source de courant une pile à l'oxyde d'argent fournissant une tension d'alimentation VDD approximativement égale à 1,55 V, la variation de courant de charge faisant passer K de 0,8 à 1,2 est approximativement 64 à 144%. Néanmoins, la variation de la tension de sortie du

circuit de régulation de basse tension reste toujours dans les limites de $\pm 0,05 \text{ V}$, pour les quantités de variations susmentionnées. On voit donc que le circuit de régulation de basse tension selon la conception proposée est tout à fait suffisant pour un usage pratique.

Il existait jusqu'ici un circuit qui était quelque peu similaire à celui que montre la fig. 2, et qui servait de circuit de génération de tension standard. Toutefois, à la différence du circuit selon la conception particulière proposée, ce circuit ne pouvait fournir aucun courant de charge (ou d'utilisation).

La fig. 5 représente une autre forme d'exécution de circuit de régulation de basse tension, dans lequel, par rapport à la forme d'exécution selon les fig. 2 et 3, les transistors MOSFET à canal P et les transistors MOSFET à canal N sont interchangeables. La correspondance entre les transistors MOSFET des circuits selon les fig. 5 et 3 s'établit comme suit:

P can MOSFET 21 \rightarrow N can MOSFET 51

P can MOSFET 22 \rightarrow N can MOSFET 52

N can MOSFET 23 \rightarrow P can MOSFET 53

N can MOSFET 24 \rightarrow P can MOSFET 54

Selon les fig. 5 et 6, le circuit sous cette seconde forme d'exécution, inversé, est établi de façon à satisfaire les équations suivantes:

$$\frac{V_{TPH} - V_{TPL}}{V_{DD} - V_{TPH}} > \sqrt{\frac{\beta_{P1}}{\beta_{N1}}} \quad (113)$$

$$\frac{V_{TPH} - V_{TN}}{V_{DD} - V_{TPH}} > \sqrt{\frac{\beta_{P1}}{\beta_{N1}}} \quad (114)$$

$$IL = nIN2 \quad (115)$$

$$K = \sqrt{\frac{(n+1) \beta_{N2} \cdot \beta_{P1}}{\beta_{N1} \cdot \beta_{P2}}} \quad (116)$$

$$K = 1 \quad (117)$$

De cette façon, on peut obtenir:

$$V_{reg} = V_{TPH} - V_{TPL} \quad (118)$$

Dans ce cas, on voit que l'on obtient la tension réglée (ou stabilisée) entre la connexion de sortie 55 et la borne d'alimentation négative $-V_{SS}$, la tension ainsi obtenue ayant la valeur ($V_{TPH} - V_{TPL}$).

