

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3623804号
(P3623804)

(45) 発行日 平成17年2月23日(2005.2.23)

(24) 登録日 平成16年12月3日(2004.12.3)

(51) Int.C1.⁷

F 1

H01L 21/306

H01L 21/306

T

B81C 1/00

B81C 1/00

H01L 21/265

H01L 21/28

E

H01L 21/28

H01L 27/10

431

H01L 21/3213

H01L 29/78

301Y

請求項の数 26 (全 88 頁) 最終頁に続く

(21) 出願番号

特願平10-539866

(86) (22) 出願日

平成10年3月13日(1998.3.13)

(65) 公表番号

特表2001-517364(P2001-517364A)

(43) 公表日

平成13年10月2日(2001.10.2)

(86) 国際出願番号

PCT/US1998/005001

(87) 国際公開番号

W01998/040909

(87) 国際公開日

平成10年9月17日(1998.9.17)

審査請求日

平成13年5月9日(2001.5.9)

(31) 優先権主張番号

08/818,660

(32) 優先日

平成9年3月14日(1997.3.14)

(33) 優先権主張国

米国(US)

(73) 特許権者

マイクロン・テクノロジー・インコーポレーテッド
アメリカ合衆国アイダホ州83707-006, ボイス, サウス・フェデラル・ウェイ 8000, ピー・オー・ボックス 6

(74) 代理人

弁理士 松本 一夫

(74) 代理人

弁理士 今井 庄亮

(74) 代理人

弁理士 増井 忠式

(74) 代理人

弁理士 栗田 忠彦

最終頁に続く

(54) 【発明の名称】イオンが注入された構造体および形成方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に相互接続構造体を形成する方法であって、
 ある量の導電性のシリコンを含む材料を複数の隆起構造体上に形成するステップであって、前記各隆起構造体が電荷伝導領域から突出していて、前記各電荷伝導領域が、隣接する隆起構造体の間および半導体基板内に位置するステップと、
 前記量の前記導電性のシリコンを含む材料を平坦化して、その上に、前記隆起構造体上の少なくとも一つの平面と実質的に同一平面である実質的に平らな面を形成するステップと、
 前記量の前記導電性のシリコンを含む材料内にイオンを注入して、そこに第一及び第二の部分を形成するステップであって、前記第一の部分は、前記第二の部分に注入される前記イオンの濃度より実質的に高い、その中に注入された前記イオンの濃度を持つステップと、
シリコンを含む材料を湿式エッチング液に露出することによって、前記第一の部分の材料除去速度より実質的に速い材料除去速度で、前記第二の部分から導電性のシリコンを含む材料を選択的に除去するステップであって、少なくとも一つの相互接続構造体が形成され、前記各相互接続構造体が、前記量の前記導電性のシリコンを含む材料の第一の部分から実質的に成り、前記各相互接続構造体が、前記半導体基板内の前記電荷伝導領域の一つの上に位置するステップとを含む方法。

【請求項 2】

請求項1に記載の方法において、電荷伝導領域から突出している前記各隆起構造体が、前記量の導電性のシリコンを含む材料と接触している、電気的絶縁面をその上に持ち、該方法が、さらに、

前記少なくとも一つの相互接続構造体の前記各相互接続構造体上に、ある量の絶縁材を形成するステップと、

前記少なくとも一つの相互接続構造体の前記相互接続構造体の一つで終了させるために、前記量の前記絶縁材の上面から延びる、前記量の前記絶縁材内の開口部を形成するステップと、

前記半導体基板内に対応する電荷伝導領域のところで前記開口部を延ばすことが終了するように、前記量の前記絶縁材内で前記開口を延ばすために、前記少なくとも一つの相互接続構造体の前記相互接続構造体の前記一つを除去するステップとを含む方法。

【請求項3】

半導体基板上にコンデンサの電荷貯蔵ノードを形成する方法であって、

半導体基板上に位置する複数の絶縁ゲート・スタック上に位置するあの量の導電性のシリコンを含む材料を形成するステップであって、隣接する絶縁ゲート・スタックが、前記半導体基板内に位置する、その間の電荷伝導領域を持ち；前記量の前記導電性のシリコンを含む材料が、前記電荷伝導領域上に形成されるステップと、

前記各電荷伝導領域に隣接して及び上に、並びに前記各絶縁ゲート・スタックの上に、前記量の前記導電性のシリコンを含む材料上にマスクを形成するステップであって、前記量の導電性のシリコンを含む材料のマスクされている部分が前記マスクにより覆われ、前記量の前記導電性のシリコンを含む材料のマスクされていない部分が前記マスクにより実質的に覆われないステップと、

前記マスク上に前記導電性のシリコンを含む材料の追加の層を形成するステップと、前記マスク上の前記導電性のシリコンを含む材料の前記追加の層から前記シリコンを含む材料を異方性エッチングにより選択的に除去して、そこから、前記マスクに隣接し及び接觸している、前記量の前記導電性のシリコンを含む材料から延びるそこからの少なくとも一つのスペーサを形成するステップと、

前記マスクされていない部分にあるイオン濃度と、

前記マスクされていない部分のイオン濃度より、注入イオンにおいて実質的に低い前記マスクされている部分中のイオン濃度を形成するために、前記量の前記導電性のシリコンを含む材料および前記導電性のシリコンを含む材料の追加の層内にイオンを注入するステップと、

前記量の前記導電性のシリコンを含む材料上の前記マスクを除去するステップと、シリコンを含む材料を湿式エッチング液に露出することによって、マスクされていない部分の材料除去速度より実質的に速い材料除去速度で、マスクされている部分から前記シリコンを含む材料を選択的に除去して、前記第一のイオン注入部分から、そこから延びる少なくとも一つの前記スペーサを持つ、コンデンサの電荷貯蔵ノードを形成するステップとを含む方法。

【請求項4】

CMOSプロセスフローにおいて半導体基板上に相互接続構造体を形成する方法であって、その上のPMOS部分およびその上のNMOS部分を持ち、前記PMOS部分およびNMOS部分がそれぞれその内部に形成されたゲート領域を持つ、半導体基板を供給するステップと、

前記PMOS部分上にPMOSマスクを形成するステップと、

NMOS部分の前記ゲート領域に隣接する前記半導体基板内に、能動領域を形成するために、NMOS部分の前記ゲート領域に隣接する半導体基板内に、複数のイオンを注入するステップであって、前記PMOSマスクは、前記PMOS部分の前記半導体基板に、前記複数のイオンが注入されるのを実質的に防止するステップと、

前記PMOS部分上の前記PMOSマスクを除去するステップと、

前記PMOS部分および前記NMOS部分上に、ある量の導電性のシリコンを含む材料を蒸着するステップと、

10

20

30

40

50

前記量の前記導電性のシリコンを含む材料上にCMOSマスクを形成し、NMOS部分のゲート領域に隣接する半導体基板内の前記能動領域の上に位置する、前記量の前記導電性シリコンを含む材料のマスクされていない部分を残すステップと、

前記量の前記導電性のシリコンを含む材料の、マスクされていない部分に複数のイオン注入を注入して、そこから、その第一の部分を形成し、前記NMOSマスクの下に第二の部分を形成するステップであって、前記第一の部分が、前記第二の部分に注入されたイオンの濃度より実質的に高い前記注入イオンの濃度を持つステップと、

前記量の前記導電性のシリコンを含む材料上のCMOSマスクを除去するステップと、

前記第二の部分を実質的に除去し、相互接続構造体を形成する前記第一の部分を残すために、シリコンを含む材料を湿式エッチング液に露出することによって、前記第一の部分の材料除去速度より実質的に速い材料除去速度で、前記第二の部分から前記導電性のシリコンを含む材料を選択的に除去するステップと、

前記相互接続構造体および前記NMOS部分のゲート領域上にNMOSマスクを形成し、前記PMOS部分のゲート領域に隣接する前記半導体基板を、マスクされていない状態に維持するステップと、

前記PMOS部分のゲート領域に隣接する、マスクされていない半導体基板内にイオンを注入して、その内部に能動領域を形成するステップとを含む方法。

【請求項 5】

半導体基板上に成形済みの構造体を形成する方法であって、

半導体基板上の実質的に平らな面から延びる、ある量のシリコンを含む材料を供給するステップであって、前記量の前記シリコンを含む材料がその上に側面を持ち、前記量の前記シリコンを含む材料を供給するステップは、下記：

前記半導体基板の前記平らな面上に、前記シリコンを含む材料の層を蒸着するステップと、

前記シリコンを含む材料の前記層上にマスクを形成するステップであって、前記マスクが、その下に前記シリコンを含む材料の前記層の、マスクされていない部分が位置する開口部を持つステップと、

を含むステップと、

前記量の前記シリコンを含む材料に、第一の部分、および第二の部分を形成するために、前記半導体基板上の前記の平らな面に対して非直角の角度で、前記量の前記シリコンを含む材料の前記側面に複数のイオンを注入するステップであって、前記第一の部分が、前記第二の部分に注入される前記イオンの濃度より実質的に高いその内部に注入された前記イオン濃度を持つステップと、

前記半導体基板上の前記平らな面から延びる成形済みの構造体を形成するために、TMAHの溶液を使用して、前記第一のイオン注入部分の材料除去速度より実質的に速い材料除去速度で、前記第二のイオン注入部分から前記導電性のシリコンを含む材料を選択的に除去するステップとを含む方法。

【請求項 6】

半導体基板上に成形済みの構造体を形成する方法であって、

半導体基板上の実質的に平らな面から延びる、ある量のシリコンを含む材料を供給するステップであって、シリコンを含む材料の該量はその上に側面を有し、この供給ステップは、下記：

前記半導体基板の前記平らな面上に、前記シリコンを含む材料の層を蒸着するステップと、

前記シリコンを含む材料の前記層上にマスクを形成するステップであって、前記マスクが、その下に前記シリコンを含む材料の前記層の、マスクされていない部分が位置する開口部を持つステップと、

そこから前記のマスクされていない部分を実質的に除去し、前記半導体基板の前記平らな面から延びる前記成形済みの構造体を形成するために、前記シリコンを含む材料の前記層を異方性エッチングするステップと、

10

20

30

40

50

を含む、ステップと、

前記半導体基板上の前記平らな面に対して非直角の角度で、前記量の前記シリコンを含む材料の前記側面に複数のイオンを注入して、前記シリコンを含む材料の前記量内に第一の部分及び第二の部分を形成するステップであって、前記第一の部分が、前記第二の部分に注入される前記イオンの濃度より実質的に高いその内部に注入された前記イオン濃度を持つステップと、

前記シリコンを含む材料の前記層上の前記マスクを除去するステップと、

前記半導体基板上の前記平らな面から延びる成形済みの構造体を形成するために、シリコンを含む材料を湿式エッチング液に露出することによって、前記第一のイオン注入部分の材料除去速度より実質的に速い材料除去速度で、前記第二のイオン注入部分から前記シリコンを含む材料を選択的に除去するステップとを含む方法。

10

【請求項 7】

請求項 6 に記載の方法において、

前記マスク内の前記開口部が閉じた周辺部を持ち、

前記シリコンを含む材料の前記層の前記異方性エッチングが、前記量の前記シリコンを含む材料の側面により形成される隙間を形成し、前記側面が前記隙間内の連続面である方法。

【請求項 8】

請求項 7 に記載の方法において、

前記マスク内の前記開口部が、実質的に円形の断面を持ち、

20

前記量のシリコンを含む材料の前記側面により形成される前記隙間が、実質的に円筒形をしていて、前記成形済みの構造体は、前記側面と対向していて、実質的に平行な外面を持ち、前記成形済みの構造体の前記外面および側面の両方が、実質的に円形の断面を持つ方法。

【請求項 9】

半導体基板上にMOSサラウンド・ゲート・トランジスタを形成する方法であって、

半導体基板の実質的に平らな面上にシリコンを含む材料の層を蒸着するステップと、

前記シリコンを含む材料の前記層の上にマスクを形成し、その内部に、その下を、前記マスクが、前記シリコンを含む材料の、前記層のマスクされていない部分を延びる開口部を持ち、前記マスク内の前記開口部が実質的に円形の断面をもつステップと、

30

前記シリコンを含む材料の前記層を異方性エッチングして、そこから、前記のマスクされていない部分を実質的に除去し、

前記半導体基板の前記平らな面から延び、側面を持つ、ある量の前記シリコンを含む材料、及び

前記量の前記シリコンを含む材料の側面により形成される実質的に円筒形の隙間であって、前記側面が前記隙間内の連続面である隙間

を形成するステップと、

前記量の前記シリコンを含む材料に、第一の部分と第二の部分であって、第一の部分が、前記第二の部分に注入された前記イオンのある濃度より、実質的に高いその内部に注入された前記イオンのある濃度を持つ第一及び第二の部分を形成するために、前記半導体基板上の前記平らな面に対して非直角の角度で、前記量の前記シリコンを含む材料の前記側面に複数のイオンを注入するステップと、

40

前記マスクを除去するステップと、

前記半導体基板上の前記平らな面から延びるゲート領域を形成するために、シリコンを含む材料を湿式エッチング液に露出することによって、前記第一の部分の材料除去速度より実質的に速い材料除去速度で、前記第二の部分から前記シリコンを含む材料を選択的に除去するステップであって、前記ゲート領域が、前記側面と対向していて、実質的に平行な外面を持ち、前記ゲート領域の前記外面および側面の両方が、実質的に円形の断面を持ち、前記ゲート領域の前記側面が、前記半導体基板上に円形の面を形成するステップと、

前記ゲート領域の前記外面および側面上に、絶縁スペーサを形成し、前記各絶縁スペーサ

50

が、前記半導体基板のところで終わるように延びるステップと、

第一のソース／ドレイン領域および第二のソース／ドレイン領域を形成するために、前記半導体基板上に前記円形面内にドーパントを注入し、前記第二のソース／ドレイン領域が、前記ゲート領域により、前記第一のソース／ドレイン領域から分離され、前記ゲート領域の外面に隣接しているステップとを含む方法。

【請求項 10】

請求項 9 に記載の方法において、MOSトランジスタのチャネルが、前記ゲート領域の下の前記半導体基板内に位置していて、前記第一のソース／ドレイン領域から、0.2ミクロン以下の長さのチャネルで、前記ゲート領域を囲んでいる前記第二のソース／ドレイン領域に延びる方法。

10

【請求項 11】

半導体基板上に積層型コンデンサの電荷貯蔵ノードを形成する方法であって、半導体基板内に位置する電荷伝導領域上に、第一の量のシリコンを含む材料を供給するステップと、

前記第一の量の前記シリコンを含む材料上に絶縁層を形成するステップと、

前記電荷伝導領域上の面を露出するために、前記絶縁層と前記量の前記シリコンを含む材料を通じて延びる第一の円錐形の隙間を形成するステップであって、前記第一の円錐形の隙間が露出された内面により形成されるステップと、

前記第一の円錐形の隙間の露出した内面上に第二の量のシリコンを含む材料を形成し、それにより、前記第一の円錐形の隙間内に第二の円錐形の隙間を形成し、前記第二の円錐形の隙間が、前記第一の円錐形の隙間内に位置する、前記第二の量のシリコンを含む材料上の露出面により形成されるステップと、

20

前記第一の円錐形の隙間内に位置する、前記第二の量の前記シリコンを含む材料上の露出面内に複数のイオンを注入して、その内部に注入された前記イオンを含むその一部を形成するステップと、

前記絶縁層の上に位置する、第二の量の前記シリコンを含む材料の一部を除去するステップと、

前記絶縁層を除去するステップと、

シリコンを含む材料を湿式エッティング液に露出することによって、その内部に注入された前記イオンを持つ、前記第二の量の前記シリコンを含む材料の前記部分の材料除去速度より、実質的に速い材料除去速度で、前記第一の量の前記シリコンを含む材料の少なくとも一部を除去し、それにより、前記電荷伝導領域から延びる積層型コンデンサの電荷貯蔵ノードが形成されるステップとを含む方法。

30

【請求項 12】

半導体基板上に相互接続構造物を形成する方法であって、

半導体基板内に位置する電荷伝導性領域の上に配置されたある量の導電性のシリコンを含む材料を提供するステップと、

前記電荷伝導性領域の上に配置された前記量の前記導電性のシリコンを含む材料のマスクされた部分と、前記電荷伝導性領域に隣接して配置された前記量の前記導電性のシリコンを含む材料のマスクされない部分とを形成するために、前記量の前記導電性のシリコンを含む部分をマスクによってマスクするステップと、

40

前記マスクされない部分の高さを縮小するステップと、

内部に第一の部分を形成し、内部に第二の部分を形成するために、複数のイオンを前記量の前記導電性のシリコンを含む材料に注入するステップであって、前記第二の部分がほぼ前記量の前記導電性のシリコンを含む材料の前記マスクされた部分の内部に位置し、前記第一の部分が、前記第二の部分に注入された前記イオンの濃度より実質的に大きい濃度の内部に注入された前記イオンを有するステップと、

前記マスクを除去するステップと、

前記量の前記導電性のシリコンを含む材料から相互接続構造物を形成するために、シリコンを含む材料を湿式エッティング液に露出することによって、前記第二の部分のそれより実

50

質的に大きい材料除去速度で前記第一の部分から前記導電性のシリコンを含む材料を選択的に除去するステップとを含む方法。

【請求項 13】

半導体基板上に積層コンデンサの蓄電ノードを形成する方法であって、
実質的に平坦な表面を有する半導体基板上に配置された電気絶縁開口部中に下部層を形成するステップと、

前記電気絶縁開口部内の前記下部シリコンを含む層の上に中間層を形成するステップと、
前記電気絶縁開口部内の前記中間シリコンを含む層の上に上部層を形成するステップであって、前記上部、中間及び下部層が実質的にシリコンを含む材料で構成され、前記上部及び下部層が不純物でドーピングされ、前記中間層が実質的にドーピングされていないステップと、
10

セグメントの第一と第二の部分を形成するように、前記上部層を通じて、前記半導体基板上の前記実質的に平坦な表面に実質的に平行であり、前記開口部内に位置する前記中間層のセグメントに複数のイオンを注入するステップであって、前記第一の部分が前記第二の部分に注入された前記イオンの濃度より実質的に大きい濃度の内部に注入された前記イオンを有するステップと、

前記上部及び下部層の少なくとも一部と前記中間層の前記セグメントの前記第一の部分を含む積層コンデンサの蓄電ノードを形成するように、シリコンを含む材料を湿式エッチング液に露出することによって、前記イオンを注入され不純物でドーピングされた前記開口部内の前記シリコン含有材料のそれより実質的に大きい材料除去速度で、前記イオンが実質的に注入されず前記不純物でドーピングされない前記開口部内から前記シリコン含有材料を選択的に除去するステップとを含む方法。
20

【請求項 14】

半導体基板上に積層コンデンサの蓄電ノードを形成する方法であって、
半導体基板の実質的に平坦な表面に配置された絶縁層に開口部を形成するステップであって、前記開口部が前記絶縁層の頂部表面から前記半導体基板内の電荷伝導性領域上の露出了した表面まで延び、前記開口部が前記絶縁層上の側面を有するステップと、
シリコン含有材料の層が前記開口部を充填しないように、前記開口部内の前記絶縁層の前記側面上と前記電荷伝導性領域の前記露出了した表面上にシリコン含有材料の層を形成するステップと、
30

内部に第一の部分と第二の部分を形成するために、前記開口部内の前記シリコン含有材料の前記層内の選択された深さまで複数のイオンを注入するステップであって、前記第一の部分が前記第二の部分に注入された前記イオンの濃度より実質的に大きい濃度の内部に注入された前記イオンを有するステップと、

前記開口部をマスク材料で充填するステップと、
前記絶縁層の前記開口部の外側に位置する前記シリコン含有材料の前記層の一部を除去するように前記絶縁層を平坦化するステップと、
前記開口部内の前記マスク材料を除去するステップと、

実質的に前記シリコン含有材料の前記層の前記一部から前記半導体基板上の積層コンデンサの蓄電ノードを形成するために、シリコン含有材料を湿式エッチング液に露出することによって、前記第一の部分のそれより実質的に大きい材料除去速度で前記第二の部分から前記シリコン含有材料を選択的に除去するステップであって、前記蓄電ノードが、前記半導体基板の前記平坦な表面に実質的に直交し前記開口部内の前記絶縁層上の前記側面に実質的に平行でそれから物理的に分離された表面を有するステップとを含む方法。
40

【請求項 15】

請求項14に記載の方法において、さらに、前記第二の部分から前記シリコン含有材料を選択的に除去した後、前記半導体基板の前記実質的に平坦な表面に実質的に直交し前記開口部内の前記絶縁層上の前記側面に実質的に平行でそれから物理的に分離された前記蓄電ノードの前記表面上に粗くした表面を形成するステップを含む方法。

【請求項 16】

10

20

30

40

50

半導体基板上に成形構造物を形成する方法であって、

半導体基板の実質的に平坦な表面上に配置されたある量のシリコン含有材料の上部表面上に第一のマスクを形成するステップであって、前記量の前記シリコン含有材料のマスクされた部分が前記第一のマスクによってマスクされ、前記量の前記シリコン含有材料のマスクされない部分が前記マスクによって実質的にマスクされないステップと、

前記マスクされない部分中のあるイオン濃度の注入イオンと、

前記マスクされた部分中の、前記マスクされない部分のそれより実質的に低いイオン濃度の前記注入イオンとを、

内部に形成するために、前記量のシリコン含有材料の前記上部表面から前記半導体基板に及ぶ第一の選択された範囲内の前記量の前記シリコン含有材料にイオンを注入するステップと、

10

前記第一のマスクを除去するステップと、

前記半導体基板上に位置する前記量の前記シリコン含有材料の上に第二のマスクを形成するステップであって、前記量の前記シリコン含有材料の前記マスクされない部分が前記第二のマスクによって実質的にマスクされ、前記量の前記シリコン含有材料の前記マスクされた部分が前記第二のマスクによって実質的にマスクされないステップと、

前記第二の選択された範囲内の第一のイオン注入部分と、

前記第一のイオン注入部分から前記半導体基板上の前記実質的に平坦な表面に及び、前記第一のイオン注入部分のそれより実質的に低いイオン濃度の前記注入イオンを有する第二のイオン注入部分であって、前記マスクされた部分の前記第一のイオン注入部分が前記マスクされない部分のそれとほぼ同じイオン濃度を有し、前記第二のイオン注入部分が前記第一のイオン注入部分のそれより実質的に低いイオン濃度の前記注入イオンを有する第二のイオン注入部分とを、

20

内部に形成するために、前記量の前記シリコン含有材料の前記上部表面から前記半導体基板の上のあるレベルに及ぶ第二の選択された範囲まで前記量の前記シリコン含有材料にイオンを注入するステップと、

前記第二のマスクを除去するステップと、

前記マスクされた部分の前記第一のイオン注入部分と、

前記マスクされない部分であって、前記マスクされた部分の前記第一のイオン注入部分が前記マスクされない部分に接触する前記マスクされない部分とを、

30

実質的に含む成形構造物を形成するために、シリコン含有材料を湿式エッチング液に露出することによって、前記マスクされない部分と前記マスクされた部分の前記第一のイオン注入部分から、前記マスクされた部分の前記第二のイオン注入部分のそれより実質的に大きい材料除去速度で前記シリコン含有材料を選択的に除去するステップとを含む方法。

【請求項 17】

半導体基板の中に構造を形成する方法であって、

半導体基板の中にトレンチを形成するステップであって、前記トレンチは前記半導体基板の上面の下に延びている前記半導体基板上の側壁によって形成されるステップと、

前記トレンチを通して前記半導体基板上の前記側壁の中に複数のイオンを注入して前記半導体基板の中に、

40

第一の部分と、

第二の部分とを形成し、前記第一の部分は、前記注入されたイオンのイオン濃度が、前記第二の部分の中に前記注入されたイオンのイオン濃度より大きいように形成されるようにするステップであって、前記イオンが、前記半導体基板の電気的特性を実質的に変化させない選択されたタイプのものであるステップと、

湿式エッチング・プロセスによって、前記第一の部分を、前記第二の部分より実質的に大きい材料除去速度で選択的に除去し、それにより、前記トレンチのボリュームが前記半導体基板上の前記側壁によって形成されるようにするステップとを含む方法において、前記半導体基板の上面の下に延びている前記半導体基板上の前記側壁上の前記トレンチの内部に記憶ノード層を形成するステップと、

50

前記記憶ノード層の上に誘電体層を形成するステップと、
前記半導体基板の上面まで延びている前記誘電体層の上に、上側のコンデンサ・プレート
を形成し、それによって、トレンチのコンデンサが前記トレンチの中に形成されるよう
するステップとをさらに含む方法。

【請求項 18】

請求項17に記載の方法において、前記トレンチが前記半導体基板の中の一組の電荷伝導領域の間に位置していて、前記方法は、前記半導体基板の上面に対して延びている電気的に絶縁性の材料で前記トレンチを充填し、前記電荷伝導領域の前記一組を他の部分から電気的に分離する前記トレンチの内部のトレンチ分離領域を形成するステップをさらに含む方法。 10

【請求項 19】

請求項17に記載の方法において、前記第一の部分を選択的に除去するステップが、前記トレンチの内部の前記半導体基板上の前記側壁を、濃度範囲が1重量パーセントから10重量パーセントまでの水酸化テトラメチル・アンモニウムを含む溶液に露出するステップを含む方法。

【請求項 20】

請求項17に記載の方法において、前記第二の部分の前記材料除去速度が、前記第一の部分の材料除去速度より少なくとも20倍大きいようになっている方法。

【請求項 21】

請求項17に記載の方法において、前記第一の部分の前記注入されたイオンの濃度が、1立方センチメートル当たり 1×10^{15} イオンから、1立方センチメートル当たり 1×10^{22} イオンの範囲内にある方法。 20

【請求項 22】

半導体基板の露出された水平面上にシリコンを含む材料の層を選択的に形成する方法であって、

半導体基板上の実質的に平坦な表面から延びている持ち上げられた構造を形成し、前記持ち上げられた構造は前記半導体基板上の前記実質的に平坦な表面に対して実質的に平行な上面および、前記半導体基板上の前記実質的に平坦な表面に対して実質的に直交している側面を有しているようにするステップと、

前記半導体基板の前記実質的に平坦な表面上および、前記持ち上げられた構造の上面および側面上にシリコンを含む材料の層を形成するステップと、 30

前記シリコンを含む材料の層の中に複数のイオンを注入してその中に第一および第二の部分を形成し、前記イオンは前記半導体基板の前記実質的に平坦な表面に対して実質的に直交するように注入され、前記第一の部分は前記持ち上げられた構造の上面に、そして前記持ち上げられた構造の遠位側の前記半導体基板の実質的に平坦な表面上に実質的に位置していて、前記第二の部分は前記側面上および、前記持ち上げられた構造に近接している半導体基板の前記実質的に平坦な表面上に実質的に位置している、複数イオン注入のステップと、

シリコンを含む材料を湿式エッチング液に露出することによって、前記シリコンを含む材料を、前記第一の部分の材料除去速度により実質的に大きい速度で、前記第二の部分から選択的に除去するステップとを含む方法。 40

【請求項 23】

請求項22に記載の方法において、前記持ち上げられた構造は絶縁されたゲート・スタックであり、前記シリコンを含む材料を前記第二の部分から選択的に除去するステップが、前記第二の部分を実質的に除去し、そして前記実質的に平坦な表面を前記ゲート・スタックに対して反対側の、そしてそれに近接している前記半導体基板上に露出させ、前記方法は、

複数のイオンを、前記ゲート・スタックの前記反対側にあって、近接している前記半導体基板上の前記露出されている、実質的に平坦な表面に注入し、前記ゲート・スタックの前記各反対側の下の前記半導体基板の中に電荷伝導領域を形成し、1つの電荷伝導領域が前 50

記半導体基板の中のシリコンを含む材料のボリュームだけ他の電荷伝導領域から隔てられていて、前記イオンを前記半導体基板の前記実質的に平坦な表面に対して非直角の角度で、注入するステップをさらに含む方法。

【請求項 24】

半導体基板上に配線を形成する方法であって、

シリコンを含む材料のボリュームを半導体基板の実質的に平坦な表面上に形成するステップと、

前記半導体基板上の前記シリコンを含む材料の前記ボリューム上に第一のマスクを形成し、前記シリコンを含む材料の前記ボリュームのマスクされた部分が前記第一のマスクによってマスクされ、そして前記シリコンを含む材料の前記ボリュームのマスクされない部分が前記第一のマスクによって実質的にマスクされないようにするステップと、

前記シリコンを含む材料の前記ボリュームの中に、前記半導体基板上の前記実質的に平坦な表面に対して実質的に直交する方向にイオンを注入し、その中に、

前記マスクされない部分の中に前記注入されたイオンのあるイオン濃度と、

前記マスクされた部分の中に前記マスクされない部分のイオン濃度より実質的に小さい前記注入されたイオンのイオン濃度とを形成するようにするステップと、

前記第一のマスクを除去するステップと、

前記半導体基板上の前記シリコンを含む材料の前記ボリューム上に第二のマスクを形成し、前記第二のマスクされた基板が、前記半導体基板上の前記シリコンを含む材料の前記ボリュームの上面上にマスクされた領域を形成し、前記マスクされた領域は前記シリコンを含む材料の前記ボリュームのマスクされない部分を含むステップと、

湿式エッチング・プロセスによって、注入されたイオンの濃度が選択されたしきい値以上である前記シリコンを含む材料の材料除去速度より、注入されたイオンの濃度が前記選択されたしきい値より小さい前記シリコンを含む材料に対して実質的に大きい速度で、前記半導体基板上の前記シリコンを含む材料のボリュームから前記シリコンを含む材料を異方的に除去するステップと、

前記第二のマスクを除去し、それによって前記シリコンを含む材料から構成される相互接続構造体が前記半導体基板上に残り、前記相互接続構造が前記マスクされた領域の周辺と実質的に同じ周辺を有しているようにするステップとを含む方法。

【請求項 25】

半導体基板上に相互接続線を形成する方法であって、

シリコンを含む材料のボリュームを半導体基板の実質的に平坦な表面上に形成するステップと、

前記半導体基板上の前記シリコンを含む材料の前記ボリューム上に第一のマスクを形成し、前記シリコンを含む材料の前記ボリュームのマスクされた部分が前記第一のマスクによってマスクされ、そして前記シリコンを含む材料の前記ボリュームのマスクされない部分が前記第一のマスクによって実質的にマスクされないようにするステップと、

前記シリコンを含む材料の前記ボリュームの中に、前記半導体基板上の前記実質的に平坦な表面に対して実質的に直交する方向にイオンを注入し、その中に、

前記マスクされない部分の中に前記注入されたイオンのあるイオン濃度と、

前記マスクされた部分の中に前記マスクされない部分のイオン濃度より実質的に小さい前記注入されたイオンのイオン濃度とを形成するようにするステップと、

前記第一のマスクを除去するステップと、

前記半導体基板上の前記シリコンを含む材料の前記ボリューム上に第二のマスクを形成し、前記第二のマスクされた基板が、前記半導体基板上の前記シリコンを含む材料の前記ボリュームの上面上にマスクされた領域を形成し、前記マスクされた領域は周辺を有し、前記シリコンを含む材料の前記ボリュームのマスクされない部分を含むステップと、

湿式エッチング・プロセスによって、注入されたイオンの濃度が選択されたしきい値以上である前記シリコンを含む材料の材料除去速度より、注入されたイオンの濃度が前記選択されたしきい値より小さい前記シリコンを含む材料に対して実質的に大きい速度で、前記

10

20

30

40

50

半導体基板上の前記シリコンを含む材料のボリュームから前記シリコンを含む材料を異方性除去し、そして前記半導体基板上の前記シリコンを含む材料の前記ボリュームの前記上面から前記半導体基板まで延びている、前記半導体基板上の前記シリコンを含む材料の前記ボリューム上に、側面が形成されているようにするステップと、

前記シリコンを含む材料の前記ボリュームの前記側面の中にイオンを注入し、前記イオンは前記半導体基板の前記実質的に平坦な表面に対して直交してない少なくとも1つの角度において注入され、

マスクされた領域の周辺の外側にあり、そして前記マスクされた領域の前記周辺の内部でそれに近接していて、マスクされた領域の下部にある第一のイオン注入領域の中に前記注入されたイオンのあるイオン濃度と、

前記マスクされた領域の下側にあって、前記マスクされた領域の前記周辺の遠位側にある第二のイオン注入領域の中に前記注入されたイオンのあるイオン濃度とを形成するようにし、前記第一および第二のイオン注入領域が、前記半導体基板上の前記シリコンを含む材料の前記ボリュームの前記上面から前記半導体基板まで実質的に延びており、そして前記第一のイオン注入領域の前記イオン濃度が、前記第二のイオン注入領域のイオン濃度より実質的に大きいようにするイオン注入のステップと、

前記第2のマスクを除去するステップと、

前記シリコンを含む材料を前記第二のイオン注入領域から、前記第一のイオン注入領域の材料除去速度より実質的に大きい材料除去速度で、前記シリコンを含む材料を選択的に除去するステップと、

前記マスクされた部分から、前記マスクされない部分の材料除去速度より実質的に大きい材料除去速度で、前記シリコンを含む材料を選択的に除去し、それによって前記半導体基板上の前記シリコンを含む材料から相互接続線を形成するステップとを含む方法。

【請求項26】

請求項25に記載の方法において、前記相互接続線が、300オンゲストロームから2,000オンゲストロームの範囲内の、実質的に一様な厚さを有する電導性の材料から実質的に構成されるようにする方法。

【発明の詳細な説明】

発明の背景

1. 発明の分野

本発明は、半導体基板上に、ある量のシリコンを含む材料をパターン形成する方法に関し、特にイオン注入、およびイオンが注入されたシリコンを含む材料、またはイオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスを使用することにより、半導体基板上に、ある量のシリコンを含む材料から成形済みの構造体を形成する方法に関する。本発明は、効率的に、成形済みの構造体の結果として得られるプロファイルを高度に制御しながら、ポリシリコン・プラグ、相互接続ライン、トランジスタ・ゲート、トレンチ、およびコンデンサの電荷貯蔵ノードのような、シリコンを含む材料の成形済みの構造体を形成する際に役に立つ。

2. 関連技術

本明細書の場合、「半導体基板」という用語は、半導体ウエハ単体、またはその上に他の材料を含む組立体、および半導体材料層単体または他の材料を含む組立体のようなバルク半導体材料を含むが、それに限定されない半導体材料を含むすべての構造物を意味する。「基板」という用語は、上記半導体基板を含むが、それに限定されないすべての支持構造体を意味する。

電子チップ上の集積回路は、コンピュータの論理およびメモリ、および他のインテリジェント電子装置を供給する。これら集積回路は、コンピュータおよび他のインテリジェント電子装置の役に立つ、高度な機能レベルに進歩してきている。集積回路の膨大な機能は、また安い価格で供給され、それにより、消費者は、手ごろな値段でコンピュータおよびインテリジェント電子装置入手することができる。集積回路は、現在、半導体装置、絶縁フィルム、およびパターン形成されたフィルムが、半導体基板上に予め定めた配置で順次

10

20

30

40

50

設置される複雑なプロセスで製造される。半導体ウエハ上に形成される従来の半導体装置は、コンデンサ、抵抗、トランジスタ、ダイオード等を含む。進歩した集積回路の製造の場合には、非常に多くのこれらの半導体装置が、一つの半導体ウエハ上に形成される。

市場は、コンピュータおよびエレクトロニクス業界に対して、絶えず集積回路の速度および機能を向上するように、またそのコストを下げるよう要求している。この要求を満たす一つの方法は、半導体ウエハ上の所与の表面積上における、半導体装置の形成密度を増大する方法である。そうするためには、小型化と呼ばれるプロセスにより、半導体装置の大きさを小さくしなければならない。集積回路の小型化の際に難しいのは、集積回路の製造プロセスのコストを大きく上げないで、半導体装置の大きさを小さくすることである。

従って、集積回路製造の際に改善しなければならない一つの問題は、集積回路製造プロセスが複雑であることである。集積回路がますます複雑になるにつれて、集積回路を形成するための処理ステップの数が増えてきている。製造プロセスの数も、集積回路がますます複雑になるにつれ、それに比例して増大してきている。集積回路製造プロセスが複雑になると、それに対応して集積回路の製造コストも増大するのは極めて当然なことである。従って、改良型およびもっと機能的なコンピュータ、および他のインテリジェント電子装置の製造コストを手ごろな値段に維持するためには、より簡単でより効率的で、小型化プロセスを助け、集積回路の品質または性能を劣化させない集積回路の新しい製造方法が必要になる。

従来の集積回路製造プロセスにとって必要な一つのステージは、半導体装置またはMOSトランジスタ・ゲート領域およびコンデンサの電荷貯蔵ノードのような半導体装置の個々の機能を形成するために使用される、成形済み構造体を形成するステージである。これら成形済みの構造体は、通常、半導体ウエハ上に構造体の層をパターン形成することにより形成される。

構造体の層は、通常、構造体の層の形成、ホトレジスト・マスクによる構造体の層のカバー、ホトレジスト・マスクでカバーされていない構造体の層の一部のエッチングによる除去を含むプロセスによりパターン形成される。ホトレジスト・マスクによりカバーされている構造体の層のある一部または数カ所が、成形済みの構造体を形成する。そこを通して、構造体の層がエッチングされるホトレジスト・マスクは、従来は、写真製版と呼ばれるプロセスにより形成された。写真製版は、通常、あるパターンを、映像レンズを通して、写真製版テンプレートから、パターン形成中の構造体の層に塗布されたホトレジスト・マスクにより形成される。

写真製版テンプレートのパターンは、ホトレジスト・マスク内に形成するための、対応する開口部および無傷の部分と整合する選択した形を持つ半透明および透明な領域を含む。写真製版テンプレートは、従来計算機助成製図により設計され、その上でホトレジスト・マスクにより形成される。

ホトレジスト・マスクは、通常、成形済みの構造体の層をウエハ上で必要な大きさに縮小する方法で、ホトレジスト・マスクにより形成される。ホトレジスト・マスクは、通常、成形済みの構造体の層をウエハ上で必要な大きさに縮小する方法で、ホトレジスト・マスクにより形成される。ホトレジスト・マスクは、通常、成形済みの構造体の層をウエハ上で必要な大きさに縮小する方法で、ホトレジスト・マスクにより形成される。

パターンを、ホトレジスト・テンプレートからホトレジスト・マスクにより形成される。ホトレジスト・マスクの開口部および無傷の領域の大きさ、従ってホトレジスト・マスクにより形成される成形済みの構造体の大きさは、それに応じて制限される。それ故、写真製版解像度の限界は、集積回路をさらに小型化する場合の障害になっている。従って、0.2ミクロン以下の主要部分の大きさを持つ、成形済みの構造体を形成するための改良型の方法が求められている。

縮小した大きさで形成する必要がある、上記の一つの成形済みの構造体の一例としては、プログラマブル抵抗のオボニック・セルがある。オボニック・セルは、このセルを通過した電荷によりプログラムすることができる抵抗を持つカルコゲニドの領域である。通常、オボニック・セルは、ある量の材料から開口部をエッチングにより形成し、その後で、この開口部内にカルコゲニドを注入することにより形成される。オボニック・セルをプログラ

10

20

30

40

50

ラムするには、高い密度の電荷が最も適しているので、断面の小さな開口部を形成することが望ましい。このような開口部はそこに掛けられた電荷の密度を増大する働きをする。開口部は、従来、写真製版により形成されてきた。約0.2ミクロンより細い幅を持つ開口部を形成するための、商業的に実行可能な方法を開発することが望ましい。

写真製版により可能な解像度より高い解像度を持つ半導体装置の成形済みの構造体を形成するための、写真製版以外のいくつかの方法が現在使用されている。しかし、これらの別 の方法は、いくつかの欠点および制限を持っているので普及していない。例えば、そのような方法の中の一つは、使い捨てスペーサ流れプロセスと呼ばれる。この使い捨てスペーサ流れプロセスは、材料の仮設ブロックを形成する最初のステップと、その後で、材料の仮設ブロックの縁部にスペーサを形成するステップを含む。材料の仮設ブロックは、結果としての高い解像度の成形済みの構造体が位置する場所に、スペーサが形成されるような位置に設置される。スペーサが形成されると、材料の仮設ブロックが除去され、スペーサが残って成形済みの構造体を形成する。スペーサを形成する際に写真製版を使用しないので、スペーサは現在の写真製版の解像度の限界により制限を受けずに、0.2ミクロンまたはそれ以下の大きさに形成することができる。

しかし、使い捨てスペーサ流れプロセスの一つの問題は、それにより形成することができる、成形済みの構造体のタイプが制限されることである。通常、上記成形済みの構造体は、ある幅を持つものでなければならない。すなわち、写真製版の解像度以下の相互接続ラインのような主要な部分が、使い捨てスペーサ流れプロセスより、写真製版の解像度より高い解像度の幅で形成される場合、相互接続ライン全体は、写真製版の解像度の幅より狭くなくてはならない。そこにもっと幅の広い構造体を接続することができる、相互接続ラインのもっと幅の広い部分を形成するための、別の位置およびマスク・ステップを使用しないで、もっと大きい構造体へ相互接続ラインを接続することはできない。

それにより、半導体装置の主要部分のような成形済みの構造体を、現在のプロセスの流れよりもっと簡単で、もっと効率的な方法で形成することができる方法が、現在この業界で求められている。上記説明から、使い捨てスペーサ流れプロセスのような写真製版に変わるものよりもっと柔軟であり、従来の写真製版よりも小さい成形済みの構造体を形成するのに、このような方法が使用できるなら、上記方法がさらに役に立つことは明らかであろう。

絶縁面を効率的にまた選択的にエッチングするエッチング・プロセスが、現在通常使用されている。成形済みの構造体を形成する際によく使用される構造体の層、および導電性の特殊な成形済みの構造体の一つのタイプは、ポリシリコンである。ポリシリコンは、集積回路でよく使用されるもので、ある意味では好適なものである。何故なら、容易に蒸着することができるからである。ポリシリコンの蒸着は、シラン、ジシランまたはジクロロシランのような前駆物質の熱分解を含む化学反応により、蒸着チャンバ内で通常行われる化学蒸着法（CVD）により行われる。

ポリシリコンから成形済みの構造体を形成するために、ポリシリコンが構造体の層として蒸着され、その後で、パターン形成される。従来、ポリシリコンのパターン形成は、ホトレジスト・パターン形成を含むプロセスで行われてきたので、それに付随する上記欠点も持っている。ポリシリコンをパターン形成する従来のプロセスは、また通常、プラズマ・エッチング・プロセスによる乾式エッチングを含む。このプロセスも以下に説明するいくつかの欠点を含む。

通常、成形済みの構造体を形成するためにエッチングを行う場合、エッチングが行われる材料に、直角にエッチングすることができることが望ましい。このようなエッチング・プロセスは、異方性エッチング・プロセスと呼ばれる。異方性乾式エッチングは、半導体ウエハに、一つまたはそれ以上のエッチング・ガスの流れの中で形成されるプラズマにより発生するイオンが衝突するエッチングの一つのタイプである。通常、エッチング・ガスとしては、一つまたはそれ以上のハロカーボンおよび/または一つまたはそれ以上のハロゲン化合物が使用される。従来、エッチング・ガスとしては、例えば、 CF_4 、 CHF_3 （フレオノン23）、 SF_6 、 NF_3 およびその他のガスが使用された。さらに、 O_2 、 Ar 、 N_2 およびその他が

10

20

30

40

50

ガスの流れの中に追加される。例えば、エッティングされる材料の特性、処理のステージ、使用されるエッティング・システムのタイプ、およびエッティング速度および異方性の度合のような必要なエッティング特性により、特定のガス混合物が使用される。

乾式エッティングの異方性の性質は望ましいものであるが、この方法は異なるタイプの層に對して高度に選択的でないという欠点がある。この欠点のために、ハッキリとしたプロファイルを持つ成形済みの構造体を形成するために、必要な深さにおいて、エッティング・プロセスを正確に終了させることは困難である。また、一回のホトレジスト・マスク処理、および乾式エッティング・ステップで形成することができるパターンは、一つの深さおよびホトレジストで形成することができるパターンに限定される。従って、複雑なプロファイルを持つ成形済みの構造体を形成するには、マスク処理および乾式エッティング・ステップを何回も反復して行う必要があり、そのためコストが高くなる。それ故、主要部分の大きさおよびプロファイルをもっと高度に制御することができ、また低いコストで、ポリシリコンのような構造体の層を、異方性に従ってパターン形成することができる、より高度に制御することができるエッティング・プロセスを設計することが望ましい。10

上記のような改良型の方法は、上記の利点の他に、多くの付帯的な利点を持つ。例えば、集積回路の性能を向上させるために、それにより形成することができる、成形済みの構造体の種々のタイプのプロファイルに、柔軟性を与える改良型の方法を開発することができれば、それは望ましいことである。上記改良型の方法が、上記安いコストの要求を満たすために、ある半導体装置の形成プロセスのプロセスの流れを簡単にすれば、それも望ましいことである。集積回路製造プロセスの、上記およびその他のニーズをさらに説明するために、いくつかの従来の代表的なプロセスの流れおよびその限界について以下に説明する。20

改良の必要があるプロセスの流れの第一の代表的な例について以下に説明する。もっと詳細に説明すると、材料の絶縁層に開口部を形成するために、集積回路の製造プロセス中にはいくつかの段階が必要になる。下に位置する半導体装置または半導体装置の個々の主要部分と電気的接続を行うために、導電性材料が開口部内に蒸着される。通常、能動領域を露出している絶縁層を貫通している開口部は、接点開口部と呼ばれ、いくつかのレベル間誘電層を貫通する開口部は、バイア開口部と呼ばれる。本明細書においては、相互接続構造体開口部という用語は、絶縁層を貫通している上記開口部を、集合的に呼ぶために使用される。接点またはバイアを形成するために、接点開口部およびバイア開口部は、導電性材料で満たされる。ポリシリコンで満たされた接点開口部およびバイア開口部は、ポリシリコン・プラグと呼ばれる。本明細書で使用するように、相互接続構造体という用語は、半導体ウエハの異なるレベル上に位置する個々の半導体装置の主要部分を電気的に接続する接点、バイアおよびプラグのような導電性構造体を、集合的に呼ぶために使用される。従来の一連のプロセスにより、相互接続構造体の開口部、または絶縁層を貫通している他の開口部を形成するために、ホトレジスト・マスクが絶縁層上に置かれ、相互接続構造体の開口部を形成しようとする絶縁層の位置の上の領域を、露出した状態のままにしておくために、パターン形成が行われる。その後、現在の従来からの一連のプロセス場合には、通常は、上記乾式エッティング・プロセスである、エッティング・プロセスにより開口部を形成するために、材料が絶縁層から除去される。30

乾式エッティング・プロセスは、すでに説明したとおり、異なるタイプの材料に対して選択性を持っていないために、問題があることが分かっている。高い密度を持つ相互接続構造体を形成する際には、高いアスペクト比の相互接続構造体の開口部が必要になる。本明細書で使用する場合、開口部のアスペクト比は、開口部の垂直方向の主要な長さを、開口部の水平方向の長さで割った比である。高いアスペクト比を持つ相互接続構造体は、下に位置するシリコン基板に過度のエッティングが行われないように、エッティング・プロセスの高い選択性を必要とする。選択性の一つの目安は、窒化シリコン・エッティング・バリア層を使用することにより達成される。しかし、アスペクト比が増大すると、従来の乾式エッティング・プロセスにより、高いアスペクト比を持つ相互接続構造体の開口部を同じようにエッティングするのがますます困難になる。40

また、従来の乾式エッティング・プロセスは、均一性が低い。何故なら、従来の乾式エッティング・プロセスを使用すると、全ウエハ面を均一にエッティングするのが難しいからである。乾式エッティングに関連する別のもう一つの問題は、平滑でなく、均一でない、凹凸を持つ表面を乾式エッティングするのが困難なことである。上記相互接続構造体の開口部を乾式エッティングする場合には、凹んだ面よりも凸状の面の方が速くエッティングされ、乾式エッティング・プロセスの選択性が、エッティングされいる主要部分の深さにより変化するという問題が発生する。それ故、均一でない凹凸を持つ表面で、高い選択性を維持するのは困難である。

相互接続構造体の開口部を形成する際のもう一つの制限要因は、相互接続構造体の開口部をエッティングする前に、マスク処理をするのが困難であることである。マスクは、高い密度の接点開口部を形成する際に、非常に小さい相互接続構造体用の開口部と一緒に形成され、そのため、マスクの開口部を、半導体基板上の正しい位置に正しく整合するのが困難になる。

相互接続構造体を一度完成するために、相互接続構造体の開口部が形成される。相互接続構造体の開口部は、アルミニウムまたはタングステンのような金属により充填される。しかし、相互接続構造体の開口部を金属で充填すると、アルミニウムおよびタングステンが、能動領域の下に位置するエピタキシャル・シリコンに対して、導電性の高いインターフェースを形成しないという別の問題が起こる。アルミニウムは能動領域に拡散し、能動領域をショートする、導電性のスパイクを形成する恐れがある。タングステンは能動領域のところで化学反応を起こし、空隙を形成し、それにより相互接続構造体の導電性が低下する。従って、充填物質としてアルミニウムまたはタングステンを使用すると、ライナー層を形成するために、面倒なステップを行わなければならない。しかし、ライナー層が形成されると、また問題が起こる。何故なら、ライナー層の蒸着により接点開口部が狭くなる傾向があり、充填物質を効率的に蒸着するのが難しくなるからである。

相互接続構造体の開口部の、充填に関連する問題を克服するために使用する、相互接続構造体の一つのタイプに、ポリシリコン・プラグがある。ポリシリコン・プラグを形成するには、最初、ポリシリコン・プラグにより電気的に連絡している、半導体装置の主要部分上に絶縁層が形成される。半導体装置の主要部分は、通常、トランジスタの能動領域を含む。能動領域が形成されると、次に、ボロホスホシリケート・ガラス (BPSG) のような絶縁層が形成され、その後で逆流が起こる。その後、写真製版および乾式エッティングにより、絶縁層を貫通して接点開口部が形成される。その後、接点開口部は、ポリシリコンにより充填される。ポリシリコンは、通常、化学蒸着法により、全絶縁層上にポリシリコンのプランケット層として蒸着される。絶縁層上を延びる上記プランケット・ポリシリコン層の一部は、その後、CMPまたは乾式エッティングのような平面化プロセスにより除去される。別の方針としては、ポリシリコンをマスク処理し、ポリシリコン層の残りの部分をエッティングすることにより、ポリシリコン・プラグ上に位置する、ポリシリコン層の一部を除去することができる。

ポリシリコン・プラグは、能動領域の下に位置する結晶性シリコンに対して、導電性の高いインターフェースを形成し、それにより導電性を持つ充填物質用に金属を使用する、相互接続構造体形成プロセスの、拡散問題を解決することができるという利点を持つ。一方、ポリシリコン・プラグは、その内部にポリシリコン・プラグが形成される、相互接続構造体の開口部を形成する際に、上記の乾式エッティング・プロセスを依然として使用しなければならないという問題がある。従来のポリシリコン・プラグ形成プロセスは複雑なものであった。そのような複雑なプロセスなので、処理能力が制限され、エラーが発生する機会が増え、それにより集積回路の製造コストが高くなる。従って、それにより、高いアスペクト比の相互接続構造体の開口部を形成するために、乾式エッティングを使用しなくても、相互接続構造体および特に高いアスペクト比の相互接続開口部用の、ポリシリコン・プラグを、効率的にまた簡単に形成することができる方法が求められている。

集積回路の製造の際に頻繁に形成される、もう一つの成形済みの構造体はコンデンサである。コンデンサは、電荷貯蔵ノード、セル・プレート、および介在誘電層と一緒に形成さ

10

20

50

30

40

50

れる。電荷貯蔵ノードのポリシリコンおよびセル・プレートは、従来の写真製版および乾式エッチングにより、通常、別々に蒸着され、パターン形成される。介在誘電層は、通常、酸素に露出させて二酸化シリコンを成長させることにより、電荷貯蔵ノードとセル・プレートの形成の間に形成される。

集積回路にコンデンサを形成する際の重要な考慮事項は表面積である。電荷貯蔵ノード、および上部コンデンサ・セル・プレートの、表面積が大きいので静電容量が増大する。コンデンサが、半導体ウエハのシリコン基板上を占有するスペースは最小でなければならないという競合する要件と、このニーズとを満足させなければならない。従来技術がコンデンサ形成の際に、シリコン基板上に占めるスペースを増大しないで、より広い表面積を得るためにとった一つの方法は、シリコン基板の上のある距離のところに、コンデンサを形成するという方法であった。この方法の場合、電荷貯蔵ノードおよびセル・プレートの一方は、通常、狭い領域内で他方を周囲を囲み、いわゆる積層型コンデンサを形成する。積層型コンデンサの種々のコンフィギュレーション、およびその形成方法に関連する共通の一つの問題は、プロセスが通常、複雑であり、長い時間が掛かり、欠陥を生じる機会が増え、コストが高くなることである。従って、大きな表面積を持っていながら、シリコン基板上での占有スペースが最も小さい、積層型コンデンサを簡単に効率的に形成する方法が求められている。また、積層型コンデンサの電荷貯蔵ノードおよびその下に位置する相互接続構造体を、一体に形成することにより、より大きい電荷貯蔵領域を形成することも望ましいことである。

積層型コンデンサの形成に付随するもう一つの問題は、コンデンサの電荷貯蔵ノードの下に位置する、積層型コンデンサ上の能動領域に、積層型コンデンサを電気的にリンクしなければならないという問題である。積層型コンデンサが高速の電荷保持を維持することは、集積回路の高速を維持するのに極めて重要なことである。動的にリフレッシュ可能なランダム・アクセス・メモリ (DRAM) 集積回路のような、メモリ機能を持つ集積回路を形成する際には、上記のことは特に重要である。電荷貯蔵ノードにおいて大量の電荷保持を維持するために、積層型コンデンサは、通常、シリコン基板から分離されている。

しかし、シリコン基板上の能動領域から、積層型コンデンサへ相互接続構造体を形成すると、いくつかの問題が起こる。例えば、電荷貯蔵ノードを、その下に位置する能動領域に電気的接続している、相互接続構造体を形成するための従来の方法は、通常、深さがもっと深い相互接続構造体の開口部の形成と、通常はポリシリコンによる、相互接続構造体の開口部の充填を含む。しかし、このようなプロセスは、実行するのが難しい。何故なら、これらは、欠陥が起こらないように、すべてのプロセス・パラメータを正しく制御するための、小さなプロセス・ウインドウを持っているからである。例えば、標準乾式エッチング・プロセスにより、2:1以上のアスペクト比を持つ、相互接続構造体の開口部を形成するのは難しい。

改良型製造プロセスを必要とするもう一つの半導体装置は、MOSトランジスタである。このトランジスタは、現代集積回路製造の最も重要なものであり、マイクロプロセッサのような集積回路は、多くの場合、一つのチップで数百万のトランジスタを使用する。現在、MOSトランジスタは、集積回路形成の際の最も普通のトランジスタである。集積回路上の同じ大きさのスペースにより多くのトランジスタを形成することができれば、集積回路はより多くの機能を持つことができる。それ故、半導体ウエハのシリコン基板上で、より少ない面積しか占有しない、トランジスタを形成するための方法が求められている。

また、トランジスタが、より低い電圧レベルで動作することも望ましいことである。より低い電圧レベルで動作する、MOSトランジスタを形成する際の一つの障害は、MOSトランジスタのチャネルの長さである。チャネルの長さは、通常、形成中のMOSトランジスタのゲート領域の幅により決まる。ゲート領域の幅は、従来の製造プロセスの場合には、すでに説明したように、写真製版の解像度の限界により制限される。ゲート領域の大きさは、またある程度まで、トランジスタが占有する表面積の大きさを決める。従って、集積回路上で、ゲートの長さが短く、動作電圧レベルの低い、トランジスタを製造することができる改良型プロセスが求められている。

トランジスタの形成も複雑なプロセスであり、多数のステップを必要とする。必要なステップの数が多いので、集積回路の製造プロセス・コストが高くなり、処理能力が低下し、エラーが発生する機会が増える。それ故、トランジスタの形成プロセスを合理化する方法を求められている。

改良型形成方法を必要とするもう一つの成形済み構造体は、多くの場合、シリコン基板のレベルまでエッティングが行われ、トレンチ絶縁領域およびトレンチ・コンデンサのような、半導体装置を形成するために使用される浅いトレンチである。トレンチ・コンデンサの大きな静電容量を供給するために、適当な容積を持ちながら、シリコン基板上で大きな表面積を占有しない、トレンチ・コンデンサを形成する方法が求められている。適当な容積を持つトレンチ・コンデンサを形成する方法は、またトレンチ絶縁領域を改善し、通常、トレンチ絶縁領域のどちらかの側面上に形成される、MOSトランジスタのソース／ドレイン領域の間の、クロストーク電流漏洩の防止を助ける。10

集積回路の製造の際によく使用されるもう一つの成形済みの構造体は、相互接続ラインである。本明細書においては、相互接続ラインという用語は、半導体装置または同じレベル上に位置する半導体装置の主要部分を、電気的に接続する成形済みの構造体、または半導体ウエハの一つのレベル上に形成された、相互接続構造体の間を電気的に接続し、物理的に相互が分離している半導体装置を意味する。半導体ウエハの一番上の面に形成された場合、この構造体は、単に表面相互接続ラインと呼ばれる。半導体ウエハの上記面の下に形成された場合には、その相互接続ラインは、ローカル相互接続と呼ばれる。

集積回路を小型化する一つの方法は、集積回路において、相互接続ラインの間隔をもっと狭くする方法である。相互接続ラインの間隔を狭くする一つの方法は、相互接続ラインの幅を狭くすることである。相互接続ラインの幅は、従来の写真製版プロセスの解像度の限界により制限される。この制限を克服するために従来技術がとった一つの方法は、上記の使い捨てスペーサ流れプロセスである。すでに説明したとおり、使い捨てスペーサ流れプロセスにより形成された導電ラインの太さは変えることができない。従って、導電性スペーサをもっと幅の広い相互接続ライン、またはその主要部分の大きさがもっと大きい装置に接続しなければならなくなつた場合には、そうするために余分の材料は供給されない。それ故、狭い相互接続ラインを形成するための、もっと柔軟なプロセスが求められている。20

集積回路を形成する際には、他の成形済みの構造体もよく使用され、改良型のエッティング・プロセスを使用しているために有利であり、そのため、成形済みの構造体を、もっと柔軟で、もっと簡単で、もっと効率的なプロセスにより形成することができる。上記成形済みの構造体の一つの用途は、ミニチュア・センサおよびミニチュア・アクチュエータで通常使用されるような、マイクロマシン部品の製造である。最小限度の材料の蒸着ステップと、マスク処理ステップ、およびエッティング・ステップで、上記構造体を形成する方法が求められている。30

集積回路形の際に使用されるもう一つの成形済みの構造体は、コンデンサの電荷貯蔵ノード、および他の導電装置を形成するために使用される自立壁部である。結果として得られる自立壁部の厚さ、およびそれにより自立壁部を形成することができる形を、柔軟に得られる方法が求められている。上記自立壁部を効率的に形成することができ、写真製版の解像度以上の解像度を持つ上記方法も求められている。40

発明の概要

この技術に関する上記問題を解決するために、また好適な実施形態で実行され、本明細書に概略記載した本発明は、18の関連する方法を使用する。各方法の場合、成形済みの構造体を形成するために、ある量のシリコンを含む材料の選択した一部が除去される。通常、除去された部分と除去されなかった部分との間の違いは、原子粒子の注入が行われる前に、除去された部分と除去されなかった部分の、ドーパントの濃度のそれぞれのレベルとは無関係な、それぞれの部分の原子粒子のそれぞれの注入レベルである。

第一の方法の場合、半導体基板上に位置するシリコンを含む材料の容積の選択した一部が、シリコンを含む材料の層に成形済みの開口部が残るような方法で除去される。ある実施50

形態の場合には、最初に、ポリシリコン層を含むシリコンを含む材料の層が、半導体基板上に形成される。シリコンを含む材料の層の上にはマスク被覆基板が形成されるが、このマスク被覆基板は、シリコンを含む材料の層の少なくとも一つの領域をマスクし、シリコンを含む材料の層の第二の領域を、マスクされていない状態のままに維持する。

その後、選択したイオンが、シリコンを含む材料のマスクされていない部分に注入される。上記イオンは、以下に説明する方法で、イオン注入が行われたシリコンを含む材料に対して選択的なエッチング・プロセスにより選択されたタイプのものである。マスク被覆基板の大きさよりも、成形済みの開口部の大きさを小さくするために、半導体基板に対して直角以外の角度で、イオンを注入し、イオンをマスク被覆基板の縁部の下の注入することができる。半導体基板に対して直角以外の注入角度でイオンを注入した場合には、成形済みの開口部の大きさが、マスク被覆基板の大きさよりも小さくなり、一方、半導体基板の表面に直角な注入角度でイオンを注入すると、大きさはほとんど変わらない。

注入領域の大きさをさらに修正し、それにより最終的な成形済みの開口部が得られるように、イオンのタイプ、注入量、および注入エネルギーのような他のイオン注入パラメータを、適当に選択することができる。選択したマスク被覆基板のイオンに対して不浸透性も、結果として得られる成形済みの構造体のエッチングに影響を持つ。イオン注入の後で、熱処理によりイオンを拡散させると、ポリシリコン層へさら深くイオンが浸透し、結果として得られる成形済みの主要部分のプロファイルがさらに調整される。しかし、シリコンを含む材料の層に注入したイオンのプロファイルを、よりハッキリした状態に維持するためには、通常、熱処理を行わない方が望ましい。

さらに、大きさを均一に変化させるために、複数の各イオン注入ステージに対して一つのイオン注入パラメータを変化させながら、イオン注入作業を、複数のイオン注入ステージにより行うことができる。複数の各イオン注入ステージに対する、イオン注入角度を変化させることにより、例えば、ほぼ異方性の側壁を持つ、深い成形済みの開口部を形成することができる。

以降の手順において、マスク被覆基板は、シリコンを含む材料の層から除去され、その後、シリコンを含む材料の層が、エッチング・プロセスによりエッチングされる。このエッチング・プロセスにより、エッチング・プロセスが、イオンによりしきい値濃度までイオン注入されている、シリコンを含む材料の容積の一部をエッチングするより速い速度で、しきい値濃度までイオン注入されていない、シリコンを含む材料の容積の一部がエッチングされる。本明細書においては、このようなエッチング・プロセスを、イオン注入したシリコンを含む材料に対して選択的なエッチング・プロセスと呼ぶ。しきい値濃度の正確な数値は、特定のエッチング・プロセスおよびエッチング・プロセス・パラメータにより変化する。しかし、上記すべてのエッチング・プロセスの場合、しきい値濃度以上にイオン注入されたシリコンを含む材料は、イオン注入されたシリコンを含む材料に対して選択的なエッチングプロセスによっては、実質的に除去されないで、しきい値濃度以下の濃度にイオン注入されたシリコンを含む材料だけが、実質的に除去される。

イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスの一例としては、水酸化テトラメチル・アンモニウム (TMAH) による湿式エッチングがある。TMAH湿式エッチングは、通常、エッチング溶液として管理され、その中に半導体ウエハが浸漬される。好適には、上記エッチング溶液は、脱イオン水に約1:10重量パーセントのTMAHを含んでいることが好ましい。上記エッチング溶液が、脱イオン水に約2.5重量パーセントのTMAHを含んでいれば、さらに好適である。

TMAH湿式エッチングは、この方法が、しきい値濃度までイオン注入されている、シリコンを含む材料をエッチングする速度の、少なくとも二倍の速度で、しきい値濃度以下にイオンが注入されている、シリコンを含む材料をエッチングすることが分かっている。20倍および40倍の速いエッチング速度を容易に達成することができる。TMAHの濃度により、また他のイオン注入の選択により、また他のエッチング・プロセス・パラメータの選択により、60倍までのエッチング速度を達成することができる。

ポリシリコンに対してTMAH湿式エッチングを行う場合、好適には、少なくともポリシリコ 50

ンに対する注入イオンのしきい値濃度が、シリコンを含む材料の1立方センチあたり、約 1×10^{15} から 1×10^{22} の範囲になるようにイオンを注入することが好ましい。最も好適なのは、しきい値濃度が、シリコンを含む材料の1立方センチ当たり約 5×10^{18} から約 1×10^{19} である場合である。最も好適なのは、シリコンを含む材料の1立方センチ当たりのしきい値濃度が 1×10^{19} の場合である。

注入イオンとしては、ホウ素および燐のような普通のドーパンドが適しているが、さらに、他の普通のドーパント・イオン、および通常ドーパント・イオンは見なされないイオンでも、満足する結果が得られる。例えば、シリコンを含む材料の電気的特性を、電気的に活動させるか、または変化させるイオンでも、TMAH湿式エッチングにより使用することができる。このようなイオンの例としては、シリコンを・イオンおよびアルゴン・イオンがある。

イオンを注入したシリコンを含む材料に対して選択的なエッチング・プロセスを使用した場合には、イオンのしきい値濃度までイオン注入されていないポリシリコン層の選択した一部が、エッチングにより除去されて、成形済みの開口部が形成される。エッチングの実行時間のようなエッチング・プロセス・パラメータも、成形済みの開口部をさらに調整するためには変化させることができる。成形済みの開口部の使用の一実施形態の場合には、プログラマブル抵抗のオボニック・セルは、成形済みの開口部に、カルコゲニド材料を充填することにより形成される。

関連実施形態の場合には、その内部に成形済みの開口部を含むポリシリコンが、下に位置する層をパターン形成するために、ハードマスクとして使用される。それ故、例えば、窒化シリコンのような、シリコンを含む材料以外の材料の層が、最初にシリコンを含む材料の層の下に形成され、シリコンを含む材料に成形済みの開口部を形成するために、第一の方法が実行される。その後、窒化シリコンの層に成形済みの開口部を形成するために、成形済みの開口部を通して、窒化シリコンの層をエッチングするために、エッチング・プロセスが行われる。

それ故、簡単で効率的な成形済みの開口部を形成するための方法が供給される。この方法は、従来の写真製版プロセスで、形成することができるものよりも小さい、成形済みの開口部を形成するために使用される。結果として得られる成形済みの開口部の可能なプロファイルがより柔軟になるので、それにより形成することができる半導体装置のタイプが増大し、そのため、第一の方法で形成された集積回路の潜在的な機能が増大する。

本発明の第二の方法の場合、成形済みの構造体は、第一の方法のエッチング・プロセスとは反対に、しきい値濃度までイオンの注入を受けていない、シリコンを含む材料をエッチングするよりかなり速い速度で、しきい値濃度までイオン注入されている、シリコンを含む材料をエッチングする、あるエッチング・プロセスで半導体ウエハ上の、シリコンを含む材料の層から形成される。第二の方法は、最初に、半導体基板上に、ポリシリコン層のようなシリコンを含む材料の層を形成する。その後、シリコンを含む材料の層の上に、マスク被覆基板が設置される。マスク被覆基板は、シリコンを含む材料の層の少なくとも一部をカバーするように、またシリコンを含む材料の一部がマスクされないように設置される。

従って、イオンは、シリコンを含む材料の層のマスクされていない部分に注入される。イオンは、イオン注入を受けていないシリコンを含む材料に対して選択的なエッチング・プロセスに従って選択された、選択されたタイプのものである。ある実施形態の場合には、イオンは、燐またはホウ素イオンのようなドーパント・イオンを含む。第一の方法の場合のように、イオン注入作業は、しきい値濃度までイオン注入されている材料の層の一部のプロファイルを、それにより結果として得られる成形済みの構造体のプロファイルを調整するために選択したイオン注入パラメータに従って実行される。イオン注入作業は、第一の方法のところで説明した複数の各イオン注入ステージに対してイオン注入パラメータを変化させ、それに従って、複数のイオン注入ステージにより行うことができる。

イオン注入作業が終了した後で、シリコンを含む材料の層の、マスクされていない部分の高さを部分的に低くするために、シリコンを含む材料をほぼ異方性に従ってエッチングす

10

20

30

40

50

る、最初のエッティング・プロセスが行われる。

最初のエッティング・プロセスが行われると、しきい値濃度までイオン注入を受けていない、シリコンを含む材料の層の一部をエッティングするよりも、かなり速い速度でしきい値濃度までイオン注入されている、シリコンを含む材料の層の一部をエッティングするエッティング・プロセスにより、シリコンを含む材料がエッティングされる。本明細書においては、このようなエッティング・プロセスを、イオン注入を受けていないシリコンを含む材料に対して選択的なエッティング・プロセスと呼ぶ。しきい値濃度であるイオンの濃度は、使用するイオン注入を受けていないシリコンを含む材料に対して選択的な特定のエッティング・プロセスにより、また本明細書を読めば当業者なら容易に理解することができるような方法で、イオン注入パラメータおよびエッティング・パラメータを選択することにより決定される。

例示としてのある実施形態の場合には、イオン注入を受けていないシリコンを含む材料に対して選択的なエッティング・プロセスは、市販のフツ酸のような酸性のエッティング液を使用するが、硝酸のエッティング溶液を使用することもできる。また、KOHエッティング薬品を、ポリシリコン層のドーピング抑制剤と一緒に使用することができる。

イオン注入を受けていない材料に対して選択的なエッティング・プロセスを行うと、その結果、マスクされていて、そのためイオンしきい値濃度以下にイオンが注入されている、シリコンを含む材料の層の一部のところに、隆起した成形済みの構造体が形成される。半導体基板の面に対して直角以外の角度でイオン注入が行われる実施形態の場合には、成形済みの構造体は、シリコンを含む材料層のマスクした部分の大きさより小さくなる。

隆起した成形済みの構造体は、また下に位置する層をエッティングするための、仮設ハードマスクとして使用することができる。隆起した成形済みの構造体を、仮設ハードマスクとして使用する場合には、材料の層の蒸着を行う前に下の層が形成される。隆起した成形済みの構造体は、その後、上記の方法で形成され、下の層をエッティングするとき、ハードマスクとしての働きをする。下の層は、通常、乾式エッティングのようなエッティング・プロセスで、異方性に従ってエッティングされる。隆起した成形済みの構造体は、下の層のエッティングを行った後で除去され、下の層の一部はほぼ同じ位置に残るが、その場合、大きさは隆起した成形済みの構造体の大きさとほぼ同じである。ここでもまた、これらの大きさは、従来の写真製版で形成できるものより小さい。

本発明の第三の方法は、相互接続構造体を形成するために使用される。第三の方法の場合、能動領域のような電荷伝導領域が、最初に半導体基板上に形成される。ある実施形態の場合にはポリシリコン層である、シリコンを含む材料の層が、その後、電荷伝導領域上に形成される。その後、シリコンを含む材料の層は、能動領域上に位置する、シリコンを含む材料の層の、マスクされていない部分を、そのまま残すためにパターン形成されるマスク被覆基板によりマスクされる。

マスク被覆基板が設置された後で、イオンが、シリコンを含む材料の層のマスクされていない部分に注入される。すでに説明したとおり、これらのイオンは、イオン注入を受けていないシリコンを含む材料に対して選択的なエッティング・プロセスに従って選択される。イオン注入プロセス・パラメータは、結果として得られる相互接続構造体の形を決めるために、変化させることができる。また、イオン注入作業を、すでに説明したとおり、複数のイオン注入ステージに分けて行うことができる。

イオン注入作業が終了した後で、マスク被覆基板は除去され、シリコンを含む材料の層が、イオン注入を受けていないシリコンを含む材料に対して選択的なエッティング・プロセスによりエッティングされる。その結果、マスク被覆基板の下の、シリコンを含む材料の層の一部が除去され、マスクされていて、そのためイオン注入を受けていない能動領域の上に位置する、シリコンを含む材料の層の一部が残り、能動領域に電気的に接続している相互接続構造体を形成する。

本発明の方法により、相互接続構造体が、上記の従来の方法により作られた相互接続構造体より、簡単で効率的な方法で作られる。従って、集積回路製造処理能力が増大し、集積回路製造コストが安くなる。すでに説明したとおり、乾式エッティング・プロセスを使用す

10

20

30

40

50

る必要もないし、それに関連する問題も解決する。

本発明の第四の方法は、積層型コンデンサの電荷貯蔵ノードを形成するために使用される。第四の方法の場合、最初に、電荷伝導領域が、半導体基板の上に形成され、その上に積層型コンデンサの電荷貯蔵ノードが形成される。ある実施形態の場合には、電荷伝導領域は、半導体ウエハのシリコン基板に形成された能動領域を含む。能動領域が形成されると、その後で、シリコンを含む材料の層が能動領域上に形成される。これから説明しようとする実施形態の場合には、シリコンを含む材料の層はポリシリコン層を含む。

ポリシリコンの層は、マスク被覆基板によりマスクされ、上記マスク被覆基板は、能動領域上に位置するポリシリコン層の一部を、マスクされていない状態のままに維持するために、パターン形成される。マスク被覆基板は、二つの縁部を持つアイランドの形をした部分により形成されるが、上記二つの縁部は、それぞれ、能動領域の上の一方の側面に位置する。

マスク被覆基板が設置され、パターン形成された後で、シリコンを含む材料のスペーサが、ポリシリコン層上に形成されるが、一方はマスク被覆基板の二つの各縁部に隣接する。スペーサは、従来のスペーサ形成プロセスにより形成され、その形および高さは、形成される積層型コンデンサの電荷貯蔵ノードに従って選択される。

その後で、第一の方法のところで説明した方法とほぼ同じ方法で、ポリシリコンの層のマスクされていない部分に、イオンが注入される。また、上記の複数のステージにより、イオン注入作業を行うことができる。

イオン注入作業が終了した後で、マスク被覆基板は除去され、ポリシリコン層が、第一の方法のところで説明した方法で、イオン注入が行われたシリコンを含む材料に対して選択的なエッチング・プロセスによりエッチングされる。イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスにより、マスク被覆基板の下に位置するポリシリコン層の一部が除去され、マスクされていない能動領域の上に位置するポリシリコン層の一部はそのまま残る。スペーサも残る、そこから上に延びて、積層型コンデンサの電荷貯蔵ノードを形成する。

第四の方法の他の実施形態の場合には、積層型コンデンサの電荷貯蔵ノードと同時に、相互接続構造体が形成される。この手順は、相互接続構造体が形成される場所において、相互接続構造体が位置するポリシリコン層の一部の上に、スペーサが形成されないという点を除けば、積層型コンデンサの電荷貯蔵ノードだけが形成される、第一の実施形態の手順とほぼ同じである。結果として得られる相互接続構造体を形成するために、イオン注入プロセスのパラメータを変更することができる。

第四の方法は、内蔵電荷貯蔵ノードおよびコンデンサ・ベースと一緒に、積層型コンデンサの電荷貯蔵ノードを形成する。積層型コンデンサの電荷貯蔵ノードは、コンデンサ・ベースと一緒に形成することができ、それにより、個々の相互接続構造体の形成ステップを行う必要がなくなる。従って、マスク処理ステップおよびエッチング・ステップの数が少くなり、それにより、処理能力が増大し、コストが下がり、集積回路製造プロセス中にエラーが起らなくなる。第四の方法は、また積層型コンデンサの電荷貯蔵ノード形成プロセスを、より柔軟なものにする。何故なら、積層型コンデンサの電荷貯蔵ノードの形成と同時に、能動領域上にシリコン・プラグを形成することができるからである。

本発明の第五の方法は、MOSプロセスの流れの中で、相互接続構造体を形成するのに使用される。第五の方法の場合、トランジスタ・ゲート領域を形成するところまでは、従来のCMOS集積回路の形成プロセスと同じである。この形成プロセス中、シリコン基板が、PMOS部分およびNMOS部分と一緒に形成される。少なくとも一つのゲート領域が、PMOS部分およびNMOS部分それぞれの上に形成される。絶縁スペーサも、NMOS部分のゲート領域の周囲に形成される。その後で、PMOS部分が、第一のマスク被覆基板によりマスクされる。

その後で、その内部に少なくとも一つの能動領域を形成するために、適当なタイプのドーパント・イオンが、NMOS部分に注入される。その後で、PMOS部分から第一のマスク被覆基板が除去され、シリコンを含む材料の層が、PMOS部分およびNMOS部分上に蒸着される。上記実施形態の場合には、シリコンを含む材料の層はポリシリコン層である。

10

20

30

40

50

蒸着が行われると、ポリシリコン層が、第二のマスク被覆基板によりマスクされる。第二のマスク被覆基板は、NMOS部分の選択した能動領域の上に位置する、ポリシリコン層の一部をマスクされていない状態に維持するために、パターン形成される。

その後で、ポリシリコン層のマスクされていない部分にイオンが注入される。このプロセス中、第二のマスク被覆基板が、このマスク被覆基板の下に位置するポリシリコン層の一部にイオンが実質的に衝突し、注入されるのを防止する。イオン注入作業は、上記の第一の方法とほぼ同じ方法で行われる。その後、第二のマスク被覆基板が除去され、ポリシリコン層が、イオン注入を受けたシリコンを含む材料に対して選択的な、エッチング・プロセスによりエッチングされ、それにより、マスク被覆基板の下に位置するポリシリコン層の一部が除去される。NMOS部分の選択した能動領域の上の、ポリシリコン層のマスクされていない部分が残り、ポリシリコンの相互接続構造体を形成する。10

上記第一の方法のところで説明した方法により、イオン注入およびエッチング・プロセス・パラメータを適当に選択することができる。ここでもまた、シリコン基板に対して直角以外の角度でイオン注入作業を行うことができ、また複数のステージにより行うことができる。マスク被覆基板のタイプも変化させることができ、結果として得られる相互接続構造体の形をさらに調整するために、熱処理により、注入したイオンを自由に拡散させることができる。

相互接続構造体が形成されると、NMOS部分がマスク被覆基板によりカバーされ、その内部に少なくとも一つの能動領域を形成するために、PMOS部分にイオンが注入される。

それ故、第五の方法の場合、CMOSプロセス中に、相互接続構造体が形成され、そのため従来技術の方法の際には必要であった、いくつかのステップを実行しなくてすむ。また、イオン注入プロセスまたはエッチング・プロセスによる相互汚染を起こさないで、NMOS領域およびPMOS領域のソース／ドレイン領域がドーピングされる。マスク処理作業およびエッチング作業の回数が、従来のCMOSプロセスよりも少なくなり、そのため、集積回路製造プロセスの処理能力が増大し、最終的には、それにより形成される集積回路のコストが下がる。第五の方法も、簡単で効率的なものであり、接点エッチングおよびコンデンサの形成を効率的に行う。20

本発明の第六の方法は、自立壁部を形成するために使用される。自立壁部は、積層型コンデンサの電荷貯蔵ノードを形成する際に使用するのに適している。第六の方法の場合、この実施形態の場合にはポリシリコン層である、シリコンを含む材料の層が、最初、半導体基板の上に蒸着される。ポリシリコン層は、好適には、真性ポリシリコンから形成することが好ましい。30

ポリシリコン層が形成された後で、マスク被覆基板が、ポリシリコン層の上に置かれ、マスク・アイランドを形成するためにパターン形成される。その後、ポリシリコン層の露出した部分を異方性に従って除去するために、乾式エッチング・プロセスが使用される。乾式エッチング・プロセスは、マスク被覆基板のアイランドの表面の、大きさに対応する表面の大きさを持つポリシリコン層から、ポリシリコン・ブロックを形成する。

乾式エッチング・プロセスが終了した後で、ポリシリコン・ブロックの一つまたはそれ以上の横方向に延びる表面に、マスク被覆基板を、正しい位置に置いたままの状態でイオンが注入されている。イオン注入作業の後で、マスク被覆基板が除去され、イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスが行われる。ポリシリコン・ブロックの形、およびイオンが注入されるポリシリコン・ブロックの、横方向に伸びる面の大きさにより、種々の異なる形の自立壁部を形成することができる。適当な形のポリシリコン・ブロックを形成することにより、例えば、薄く、横方向に延びるポリシリコンのコラムを形成することができるが、このコラムの一組は、コンテナ・コンデンサを形成するのに適している。比較的細いコラムを特徴とする細いポストも形成することができる。40

ポリシリコン・ブロックの周囲全体にイオン注入が行われた場合には、連続して延びる自立壁部が形成される。ポリシリコン・ブロックが円形である場合には、環状の自立壁部が形成される。結果として得られる自立壁部の厚さは、注入されライオンの注入角度および50

注入エネルギーにより決まる。従って、自立壁部は、写真製版の解像度より優れた解像度を持つことができる。

第六の方法の自立壁部は、従来の写真製版およびエネルギー法では不可能であった、高いアスペクト比で形成することができる。種々の形の自立壁部を形成することができるので、集積回路形成プロセスがさらに柔軟になる。さらに、最も少ない処理作業で、自立壁部が効率的に形成されるので、集積回路製造プロセスの処理能力を高く、またコストを低く維持することができる。

本発明の第七の方法は、第六の方法に類似していて、積層型コンデンサの電荷貯蔵ノードを形成するのに適している、自立壁部を形成するのに使用することができる。第七の方法の場合も、第六の方法と同じように、最初に、ポリシリコン層の蒸着が行われ、その後で、ポリシリコン層上にマスク被覆基板が置かれ、パターン形成が行われる。マスク被覆基板は第七の方法の場合も同じものであるが、ポリシリコン層に対応するパターン形成された開口部を形成するために、マスク被覆基板は開口部と一緒にパターン形成される。マスク被覆基板を正しい位置に設置した状態で、ポリシリコン層の開口部の横方向に延びる表面に、イオンを注入するために方向性イオン注入が行われる。イオン注入作業は、第一の方法のところで説明した方法とほぼ同じ方法で行われ、ポリシリコン層の開口部の横方向に延びる面にイオンを注入するために、半導体基板の面に対して直角以外の注入角度で行われる。その後で、マスク被覆基板が除去され、第一の方法のところで説明した方法とほぼ同じ方法で、イオン注入を受けたシリコンを含む材料に対して選択的な、エッチング・プロセスが行われる。

マスク被覆基板の開口部の形、およびポリシリコン層の成形済みの開口部の、横方向に延びる面へのイオン注入の程度により、種々の構成の自立壁部を形成することができる。例えば、マスク被覆基板の開口部を円形に形成し、ポリシリコン層の開口部の横方向に延びる面全体にイオンを注入することにより、積層型コンデンサの電荷貯蔵ノード、またはサラウンド・ゲート・トランジスタ領域を形成するのに適している、環状自立壁部を形成することができる。それ故、第七の方法の自立壁部は、第六の方法の利点に類似の利点を持ち、集積回路製造プロセスをさらに柔軟なものにする。

本発明の第八の方法は、サラウンド・ゲートMOSトランジスタを、形成するのに使用される。第八の方法の場合には、最初に、好適には、第六のまたは第七の方法のところで説明した方法で、自立壁部を形成することが好ましい。好適には、自立壁部は、連続していて、その内部にチャンバを形成し、長方形または六角形を含む任意の適当な形にすることができる。好適な形は環状である。自立壁部は、ゲート酸化層上の半導体基板上に形成され、その後で、連続している絶縁スペースが自立壁部のどちらかの側面上に形成される。ドーパントが、自立壁部の内部および自立壁部の外部の周囲のところの、シリコン基板に注入される。ドーパントとしては、形成中のトランジスタが、Nチャネル・トランジスタか、またはPチャネル・トランジスタかにより、Nタイプのドーパント、またはPタイプのドーパントが選ばれる。自立壁部領域のイオン注入を受けた内部および外部は、サラウンド・ゲート・トランジスタのソース/ドレイン領域を形成する。

これにより、サラウンド・ゲート・トランジスタが形成されるが、この場合、ゲート領域は、自立壁部から形成され、ソース/ドレイン領域は、ゲート領域の内部に形成され、もう一つのソース/ドレイン領域は、ゲート領域の外部に形成され、ゲート領域を囲む。MOSトランジスタのチャネルは、ゲート領域の下を延びていて、自立壁部の厚さにより決まる短いチャネルを持つ。自立壁部の厚さは、従来の写真製版の解像度のレベルに依存しないので、MOSトランジスタ・チャネルを、対応して非常に短くすることができる。好適には、チャネルの長さは、約0.25ミクロン以下であることが好ましい。

DRAMメモリ・セルも、第八の方法により形成することができる。この形成プロセス中、サラウンド・ゲート・トランジスタが、上記のように形成され、語線がサラウンド・ゲート・トランジスタのゲートに接続される。その後、もっと下の絶縁層がサラウンド・ゲート・トランジスタ上に形成される。相互接続構造体の開口部は、サラウンド・ゲート・トランジスタのソース/ドレイン領域まで、もっと下の絶縁層を貫通して開いている。相互接

10

20

30

40

50

続構造体の開口部は、導電性材料により充填され、接点が形成される。第一の接点は、ゲート領域の内部のソース／ドレイン領域まで延びていて、第二の接点は、ゲート領域の外部のソース／ドレイン領域まで延びる。

DRAMメモリ・セルを形成する他の手順の場合には、電荷貯蔵ノードは、もっと下の絶縁層上に形成され、ゲート領域の内部のソース／ドレイン領域まで延びる接点と接続する。誘電層は、電荷貯蔵ノードの上に形成され、上部コンデンサ・プレートは、誘電層の上に形成される。その後で、上部絶縁層がコンデンサ上に形成され、デジット線が、ゲート領域の外部のソース／ドレイン領域まで延びる接点に接続している、その頂部のところに形成される。

MOSサラウンド・ゲート・トランジスタは、半導体基板上の最少のスペースしか占有しないで、従来技術のサラウンド・ゲート・トランジスタより、簡単で効率的で形成される。MOSサラウンド・ゲート・トランジスタは、約0.2ミクロン以下の長さでもよい、短いMOSトランジスタ・チャネルと、一緒に形成することができる。MOSサラウンド・ゲート・トランジスタは、DRAMメモリ・セルに容易に内蔵させることができる。上記DRAMメモリ・セルは、MOSサラウンド・ゲート・トランジスタと同様に、半導体基板上の最少の表面積しか占有しない。DRAMメモリ・セルは、またMOSサラウンド・ゲート・トランジスタの中心上に、コンデンサが位置しているので、少量の漏洩を起こす。

本発明の第九の方法は、積層型コンデンサの電荷貯蔵ノードとして使用するのに適している、円錐形の自立壁部を形成するのに使用される。第九の方法の場合には、この実施形態の場合にはポリシリコン層である、シリコンを含む材料の層が、最初、半導体基板の上に蒸着される。この実施形態の場合には、半導体基板は、その上に形成された能動領域の側面に、同様にその上に形成されたゲート領域を持つシリコン基板である。ポリシリコン層は、好適には、真性にドーピングされたポリシリコンから形成することが好ましい。ポリシリコン層の蒸着が行われた後で、絶縁層がポリシリコン層の上に形成される。

絶縁層が形成されると、マスク被覆基板が絶縁層上に蒸着され、パターン形成される。マスク被覆基板は、円錐形の積層型コンデンサの電荷貯蔵ノードが形成される位置の、開口部によりパターン形成される。その後で、傾斜面になるように、ポリシリコン層の露出した領域をエッチングするために、乾式エッチング・プロセスTが使用される。それにより、円錐形の開口部が、シリコン基板の能動領域の方向にテープ状に延びている、ポリシリコン層に形成される。乾式エッチング・プロセスが終了してから、マスク被覆基板が除去され、第二のポリシリコン層が第一のポリシリコン層の上に蒸着され、第二のポリシリコン層が第一のポリシリコン層および絶縁層上に蒸着される。その後で、その内部のイオン注入を受けた領域を形成するために、第一の方法のところで説明した方法で、第二のポリシリコン層にイオンが注入される。

その後で、平面化プロセスにより、第二のポリシリコン層の一番上の部分、および絶縁層が除去される。平面化プロセスの後で、イオン注入を受けたシリコンを含む材料の層に対して選択的な上記エッチング・プロセスが行われる。第一の方法のところで説明した方法とほぼ同じ方法で、高いアスペクト比と、下に位置する能動領域に対して小さな接触面を持つ自立壁部が形成され、それによりシリコン基板上の最少のスペースを占有する。

第九の方法は、従来技術の積層型コンデンサの、電荷貯蔵ノードの形成プロセスと比較すると、マスク処理作業および材料蒸着作業を行う必要がなく、それにより集積回路製造プロセスの処理能力が増大するので有利である。そのため、集積回路製造プロセスが簡単になり、歩留まりが改善され、コストが下がる。第九の方法は、また比較的大きな整合プロセス・ウインドウを持ち、さらに歩留まりが改善し、製造中の集積回路の大きさを容易にさらに小さくすることができる。

本発明の第10の方法は、相互接続構造体を形成するために、第二の方法のイオン注入を受けていないシリコンを含む材料のに対して選択的な、エッチング・プロセスを使用する。この実施形態の場合、シリコン導電材料の層は、ポリシリコン層を含む。このポリシリコン層は、好適には、真性のポリシリコンから作ることが好ましい。第10の方法の場合、最初に、半導体基板上に能動領域およびゲート構造体が形成される。その後で、軽度にド-

10

20

30

40

50

ピングされたポリシリコン層、または全然ドーピングされていないポリシリコン層が、ゲート構造体上に形成される。

ポリシリコン層が形成されると、ポリシリコン・プラグに電気的に接続される、導電性領域上に位置するポリシリコン層の一部をカバーするために、マスク被覆基板がポリシリコン層上に置かれ、パターン形成される。この実施形態の場合には、導電性領域は能動領域である。除去されるポリシリコン層の一部が、露出した状態に維持される。マスク被覆基板のパターン形成が行われた後で、マスク被覆基板の開口部を通して、異方性エッチング・プロセスが行われる。異方性エッチング・プロセスは、マスク被覆基板によりカバーされている、ポリシリコンの一部の高さを一部低くする。その後で、ポリシリコン層の露出した部分は、そのもとの高さより低くなる。

その後で、第二の方法のところで説明した方法とほぼ同じ方法で、イオン注入作業が行われる。このイオン注入作業により注入されるイオンのタイプとしては、砒素イオンがある。上記第二の方法のところで説明したように、イオン注入の後で、イオン注入を受けていないシリコンを含む材料に対して選択的なエッチング・プロセスが行われる。ここでもまた、イオン注入が行われる、ポリシリコン層の一部のプロファイルを調整するために、選択的エッチング・プロセスおよびイオン注入作業のパラメータを、適当に選択することができる。それにより、従来技術の上記方法より効率的で、合理化された方法で形成されるポリシリコン・プラグのような、相互接続構造体が形成される。

本発明の第11の方法の場合、相互接続構造体を形成するために、第一の方法のイオン注入を受けたシリコンを含む材料の層に対して選択的なエッチング・プロセス、および高さを低くする作業が行われる。第11の方法の場合には、複数の隆起した絶縁面が、最初に、半導体基板上に形成される。この実施形態の場合、隆起した絶縁面は、複数のゲート領域を含む。好適には、窒化シリコンのキャップは、複数のゲート領域の頂部に形成することが好ましい。好適には、少なくとも一つの電荷導電領域を、ゲート領域とその底部との間に形成することが好ましい。その後で、ポリシリコン層が、能動領域上およびゲート領域の間に位置する介在開放領域を充填するゲート領域の上に形成される。

第11の方法の以降の手順の場合、ポリシリコン層の高さは、好適には、平面化プロセスにより、ゲート領域の頂部の高さまで低くすることが好ましい。より好適なには、平面化プロセスが、ゲート領域上に形成された窒化シリコンのキャップの上で停止する、化学機械平面化プロセス(CMP)を含むことが好ましい。

以降の手順においては、マスク被覆基板が、ポリシリコン層およびゲート領域上に設置され、その上に相互接続構造体が形成される、能動領域を覆うポリシリコン層の一部上の開口部で、パターン形成される。マスク被覆基板内の開口部も、ゲート領域の頂部と少し重畳している。それにより、上記開口部は、マスク被覆基板の整合が少しずれても欠陥とはならない状態に自己整合する。

第一の方法のところで説明したように、イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスに従って選択したタイプのイオンが、能動領域を覆うポリシリコン層の選択した部分に注入される。窒化シリコンのスペーサが、ゲート領域内へイオンが注入されるのを防止し、また自己整合を助ける。

その後で、マスク被覆基板が除去され、イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスが、第一の方法のところで説明した方法とほぼ同じ方法で行われる。イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスにより、イオン注入を受けた能動領域を覆う選択した部分を除いて、ポリシリコン層が除去される。エッチングにより除去されない残りの選択した部分が、相互接続構造体を形成する。上記実施形態の場合には、相互接続構造体は、能動領域からゲート領域の頂部のところまで延びるポリシリコン・プラグである。

第11の方法は、従来技術のBPSGの蒸着ステップ、逆流ステップおよびエッチング・ステップ、ポリシリコン・プラグ形成プロセスを除去することにより、相互接続構造体の形成プロセスを簡単にしている。この合理化したプロセスにより、集積回路製造プロセスの処理能力が向上し、コストが安くなる。従来技術の乾式エッチング・プロセス、および高いア

スペクト比の相互接続構造体の、開口部の形成に関連する問題も回避することができる。本発明の第12の方法は、仮設相互接続構造体を形成するために、本発明のイオン注入を受けたシリコンを含む材料に対して選択的なエッティング・プロセス、および窒化シリコン上で停止する平面化プロセスを使用する。さらに、第12の方法は、さらに、もっと深い相互接続構造体の開口部を形成するために、後で自己整合した相互接続構造体を除去する。

第12の方法の場合、最初に、好適には、第11の方法のところで説明した方法で、仮設相互接続構造体が形成され、もっと深い相互接続構造体の開口部を形成するために、除去することができる「ダミー」として使用される。第12の方法の場合、半導体基板面上に薄い絶縁層が形成される。もっと深い相互接続構造体の開口部を通して、電気的接触を行う電荷導電領域が、複数の隆起絶縁面の中央の薄い絶縁層の下に位置する。それ故、介在開放領域が、複数の隆起絶縁面の間の電荷導電領域の上に形成される。

その後で、仮設相互接続構造体が、電荷導電領域から隆起絶縁面の頂部へ延びる介在開放領域内に形成される。仮設相互接続構造体は、好適には、第11の方法のところで説明した方法で形成されるのが好ましい。仮設相互接続構造体が形成されると、絶縁材のプランケット層が、相互接続構造体上に形成される。

以下に説明するある実施形態の場合には、半導体基板はシリコン基板であり、電荷導電領域はソース／ドレイン領域であり、仮設相互接続構造体はポリシリコン・プラグであり、隆起絶縁面はゲート領域である。ゲート領域は、好適には、その頂部に窒化シリコンのキャップを備えることが好ましい。ソース／ドレイン領域上にポリシリコン・プラグが形成されると、絶縁材のプランケット層が、ポリシリコン・プラグの上を、ある距離離れて延びるポリシリコン・プラグ上に形成される。

その後で、相互接続構造体の開口部が、ポリシリコン・プラグの頂部まで延びる絶縁材のプランケット層を貫通して形成される。この開口部を形成する一つの方法の場合、マスク被覆基板が設置され、またパターン形成され、ポリシリコンに対して選択的な絶縁材のプランケット層の材料をエッティングする、エッティング・プロセスが実行される。自己整合によりポリシリコン・プラグを形成するために、好適には、エッティング・プロセスが、ゲート領域の頂部のところの窒化シリコンに対して選択的であることが好ましい。相互接続構造体の開口部は、ゲート領域の頂部のところの窒化シリコンのキャップが、エッティング・プロセスがゲート領域にまで及ぶのを防止するように、ポリシリコン・プラグの幅より広く形成することができる。従って、相互接続構造体の開口部の整合のズレを考慮して、ゲート構造体のほぼ半分の公差が見込まれる。

その後で、下に位置するソース／ドレイン領域を露出させるために、ポリシリコン・プラグが除去される。好適には、ポリシリコンを選択的にエッティングし、絶縁材の層またはゲート領域のキャップの材料を、エッティングしないエッティング・プロセスにより、ポリシリコン・プラグを除去することが好ましい。エッティング・プロセスはまた、好適には、薄い絶縁層がエッティング・バリアとして機能することができ、下に位置するソース／ドレイン領域を過度にエッティングしないように、薄い絶縁層の材料に対して選択的なものであることが好ましい。上記エッティング・プロセスのあるものは、TMAH湿式エッティングを含むエッティング液を使用する。TMAH湿式エッティング液は、絶縁材のプランケット層およびゲート領域の頂部のところの、窒化シリコン・キャップに対して選択的にポリシリコン・プラグを除去する。

ポリシリコン・プラグが除去されると、もっと深い自己整合相互接続構造体の開口部が、ポリシリコン・プラグの位置に形成され、ソース／ドレイン領域から絶縁材のプランケット層の頂部に延びる。ある実施形態の場合には、アルミニウムの接点を形成するために、もっと深い相互接続構造体の開口部は、アルミニウムにより充填される。もっと深い相互接続構造体は、積層型コンデンサを形成する際には特に役に立つ。その場合には、積層型コンデンサのベースを、積層型コンデンサの電荷貯蔵ノードと、一体にすることが好ましい。積層型コンデンサを電荷貯蔵ノードと一体に形成した場合、従来技術のポリシリコン・プラグが一体になつてない積層型コンデンサのと比較すると、セルの静電容量が大きくなる。

10

20

30

40

50

本発明の第13の方法は、大きな表面積を持つ積層型コンデンサの、電荷貯蔵ノードを形成するために、第一の方法のイオン注入を受けた、シリコンを含む材料に対して選択的な、エッチング・プロセスを使用する。第13の方法の場合、最初に、平面化された下部絶縁層を貫通して、半導体基板上の電荷導電領域に延びる、相互接続構造体が形成される。相互接続構造体は、好適には、第11の方法のところで説明した方法で形成することが好ましい。その場合、半導体ウエハのシリコン基板上の一組のゲート領域の間の、能動領域まで延びるポリシリコン・プラグが形成される。

ポリシリコン・プラグが形成されると、上部絶縁層が、ポリシリコン・プラグおよびゲート領域上に蒸着される。その後で、上部絶縁層が平面化され、開口部が、ゲート領域の頂部上に位置する窒化シリコンのスペーサの頂部まで延びる、上部絶縁層に形成される。上記開口部は、窒化シリコンのスペーサに重畠し、開口部はゲート領域の間に位置するポリシリコン・プラグと自己整合することができる。上記開口部は、またポリシリコン・プラグの頂部を露出する。開口部は、好適には、円形であって、水平な底部と垂直な側面とを持つことが好ましい。

開口部が形成された後、下部のシリコンを含む層が、下部のシリコンを含む層をエッティングする、エッチング・プロセスを遅くする不純物で真性にドーピングされる。その場合、エッチングは、第一の方法のところで説明した、イオン注入を受けたシリコンを含む材料に対して選択的なものである。その後で、軽度にドーピングされた、または全然ドーピングされていない、中間のシリコンを含む層が下部のポリシリコン層上に形成される。その後で、上部のシリコンを含む層は、下部の絶縁層のドーピングと類似の方法でドーピングされる。下部、中間および上部の各シリコン層は、好適には、水平方向に延びる底部と、底部の縁部から上に延びる垂直方向の側面を持つことが好ましい。下部、中間および上部の各シリコンを含む層は、好適には、ポリシリコンを含むことが好ましい。

その後で、中間のシリコンを含む層の底部にイオンが注入される。このイオンの注入中に、悪影響を与えないで、下部および上部のシリコンを含む層に、イオンを注入することができる。イオン注入作業の際に使用するイオンは、好適には、基板の面に対して直角の注入角度で、選択した注入エネルギーの範囲で注入することが好ましい。選択した注入エネルギーの範囲は、開口部の面上を延びる下部側面および上部側面が、注入したイオンの中間のシリコンを含む層の側面に、注入するのを阻止するように選択される。上部シリコンを含む層の側面も、注入したイオンの上部ポリシリコン層の、側面の下に位置する中間のシリコンを含む層の底面の外縁部へのイオン注入を阻止する。従って、中間のシリコンを含む層の底部の中央部だけにイオンが注入される。

上部絶縁層の頂部上に形成された、下部、中間および上部の各シリコンを含む層の一部は、その後、平面化プロセスのような高さを低くするプロセスにより除去される。別的方法としては、イオン注入により影響を受けた中間層をさらに除去するために、過度の研磨を行うことができる。その後で、中間のポリシリコン層の、比較的イオン注入を受けていない部分を除去するために、イオン注入を受けたシリコンを含む材料に対して選択的な、エッチング・プロセスが行われる。イオン注入を受けていない、中間のシリコンを含む層の底部の中央部分は残り、一方、イオン注入を受けていない中間のシリコンを含む層の底部および側壁部の外側の縁部がエッチングにより除去される。それ故、下部および上部のポリシリコン層の側壁部全体および底部の一部は露出され、電荷貯蔵ノードの表面積が増大する。それにより、大きな表面積を持つ成形済みの構造体が形成され、積層型コンデンサの電荷貯蔵ノードとして非常に適したものになる。積層型コンデンサが完全に形成された場合、薄い誘電層が、電荷貯蔵ノード上に形成され、セル・プレートが、薄い誘電層上に形成される。

電荷貯蔵ノードが、簡単な湿式エッチング液による一回のエッチング・プロセスだけで、合理化された効率的な方法で形成される。電荷貯蔵ノードは、大きな表面積を持つが、半導体基板上において最も小さいスペースしか占有しない。

本発明の第14の方法は、第一の方法のイオン注入を受けた、シリコンを含む材料に対して選択的なエッチング・プロセスを使用し、イオン注入作業の、一組のイオン注入パラメー

10

20

30

40

50

タの選択により決定した厚さを持つ、自立壁部を含む積層型コンデンサの電荷貯蔵ノードを形成する。積層型コンデンサの電荷貯蔵ノードも形成されるが、その際表面積を増大するために、表面がざらざらに処理される。第14の方法の場合には、最初に、積層型コンデンサの電荷貯蔵ノードが接続される、半導体基板および電荷導電領域が形成される。ある実施形態の場合には、半導体基板は、半導体ウエハのシリコン基板を含み、電荷導電領域は、能動領域上に位置する能動領域を含む。好適には、一組のゲート領域を、能動領域の両側に一つずつ、シリコン基板上に形成することが好ましい。その後で、絶縁材の層が、電荷貯蔵ノードのゲート領域上で必要な高さに対応する深さで、ゲート領域および能動領域上に形成される。

上記絶縁材料の層が形成されると、その後で、絶縁層が平面化され、電荷導電領域まで延びる開口部が絶縁層に形成される。開口部は、好適には、第13の方法で、一組のゲート領域に自己整合することが好ましい。

その後で、ポリシリコン層が開口部に形成される。ポリシリコン層は、好適には、プランケット層であり、開口部を部分的に充填するだけの厚さに蒸着することが好ましい。ポリシリコン層の厚さは、形成される積層型コンデンサの電荷貯蔵ノードの側壁部の厚さ、およびイオン注入を受けたシリコンを含む材料の層に対して選択的なエッチング・プロセスに従って選択される。

その後で、第一の方法のところで説明した上記方法で、イオン注入プロセスが行われる。イオンは、ポリシリコン層の外側の部分に注入されるが、内側には注入されない。このような注入を行うために、イオンは、好適には、半導体ウエハの面に対して直角以外の角度で、注入することが好ましい。イオンは、またポリシリコン層を、必要な深さに注入するための、注入角度に従って選択した注入エネルギーで注入される。上記の必要な深さは、ポリシリコン層から形成される積層型コンデンサの電荷貯蔵ノードの、結果として得られる自立壁部の厚さに対応する。イオンは、第一の方法のところで説明したように、イオン注入を受けた部分の形を調整するために、各ステージ毎にイオン注入パラメータを変化させて、いくつかのステージに分けて注入することができる。

その後、開口部の残りの部分は、高さ低減プロセスを行うために、ホトレジストまたは他の適当な材料で充填される。ホトレジストまたは他の適当な材料は、開口部のポリシリコンが、高さ低減プロセスにより汚染されるのを防止する。その後で、絶縁層の頂部上を延びるポリシリコン層の一部を除去するために、高さ低減プロセスが実行される。高さ低減プロセスは、好適には、平面化プロセスであることが好ましく、さらに好適なのは、CMPプロセスを使用することである。

積層型コンデンサの電荷貯蔵ノードの表面積を増大するために、第14の方法は、このステージまたはこの後のステージで、ポリシリコン層を粗面にする。そうするためには、好適には、半球形または円筒形の粒子状のポリシリコンを、開口部のポリシリコン層上に化学蒸着法(CVD)により蒸着するのが好ましい。

もう一つの手順の場合、イオン注入を受けたシリコンを含む材料の層に対して選択的なエッチング・プロセスが実行され、ポリシリコン層のイオン注入を受けていない内部が除去される。ポリシリコン層の、イオン注入を受けた外側の部分は正しい位置に残り、開口部の底部を除いて、開口部に物理的に接触しない状態で、開口部の周囲に自立壁部を形成する。この場合、自立壁部はゲート領域に接触することができ、下に位置する電荷導電領域と電気的に連絡している。好適には、開口部は円形であり、そのため自立壁部が環状になっていることが好ましい。

第14の方法において、前のステージで、自立壁部の内部が粗面に処理されていなかった場合には、この時点で、粗面にすることができる。ポリシリコン層の内面および外側の両方とも露出しているので、半球形または円筒形の粒子状のポリシリコンが、自立壁部の内面および外側の両方の上に形成される。前のステージにおいて、自立壁部面の面が粗面になっている場合には、内面だけが粗面に処理される。従って、これ以前のステージで粗面を形成するより、後のこのステージで粗面を形成するほうが望ましい。

積層型コンデンサの電荷貯蔵ノードが形成されると、積層型コンデンサを完成するために 50

、続いて一連の従来のプロセスが行われる。簡単に説明すると、積層型コンデンサを完成するプロセスは、電荷貯蔵ノード上での誘電層の形成、および誘電層上でのポリシリコンまたは他の電荷導電材料の層の形成を含む。

第14の方法は、それにより形成された積層型コンデンサが、より大きな表面積を持っている上に、半導体ウエハのシリコン基板上において、最少のスペースしか必要としないという利点を持つ。この方法は、簡単であり、集積回路製造プロセスの処理能力を高め、コストが安くなるような方法で実行することができる。

本発明の第15の方法は、成形済みのポリシリコンの構造体を形成するために、異なる範囲の深さ、または異なるパターンで複数回イオンを注入するとともに、第一の方法のイオン注入を受けたシリコンを含む材料の層に対して選択的なエッティング・プロセスを使用する。第15の方法の基本的な実施形態を修正した方法により形成した、いくつかの代表的な成形済みの構造体の形成方法について以下に説明する。

第15の方法の基本的な実施形態の場合には、最初に、ある量のシリコンを含む材料が供給される。この実施形態の場合には、ある量のシリコンを含む材料はシリコン層を含む。シリコン層が形成されると、イオンがポリシリコン層の第一の選択した領域に、第一の範囲の深さまで注入される。その後で、ポリシリコン層の第二の選択した領域に、第二の範囲の深さまでイオンが注入される。第二の範囲の深さへのイオン注入は、好適には、低い注入エネルギーで行い、ポリシリコン層に第一の範囲の深さより浅い深さに、注入することが好ましい。イオン注入を行った後で、イオン注入を受けていないポリシリコンを除去するために、イオン注入を受けたシリコンを含む材料に対して選択的なエッティング・プロセスにより、ポリシリコン層がエッティングされる。エッティング・プロセスは、第一の方法のところで説明したように行われる。

第一および第二の選択した領域は残り、成形済みの構造体を形成する。隣接する深さまでイオンが注入される他の選択した領域、または異なるプロファイルでパターン形成される他の選択した領域は、種々の形の成形済みの構造体を形成するために、第一および第二の領域に追加することができる。

ある実施形態の場合には、二つの直立部およびその間を延びる介在クロスバーを形成するために、ポリシリコン層の領域を注入することにより、自立壁部のブリッジが形成される。自立ブリッジは、異なる高さの複数のクロスバーで形成することができる。複数のクロスバー自立壁部ブリッジは、溶断可能なヒューズとして使用するのに適していて、プログラマブル読み出し専用メモリ (PROM) を形成する際に使用することができる。

一本の直立部、およびこの直立部に一体に取り付けられている、クロスバーを形成することにより、マイクロマシンを形成する際に使用するのに適している、レバーを形成することができる。電気的に相互に接触していない、重複しているクロスバーも、形成することができる。

他の実施形態の場合には、その底部の全長を貫通している、一体に形成されたトンネルを含むポリシリコン・ブロックが形成される。ポリシリコン・ブロックは、乾式エッティング・プロセスにより成形され、形成される。トンネルは、残るポリシリコン・ブロックの一部を注入することにより形成され、比較的軽度なイオン注入が行われた部分が、エッティングにより選択的に除去される。

他の実施形態の場合には、ポリシリコン層の面から、ポリシリコン層の面の下まで延びるトンネルが形成される。トンネルの周囲に位置するポリシリコン層の一部は酸化され、トンネル内に金属が蒸着され、その結果、導電性相互接続ラインが、いま酸化したポリシリコン層の面の下を延びることになる。

第15の方法を使用すれば、効率的な方法で、種々様々の導電性の成形済みの構造体を形成することができる。それにより、結果として得られる集積回路の機能を増大することができる。第15の方法による成形済みの構造体は、最も少ない回数の材料蒸着、マスク処理およびエッティング作業により形成される。その後で、最短の集積回路製造プロセス時間で、成形済みの構造体が効率的に形成される。

本発明の第16の方法は、半導体基板にボトルの形のトレンチを形成するために、第一の方

10

20

30

40

50

法のイオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスを使用する。ボトルの形のトレンチは、トレンチ・コンデンサを形成する際に、またトレンチ絶縁領域を形成する際に役に立つ。

第16の方法の場合には、最初に、半導体基板上のある量のシリコンを含む材料に、実質的に異方性のトレンチが形成される。下記のある実施形態の場合には、シリコンを含む材料の量はシリコン基板であり、シリコン基板は半導体ウエハである。それ故、この実施形態の場合には、シリコン基板が供給され、シリコン基板上にマスク被覆基板が設置される。ある実施形態の場合には、マスク被覆基板はホトレジスト・マスクであり、トレンチのどちらかの側面上に形成されたゲート領域に自己整合する。その後で、イオンがトレンチ内に注入される。好適には、イオンは、シリコン基板の面に対して直角以外の角度で、注入することが好ましい。注入角度は、イオンがトレンチの頂部ではなく、主としてトレンチの底部の方向に向くように選択される。従って、トレンチの頂部より、トレンチの底部に多くのイオンが注入される。

選択したタイプのイオンが注入されないシリコンを含む材料に対して選択的なエッチング・プロセスが、第二の方法のところで説明した方法とほぼ同じ方法で実行される。それにより、トレンチのイオン注入を受けた部分から材料が除去され、トレンチの底部がトレンチの頂部より広がり、トレンチのボトルの形になる。ボトルの形のトレンチは、トレンチ・コンデンサおよびトレンチ絶縁領域の形成を含む、種々の用途に使用することができる。

トレンチ・コンデンサを形成する場合には、トレンチ・コンデンサを完成するために、電荷貯蔵ノードがトレンチ内に蒸着され、その後で誘電層および上部コンデンサ・プレートが蒸着される。トレンチ絶縁領域を形成する場合には、ボトルの形のトレンチが、絶縁材料により充填される。絶縁材料は、最初、トレンチの側壁部上に酸化シリコンの層を成長させ、その後で、トレンチの残りの部分に絶縁材料を、蒸着させることにより形成することができる。

それ故、従来の形のトレンチを形成した場合には、より広い表面積を持つトレンチ・コンデンサが形成される。シリコン基板の占有面積は今までと同じで、表面積をより広くすることができる。このより広い表面積は、簡単で効率的な方法で達成することができる。同様に、容積の大きいトレンチ絶縁領域が形成され、そのためシリコン基板の表面積を広く占有しないでも、高い絶縁性能が得られる。容積が大きいために、半導体装置の密度および小型化を犠牲にしないで、クロストーク電流漏洩に対する抵抗が高くなる。

本発明の第17の方法は、第一の方法のイオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスを使用する。この第17の方法は、半導体基板の一つまたはそれ以上の露出した各水平面上に、シリコンを含む材料の領域を形成する。一方、露出した垂直面上のどちらにも、シリコンを含む材料の領域は形成しない。

第17の方法の場合は、最初に、その上に露出した水平面および露出した垂直面を持つ、突出構造体が位置する半導体基板が供給される。突出構造体は、例えば、半導体ウエハのシリコン基板上のゲート領域であってもよい。

シリコンを含む材料の層が、露出した水平面および露出した垂直面上に形成される。以下に説明するある実施形態の場合には、シリコンを含む材料の層は、ポリシリコン層である。好適には、ポリシリコン層は真性ポリシリコンであることが好ましい。

イオンは、第一の方法のところで説明したように、イオン注入を受けたポリシリコンに対して選択的な、エッチング・プロセスにより選択したタイプのものである。イオンは、第一の実施形態のところで説明したように、イオンが注入されたポリシリコンに対して選択的なエッチング・プロセスにより選択したタイプのイオンである。イオンは、好適には、露出した水平面に対して直角な注入角度で注入することが好ましい。

直角にイオンを注入すると、露出した水平面上に位置するポリシリコン層の一部が、イオンと一緒に注入されるが、露出した垂直面上に位置するポリシリコン層の一部には、イオンは実質的に注入されない。

以降の手順において、第一の方法のところで説明した、イオン注入を受けたシリコンを含

10

20

30

40

50

む材料に対して選択的なエッティング・プロセスが行われる。それ故、露出した垂直面上に位置していて、イオンが注入されなかったポリシリコン層の一部が、エッティングにより除去される。露出した水平面上に位置していて、そのためイオンの注入を受けなかったポリシリコン層の一部は残留する。

第17の方法は、いくつかの用途に使用することができる。ある用途の場合には、垂直に突出している主要部分は、MOSトランジスタのゲート領域であり、ポリシリコン領域が、突き抜け保護を行うために、ハロ注入のための注入マスクとして使用するために、ゲート領域の水平面上に形成される。

他の実施形態の場合には、相互接続ラインとして使用するために、ポリシリコン領域が水平面上に形成される。相互接続ラインを形成する場合には、相互接続ラインの突出主要部分を絶縁材から形成することができる。従って、それと電気的に接続していない、突出主要部分の頂部の両側に形成されたポリシリコン領域は、個々の相互接続ラインを形成するためには使用することができる。上記の突出主要部分は、既存の相互接続ライン、またはゲート領域であってもよいし、その上に突出主要部分の頂部上に位置する、ポリシリコンの領域から、突出主要部分を電気的に絶縁するための絶縁層を持つことができる。それ故、突出主要部分上に位置するポリシリコンの領域および突出主要部分は、それぞれ、別々の相互接続ラインを形成することができる。

相互接続ライン、または他の上記導電性の成形済みの構造体を形成する場合には、水平面上に形成されたポリシリコン領域を、その導電率を増大させるために、耐火性のケイ化金属に変換することができる。この変換を行っている間に、チタンのような耐火性の金属が、通常プランケット層として、ポリシリコンの領域上に蒸着される。その後で、ポリシリコンの露出した領域を耐火性の金属と反応させるために、熱処理が行われる。その後で、反応していない耐火性の金属の一部は、耐火性の金属のケイ化物に対して選択的な、耐火性の金属をエッティングする適当なエッティング・プロセスにより、除去することができる。耐火性のケイ化金属が、露出した水平面上のポリシリコン領域の場所に残留する。

相互接続ラインおよびハロ・マスク注入が、現在のプロセスの流れと互換性を持つ簡単で効率的な方法で、それぞれ形成される。相互接続ラインは、高い密度で近接した状態で、形成することができ、ハロ注入マスクは、正確に、また非常に小型のトランジスタで役に立つ、適当な大きさの開口部とともに形成することができる。

本発明の第18の方法は、第一の方法の、イオン注入を受けたシリコンを含む材料に対して選択的な、エッティング・プロセスを使用する。第18の方法は、相互接続ラインを、もっと大きな構造体に電気的に接続するための、もっと幅の広い領域に一体に接続している、狭い相互接続ラインを形成する。狭い相互接続ラインは、写真製版の解像度より高い解像度の幅で形成することができる。

第18の方法の場合は、最初に、例えば、以下に説明する実施形態の場合には、半導体基板上のポリシリコン層である、シリコンを含む材料の層が形成される。ポリシリコン層は、好適には、真性ポリシリコンから形成することが好ましい。ポリシリコン層が蒸着されると、マスク被覆基板が設置され、そこを通して、ポリシリコン層の選択した領域が、イオンと一緒に注入される、開口部によりパターン形成される。選択した領域は、形成された相互接続ラインを、相互接続ラインより幅の広い構造体に接続するために使用される。

マスク被覆基板が設置された後で、第一のイオン注入プロセスが実行され、このプロセス中に、選択した領域が、第一の方法のところで説明したように、イオン注入を受けたシリコンを含む材料に対して選択的なエッティング・プロセスにより選択した、選択したタイプのイオンと一緒に注入される。その後で、マスク被覆基板が除去され、第二のマスク被覆基板が、ポリシリコン層の上に置かれ、選択した表面の形を持つようにパターン形成される。その外周部は、相互接続ラインの必要な位置と一致する。その後で、ポリシリコン層を、異方性に従ってエッティングした側壁部および選択した面の形の周囲を持つ、ポリシリコンのブロックにするために、乾式エッティング・プロセスまたは同等の材料除去プロセスが行われる。選択した領域は、好適には、ポリシリコンのブロックの近くに位置することが好ましい。

10

20

20

30

40

50

第二のマスク被覆基板が正しい位置に置かれている間に、第二のイオン注入プロセスにより、ポリシリコンのブロックの一つまたはそれ以上の横方向に延びる面に、イオンが注入される。このイオンは、第一の方法のところで説明したように、イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスにより選択したタイプのものである。第二のイオン注入プロセスのイオンは、第一のイオンプロセスのイオンと同じタイプのものでもよいし、異なるタイプのものでもよい。第二のイオン注入プロセスのイオンは、その注入イオンに対して選択した角度およびエネルギーで、ポリシリコンのブロックの横方向に延びる面に、選択した深さまで注入される。上記の選択した深さは、完成した相互接続ラインの太さに対応する。イオン注入角度は、本質的には、第一の方法および第六の方法のところで説明した注入角度である。

イオン注入が行われた後で、第一の方法のところで説明した方法とほぼ同じ方法で、イオン注入を受けたシリコンを含む材料に対して選択的な、エッチング・プロセスが行われる。その結果、ポリシリコンのブロックの、イオン注入を受けていないポリシリコンが、エッチングにより除去され、イオン注入を受けたポリシリコンが残留する。それ故、一つまたはそれ以上の側壁部のイオン注入を受けた領域が、選択した領域のように残留する。ポリシリコン層の選択した領域は、接触パッドを形成し、相互接続ラインに一体に接続される。もちろん、相互接続ライン上に一つ以上の接触パッドを形成することができ、一つ以上の相互接続ラインを形成することができる。

ポリシリコンのブロックを、相互接続ラインに形成されたギャップにより分離されている、二つまたはそれ以上の個々の相互接続ラインに分割するため、ポリシリコンのブロックの全周囲にイオンを注入することができる。ある実施形態の場合には、上記ギャップは、ポリシリコンのブロックの外側の周囲に近接している、仮設スペーサ・ブロックにより形成される。犠牲スペーサ・ブロックは、第二のイオン注入動作の前に形成されるが、好適には、ポリシリコンのブロックのパターン形成の時および形成の前に形成するのが好ましい。仮設スペーサ・ブロックは、注入されたイオンを吸収し、注入されたイオンが、ポリシリコン・ブロックの側壁部のセグメントに、注入されるのを防止する。従って、開口部が、イオン注入を受けていなかったセグメントの位置に形成され、結果として得られる相互接続ラインにギャップができる。別の方法としては、相互接続ラインが形成されてから行われる、別々のマスク処理手順およびエッチング手順により開口部を形成することができる。

第18の方法により形成された相互接続ラインは、写真製版によってではなく、イオン注入角度およびイオン注入エネルギーにより決まる形を持ち、従って、従来の写真製版プロセスによる幅よりも狭い幅を持つことができる。第18の方法による相互接続ラインは、また、相互接続ラインをもっと大きい構造体に接続するための、相互接続ラインより幅の広い一体た型構造体により形成される。従って、半導体装置または半導体装置の主要部分に容易に接続することができるという柔軟性を保持しながら、相互接続ラインを非常に狭くすることができる。さらに、もっと細い相互接続ラインを、ゲート領域として使用することができ、そのように使用した場合、チャネルの長さが短くなる。チャネルの長さが短くなると、MOSトランジスタのしきい値電圧をもっと低くすることができ、その結果、速度がもっと速くなる。

本発明のこれらおよび他の特徴は、以下に説明および添付の請求の範囲を読めば、さらによりよく理解することができるだろうし、以下の本発明の実施形態により理解することができるだろう。

【図面の簡単な説明】

本発明の上記および他の利点が得られる方法を理解してもらうために、上記の簡単な本発明のもっと詳細な説明を、添付の図面に示す特定の実施形態を参照しながら行う。これらの図面は、本発明の通常の実施形態を説明するためのものであって、それ故、本発明の範囲を制限するものでないことを理解してほしい。本発明を、添付の図面を使用してさらに明確に詳細に記述し、説明する。

図1は、本発明の第一の方法の最初の手順における、マスク被覆基板によりパターン形成

10

20

30

40

50

される、その上に形成されたポリシリコン層を持つ半導体ウエハの横断面図である。図2は、図1のポリシリコン層の、マスクされていない部分にイオンが注入される、本発明の第一の方法のもう一つの手順を示す、図1の半導体ウエハの横断面図である。図3は、図2のポリシリコン層のマスクされた部分の、縁部の下の濃度が変化する、複数のイオン注入ステージにおいて注入されたイオンの貫通パターンの深さを示すグラフである。

図4は、図3のポリシリコン層から除去されるマスク被覆基板の、本発明の第一の方法のある手順を示す、図3の半導体ウエハの横断面図である。

図5は、任意のユニットの注入イオン濃度の関数としての、本発明のイオン注入を受けたシリコンを含む材料に対して選択的なエッティング・プロセスのエッティング速度の関係を示すグラフである。

10

図6は、その内部に成形済みの開口部を形成するために、ポリシリコン層の比較的イオン注入を受けていない部分が除去される、本発明の第一の方法の他の手順を示す図4の半導体ウエハの横断面図である。

図7は、下に位置する層に、類似の大きさの成形済みの開口部を形成するために、図6の成形済みの開口部を含むポリシリコン層が使用される、図1 - 図6の方法の他の実施形態で使用される手順を示す、図1 - 図5の半導体ウエハの横断面図である。

図8は、図7の下に位置する層が、図7の成形済みの開口部により、ハードマスクとしてエッティングされる、図7の実施形態の他の手順を示す、図7の半導体ウエハの横断面図である。

20

図9は、図8の成形済みの開口部に形成されたプログラマブル抵抗のカルコゲニド材料を示す、図8の半導体ウエハの横断面図である。

図10は、半導体基板上にポリシリコン層が形成される、本発明の第二の方法のある手順を示す、半導体ウエハの横断面図である。

図11は、図10のポリシリコン層の上にマスク被覆基板が形成される、本発明の第二の方法の他の手順を示す、図10の半導体ウエハの横断面図である。

図12は、図11のポリシリコン層にイオンが注入される、本発明の第二の方法のもう一つの手順を示す、図11の半導体ウエハの横断面図である。

図13は、図12のポリシリコン層を異方性に従ってエッティングする、第一のエッティング・プロセスが行われる、本発明の第二の方法の他の手順を示す、図12の半導体ウエハの横断面図である。

30

図14は、成形済みの構造体を形成するために、イオン注入を受けていないシリコンを含む材料に、ポリシリコン層を異方性に従って、また選択的にエッティングする、第二のエッティング・プロセスを行う、本発明の第二の方法の他の手順を示す、図13の半導体ウエハの横断面図である。

図15は、下に位置する層が形成され、その上に図14の成形済みの構造体が形成される、本発明の第二の方法の一実施形態のある手順を示す、図14の半導体ウエハの横断面図である。

図16は、図15の下に位置する層をエッティングするために、図15の成形済みの構造体が、ハードマスクとして使用される、第二の方法の他の手順を示す、図15の半導体ウエハの横断面図である。

40

図17は、酸化物の層が、図14の成形済みの構造体上に形成される、第二の方法の他の手順を示す、図14の半導体ウエハの横断面図である。

図18は、酸化物の層に成形済みの主要部分を残して、図17の酸化物の層が平面化される第二の方法の他の手順を示す、図17の半導体ウエハの横断面図である。

図19は、酸化物の層にパターン形成された開口部を残して、図18の成形済みの主要部分がエッティングにより除去される、図18の実施形態の他の手順を示す、図18の半導体ウエハの横断面図である。

図20は、複数のゲート領域の間に複数の能動領域が形成される、本発明の第三の方法の手順を示す、半導体ウエハの横断面図である。

50

図21は、ポリシリコン層が図20の能動領域上に形成される、本発明の第三の方法の他の手順を示す、図20の半導体ウエハの横断面図である。

図22は、図21のポリシリコン層上にハードマスクが形成され、また図21のポリシリコン層の露出した部分にイオンが注入される、第三の方法の他の手順を示す、図21の半導体ウエハの横断面図である。

図23は、イオンが注入されたリコンを含む材料に対して選択的であり、その結果図22の能動領域上に複数のポリシリコン・プラグが形成される、第三の方法の他の手順を示す、図22の半導体ウエハの横断面図である。

図24は、スペーサが、図22の能動領域上の、図22のハードマスクの開口部の内縁部上に形成され、その場合、図22のポリシリコン層にイオンが注入される、本発明の第四の方法の最初の手順を示す、半導体ウエハの横断面図である。
10

図25は、イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスが行われ、その結果、電荷貯蔵ノードおよびポリシリコン・プラグが形成される、第四の方法の他の手順を示す半導体ウエハの横断面図である。

図26は、複数のゲート領域を形成するために、一連のCMOSプロセスが行われ、複数のゲート領域上に絶縁層が形成される、本発明の第五の方法の最初の手順を示す半導体ウエハの横断面図である。

図27は、半導体ウエハのPMOS部分がマスクされ、半導体ウエハのNMOS部分にイオンが注入される、本発明の第五の方法の他の手順を示す、図26の半導体ウエハの横断面図である。

図28は、図27の構造体上にポリシリコン層が形成され、その上でハードマスク層が形成およびパターン形成され、ポリシリコン層の露出した部分にイオンが注入される、本発明の第五の方法の他の手順を示す、図27の半導体ウエハの横断面図である。
20

図29は、ポリシリコン・プラグを形成するために、図28のハードマスクが除去され、図28のポリシリコン層が、イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスにより除去される、本発明の第五の方法の他の手順を示す、図28の半導体ウエハの横断面図である。

図30は、半導体ウエハのNMOS部分がマスクされ、半導体ウエハのPMOS部分にイオンが注入される、本発明の第五の方法の他の手順を示す、図29の半導体ウエハの横断面図である。

図31は、ポリシリコン層が、マスク被覆基板のアイランドによりパターン形成される、本発明の第六の方法の最初の手順を示す半導体ウエハの横断面図である。
30

図32は、ポリシリコン・ブロックを形成するために、ポリシリコン層が異方性に従ってエッチングされ、ポリシリコン・ブロックの側壁部にイオンが注入される第六の方法の他の手順を示す、図31の半導体ウエハの横断面図である。

図33は、図32のイオン注入作業により形成されたイオン濃度のプロファイルを示す、図32のポリシリコン・ブロックの拡大横断面図である。

図34は、複数の自立壁部を形成するために、イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスを行う第六の方法の他の手順を示す、図31の半導体ウエハの横断面図である。

図35は、マスク被覆基板が、ポリシリコン層上に形成され、極細線で示す円形開口部と一緒にパターン形成される、本発明の第七の方法の最初の手順を示す半導体ウエハの斜視図である。
40

図36は、ポリシリコン層に一組の円形の開口部を形成するために、図35のポリシリコン層が異方性に従ってエッチングされ、極細線で示す円い開口部の側壁部にイオンが注入される第七の方法の他の手順を示す、図35の半導体ウエハの斜視図である。

図37は、図35のイオン注入作業により形成された、イオン濃度プロファイルを示す、図36のポリシリコン・ブロックの拡大横断面図である。

図38は、一組の環状自立壁部を形成するために、イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスが行われる第七の方法の他の手順を示す、図36の半導体ウエハの斜視図である。

図39は、円錐形の側壁部を持つ、MOSサラウンド・ゲート・トランジスタが形成し、MOSサ
50

ラウンド・ゲート・トランジスタの、ドーピングされたソース／ドレイン領域を形成するためにイオンが注入される、本発明の第八の方法の最初の手順を示す半導体ウエハの横断面図である。

図40は、その上の完成したMOSサラウンド・ゲート・トランジスタを示す、図39の半導体ウエハの横断面図である。

図41は、図40のMOSサラウンド・ゲート・トランジスタを内蔵するメモリ・セルを形成する際に使用される、図40の半導体ウエハの横断面図である。

図42は、一連のゲート構造体が半導体ウエハ上に形成され、ポリシリコン層および窒化シリコン層で覆われる、本発明の第九の方法の最初の手順を示す半導体ウエハの横断面図である。

図43は、図42の窒化シリコンおよびポリシリコン層を貫通して、円錐形の開口部がエッチングにより形成される、本発明の第九の方法の他の手順を示す、図42の半導体ウエハの横断面図である。

図44は、第二のポリシリコン層が蒸着され、その中にイオンが注入される、本発明の第九の方法の他の手順を示す、図43の半導体ウエハの横断面図である。

図45は、一組の小さな表面積のポリシリコン・コンデンサの電荷貯蔵ノードを形成するために、イオン注入を受けたシリコンを含む材料に対して選択的なエッチング・プロセスを行う、本発明の第九の方法の他の手順を示す、図44の半導体ウエハの横断面図である。

図46は、半導体ウエハ上に、一組のゲート領域および介在能動領域が形成され、その場合、ポリシリコン層がその上に形成される、本発明の第10の方法の最初の手順を示す半導体ウエハの横断面図である。

図47は、図46の能動領域上に、マスク被覆基板が形成され、パターン形成される、本発明の第10の方法の他の手順を示す、図46の半導体ウエハの横断面図である。

図48は、ポリシリコン層の露出した領域が、部分的にエッチングされ、その場合、ポリシリコン層の部分的にエッチングされた露出領域にイオンが注入される、本発明の第10の方法の他の手順を示す、図47の半導体ウエハの横断面図である。

図49は、ポリシリコン・プラグを形成するために、イオンが注入されていないポリシリコンに対して選択的なエッチング・プロセスが行われる、本発明の第10の方法の他の手順を示す半導体ウエハの横断面図である。

図50は、複数のゲート領域および介在能動領域が半導体ウエハ上に形成され、ポリシリコン層がその上に形成される、本発明の第11の方法の最初の手順を示す半導体ウエハの横断面図である。

図51は、図50のポリシリコン層が、図50のゲート領域のレベルまで平面化される、本発明の第11の方法の他の手順を示す、図50の半導体ウエハの断面図である。

図52は、図51のポリシリコン層上に絶縁層が形成され、絶縁層に開口部が形成され、絶縁層の開口部の下の図51のゲート領域の間のポリシリコン領域にイオンが注入される第11の方法の他の手順を示す、図51の半導体ウエハの横断面図である。

図53は、一組のポリシリコン・プラグを形成するために、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスにより、絶縁層が除去され、ポリシリコン層がエッチングされる、本発明の第11の方法の他の手順を示す、図52の半導体ウエハの横断面図である。

図54は、半導体ウエハ上に、一組のゲート領域および介在能動領域が形成され、その上にポリシリコン層が形成される、本発明の第12の方法の最初の手順を示す半導体ウエハの横断面図である。

図55は、図54のポリシリコン層が、図54のゲート領域の頂部のレベルまで平面化される、本発明の第12の方法の他の手順を示す、図54の半導体ウエハの横断面図である。

図56は、図55のポリシリコン層の上に絶縁層が形成され、絶縁層に開口部が形成され、絶縁層の開口部の下のゲート領域の間のポリシリコン領域にイオンが注入される、本発明の第12の方法の他の手順を示す、図55の半導体ウエハの横断面図である。

図57は、一組のポリシリコン・プラグを形成するために、イオンが注入されたシリコンを

10

20

30

40

50

含む材料に対して選択的なエッティング・プロセスにより、図56の絶縁層および図56のポリシリコン層が除去される、本発明の第12の方法の他の手順を示す、図56の半導体ウエハの横断面図である。

図58は、図57のゲート領域上に絶縁層が形成され、開口部が図58のポリシリコン・プラグの一つのところまでエッティングされる、本発明の第12の方法の他の手順を示す、図57の半導体ウエハの横断面図である。

図59は、もっと深い構造体の開口部を形成するために、図58のポリシリコン・プラグを除去する、本発明の第12の方法の他の手順を示す、図58の半導体ウエハの横断面図である。図60は、二つのゲート領域の間に位置する、ポリシリコン・プラグ上にある酸化物の層に開口部が形成される、本発明の第13の方法の最初の手順を示す半導体ウエハの横断面図である。

図61は、図60の開口部に三つの隣接するポリシリコン層が形成される、本発明の第13の方法の他の手順を示す、図60の半導体ウエハの横断面図である。

図62は、図61の三つの隣接するポリシリコン層の中央のポリシリコン層の底部の中央部にイオンが注入される第13の方法の他の手順を示す、図61の半導体ウエハの横断面図である。

図63は、図62の中央のポリシリコン層の、比較的少ないイオンが注入された部分を除去するため、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスを行う第13の方法の他の手順を示す、図61の半導体ウエハの横断面図である。

図64は、図63の完成した電荷貯蔵ノード上に誘電層が形成され、この誘電層の上に頂部コンデンサ・プレートが蒸着される、本発明の第13の方法の他の手順を示す、図63の半導体ウエハの横断面図である。

図65は、絶縁層を貫通して、二つのゲート領域の間の接合部のところまで開口部が形成され、ポリシリコン層が開口部に形成される、本発明の第14の方法の最初の手順を示す半導体ウエハの横断面図である。

図66は、そこにイオンが注入された領域を形成するために、図65のポリシリコン層に、選択したタイプのイオンが注入され、イオンが注入された領域の下にイオンが注入されていない領域を残す、本発明の第14の方法の他の手順を示す、図65の半導体ウエハの横断面図である。

図67は、図66の開口部がホトレジスト材料で充填され、開口部の上に位置するポリシリコン層の一部が平面化される、本発明の第14の方法の他の手順を示す、図66の半導体ウエハの横断面図である。

図68は、ポリシリコン層のイオンが注入されていない内部を除去するために、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスを行い、HSGポリシリコンが、それにより形成された自立壁部の内面および外面上に蒸着される、本発明の第14の方法の他の手順を示す、図66の半導体ウエハの横断面図である。

図69は、ポリシリコン層の上にホトレジスト・マスクが形成され、ホトレジスト・マスクの第一の組の開口部を通してポリシリコン層にイオンが注入される、本発明の第15の方法の一つの実施形態の最初の手順を示す半導体ウエハの横断面図である。

図70は、図69のポリシリコン層の上に第二のホトレジスト・マスクが形成され、ホトレジスト・マスクの第二の開口部を通して、図69のポリシリコン層にイオンが注入される、本発明の第15の方法の一つの実施形態の他の手順を示す、図69の半導体ウエハの横断面図である。

図71は、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスが行われ、自立壁部ブリッジを形成するために、ポリシリコン層の比較的注入されたイオンが少ない部分が除去される、本発明の第15の方法の他の手順を示す、図70の半導体ウエハの横断面図である。

図72は、本発明の第15の方法の他の実施形態により形成されたレバーを示す半導体ウエハの横断面図である。

図73は、本発明の第15の方法の他の実施形態により形成された、複数のクロスバー自立壁

10

20

30

40

50

部を示す半導体ウエハの横断面図である。

図74aは、本発明の第15の方法のさらに他の実施形態により形成された、重畠しているブリッジを示す半導体ウエハの横断面図であり、図74bは、図74aの側面図である。

図75は、選択した領域を除いてすべての部分に、選択したタイプのイオンが注入されたポリシリコン層上に、ホトレジスト・マスクが形成される、本発明の第15の方法のさらに他の実施形態の最初の手順を示す半導体ウエハの横断面図である。

図76は、その中央部を貫通して延びる開口部を持つポリシリコン・ブロックを形成するために、ホトレジスト・マスクによりエッチング・プロセスが行われる、本発明の第15の方法の他の実施形態の他の手順を示す、図70の半導体ウエハの横断面図である。

図77は、本発明の第15の方法の、さらに他の実施形態により形成されたトンネルを示す半導体ウエハの横断面図である。 10

図78は、ホトレジスト・マスクを通して、二つのゲート領域の間に位置するトレンチの側壁部にイオンが注入される、本発明の第16の方法の第一の実施形態の最初の手順を示す半導体ウエハの横断面図である。

図79は、図78のトレンチ内の側壁部の、比較的注入されたイオンが少ない部分を除去するために、本発明の第16の方法の第一の実施形態の他の手順を示す、図79の半導体ウエハの横断面図である。 20

図80は、トレンチ・コンデンサ形成するために、図79のトレンチ内にコンデンサの電荷貯蔵ノード、誘電層および上部プレートを蒸着する、本発明の第16の方法の第一の実施形態の他の手順を示す、図79の半導体ウエハの横断面図である。

図81は、絶縁層が成長し、トレンチ絶縁領域を形成するために、トレンチ内に酸化物充填材料が蒸着される、本発明の第16の方法の第二の実施形態の他の手順を示す、図79の半導体ウエハの横断面図である。 20

図82は、ゲート領域上にポリシリコン層が形成され、ポリシリコン層の水平面に選択したタイプのイオンが注入される、本発明の第17の方法の第一の実施形態の最初の手順を示す半導体ウエハの横断面図である。

図83は、ポリシリコン層のイオンが注入された部分を除去するために、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを行い、ポリシリコン層が、ハロ・イオン注入作業に対するマスクとして使用される、第17の方法の第一の実施形態の他の手順を示す、図82の半導体ウエハの横断面図である。 30

図84は、アルミニウム相互接続ライン上にポリシリコン層が形成され、ポリシリコン層の水平面に選択したタイプのイオンが注入される、本発明の第17の方法の第二の実施形態のある手順を示す半導体ウエハの横断面図である。

図85は、図84のポリシリコン層の、比較的注入されたイオンが少ない部分を除去するために、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスが行われ、ポリシリコン層の水平面上にチタン層が蒸着される、本発明の第17の方法の第二の実施形態の他の手順を示す、図84の半導体ウエハの横断面図である。 40

図86は、ポリシリコン層の水平面をケイ酸チタンに変換するために、熱処理動作を行い未反応チタンを除去する、本発明の第17の方法の第二の実施形態の他の手順を示す、図85の半導体ウエハの横断面図である。

図87は、ホトレジスト・マスクを通して、ポリシリコン層の選択した領域にイオンが注入される、本発明の第18の方法の最初の手順を示す半導体ウエハの横断面図である。

図88は、図87のポリシリコン層が、選択した表面の形を持つパターン形成されたポリシリコン・ブロックに形成され、パターンに形成されたポリシリコン・ブロックの選択した隣接する位置に仮設スペーサ・ブロックが形成される、本発明の第18の方法の他の手順を示す、図87の半導体ウエハの横断面図である。

図89は、図88のパターン形成されたポリシリコン・ブロックの、横方向に延びる面にイオンが注入される、本発明の第18の方法の他の手順を示す、図88の半導体ウエハの横断面図である。

図90は、パターン形成されたポリシリコン・ブロックの、比較的注入されたイオンが少な 50

い部分および仮設スペーサ・ブロックを除去するために、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスが行われ、それにより、一体型接点パッドを持つ一組の相互接続ラインを形成する、本発明の第18の方法の他の手順を示す、図89の半導体ウエハの横断面図である。

好適な実施形態の詳細な説明

1. イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスによる成形済みの構造体の形成

添付の図面の図1 - 図9は、本発明の第一の実施形態である。第一の方法の場合、半導体基板上のある量のシリコンを含む材料が、エッティング・プロセスによりパターン形成される。このエッティング・プロセスは、上記量のシリコンを含む材料に、成形済みの開口部を形成するために、イオンが注入されたシリコンを含む材料に対して選択的なものである。相互構造体の開口部は、相互接続構造体の開口部、トレンチ、または上記量のシリコンを含む材料の、選択した部分を除去することにより形成された、上記成形済みの構造体を備えることができる。成形済みの開口部は、現在の従来の写真製版技術で、現在形成することができる寸法と比較すると、もっと小さく形成することができる。シリコンを含む材料以外の材料の層の成形済みの開口部は、またシリコンを含む材料以外の、材料の層をエッティングするために、成形済みの開口部を、ハードマスクとして使用することにより、形成することができる。

図1は、第一の方法の最初の手順を示す。図1の実施形態の場合には、孔部の形の成形済みの開口部が、図の実施形態の場合には、ポリシリコン層である、ある量のシリコンを含む材料に形成される。この図は半導体基板である。図の実施形態の場合には、この半導体基板は半導体ウエハ10を含む。半導体ウエハ10は、シリコン基板12を備え、その頂部には、ポリシリコン層14である、ある量のシリコンを含む材料が設置されている。本明細書を読めば分かるように、ポリシリコン層の代わりに、ポリシリコン以外の、ある量のシリコンを含む材料を使用することができる。

ポリシリコン層14は、任意の周知の方法で蒸着される。通常、ジシランのような前駆物質からCVDプロセスにより蒸着することができる。ポリシリコン層14は、好適には、真性ポリシリコンから形成することが好ましい。本明細書においては、真性ポリシリコンは、ドーピングされていない、または軽度にドーピングされているポリシリコンと定義されている。軽度にドーピングされたポリシリコンは、ポリシリコンの1立方センチ当り、 1×10^{18} 以下のドーパントを含むポリシリコンと定義されている。真性ポリシリコンのポリシリコン層14を形成した場合には、以下にもっと詳細に説明する、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスを容易に使用することができる。

図1に示す第一の方法の次の処理は、ポリシリコン層14上のマスク被覆基板の形成およびパターン形成も含む。図の実施形態の場合には、マスク被覆基板はホトレジスト・マスク16を含む。別的方法としては、マスク被覆基板は、注入されたイオンを通さない他のパターン形成することができる材料を含むことができる。別の適当な実施形態は、シリコンの窒化物または酸化物、および感光性ポリイミドから形成されたパターン形成層を含む。ホトレジスト・マスク16は、形成される成形済みの開口部の、ほぼ必要な水平方向の長さを持つ、ポリシリコン層14の選択した領域を覆い、マスクするように設置される。残したい一つの領域または複数のポリシリコン層14の領域はマスクしない。

図2は、第一の方法の別の手順である。図2に示すように、ポリシリコン層14がホトレジスト・マスク16で覆われると、イオン20が、ポリシリコン層14のマスクしていない領域に注入される。ある実施形態の場合には、イオン20は、半導体ウエハ10の面に直角に注入される。イオンを直角に注入すると、ホトレジスト・マスク16の下に位置するポリシリコン層14の一部へのイオン注入が異方性的になる。しかし、図の実施形態の場合には、結果として得られる成形済みの開口部の大きさを、ホトレジスト・マスク16の大きさより小さくするために、イオン20は、半導体ウエハ10の面に対して直角以外の角度で注入され、イオン20はホトレジスト・マスク16の縁部の下に埋設される。イオン注入作業により注入されるイオン20は、以下の説明を読めば分かるような方法で、イオンが注入されたシリコンを

10

20

30

40

50

含む材料に対して選択的なエッチング・プロセスに従って選択することができる。イオン注入作業は、注入量、マスク被覆基板のタイプ、注入エネルギー、注入するイオンのタイプ、および注入角度を含む、いくつかのイオン注入パラメータに従って行われる。上記イオン注入パラメータの大部分は、従来のイオン注入手順により決定される。しかし、イオン注入作業は、また形成中の成形済みの開口部のプロファイルを調整するのにも使用される。従って、イオン注入パラメータは、ポリシリコン層14のマスクしていない部分に、イオンを注入するためばかりでなく、イオンが注入されない場所に形成された、比較的注入されたイオンが少ない部分30の、形を調整するためにも適する方法で選択される。結果として得られる成形済みの開口部は、注入されたイオンが少ない領域30に形成され、注入されたイオンが、少ない領域30とほぼ同じプロファイルを持つ。

10

比較的注入されたイオンが少ない、領域30の形を調整するためのイオン注入パラメータの適当な選択は、従来のパラメータからのイオン注入パラメータの変更、または従来の注入動作で使用していたものからの、イオン注入パラメータの変更を含むことができる。図の実施形態の場合には、イオン注入領域30の形は、ホトレジスト・マスク16の縁部の下ヘイオンを埋設する角度で、イオンを注入することにより調整され、それにより、ホトレジスト・マスク16の大きさよりの小さい比較的注入されたイオン30が少ない部分が残る。アンダーカッティングの程度および位置が、結果として得られる成形済みの開口部の大きさが、ホトレジスト・マスク16の大きさから変化する程度を決める。

それ故、イオン注入角度を適当に選択すれば、比較的注入されたイオンが少ない部分30の上に位置する、ホトレジスト・マスク16のアイランドの大きさからの、成形済みの開口部の大きさの変化の程度を適当に変えることができる。例えば、半導体ウエハ10に対して直角なイオン注入角度を選択した場合には、アンダーカッティングの量は最少ですみ、その結果、ホトレジスト・マスク16のアイランドから、大きさがほぼ均等に小さくなる。イオンを直角でない角度で注入すると、マスクされている層16の下の領域内の注入イオンの量は実質的なものになり、成形済みの開口部の大きさは、ホトレジスト・マスク16のアイランドの大きさからかなり小さくなる。

20

イオン注入角度の選択は、また成形済みの開口部の均一なプロファイルを維持するためにも使用される。図2は、ポリシリコン層14に対して、ポリシリコン層14の表面からのイオン注入角度が の軌道18を持つ、イオン20の注入が行われている実施形態である。イオン注入角度 を一定に維持しながら、半導体ウエハ10を回転することにより、または注入イオンの方向を変えることにより、そのすべての側面上において、ホトレジスト・マスク16の縁部の下に、一定の深さでイオン20を注入することができる。それ故、成形済みの開口部の大きさを、すべての側面上において、ホトレジスト・マスク16の大きさより均一に小さくすることができる。

30

成形済みの開口部の大きさを変化させるために、イオン注入パラメータを選択するもう一つの方法の一例について説明すると、イオン注入量をもっと多くしたり、イオン注入エネルギーをもっと大きくすれば、マスク層16の縁部の下のイオン注入量を、もっと多くすることができ、それにより、成形済みの開口部の大きさをさらに小さくすることができる。マスク被覆基板を形成する際に使用する材料にどれを選択するかにより、マスクの縁部の下のイオン注入量が影響を受ける。注入イオンの浸透性を阻止する力がもっと高いマスク被覆基板材料を使用すれば、マスク縁部の下のイオン注入が少なくなり、一方、イオンの浸透を阻止する力がもっと弱いマスク被覆基板を使用すると、マスク縁部の下のイオン注入量が大きくなる。

40

成形済みの開口部のプロファイルを制御するもう一つの方法は、複数のイオン注入ステージによりイオン注入する方法である。図3は、それぞれが異なるイオン注入角度で行われる、三つの仮定のイオン注入ステージから得られる、イオン注入濃度プロファイルである。図中、一点鎖線22は、ホトレジスト・マスク16の下のイオンの均一な注入深さを示す。第一のイオン注入濃度プロファイル曲線24は、第一のイオン注入ステージの結果を示す。第一のイオン注入ステージは、比較的鋭いイオン注入角度で、必要な深さにイオンを注入するために選択した、あるイオン注入量およびイオン注入エネルギーの範囲で行われる。

50

第二のイオン注入濃度プロファイル曲線26は、プロファイル曲線24に対するイオン注入ほど鋭角ではない、イオン注入角度で行われる第二のイオン注入ステージの結果である。第二のイオン注入ステージは、第一のイオン注入ステージの注入量と同じ注入量で、また第一のイオン注入ステージの注入エネルギーと同じか、または若干高いイオン注入エネルギーの範囲行われる。それ故、第二のイオン注入濃度プロファイル曲線26は、第一のイオン注入濃度プロファイル24より角度が鋭角である。第三のイオン注入濃度プロファイル曲線28は、プロファイル曲線24、26のどちらかに対するイオン注入角度ほど鋭角ではない、イオン注入角度で行われる第三のイオン注入ステージの結果を示す。第三のイオン注入ステージは、好適には、第一および第二のイオン注入ステージのイオン注入量と同じ注入量、および第一および第二のイオン注入ステージのイオン注入エネルギーと同じか、若干高い範囲のイオン注入エネルギーにより行なうことが好ましい。従って、第三のイオン注入濃度プロファイル曲線28は、ポリシリコン層14では、第一および第二のイオン注入濃度プロファイル曲線24、26より深い。
10

図3のチャートを見ればすぐ分かるように、複数のイオン注入ステージは、一回のイオン注入ステージでは達成できない均一なイオン注入濃度プロファイルを達成するのに役に立つ。他の方法で、イオン注入角度を変化させることにより、ポリシリコン層14の、比較的注入されたイオンが少ない領域30を、他の選択した形に調整することができる。もちろん、複数の各イオン注入ステージの、イオン注入角度以外のイオン注入パラメータも変えることができる。例えば、イオン注入エネルギー、またはイオン注入エネルギーの範囲を変化させると、イオン注入部分は、異なる深さまで伸びるプロファイルを持つことになる。
20 また、異なるプロファイルを持つイオン注入領域を形成するために、異なるイオン注入ステージに対しては、異なるマスク被覆基板を使用することができ、異なるイオン注入ステージに対してマスク被覆基板のパターンを変更することができる。

イオン注入作業終了後、ポリシリコン層14から、ホトレジスト・マスク16が除去される。露出した、イオンが注入されていない領域30は、上記方法によりイオン注入パラメータを選択することにより必要な形を持つことになる。ホトレジスト・マスク16を除去した後で、そうしたい場合には、熱処理を行うことができる。熱処理により、イオン20が拡散して、イオン20のイオン注入濃度プロファイルはさらに滑らかになり、ホトレジスト・マスク16の縁部の下のイオン20の注入の深さが深くなり、それにより、成形済みの開口部の大きさが小さくなる。結果として得られる成形済みの開口部のプロファイルをもっと鋭角的にしたい場合には、シリコンを含む材料に対して選択的なエッティング・プロセスを行う前に、イオン20を拡散しない。
30

イオン注入作業が行われ、ホトレジスト・マスク16が除去されると、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスが行われる。このエッティング・プロセスにより、エッティング・プロセスが、イオン注入しきい値濃度およびそれ以上の濃度を持つ、シリコンを含む材料の量の一部がエッティングされる速度より速い速度で、イオン注入されたイオンしきい値濃度以下の濃度を持つ、シリコンを含む材料の量の一部がエッティングされる。しきい値濃度以上のイオンを注入されたシリコンを含む材料は、イオンが注入されたシリコンを含む材料に対して選択的な、エッティング・プロセスにより実質的に除去されないで、しきい値濃度以下のイオンが注入されたシリコンを含む材料が、実質的に除去される。
40

その結果、しきい値濃度までイオン20が注入されていない、比較的注入されたイオンが少ない領域30は、しきい値濃度にまたはそれ以上にイオンを注入された、ポリシリコン層14の残りの部分より速い速度でエッティングされる。もちろん、ポリシリコン層14以外の材料の層を使用した場合には、それに応じて、エッティング・プロセスが、しきい値濃度までイオンが注入される、特定のタイプの材料の一部をエッティングする速度より速い速度で、しきい値濃度までイオンが注入されていない、使用中の特定のタイプの材料の一部をエッティングする、エッティング・プロセスが使用される。

イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスの一例は、水酸化テトラメチル・アンモニウム (TMAH) 湿式エッティング液を含む。TMAH湿式エッチ
50

ング液は、好適には、半導体ウエハ10を浸漬する、エッティング溶液として管理することが好ましい。

TMAH湿式エッティング溶液の好適な濃度は、脱イオン水溶液で、約0.1重量パーセントおよびそれ以上である。より好適な濃度は、溶液でTMAHを約1 - 10重量パーセント含む濃度であり、最も好適な濃度は、約2.5重量パーセントのTMAHを含む濃度であり、TMAH湿式エッティング溶液として使用することができる。TMAH湿式エッティングは、好適には、約5 - 50の範囲内の温度で、より好適なには、20 - 30の範囲の温度で行うことが好ましい。最も好適なのは、約30で、TMAH湿式エッティングを行うことである。

シリコンを含む材料の量のイオンが注入された部分には、好適には、シリコンを含む材料の1立方センチ当り、約 1×10^{15} から、約 1×10^{22} の範囲内のイオンのしきい値濃度で注入することが好ましい。より好適なしきい値濃度は、シリコンを含む材料の1立方センチ当り、約 5×10^{18} から約 5×10^{19} の範囲内の濃度である。最も好適なしきい値濃度は、シリコンを含む材料の1立方センチ当り約 1×10^{19} である。比較的注入されたイオンが少ない部分30は、好適には、イオン20がほとんど注入されていないことが好ましい。

図5は、TMAH湿式エッティングの注入イオン濃度に対する、エッティング速度の関係を示す。この図の場合、イオンが注入されたポリシリコンの代表的なエッティング速度は、1立方センチ当りのイオン数で表わすイオン注入濃度に対して、1分当りのオングストロームで表わしてある。図5においては、シリコンを含む材料の1立方センチ当り、 1×10^{19} またはそれに近いイオン濃度において、本発明の湿式エッティングによるエッティング速度は下降を始め、シリコンを含む材料の1立方センチ当り、屈曲点が約 1×10^{19} イオン濃度、またはその付近の濃度に達するまで下降を続ける。

従って、通常のイオン注入パラメータ、およびエッティング・パラメータを使用した場合には、イオンしきい値濃度は、シリコンを含む材料の1立方センチ当り、約 5×10^{18} から約 5×10^{19} の範囲内にある。もちろん、イオンが注入された部分に、シリコンを含む材料の1立方センチ当り 5×10^{19} 以上のイオンを注入することもできるが、余分なイオンが、シリコンを含む材料のイオンが注入された部分で、選択的に、実質的に増大するということは観察されてない。

TMAH湿式エッティングを行う場合、ポリシリコン層14の電気的特性を、変化させることができが分かっている従来のドーパントを、イオン注入作業に使用することができる。燐が、十分な結果が得られる、好適なドーパントであることが分かっている。砒素およびホウ素も、満足すべきドーパント・イオンであると予想されている。III AグループおよびVAグループの元素を含む他のイオンも、必要なドーピング・スキームに従って選択することができる。シリコン・イオンもよい結果が得られるイオンである。

ポリシリコン層14の電気的特性を変化させない不活性イオンも、注入することができる。例えば、シリコンを含む材料、またはシリコンを含む材料に隣接する他の材料がある種の電気的特性を得るために、特定の方法でドーピングされている場合であって、上記電気的特性を変えたくない場合には、不活性イオンの注入が役に立つ。そのような一例としては、CMOS集積回路の製造がある。ポリシリコン層14にPタイプまたはNタイプのドーパントを注入した場合、熱処理を含む以降の手順中に、隣接するNタイプまたはPタイプの能動領域内に、ドーパントを拡散させることができる。異なるタイプのドーパント・イオンを、これらのドーピングされた領域に拡散させると、NタイプまたはPタイプの能動領域の機能を変えることができる。注入中のイオンも、目的とするイオンが注入された領域を越えて、下に位置するNタイプまたはPタイプの能動領域内に、入りこむ場合がある。それ故、例えば、燐を注入した場合には、Pタイプの領域の電気的特性を変える恐れがあり、一方、アルゴンを注入した場合には、PタイプおよびNタイプの領域両方の、特定の電気的特性は変化しない。そのような場合、不活性イオンの後の拡散により、電気的に中性になるように、不活性イオンを注入することができる。

本発明のもう一つの機能を使えば、ドーパント・イオンおよび不活性イオンの組合せを使用して、複数のイオン注入ステージにより注入することができる。それ故、燐のようなドーパント・イオンを使用して、比較的低いイオン注入エネルギーの範囲、または比較的浅

10

20

30

40

50

いイオン注入角度で、最初のイオン注入作業を行うことができる。以降の深いイオン注入作業は、アルゴンのような不活性イオンを使用して行うことができる。従って、能動領域のような、電気的特性を変えたくない下に位置する層の上の、ポリシリコン層14の領域内に、イオンを注入する場合には、イオンが深く入り過ぎて下に位置する材料に達した場合でも、材料の電気的特性を変化させない。また、不活性イオンだけが下に位置する材料に近接して接触している場合には、ドーパント・イオンは下に位置する材料には拡散しない。

イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスを成功させるために、特定の方法でポリシリコン層14をドーピングする必要がないので、必要なイオン注入ドーパント濃度プロファイルを達成するために、異なるタイプのイオンを一緒に、または異なる時間に注入することができる。さらに、ポリシリコン層14の異なる部分は、パターン形成中の任意の他のシリコンを含む材料に、異なるタイプのイオンにより、異なるイオン注入ステージにおいて、イオンを正しいしきい値濃度に注入することができるし、またイオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスは、依然としてポリシリコン層14の異なる各部分に対して選択的である。

特定のドーパントを必要としない他に、イオンが注入されたシリコンを含む材料に対して選択的な本発明のエッティング・プロセスは、熱処理による注入イオンの活性化または拡散に依存しない。それ故、熱処理を必ずしも行う必要はない。すでに説明したとおり、通常アニールとして行われる熱処理により、イオン20は横方向に通常拡散し、それにより、イオン注入濃度プロファイルが変化するために、熱処理が望ましくない場合もある。イオン注入濃度プロファイルの変化により、結果として得られる成形済みの開口部の大きさに対する制御の力が弱くなる。アニールを行わないで、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスを行うと、濃度プロファイルがもっとシャープになるが、このことは、多くの場合、熱処理によるイオンの拡散より望ましいことである。

本発明のもう一つの機能は、TMAH湿式エッティングを使用する場合、もとの場所にドーピングしたシリコンを含む材料が、ドーピングされていないシリコンを含む材料の材料除去速度より、遅い材料除去速度で除去されることである。しかし、もとの場所にドーピングされたシリコンを含む材料は、イオンが注入されたシリコンを含む材料のような、遅い材料除去速度で除去されない。それどころか、材料除去速度は、ドーピングされていないシリコンを含む材料の材料除去速度の約1/3である。従って、イオン注入が行われる前に、ポリシリコン層14を、もとの場所でドーピングした場合には、好適には、もう一つのとの場所でのドーピングが、ポリシリコン層の1立方センチ当たり、約 1×10^{19} 以下の濃度を形成するようになることが望ましい。

もちろん、イオンが注入されていないシリコンを含む材料を、イオンが注入されたシリコンを含む材料よりもっと速い速度で、除去する他のよい結果を与えるエッティング液を、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスとして使用することができる。例えば、基本的な溶液を使用することができるが、その一例としてはカセイ・カリ(KOH)がある。

図6は、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスを行った結果を示す。図を見れば、結果として得られる成形済みの開口部が、孔部32の形をしていることが分かるだろう。ホトレジスト・マスク16の縁部の下へのイオンの注入により、図2に示すように、孔部32は、それを使用してパターン形成を行ったホトレジスト・マスク16の大きさより小さくなっている。イオン注入パラメータを適当に選択すれば、従来の写真製版により達成できた大きさより、小さい孔部32を形成することができる。例えば、0.35ミクロンのような商業的な写真製版の解像度以内のホトレジスト・マスク16の幅の場合には、ある実施形態の場合には、約0.2ミクロンまたはそれ以下の幅の、孔部32を形成することができる。

図7-図9は、本発明の第一の方法の他の実施形態を示す。この実施形態の場合には、図6に示すように、パターン形成されたポリシリコン層14が、下に位置する層をエッティング

10

20

30

40

50

するためのハードマスクとして使用される。この作業中、この実施形態の場合には窒化シリコン層34である、下に位置する層が、ポリシリコン層14を形成する前に形成される。その後、上記とほぼ同じ方法で、イオン注入およびエッティングが行われ、その結果、図7の構造体が形成されるが、孔部32は窒化シリコン層34の上に形成される。

孔部32が窒化シリコン層34上に形成されると、窒化シリコン層34は、ポリシリコン層14をハードマスクとして使用して、第二のエッティング・プロセスによりエッティングされる。第二のエッティング・プロセスは、ポリシリコン層14を除去する速度より速い速度で、窒化シリコン層を除去するエッティング液を使用するように選択される。好適には、第二のエッティング・プロセスは、下に位置する層を異方性に従って除去することが好ましい。例示としての、ポリシリコン層に対して選択的な、窒化シリコンをエッティングするエッティング液としては、ケイフッ化水素がある。窒化シリコンを異方性に従ってエッティングし、ポリシリコンに対して選択的な乾式エッティング・プロセスは、反応イオン・エッティング液内にCHF₃を使用する。

図8は、第二のエッティング・プロセスの結果を示す。孔部36は、ポリシリコン層14内の孔部32とほぼ同じ大きさを持つ、窒化シリコン層34に形成される。それ故、ポリシリコン層14以外の層、または使用するシリコンを含む材料の特定の層は、また成形済みの開口部の幾何学的形状を、従来の写真製版が形成することができる、大きさよりも小さくすることができます。図8の構造体が形成されると、ポリシリコン層14は、通常、窒化シリコンに対して選択的にポリシリコンをエッティングする、エッティング・プロセスにより除去される。

図9は、ハードマスクを形成するための、成形済みの開口部の形成の図7-図9の実施形態を使用する一つの用途を示す。この場合、ポリシリコン層14は除去され、孔部36に材料を蒸着し、パターン形成する他の手順を実行する。この実施形態の孔部36に蒸着された材料は、オボニック・カルコゲニド材料を含み、プログラマブル抵抗で使用するのに適しているプラグ38を形成する。それ故、この実施形態は、写真製版より優れた解像度の大きさを持つ孔部に、カルコゲニド・プログラマブル抵抗を形成することができる。

もう一つの用途の場合、相互接続ラインを形成するために、孔部36を導電性の材料で充填することができる。この充填作業中、孔部36は、好適には、図9のページの方に向かって伸びる、必要な長さのトレーナーの形をしていることが好ましい。トレーナーはまっすぐである必要はなく、非直線的なものであってもよい。異なる幅の一体になっている部分も、トレーナーおよびもっと大きな構造体に接続することができる。それ故、約0.35ミクロンのような、従来の写真製版の解像度の限度内の幅を持つ、ホトレジスト・マスクを使用することにより、遙かに狭い相互接続ラインを形成することができる。ある実施形態の場合には、約0.2ミクロンまたはそれ以下の幅を持つ、相互接続ラインが形成される。

隆起成形済みの構造体も、ポリシリコン層14の無傷の突出領域を囲む、成形済みの開口部を形成することにより、第一の方法で形成することができる。隆起成形済みの構造体は、隆起成形済みの構造体を形成するために使用する、成形済みの開口部の形を調整することにより、調製されるプロファイルを持つ。種々のタイプの隆起成形済みの構造体が形成される、第一の方法の代表的な用途については以下に説明する。

すでに説明したとおり、第一の方法は、高い柔軟性、制御および精度を持つ、成形済みの開口部の大きさおよびプロファイルを制御するために使用される。その結果、従来の写真製版により形成することができたものより小さい、成形済みの開口部を形成することができる。プログラマブル抵抗のオボニック・セルの形成、および相互接続ラインの形成のような、上記大きさを必要とする用途は、本発明により実際に実行することができるようになった。第一の方法の場合、成形済みの開口部を形成するために使用した手順は、写真製版の従来の代替方法より簡単である。どのくらい簡単であるかは、複数の蒸着作業を使用しなくとも、また乾式エッティング・プロセスを行わなくとも、第一の方法を実行することができることから明らかである。従って、第一の方法を使用すれば、高い処理能力および低いコストの製造プロセスを行うことができる。

2.イオンが注入されていないシリコンを含む材料に対して選択的なエッティング・プロセスにより形成された成形済みの構造体

10

20

30

40

50

図10 - 図19は、本発明の第二の方法である。この第二の方法の場合には、成形済みの構造体は、第一の方法の選択的エッチング・プロセスとは反対に、イオンが注入されていないシリコンを含む材料に対して選択的にシリコンを含む材料の層の一部をエッチングする、エッチング・プロセスにより半導体基板上に形成される。

第二の方法を使用すれば、従来の写真製版プロセスの能力の範囲内で、形成できるものより小さい成形済みの構造体を形成することができる。成形済みの構造体は、例えば、ゲート領域、プラグまたは接点のような、半導体装置の主要部分を備えることができる。

第二の方法を実行する一つの方法の場合、成形済みの構造体はポリシリコンから形成され、半導体基板は半導体ウエハを含む。従って、シリコンを含む材料の層は、ポリシリコン層を含む。それ故、図10に示すように、半導体ウエハ40が供給され、ポリシリコン層44が、半導体ウエハ40のシリコン基板42上に形成される。ポリシリコン層44は、真性ポリシリコンから形成され、上記第一の方法のところで説明した従来の方法により蒸着される。

ポリシリコン層44が形成された後で、ポリシリコン層44は、図11に示すように、ホトレジスト・マスク46のようなマスク被覆基板によりマスクされる。ホトレジスト・マスク46の代わりに、シリコンの酸化物または窒化物のような材料、または注入イオンを浸透させない任意の他の材料のような材料でできている、ハードマスクを使用することができる。ホトレジスト・マスク46に適しているもう一つの他の材料は、感光性ポリアミドである。イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスを行った後で、残すためのポリシリコン層14の、一つの領域または複数の領域をカバーするために、ホトレジスト・マスク46がパターン形成される。残す必要がない部分は、イオン注入に対して露出したままの状態に維持される。

ポリシリコン層44がマスクされると、イオン注入作業が行われる。図12に矢印48で示すように、ホトレジスト・マスク46に近接している、ポリシリコン層44の領域に焦点を結ばせることにより、イオン注入作業を局地的に行うことができる。別の方針としては、ポリシリコン・ウエハ40全体にわたって、イオン注入作業を行うことができる。イオン注入作業により注入されたイオン50は、イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスの選択に従って選択したタイプのイオンである。イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセス、および注入されるイオンのタイプの選択については、以下にもっと詳細に説明する。イオン注入パラメーターは、好適には、結果として得られる成形済みの主要部分を調整する、上記第一の方法のところで説明した方法で選択することが好ましい。しかし、結果は反転することができる。何故なら、除去されるのは、ポリシリコン層44のイオン注入部分であり、ほとんどイオンが注入されない部分ではないからである。

図12に示すように、イオン注入作業は、ポリシリコン層44の頂面から、イオン注入角度で行われる。イオン注入角度は、上記第一の方法のところで説明したように、シリコン・ウエハ40の頂面に直角な角度であってもよい。別の方針としては、図12に示すように、イオンをホトレジスト・マスク46の下に注入するために、シリコン・ウエハ40の頂面に対して直角以外の角度にすることができる。ホトレジスト・マスク46の下にイオン50が注入される量は、イオン注入エネルギー、およびイオン注入角度により選択することができる。そうしたい場合には、注入イオンの深さおよび濃度を規制するために、複数のステージによりイオン注入作業を行うことができる。複数のステージにより行ったイオン注入の結果は、上記第一の方法のところで説明に従って、図3に図形で示すものと同じである。成形済みの構造体を組み立てる際には、注入の深さ全体にわたって均一な濃度で、イオンが注入されるように、いくつかの注入ステージおよびいくつかの異なるイオン注入角度で、イオン注入作業を行うことができる。イオン注入作業は、また上記第一の方法のところで説明したように、成形済みの主要部分のプロファイルを調整するために、各ステージにおいてイオン注入エネルギーの異なるレベルまたは範囲、または異なるイオン量で行うこともできる。

イオン注入作業を行った後で、ポリシリコン層44を、図13に示すパターン形成したポリシリコン・プロック52にするために、以後初期エッチング・プロセスと呼ぶ、ほぼ異方性の

10

20

30

40

50

エッチング・プロセスが行われる。ポリシリコン・ブロック52は、ホトレジスト・マスク46とほぼ同じ横方向の大きさを持つ。ホトレジスト・マスク46の下にイオン50を注入すると、パターン形成されたポリシリコン・ブロック52内に重畠注入領域52aが形成される。最初のエッチング・プロセスは、ホトレジスト・マスク46に対して選択的にポリシリコンをエッチングする、任意の適当なエッチング化学により行うことができる。好適には、ホトレジスト・マスク46のパターンを維持し、それにより、結果として得られる成形済みの主要部分の幾何学的形状を、よりよく制御するために、最初のエッチング・プロセスは異方性であることが好ましい。ある実施形態の場合には、最初のエッチング・プロセスは、RIEまたはMRIEのような乾式エッチング・プロセスを含む。

最初のエッチング・プロセスを行った後で、イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスが実行される。イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスを、ホトレジスト・マスク46を除去した後で行うことができるし、またはイオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスを、まだ正しい位置にあるホトレジスト・マスク46により行うことができる。ホトレジスト・マスク46を自由に除去することができるので、本発明の方法の柔軟性が向上する。ホトレジスト・マスク46は、通常、成形済みの構造体の高さが重要な場所でのエッチングを行う前に除去される。何故なら、正しい位置にホトレジスト・マスク46を置かないでエッチングを行えば、結果として得られる成形済みの構造体の高さが幾分低くなるからである。

ポリシリコン層44を、ポリシリコン層44の、比較的注入されたイオンが少ない部分より、速くエッチングさせるために、イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスにより、注入されるイオン50のタイプが選択される。ホトレジスト・マスク46を除去する前に、イオンが注入されていないシリコンを含む材料に対して、湿式エッチングであることが好ましい、選択的である選択的エッチング・プロセスを行う。より好適なには、水、酢酸、ケイフッ化水素および硝酸を含む、ポリシリコンに対する湿式エッチングのような、酸をベースとするエッチング・プロセスが使用される。

ホトレジスト・マスク46を除去する前に、イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスを行う場合には、上記湿式エッチング・プロセスが行われるか、または従来の異方性乾式エッチング・プロセスが行われる。どちらのエッチング・プロセスの場合でも、イオンが注入されたシリコンを含む材料は、イオンが注入されていないシリコンを含む材料より、高い材料除去速度を持つ。

他の実施形態の場合には、イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスは、KOHエッチング・プロセスである。この場合、シリコンを含む材料は逆ドーピングされる。KOH逆ドーピングされたエッチングを使用する場合には、図12に示すように、ポリシリコン層44は、最初、ホウ素のようなPタイプのドーパントで真性にドーピングされ、イオン注入プロセスは、ポリシリコン層44を逆ドーピングするために、燐または砒素のようなNタイプのドーパントを使用する。イオンは、除去されるシリコンを含む材料の領域内に注入される。しきい値濃度が達成されるが、この濃度は、イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスの特定のタイプのにより決定される。特定のイオン注入パラメータおよびエッチング・パラメータは、達成目標の注入イオンの濃度により異なる。

成形済みのポリシリコン構造体54は、図14に示すように、エッチング・プロセスにより作られる。成形済みのポリシリコン構造体54の大きさ、および特にホトレジスト・マスク46の大きさから変化する、成形済みのポリシリコン構造体54の大きさは、すでに説明したとおり、イオン注入パラメータの選択により、特にイオン注入エネルギーおよびイオン注入角度を選択することにより、制御することができる。この能力のおかげで、パターン形成されたポリシリコン構造体54の大きさを、よりよく制御することができる。

パターン形成されたポリシリコン構造体54は、任意の隆起した形に形成することができ、その横断面を、例えば、正方形のゲート領域、細長い相互接続ラインまたは垂直に延びる相互接続構造体にすることができる。商業的写真製版解像度の限界内の幅を持つ、ホトレ

ジスト・マスクを使用することにより、相互接続ラインまたはゲート領域のような、ホトレジスト・マスクより狭い幅を持つ、隆起成形済みの構造体を形成することができる。ある実施形態の場合には、ホトレジスト・マスク46は、約0.35ミクロンの幅を持つアイランドであり、パターン形成されたポリシリコン構造体54は、約0.2ミクロンまたはそれ以下の幅を持つ。

図15および図16は、第二の方法の他の実施形態である。この実施形態の場合には、パターン形成されたポリシリコン構造体54が上記のように形成されると、ポリシリコン構造体54は、ポリシリコン以外の材料から成形済みの構造体を形成するために、仮説ハードマスクとして使用される。その際、ポリシリコン層44を形成する前に、成形済みの構造体に形成される材料からできている、下に位置する層が形成される。この実施形態の場合には、下に位置する層は、図15に示すように、二酸化シリコン層58を含む。二酸化シリコン層58が形成されると、図に示すように、図15のパターン形成されたポリシリコン構造体54を形成するために、上記とほぼ同じ方法で第二の方法が行われる。ポリシリコン構造体54が形成された後で、図16に示すように、二酸化シリコン層58が、ポリシリコン構造体54をハードマスクとして使用して、エッチングされる。その際、ポリシリコンをエッチングするより速い速度で、二酸化シリコン層58をエッチングするエッチング・プロセスが使用される。パターン形成された構造体60は、その後、二酸化シリコンから形成され、ポリシリコン構造体54とほぼ同じ大きさを持つ。ポリシリコン構造体54が写真製版より高い解像度で作られるので、図16のパターン形成された構造体60も、写真製版よりも高い解像度で形成することができる。

パターン形成されたポリシリコン構造体54は、また、図17 - 図19の他の実施形態に示すように、孔部、トレンチまたは他の成形済みの開口部を形成するための、仮説スペーサをとして使用することもできる。図17の場合、成形済みのポリシリコン構造体54が、図9 - 図14のところで説明した方法で形成される。パターン形成されたポリシリコン構造体54は、必要な成形済みの開口部の大きさで形成され、その中に成形済みの開口部が形成される二酸化シリコン層62のような、材料のブランケット層でほぼカバーされる。図18に示すように、その後、二酸化シリコン層62は平らに処理される。ある実施形態の場合には、平面化プロセスはCMPにより行われる。図18の構造体は、例えば、相互接続構造体として使用することができる。

図19のさらに他の実施形態の場合には、成形済みの開口部を形成するために、成形済みのポリシリコン構造体54が除去される。成形済みの開口部を形成する際には、二酸化シリコン層62に対して選択的ポリシリコンをエッチングするエッチング・プロセスにより、成形済みのポリシリコン構造体54が除去される。孔部64の形をしている結果として得られる成形済みの開口部は、下に位置するシリコン基板42と、二酸化シリコン層62の表面との間に、接点を形成するのに適している。孔部64は、また第一の方法の図9の実施形態の場合のように、プログラマブル抵抗のオボニック・セルを形成するために、カルコゲニド材料で充填することができる。

それ故、本発明の第二の方法は、従来の写真製版で形成できるものよりも、小さい寸法の成形済みの構造体を形成するために、ポリシリコンまたは他の材料の層をパターン形成するために使用することができる。この方法は、柔軟性に富み、制御することができ、結果として得られる成形済みの構造体を正確に調整することができ、上記の使い捨てスペーサ流れプロセスのような、写真製版の代替プロセスより、実行が簡単であり効率的である。安定性および効率が改善されたので、集積回路製造プロセスを、より高い処理能力および安いコストで、実行することができる。

3.イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによるポリシリコン・プラグの形成

図20 - 図23は、本発明の第三の方法を示す。第三の方法は、相互接続構造体を形成するために、第一の方法のところで説明したように、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを使用する。この実施形態の場合には、相互接続構造体は、ポリシリコン・プラグを含む。

10

20

30

40

50

図20は、能動領域が、相互接続構造体を使用することにより、上に位置する構造体と電気的に連絡している第三の方法の一実施形態である。図の半導体基板は、半導体ウエハ70の形をしていて、そこから集積回路が形成される。半導体ウエハ70の上にはシリコン基板72が形成される。シリコン基板72の上には、この実施形態の場合には、MOSトランジスタのソース／ドレイン領域である、複数の能動領域74が形成される。能動領域74に隣接するシリコン基板72の上には、複数のゲート領域76が形成される。ゲート領域76は、それぞれ、ゲート酸化層上に導電性のゲート層を持ち、絶縁スペーサ78でカバーされている側面と頂部を持つ。

第三の方法は、能動領域以外の電荷導電領域を、上に位置する構造体に電気的接続属するために使用される。例えば、ある実施形態の場合には、相互接続構造体はバイアを含み、電荷導電領域は、下に位置する接点上に備える。

図21は、この実施形態の場合、ゲート領域76および能動領域74上に形成された、シリコンを含む材料の層である。ポリシリコン層80は、任意の周知の適当な方法により蒸着され、好適には、すでに説明したように、真性ポリシリコンを含むことが好ましい。

図22は、ポリシリコン層80上に形成されたマスク被覆基板である。図22においては、マスク被覆基板は窒化シリコンのハードマスク82の形をしている。窒化シリコン・ハードマスク82は、除去されるポリシリコン層80の一部をカバーしていて、残留させるポリシリコン層80の一部を露出状態のままにしておく。従って、ポリシリコン相互接続構造体が形成される、能動領域74の上に位置するポリシリコン層80の一部は、露出し状態のままになっている。別 の方法としては、マスク被覆基板は、また酸化物、ホトレジスト、または注入イオンに対してバリアとしての働きをする、他の材料を含むことができる。

図22は、ポリシリコン層80のマスクしていない部分への、イオン84の注入を示す。窒化シリコンのハードマスクを正しい位置に設置した状態で、イオン注入が一回行われる。図22の場合、イオン84の注入を下向きの矢印84で示す。イオン84は、上記のように、第三の方法の他のステージにおいて行われる、エッチング・プロセスに従って選択されるタイプのものである。ある実施形態の場合には、イオン84は燐イオンを含む。イオン84の注入により、ポリシリコン層80に、比較的注入されたイオンが少ない部分80a、および大量のイオンが注入された部分80bが形成される。比較的注入されたイオンが少な部分80a、および大量のイオンが注入された部分80bは、それぞれ、除去されるポリシリコン層80の一部、および残留するポリシリコン層80の一部に対応する。

大量のイオンが注入された部分80bの形は、第一の方法のところで説明したように、イオン注入パラメータを変更することにより、修正することができる。イオン注入は、イオン注入パラメータを、イオン注入の各ステージに対して変更させて、複数のイオン注入ステージにより実行することができるし、また第一の方法のところで説明したように、ドーパント・イオンおよび不活性イオンの組合せにより実行することができる。

図23は、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを順次実行した結果である。イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスは、第一の方法のところで説明した方法とほぼ同じ方法で、第三の方法により行われる。この場合、形成中の相互接続構造体の形をさらに修正するために、エッチング・パラメータを上記のように変更することができる。イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを使用すると、相互接続構造体が形成される。この実施形態はその中のいくつかを示すが、それら相互接続構造体はポリシリコン・プラグ86および88である。

第三の方法の場合には、従来の絶縁層を蒸着および逆流を行わないですむ、簡単な方法でポリシリコン・プラグが形成される。通常、絶縁層を貫通する、相互接続構造体の開口部を形成するために行われる、乾式エッチング・プロセスも実行しないですむ。製造処理能力およびコストに悪影響のある、CMPプロセスも実行しないですむ。さらに、第三の方法は、集積回路製造プロセスの柔軟性をもっと向上させる。何故なら、相互接続構造体は、イオン注入プロセス・パラメータ、およびエッチング・プロセス・パラメータを、適当に修正することにより、特定のプロファイルに修正することができる。

10

20

30

40

50

4. イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスによる、積層型コンテナ・コンデンサ・セルの形成

本発明の第四の方法は、第三の方法を修正したもので、図24および図25にそれを示す。第四の方法の場合、積層型コンデンサの電荷貯蔵ノードは、電荷導電領域の上に形成される。第四の方法のこの実施形態の場合、ポリシリコン相互接続構造体も積層型コンデンサの電荷貯蔵ノードと一緒に形成される。

積層型コンデンサの電荷貯蔵ノードは、好適には、半導体基板の上に形成するのが好ましい。最初に、半導体基板上に存在する複数の絶縁ゲート・スタック上に位置する、電気的に導電性のある量のシリコンを含む材料が形成される。複数のゲート・スタック内の、絶縁ゲート・スタックの各組に隣接して、またその間に、半導体基板に位置する電荷導電領域が設置される。電気的に導電性の、ある量のシリコンを含む材料は、また各電荷導電領域上に形成される。次に、各電荷導電領域および各絶縁ゲート・スタックに隣接して、またその上に位置するように、上記量の電気的に導電性のシリコンを含む材料上に、マスク被覆基板が設置される。上記量の電気的に導電性のシリコンを含む材料の、マスクされた一部が、マスク被覆基板によりマスクされ、上記量の電気的に導電性のシリコンを含む材料のマスクされていない部分が、マスク被覆基板によりマスクが外される。

次のステップは、マスク被覆基板上に電気的に導電性のシリコンを含む材料の、もう一つの層を形成し、異方性エッティングにより、そこから、マスク被覆基板に隣接していて、それに接している、上記量の電気的に導電性のシリコンを含む材料から延びる、少なくとも一つのスペーサを形成するために、マスク被覆基板上に電気的に導電性のシリコンを含む材料のもう一つの層から、シリコンを含む材料をエッティングするステップである。

上記少なくとも一つのスペーサを形成した後で、マスクされていない部分に、あるイオン濃度を形成し、マスクされていない部分の濃度よりかなり低い、マスクされた部分に、あるイオン濃度を形成するために、上記量の電気的に導電性のシリコンを含む材料、および電気的に導電性のシリコンを含む材料の、もう一つの層にイオンが注入される。イオン注入ステップの後で、マスク被覆基板は除去される。

その後、第一のイオン注入部分から、そこから延びる少なくとも一つのスペーサを持つ、コンデンサの電荷貯蔵ノードを形成するために、マスクされていない部分より少なくとも二倍の材料除去速度で、マスクされていない部分から、シリコンを含む材料が除去される。

図20および図21について説明すると、第四の方法は、図20プロセス21のところで説明した方法とほぼ同じ方法で実行される。それ故、図20に示すように、集積回路が形成される半導体ウエハ70が供給され、その上にシリコン基板72が形成される。また、半導体ウエハ70上に、この実施形態の場合には、MOSトランジスタのソース/ドレイン領域を含む、能動領域74aおよび74bが形成される。半導体基板72上に、能動領域74aおよび74bに隣接して、ゲート領域76が形成される。ゲート領域76は、絶縁スペーサ78内に収容される。図の場合にはポリシリコン層80である、シリコンを含む材料の層が、能動領域74aおよび74b上に形成される。ここでもまた、好適には、第一の方法のところで説明したように、真性ポリシリコンから、ポリシリコン層80を形成することが好ましい。マスク被覆基板は、ポリシリコン層80上に形成され、図の実施形態の場合には、窒化シリコンのハードマスク82の形をしている。窒化シリコンのハードマスク82は、図24の能動領域74aおよび74b上に、開口部によりパターン形成される。そうしたい場合には、その後で、イオン注入プロセスを実行することができる。

第四の方法は、スペーサ90が、能動領域74aおよび74bの上の、ポリシリコン層80上に、形成されるという点で第三の方法とは異なる。スペーサ90を形成するために、図22に示すように、ポリシリコン層80が、窒化シリコンのハードマスク82に対して高く形成される。そうするために、ポリシリコン層80は、窒化シリコンのハードマスク82が形成された後で、ポリシリコンをさらに蒸着することにより形成される。その後で、スペーサ90を形成するために、ポリシリコン層80を、好適には、スペーサ・エッティングにより、選択的に除去することが好ましい。スペーサ90は、図24に示すように、窒化シリコンのハードマスク82の

10

20

30

40

50

隣接するアイランドの、最も近い縁部に取り付けられる。好適には、スペーサ90は、ポリシリコンのようなシリコンを含む材料から形成することが好ましい。

スペーサを形成した後で、ポリシリコン層80のマスクされていない部分にイオンを注入するため、イオン注入作業が行われる。このイオン注入作業は、比較的注入されたイオンが少ない部分80aおよび大量のイオンが注入された部分80bが、ポリシリコン層80に形成されるように、図22のところで説明した方法とほぼ同じ方法で実行される。

大量のイオンが注入された部分80bの形は、第一および第二の方法に対する、上記イオン注入パラメータを適当に選択することにより、修正することができる。イオン注入は、ステージ間でパラメータを変化させて、複数のステージにより行うこともできるし、また第一の方法のところで説明したように、ドーピント・イオンおよび不活性イオンを組合せて行うこともできる。

イオン注入を行った後で、比較的注入されたイオンが少ない部分80aが、エッチングにより除去され、イオンが注入された部分が残留するように、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを行うことができる。イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスは、図23のところで説明したのとほぼ同じ方法で行われる。結果として得られる積層型コンデンサの電荷貯蔵ノード、およびポリシリコン相互接続構造体の形をさらに修正するために、第一の方法のところで説明した方法で、エッチング・プロセス・パラメータを選択することができる。図25は、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスの結果を示す。この図は、完成した積層型コンデンサの電荷貯蔵ノード92、およびポリシリコン・プラグ86および88を示す。積層型コンデンサの電荷貯蔵ノード92は、下に位置するコンデンサ・ベース92aに、一体に接続していて、上記コンデンサ・ベース92aは、積層型コンデンサの電荷貯蔵ノード92を、下に位置する能動領域74aに接続している。誘電層および上部コンデンサ・プレートを蒸着するもう一つの手順は、通常、積層型コンデンサを完成させるために行うことができる。

第四の方法は、コンデンサ・ベースと一体に形成されている、積層型コンデンサの電荷貯蔵ノード形成し、それによりより大きな電荷保持容量を得るために、もっと大きな貯蔵領域が供給される。この積層型コンデンサの電荷貯蔵ノードは、コンデンサ・ベースと一緒に形成することができ、それにより、個々のポリシリコン・プラグ形成プロセスを行う必要がなくなり、必要な材料蒸着作業およびホトレジスト・マスク作業の数が減り、処理能力が向上し、コストが安くなり、エラーが発生する機会がなくなる。さらに、第四の方法を使用すれば、柔軟性がさらに改善される。何故なら、相互接続構造体を、積層型コンデンサの電荷貯蔵ノードの形成と同時に、隣接する能動領域上に形成することができるからである。

5. イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによる、一連のCMOSプロセス中のポリシリコン・プラグの形成

図26-図30は、第五の方法、および第三の方法をさらに修正したものを示す。第五の方法において、相互接続構造体は、NMOS部分およびPMOS部分の、ドーピングした能動領域を破壊しないで、半導体基板のNMOS部分上での、一連のCMOSプロセス中に形成される。

第五の方法の場合には、最初に、CMOS回路が形成されるまで、従来の一連のCMOSプロセスが行われる。図26の実施形態のように、半導体ウエハ100が、その上に、シリコン基板102を形成する。このシリコン基板は、機能的にPMOS部分102aおよびNMOS部分102bに分割される。電界酸化物スペーサ領域104は、ゲート領域106、108および110として、シリコン基板102上に形成される。

図27の場合には、ホトレジスト・マスク114のようなマスク被覆基板が、PMOS部分102a上に形成され、NMOS部分102bは露出状態のままになる。ホトレジスト・マスク114が形成された後で、MOSトランジスタのソース/ドレイン領域としての働きをする、NMOS能動領域118をドーピングし、形成するために、適当なタイプのイオンを使用して、NMOS部分102bにイオンが注入される。NMOS能動領域118を形成した後で、ホトレジスト・マスク114が除去される。

10

20

30

40

50

図28は、図の実施形態の場合には、ポリシリコン層122である、ある量のシリコンを含む材料である。ポリシリコン層122は、PMOS部分102aおよびNMOS部分102bに蒸着される。ポリシリコン層122を蒸着した後で、マスク被覆基板がポリシリコン層122の頂部に形成され、パターン形成される。図の実施形態の場合には、マスク被覆基板は、窒化シリコンのハードマスク124を含む。相互接続構造体により電気的に連絡が行われる、選択したNMOS能動領域118上に位置する、ポリシリコン層122の一部を露出するために、窒化シリコンのハードマスク124がパターン形成される。

ポリシリコン層122をマスクした後で、第一の方法のところで説明した方法とほぼ同じ方法で、イオン注入作業が行われる。矢印126は、このイオン注入プロセスを示す。イオン注入作業を実行すると、NMOS能動領域118上のポリシリコン層122に、大量のイオンが注入された部分122aが形成され、他の部分にほとんどイオンが注入されていない部分122bが形成される。大量のイオンが注入された部分122aの形は、第一および第二の方法のところで説明したように、イオン注入パラメータを適当に選択することにより、修正することができる。イオン注入は、第一の方法のところで説明したように、ドーパント・イオンと不活性イオンとの組合せの注入を含む、ステージ間でイオン注入パラメータを変化させて、複数のイオン注入ステージにより行うことができる。

図29に示すように、ポリシリコン層122にイオンを注入した後で、窒化シリコンのハードマスク124が除去され、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスが、第一の方法のところで説明した方法とほぼ同じ方法で行われる。同時に、相互接続構造体を形成するために、ほとんどイオンが注入されていない部分122bが、エッティングにより除去され、ポリシリコン・プラグ128が残留する。相互接続構造体の結果として得られる形を修正するために、エッティング・プロセス・パラメータも、適当に選択することができる。

図30は、第五の方法のもう一つの処理である。この図においては、PMOSスペーサ130は、PMOSゲート領域106に隣接する。PMOSスペーサ130は、従来のCMOS構造体において、能動領域に正しく整合させるのに、あつたほうがよいものである。その後で、NMOS部分102が、マスク被覆基板によりマスクされる。この実施形態においては、上記マスク被覆基板はホトレジスト・マスク132である。矢印134で示すように、この実施形態の場合にはPMOS能動領域136である、PMOS能動領域を形成するために、適当なドーパント・イオンが、その後で、PMOS部分102aに注入される。その後で、ホトレジスト・マスク132が除去され、集積回路を完成させるために、従来の一連のCMOSプロセスが行われる。

第五の方法で、ポリシリコン相互接続構造体が、一連のCMOSプロセスにより、従来の方法より少ないステップで形成される。第五の方法により、ホトレジスト・マスク作業の数が少なくなり、それにより処理能力が向上し、最終的にそれにより形成される集積回路のコストが下がる。また、イオン注入プロセスおよびエッティング・プロセスからの相互汚染を起こさないで、NMOS領域およびPMOS領域の、ソース／ドレイン領域をドーピングすることができる。

6.イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスによる自立壁部の形成

図31-図34に、本発明の第六の方法を示す。第六の方法の場合には、自立壁部は、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスにより形成される。図31は、半導体基板が供給される、第六の方法の最初の手順を示す。この実施形態の場合には、半導体基板は、その上にシリコン基板152を持つ半導体基板150である。真性ポリシリコンから作られたポリシリコン層154は、シリコン基板152上に形成される。ホトレジスト・マスク156の形をした図31のマスク被覆基板は、ポリシリコン層154上に形成される。ホトレジスト・マスク156は、自立壁部が形成されるポリシリコン層154内の各位置上に、アイランドによりパターン形成される。自立壁部が複数のコラムを備える第一の実施形態の場合には、アイランドは、長方形の形に形成される。

図32に示すように、ポリシリコン層154の露出した部分を除去するために、異方性乾式エッティング・プロセス、または適当な同等のプロセスが行われ、それによりパターン形成さ

れたポリシリコン・ブロック158が形成される。好適には、パターン形成されたポリシリコン・ブロック158の間のアスペクト比は、約1より大きい。異方性乾式エッチング・プロセスが、第一の方法のところで説明した方法で行われるイオン注入作業により実行される。上記イオン注入作業を、図32の角度を持つ矢印で示す。イオンは、シリコン基板152に対して直角以外の角度で注入される。その結果、イオンは、パターン形成されたポリシリコン・ブロック158の、一つまたはそれ以上の側面に注入される。パターン形成された、ポリシリコン・ブロック158の対向側面にイオンを注入するために、図32では、対向するイオン注入角度が使用される。好適には、注入イオンのシャープな濃度プロファイルを維持するために、シリコン・ウエハ150の熱処理は避けることが好ましい。

図33は、図32からの切断線33-33を示す。この場合、介在熱処理を行わないで実行したイオン注入作業は、大量のイオンが注入された部分154b、および比較的注入されたイオンが少ないポリシリコン部分154bを特徴とする、注入イオンのシャープなイオン濃度プロファイルを描く。イオン注入濃度プロファイルを一定に維持するために、第一の方法のところで説明し、図3のところで詳細に説明した方法で、複数のイオン注入ステージにより、イオンを注入することができる。

図34は、第一の方法のところで説明したように、イオンが注入されたシリコンを含む材料に対する、選択的なエッチング・プロセスの結果を示す。比較的注入されたイオンが少ないポリシリコン領域154bは、エッチングにより除去され、一方、大量のイオンが注入されたポリシリコン領域154aは残留する。二つの対向角度からイオンを注入すると、パターン形成されたポリシリコン・ブロック158の中心が除去され、パターン形成された各ポリシリコン・ブロック158のところに形成された、二つの細い自立壁部160が残留する。自立コラム160は、図34のページの方向に選択した距離だけ延びる。また、自立コラム160は、例えば、相互接続ラインを形成するように、細長くすることもできる。自立コラム160は、同様に、非直線的構造体の形に形成することができる。図34に示すように、一組の細い自立コラム160は、積層型コンデンサの電荷貯蔵ノードとして、使用するのに適している。

第六のもう一つの実施形態の場合には、図32のホトレジスト・マスク156は、パターン形成されたポリシリコン・ブロック158を、対応する丸い表面の形にさせる、円形の一組のアイランドまたは複数のアイランドにより形成される。また、他の実施形態の場合には、イオン注入中、パターン形成されたポリシリコン・ブロック158の側面の周辺に、イオンを注入するために、半導体ウエハ150を回転するか、または種々の角度でイオンが注入される。好適には、イオンは均等な深さに注入することが好ましい。結果として得られる構造体は、図38の斜視図が示すように、ほぼ環状の側壁ブロック168aである。本発明の第七の方法に関連して、図38について説明する。

第六の方法で形成した自立壁部の厚さ、すなわち、薄い自立コラム160の厚さまたは図38のほぼ環状の側壁部の厚さは、イオン注入パラメータにより決定される。例えば、イオン注入角度が直角より小さい場合には、イオン注入は浅くなり、自立壁部はもっと厚くなる。別の方針としては、イオン注入エネルギーを小さくすると、自立壁部はもっと薄くなる。さらに、自立壁部の厚さを、従来の写真製版法によるものよりも薄くすることができる。

第六の方法の自立壁部は、従来の写真製版およびエッチング方法では不可能であった、高いアスペクト比を持つ構造体に形成することができる。自立壁部の別な実施形態は、集積回路製造プロセスを柔軟なものにする。さらに、自立壁部は、簡単で効率的な方法で形成することができ、それにより、集積回路製造プロセスの高い処理能力および低いコストを維持することができる。

7.イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによる連続自立壁部の形成

図35-図38は、第七の方法を示し、連続自立壁部の形成を含む。図35の場合には、半導体基板は半導体ウエハ162である。この実施形態の半導体ウエハ162は、シリコン基板164により形成される。ある量のシリコンを含む材料が、シリコン基板164上に、ポリシリコン層166として形成される。この実施形態の場合には、ホトレジスト・マスク168の形のマス

10

20

30

40

50

ク被覆基板は、その後で、ポリシリコン層166上に置かれ、写真製版によりパターン形成される。ホトレジスト・マスク168は、連続自立壁部が形成される位置において、円形開口部168aによりパターン形成される。

図36に示すように、ホトレジスト・マスク168がパターン形成された後で、異方性乾式エッティング・プロセスまたは同等のエッティング・プロセスが、ホトレジスト・マスク168を通して、ポリシリコン層166上で行われる。ほぼ円形の開口部166aが、ポリシリコン層166に形成され、シリコン基板164が露出される。図36の斜めの矢印で示すように、ほぼ円形の開口部166aの側面にイオンを注入することにより、異方性乾式エッティング・プロセスが行われる。

図37は、図32の切断線33-33の図面類似の、図36からの切断線37-37である。この場合、
熱処理を行わないイオン注入は、大量のイオンが注入されたポリシリコン領域154a、および比較的注入されたイオンが少ないポリシリコン部分154bを特徴とする、シャープなイオン注入濃度プロファイルを示す。イオン注入濃度プロファイルを均一に維持するために、第一の方法のところで説明した方法で、複数のステージによりイオン注入をもう一度行うことができる。

図38は、第一の方法のところで説明した、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスが行われる、第七の方法のもう一つのプロセスの結果である。エッティング・プロセスにより、比較的注入されたイオンが少ないポリシリコンの領域154bが除去され、一方、多数のイオンが注入されたポリシリコン領域154aは残留する。このエッティング・プロセスにより、その内部に積層型コンデンサの、電荷貯蔵ノードとして使用するのに適している円形のチャンバ170bを形成する、連続自立壁部170が作られる。連続自立壁部170は、イオン注入パラメータにより決まる厚さを持つ。例えば、イオン注入角度を直角以下にすると、イオンの注入が浅くなり、側壁部がもっと薄くなる。イオン注入エネルギーが高いと、側壁部はもっと厚くなる。さらに、連続自立壁部170の幅を、従来の写真製版法により形成することができる幅よりも、狭くすることができる。

第七の方法は、第六の方法の別の方法であり、類似の利点を持つ。当業者なら、開いている円筒形の井戸166aの形、およびイオンが注入される、開いている円筒形井戸166aの、横方向に延びる面の広さを変えることにより、種々のタイプの薄いポリシリコン側壁部を形成することができることを、理解することができるだろう。

8.イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスによる
MOSサラウンド・ゲート・トランジスタの形成 30

本発明の第八の方法は、MOSサラウンド・ゲート・トランジスタを、形成するためのものである。最初に、ある量のシリコンを含む材料が、その上に側面を持つ半導体基板上の平らな面から延びる、上記量のシリコンを含む材料が供給される。次に、上記半導体基板上の上記平らな面に直角に、上記シリコンを含む材料の上記側面の上記量に、複数のイオンが注入される。イオン注入により、上記シリコンを含む材料に、第一のイオン注入部分および第二のイオン注入部分が形成され、上記第一のイオン注入部分は、第二のイオン注入部分の濃度より高い上記イオン濃度を持つ。

以降のステップは、半導体基板上の平らな面から延びる、成形済みの構造体を形成するために、第一のイオン注入部分の材料除去速度と比較すると、少なくとも二倍の材料除去速度で、第二のイオン注入部分からシリコンを含む材料を選択的に除去する作業である。

半導体基板の平らな面から延びるシリコンを含む材料は、半導体基板の平らな面上にシリコンを含む材料の層を蒸着し、その後で、シリコンを含む材料の層の上に、その下にシリコンを含む材料の層のマスクされていない部分が位置する、開口部をその内部に持つマスク被覆基板を形成し、そこからマスクされていない部分をほとんど除去し、半導体基板の平らな面から延びるある量のシリコンを含む材料を形成するために、シリコンを含む材料を異方性に従ってエッティングすることにより形成することができる。第二のイオン注入部分から、シリコンを含む材料を選択的に除去するステップの前に、シリコンを含む材料の層上のマスク被覆基板を除去するステップが行われる。

第八の方法の他の実施形態の場合には、マスク被覆基板内の開口部の外辺部は閉じていて 50

、シリコンを含む材料の層を異方性に従ってエッティングすることにより、ある量のシリコンを含む材料の側面により形成される隙間ができる。上記側面は上記隙間の連続面である。マスク被覆基板の開口部がほぼ丸い断面を持つように、ある量のシリコンを含む材料の側面で形成される隙間が、ほぼ円筒形になるように、また成形済みの構造体が側面に対向し、ほぼ平行な外面を持つように、製造プロセスを設計することができる。成形済みの構造体の外面および側面の断面はほぼ円形をしている。

図39 - 図41について説明すると、これらの図は、MOSサラウンド・ゲート・トランジスタを形成するための、本発明の第八の方法である。この実施形態の場合には、図39は、その上にシリコン基板164が位置する半導体ウエハ162を含む半導体基板である。LOCOSスペーサ領域164aは、その内部にサラウンド・ゲートMOSトランジスタが形成される、その中心に開放領域を形成するシリコン基板164上に形成される。その後で、ゲート酸化層170aが、シリコン基板164上の開放領域内に形成される。

第八の方法のもう一つの処理により、図38の連続自立壁部170の一つのような、連続自立壁部が、ゲート酸化層170a上に形成される。好適には、連続自立壁部を、第六のまたは第七の方法で形成することが好ましい。それ故、ある実施形態の場合には、連続自立側壁部170は、本発明のイオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスにより形成される。連続自立壁部170は、必ずしも円形である必要はなく、他の連続した形でもよい。例えば、断面が長方形または六角形の連続自立壁部を使用することができる。しかし、この実施形態の場合には、ほぼ環状で、連続している自立壁部を図示し、説明する。

連続自立壁部170が形成されると、図39および図40の側壁スペーサ170cが、内部および外部に一つずつ、連続自立壁部170上に形成される。側壁スペーサ170cが形成されると、シリコン基板164の連続自立壁部170の内部、およびその外部の周囲に、イオンが注入される。矢印172で示すイオン注入作業は、連続自立壁部170の内部に中央ソース／ドレイン領域164bを、連続自立壁部170の外部に外部ソース／ドレイン領域を形成する。もちろん、当業者ならソース／ドレイン領域を形成するための、イオン注入用ドーパントの種々の方法を、理解することができるだろう。例えば、側壁スペーサ170c、中央ソース／ドレイン領域164b、および外部ソース／ドレイン領域164cの順序を変更することができる。語線178cは、電界酸化領域の下を延び、他のメモリ・セルに向かって横に延びるように形成され、サラウンド・ゲート・トランジスタのゲート170に電気的に接続した状態で設置される。

円形チャネルは、中央ソース／ドレイン領域164aと、外部ソース／ドレイン領域164cとの間に位置する。好適には、円形チャネルは、中央ソース／ドレイン領域164b、および外部ソース／ドレイン領域164cの、ドーパント・タイプとは反対のドーパント・タイプで、軽度にドーピングすることが好ましい。好適には、円形チャネルのドーピングは、シリコン基板164のドーピング作業を行う前に行うことが好ましい。

図40は、MOSサラウンド・ゲート・トランジスタの平面図である。この図の場合、連続自立壁部170は、MOSサラウンド・ゲート・トランジスタのゲート領域を形成する。環状側壁部170のどちらかの側面は、側壁スペーサ170cの中の一つである。円形チャンバ170b内のシリコン基板164には、中央ソース／ドレイン領域164bが位置する。また、シリコン基板164内および連続自立壁部170の外部、および側壁スペーサ170cの外側には、外部ソース／ドレイン領域164cが位置する。図40には含まれていない、LOCOSスペーサ領域164aが、シリコン基板164の外部ソース／ドレイン領域164cの外部に位置する。図40を見れば、第八方法で形成されたMOSサラウンド・ゲート・トランジスタが、中央ソース／ドレイン領域164bと、外部ソース／ドレイン領域164cとの間に、幅の狭い円形のチャネルを持つことがわかるだろう。

MOSサラウンド・ゲート・トランジスタは、1/4ミクロン以下の長さの円形チャンバと一緒に形成することができる。チャネルの長さは、環状側壁部170の厚さにより決まるが、環状側壁部の厚さは、第六および第七の方法のとおりで説明したように、注入されるイオンの角度およびエネルギーにより決まる。それ故、第八の方法の場合、MOSサラウンド・ゲート・トランジスタは、0.5ミクロン以下の長さのチャネルを備える。好適には、チャネ

10

20

30

40

50

ルの長さは、約0.125と0.25ミクロンとの間であることが好ましく、最も好適なのは、チャネルの長さが約0.25ミクロンの場合である。

図41は、本発明のサラウンド・ゲート・トランジスタに基づく、MOS DRAMメモリ・セルを完成する方法である。図41に示すように、環状側壁部170の内部を、中央ソース／ドメイン領域164bから延びる接点174aが形成される。上記接点を形成する間に、下部絶縁層176aが、最初、BPSGのような絶縁材料から形成され、その後で、接点開口部がエッチングにより形成され、アルミニウムのような導電性の材料で充填される。この実施形態の場合、コンデンサの電荷貯蔵ノード174bと、接触させるために接点174aが使用され、その後で、上記ノードが、接点174aと電気的に接続している状態で、下部絶縁層176a上に形成される。

電荷貯蔵ノード174bが形成された後で、コンデンサの誘電174cがその頂部上に形成される。その後で、コンデンサ174を完成するために、上部コンデンサ・プレート174dが、コンデンサ誘電174c上に形成される。この実施形態の場合には、コンデンサの電荷貯蔵ノード174b上部プレート174dの両方が、ポリシリコンから形成される。コンデンサ174およびそれに接続している接点174aは、LOCOSスペーサ領域164aの間の開口部の中央に形成することができる。こうすることにより、メモリ・セルを非常にコンパクトにすることができる、一方、コンデンサ174をLOCOSスペーサ領域164aとの間にスペースを設けることができる。従来のコンデンサは、通常、LOCOSスペーサ領域に近接して形成しなければならず、そのためLOCOSスペーサ領域内の応力ひび割れを通して電荷の漏洩が起こるので、このようなスペースがあることは有利なことである。従来のコンデンサの場合、LOCOSスペーサ領域との間が離れているので、シリコン基板上にもっと広いスペースができ、小型化がうまくいかない。従って、コンデンサ174を設置することにより、従来のメモリ・セルと比較すると、電荷の漏洩の量が少くなり、形成中の集積回路の小型化を推進することができる。DRAMメモリ・セルを完成する場合に、上部絶縁層176bは、下部絶縁層176aおよびコンデンサ頂部プレート174d上に形成される。ビット・ライン接点178aは、上部絶縁層層176bおよび外部ソース／ドレイン領域164cまで延びる下部絶縁層176aを貫通して形成される。

上記MOSサラウンド・ゲート・トランジスタは、シリコン基板上で最少のスペースしか占有しないし、連続自立環状側壁部を形成する際に、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを使用することにより、従来技術のサラウンド・ゲート・トランジスタよりも、合理化された方法で形成される。MOSサラウンド・ゲート・トランジスタは、1/4ミクロン以下のチャネルと一緒に形成することができる。MOSサラウンド・ゲート・トランジスタは、またコンパクトで電荷の漏洩が最も少ない、DRAMメモリ・セルに容易に内蔵させることができる。

9.イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによる、積層型コンデンサの電荷貯蔵ノードの形成

図に示すように、42 - 45は、本発明のイオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスにより、積層型コンデンサの電荷貯蔵ノードが小さな表面積および自己整合により形成される、本発明の第九の方法を示す。

図42に示すように、第九の方法の場合には、ゲート領域が形成されるまで、最初、従来の一連のプロセスが実行される。図に示すように、半導体基板は、半導体ウエハ180の形をしている。半導体ウエハ180は、その上にシリコン基板190が設定されている形で形成される。シリコン基板の上には、ゲート領域182に隣接する能動領域180aが形成される。TEOS層182aのような誘電層が、能動領域180aおよびゲート領域182上に形成される。ポリシリコン層184は、TEOS層182a上に蒸着される。ポリシリコン層184は、上記のように真性ポリシリコンから形成され、HSGポリシリコンを含むことができる。ポロシリコン層184上には、窒化シリコンのハードマスク186のような、ハードマスク層が形成される。ハードマスク層は、イオン注入プロセスのためのハードマスク、および以降の高さを低くするプロセスに対するエッチング・バリアの両方の働きをする。二酸化シリコンも、ハードマスク層に適する材料である。

図43は、窒化シリコンのハードマスク層186が、積層型コンデンサの電荷貯蔵ノードが形

10

20

20

30

40

50

成される各位置において、円形開口部によりパターン形成が行われる、第九の方法の他の処理である。窒化シリコンのハードマスク186がパターン形成されると、シリコン基板190内の能動領域180aまで伸びるポリシリコン層184に、円錐形の開口部188を形成するために、異方性エッチング・プロセスが行われる。そのプロファイルが傾斜しているので、円錐形開口部188は、シリコン基板190と小さな面積で接触する。このように接触面積が小さいので、円錐形開口部188は、能動領域180aの一つの上に広い許容範囲で接触することができる。従って、また能動領域180aを、もっとコンパクトに形成することができ、そのため、結果として得られる集積回路をもっと小型にすることができます。

図44に示すように、円錐形開口部188を形成した後で、能動領域180aと電気的に接触するために、第二のポリシリコン層192が、窒化シリコンのハードマスク層186、および円錐形開口部188上に蒸着される。その後で、円錐形開口部188に位置する、第二のポリシリコン層192の一部にイオンを注入するために、図44に矢印で示す、イオン注入プロセスが行われる。イオンは、半導体ウェハ180に対して直角に注入することができ、または第一の方法のところで説明した方法で、異なるイオン注入ステージ間で、イオン注入角度または他のパラメータを変化させて、複数のイオン注入ステージにより注入することができる。イオンは、イオン注入パラメータを適当に選択することにより、達成された予め定めた深さに注入される。上記予め定めた深さは、形成する積層型コンデンサの電荷貯蔵ノードの側壁部の厚さを決定する。

その後で、窒化シリコンのハードマスク186を覆っている、第二のポリシリコン層192の頂部面が、化学機械平面化プロセス(CMP)のような、高さを低くするプロセスにより除去される。その後で、窒化シリコンのハードマスク層186は、ポリシリコンに対して選択的なエッチング・プロセス、またはCMPのような高さを低くするプロセスにより除去される。他のイオン注入パラメータも、注入イオンにより形成されたイオン濃度プロファイルを修正するために、第一の方法のところで説明したように、適当に選択することができる。イオン注入作業が行われると、本発明のイオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスが行われる。上記エッチング・プロセスは、第一の方法のところで説明した方法とほぼ同じ方法で行われる。従って、第一のポリシリコン層184のイオンが注入されていないポリシリコンが除去され、図45の円錐形構造体194が残留する。円錐形構造体194は、自立構造体であり、好適には、約2:1より大きいアスペクト比を持つことが好ましい。それ故、円錐形構造体194は、能動領域180aに接触する比較的小な面を持ち、積層型コンデンサの電荷貯蔵ノードとして使用するのに適するように、設計することができる。HSGまたはGSGポリシリコンは、またその表面積を増大するために、円錐形構造体194の面上に蒸着することができる。

第九の方法は、従来技術の積層型コンデンサの電荷貯蔵ノード形成プロセスの、マスクによる被覆ステップを必要としないという点で有利である。そのため、積層型コンデンサの電荷貯蔵ノード形成プロセスが簡単になり、歩留まりが向上し、集積回路製造プロセスの処理能力も向上する。結果として得られる積層型コンデンサの電荷貯蔵ノードは、自己整合タイプで、そのためさらに歩留まりが向上し、容易に製造中の集積回路をさらに小型にすることができる。

10. イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスによる、ポリシリコン・プラグの形成 40

図46-図49の本発明の第10の方法は、ポリシリコン・プラグを形成するために、第二の方法のイオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスを使用する。図46に示すように、第10の方法は、最初、半導体基板の供給を行う。この実施形態の場合、半導体基板は、その上にシリコン基板198を持つ半導体基板196である。複数のゲート領域198aが隣接する能動領域198bは、半導体基板上に形成され、この実施形態の場合には、ポリシリコン層200である、シリコンを含む材料の層が、ゲート領域198aが能動領域198b上に形成される。第10の方法の以降の処理において、ある実施形態の場合には、ホトレジスト・マスク202である、マスク被覆基板が、ポリシリコン層200の上に設置され、図47に示すように、能動領域198b上に位置するアイランドによりパターン形成さ

10

20

30

40

50

れる。それ故、ポリシリコン層200は、ホトレジスト・マスク202により被覆されている第一の部分204、およびマスクされていない第二の部分206に分割される。

図48に示すように、その後で、ポリシリコン層200の第二の部分206の高さを部分的に低くするために、異方性エッチング・プロセスが行われる。第二の部分206の高さが部分的に低くなると、最初に、第二の方法のところで説明した方法で、第二の部分206の残りの部分にイオンが注入される。イオンは、第二の方法のところで説明したように、イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスにより、選択された、選択済みのタイプのイオンである。好適には、砒素イオンを使用することが好ましい。何故なら、砒素イオンは燐イオンのような他のイオンと比較すると、よりゆっくりと拡散する傾向があるからである。その後で、比較的注入されたイオンが少ない第一の部分204、および大量のイオンが注入された第二の部分206を露出するために、ホトレジスト・マスク202が除去される。

第10の方法の他の手順の場合には、第二の部分206の残りの部分を除去するために、第二の方法のところで説明した方法とほぼ同じ方法で、イオンが注入されていないシリコンを含む材料に対して選択的なエッチング・プロセスが行われる。従って、イオンが注入された第二の部分206が除去され、ホトレジスト・マスク202により被覆され、そのため比較的注入されたイオンが少ない第一の部分204が残留する。その結果、ポリシリコン・プラグ208を含む、図49の構造体が形成される。

第10の方法は、従来のポリシリコン・プラグ形成プロセスと比較すると、処理プロセスの数が少ない。また、平面化プロセスを必要としないし、平面化プロセスによる応力も発生しない、そのため、集積回路製造プロセスの歩留まりが向上する。従来の相互接続構造体の開口部形成のマスクによる被覆作業、および乾式エッチング作業もおこなう必要がなく、同時にそれに付随する上記問題も解決する。

11. 室化物平面化プロセス上の停止、およびイオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによる、自己整合相互接続構造体の形成

図50 - 図53は、本発明の第11の方法を示す。第11の方法は、自己整合相互接続構造体を形成するために、平面化プロセスと一緒に、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを使用する。

図50は、第11の方法に対する処理前の構造体である。この場合、半導体基板は、半導体ウエハ210の形をしている。半導体ウエハは、その上に、この実施形態の場合には、能動領域212a、212bおよび212cの形の複数の電荷導電領域を含む、シリコン基板212からなる。電荷導電領域は、また、例えば、半導体基板上で下に位置する半導体装置の主要部分（図示せず）に延びる接点の頂部であってもよい。また、シリコン基板212上の、隣接する能動領域212a - 212cは、ゲート領域214である。各ゲート領域214は、その頂部に、室化シリコン・キャップ216を持つ。

能動領域212a - 212cおよびゲート領域214の上には、ある量のシリコンを含む材料が位置している。この実施形態の場合には、上記量のシリコンを含む材料は、ポリシリコン層218を含む。ポリシリコン層218は、能動領域212a、212bおよび212cの中の一つ、および室化シリコン・キャップ216上に形成される。存在する恐れがある望ましくない元の酸化物を除去するために、ポリシリコン層218を蒸着する前に、半導体ウエハ210の表面で清掃プロセスを行うことができる。

図51に示すように、その後、ポリシリコン層218の高さが低くなる。上記高さは、好適には、平面化プロセスで低くすることが好ましく、より好適には、CMPプロセスで低くすることが好ましい。好適には、高さを低くするプロセスは、ポリシリコン層218の高さを、室化シリコン・キャップ216の頂部まで低くするために、室化シリコンに対して選択的な方法で行うことが好ましい。それ故、室化シリコン・キャップ216は、高さを低くする作業を停止するための、エッチング・バリアとして使用される。室化シリコン・キャップ216の頂部から、ポリシリコン層218を完全に除去するために、もう一回短いポリシリコン・エッチング・プロセスを行う必要がある場合がある。下に位置する表面の形状により、ポリシリコン層218にできる恐れがあるシームを修正するために、平面化プロセスの前後に

10

20

30

40

50

、熱処理を行うことができる。

図52に示すように、ポリシリコン層218に対して平面化プロセスを行った後で、ポリシリコン層218は、マスク被覆基板により覆われる。この実施形態の場合には、マスク被覆基板は、窒化シリコンのハードマスク222であるが、すでに説明したとおり、注入イオンに対して有効なバリアであれば、どの層でも使用することができる。窒化シリコンのハードマスク222は、能動領域212aおよび212bを覆い、接触していて、相互接続構造体を形成するためのものである、ポリシリコン層218の一つまたはそれ以上の選択セグメントを露出する。除去されるポリシリコン層218の他の部分は、窒化シリコンのハードマスク222により被覆される。その後で、イオン注入ステージ間でイオン注入パターンを変えながら、複数のイオン注入ステージによりイオンを注入することができ、第一の方法のところで説明したように、ドーパント・イオンおよび不活性イオンの組合せにより、イオンを注入することができる。

能動領域212aおよび212bを覆い、接触しているポリシリコン層218の選択したセグメント上に、窒化シリコンのハードマスク222を正しく設置するために、本発明は、窒化シリコンのハードマスク222の自己整合を行う。この整合を行っている際に、窒化シリコンのハードマスク222が、能動領域211aおよび212bを覆っている、ポリシリコン層218の選択したセグメント容量より幅の広い、開口部222aでパターン形成される。開口部222aの周辺部または縁部は、二つのゲート領域214及び頂部上に位置する。好適には、二つのゲート領域214は、能動領域212aおよび212bをそれぞれ覆っている、ポリシリコン層218の選択したセグメント220aおよび220bに、接触して位置することができる。

自己整合は、第11の方法のもう一つのステージ中、ポリシリコン層218のマスクされていない部分内部へ、注入されるイオンに対してバリアの働きをする、窒化シリコンのスペーサ214により行われる。従って、開口部が少し整合からズレている場合には、窒化シリコン・キャップ216の頂部に沿って、開口部222aの縁部の位置が修正される。開口部222aの整合のズレが、ゲート領域214上の開口部222aの重畳分より大きくなっている場合には、イオンは、能動領域212aおよび212bを覆っている、ポリシリコン層218の選択したセグメント内、および能動領域212aおよび212bに隣接する、選択したゲート領域214の頂部に閉じこめられる。相互接続構造体が能動領域212c上に形成されるものである場合には、能動領域212c上に位置する、ポリシリコン層218のセグメントを露出するために、開口部222aが形成される。

図52に示すように、その後で、選択したタイプのイオンが、ポリシリコン層218の、マスクされていない部分220aおよび220bに注入される。下向きの矢印224が、イオンの注入方向を示す。注入するイオンのタイプは、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスにより、第一の方法のところで説明したように選択される。ある実施形態の場合には、燐イオンが注入される。また、すでに説明したとおり、イオンが注入される選択したセグメントの形は、イオン注入パラメータを変更し、第一および第二の方法のところで説明したように、複数のイオン注入ステージにより、イオン注入作業を行うことにより修正することができる。このイオン注入作業により、能動領域212aおよび212b上にそれぞれ位置する、ポリシリコン層218の選択したセグメント220aおよび220bにイオンが注入される。例えば、ポリシリコン層218の残りの部分は、220cで比較的注入されたイオンが少ない部分である。ポリシリコン層218の比較的注入されたイオンが少ない部分は、除去されるポリシリコン層218の部分に対応し、選択したセグメント220aおよび220bは、残留するポリシリコン層218の部分に対応する。窒化シリコンのハードマスク222は、イオン注入作業終了後除去される。

図53に示すように、その後で、ポリシリコン層218は、第一の方法のところで説明した方法とほぼ同じ方法で、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによりエッチングされる。エッチング・プロセス・パラメータも、形成中の相互接続構造体をさらに修正するために、すでに説明したように選択することができる。イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを実行すると、この実施形態の場合、ポリシリコン・プラグ226aおよび226bの形をしている、パターン形

10

20

30

40

50

成された相互接続構造体ができる。ポリシリコン・プラグ226aおよび226bは、能動領域212aおよび212bを覆っていて、イオン注入作業中にイオンの注入が行われる、ポリシリコン層218の選択したセグメントから形成される。

この実施形態の場合には、窒化シリコンのハードマスク222によりマスクされ、そのためイオンが注入されなかった、能動領域212c上に位置するポリシリコン層218のセグメントは、その内部に開放領域228を形成するために除去される。開放領域228は、開放しておいて、後で絶縁材料で充填することができ、または一連のプロセス中の後のステージで、導電材料で充填することができる。

第11の方法を使用すれば、上記の従来のプロセスのいくつかのステップを除去することにより、相互接続構造体形成プロセスが簡単になる。相互接続構造体の開口部を形成する必要がないので、乾式エッチング・プロセスを行う必要がなくなる。また、一連のプロセスの後のステージまで、絶縁層を蒸着する必要がなく、絶縁層を金属間誘電層と一緒に形成することができ、それにより、絶縁材料蒸着ステップおよび再流ステップを行う必要がなくなる。プロセスが簡単になると、集積回路製造プロセスの処理能力が向上し、コストが安くなる。プロセスが簡単になったために、歩留まりを低下させるエラーが発生する機会が少なくなるために、集積回路製造プロセスの歩留まりが高くなることが予想される。また、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスは、従来技術の乾式エッチング・プロセスと比較すると、エッチングの均等性が高く、そのため、歩留まりが改善される。

12. 犠牲相互接続構造体およびイオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによる、アスペクト比の高い相互接続構造体の開口部の形成

図54 - 図59は、本発明の第12の方法である。第12の方法の場合には、自己整合相互接続構造体の開口部は、犠牲相互接続構造体によりエッチングされる。

図54は、第12の方法の最初の構造体を示す。第12の方法は、ポリシリコン・プラグが形成されるステージまでは、第11の方法と本質的に同じである。しかし、第12の方法の場合には、好適には、ポリシリコン層を蒸着する前に、薄い絶縁層を形成することが好ましい。それ故、この実施形態の場合には、能動領域232aおよび232bの形の電荷導電領域が、半導体ウエハ230上に、シリコン基板232を含む半導体基板上に形成される。自己整合相互接続構造体の開口部が延びる先の、少なくとも一つの電荷導電領域有上に薄い絶縁層が形成される。この実施形態の場合には、薄い酸化物の層234がシリコン基板232上に形成され、電荷導電領域は能動領域232aおよび232bを含む。酸化物の層234は、成長または再成長させた酸化物であってもよいし、能動領域の形成またはゲート領域形成から残る酸化物の層であってもよい。

また、第11の方法の場合のように、電荷導電領域上に位置する介在開口部を残して、複数の隆起絶縁面がシリコン基板232上に形成される。この実施形態の場合には、複数の隆起絶縁面は、それぞれが能動領域232aおよび232bの一つに隣接して位置する三つのゲート領域236を含む。ゲート領域236は、それぞれ、窒化シリコン・キャップ238の一つでカバーされていて、窒化シリコンのスペーサ240に収容される。ある量のシリコンを含む材料が、能動領域232aおよび232b上、および能動領域232aおよび232b上の、介在開口部を満たしているゲート領域236上に形成される。この実施形態の場合には、ある量のシリコンを含む材料はポリシリコン層242である。

ポリシリコン層242の高さは、図55に示すように、複数の絶縁面の頂部まで低くなっている。第11の方法のところで説明したように、ある実施形態の場合には、高さは平面化プロセスにより行われるが、好適には、窒化シリコン・キャップ238のところで停止するCMPプロセスで行なうことが好ましい。

図56は、第12の方法の以降のステップを示す。この場合、ポリシリコン層242は、マスク被覆基板により覆われる。この実施形態の場合には、マスク被覆基板は、窒化シリコンのハードマスク244を含むが、第一の方法のところで説明したように、二酸化シリコン、窒化シリコン、またはイオン注入をほぼ阻止する任意の他の材料を使用することができる。ホトレジスト・マスク244は、相互接続構造体を形成するための能動領域232aおよび232b

10

20

30

40

50

を覆っているポリシリコン層242の選択したセグメントを露出するためにパターン形成される。除去されるポリシリコン層242の他の部分は、ホトレジスト・マスク244によりカバーされる。

図56に示すように、その後で、イオンがポリシリコン層242のマスクされていない部分に注入される。図56の矢印246が、イオン注入作業を示す。すでに説明したとおり、イオンは、第12の方法の他のステージにおいて実行される、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスにより選択されたタイプのイオンである。ある実施形態の場合には燐イオンが注入される。イオンが注入された部分250aおよび250bの一方または両方を、後で犠牲としてエッチングするので、注入することができるイオンの選択したタイプには柔軟性がある。何故なら、それにより形成された犠牲ポリシリコン・プラグは、どのような方法でもドーピングする必要がないからである。従って、第一の方法のところで説明したように、任意のタイプのイオンを注入することができる。ある実施形態の場合には、注入イオンはシリコン・イオンである。イオン注入作業を行うと、開口部222aの下のポリシリコン層242に、大量のイオンが注入された部分250aおよび250bが形成され、窒化シリコンのハードマスク244の下に、比較的注入されたイオンが少ない部分248が形成される。

また、すでに説明したとおり、大量のイオンが注入された部分250aおよび260bは、第一および第二の方法のところで説明したように、イオン注入パラメータを適当に選択することにより修正することができる。イオン注入は、パラメータを各ステージに対して変更させて、複数のステージで実行することができるし、また第一の方法のところで説明したように、ドーパント・イオンおよび不活性イオンの組合せにより実行することができる。

図57の以降の処理において、ポリシリコン層218は、第一の実施形態のところで説明したように、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによりエッチングされる。エッチング・プロセスは、第一の方法のところで説明した方法とほぼ同じ方法で行われ、その場合、形成中のポリシリコンの相互接続構造体のプロファイルを修正するために、エッチング・パラメータを適当に選択することができる。犠牲相互接続構造体は、ポリシリコン・プラグ250aおよび250bの形にエッチング・プロセスにより形成される。ポリシリコン・プラグ250aおよび250bどちらも、もっと深い自己整合相互接続構造体の開口部を形成するプロセス中にエッチングにより除去される犠牲「ダミー」プラグとして使用することができる。

もっと深い自己整合相互接続構造体の開口部を形成するために、絶縁材料のプランケット層が、図58に示すように、ポリシリコン・プラグ250aおよび250b上に形成される。この実施形態の場合には、絶縁材のプランケット層は、蒸着され再流されるボロホスホシリケート・ガラス(BPSG)層252を含む。好適には、平滑な面にするために、もっと深い自己整合相互接続構造体の開口部の必要な深さに従って、選択した厚さを持つようにBPSG層を平面にすることが好ましい。

BPSG層を形成した後、BPSG相互接続構造体252を通って、ポリシリコン・プラグ250aまで延びる、もっと深い相互接続構造体開口部を形成するために、二つの別々の相互接続構造体開口部エッチング手順が使用される。図58は、第一の相互接続構造体開口部エッチング手順を示す。この図に示すように、ポリシリコン・プラグ250a上に開口部を持つホトレジスト・マスク254を形成するために、従来の写真製版プロセスが使用される。その後で、相互接続構造体開口部の上部256をBPSG層252までエッチングするために、好適には、シリコンを含む材料に対して選択的なBPSGをエッチングするエッチング化学を使用することが好ましい。ある実施形態の場合には、BPSG層252を開くために、乾式エッチング・プロセスが最初に使用され、その後で、ポリシリコン・プラグ250a上の任意の残りのBPSGを除去するために、過度のエッチングが行われる。好適には、相互接続構造体開口部の上部256は、ポリシリコン・プラグ250aより幾分長い周囲を持つように形成し、ゲート領域236の窒化シリコン・キャップ238をエッチングしない乾式エッチング・プロセスを選択することが好ましい。従って、相互接続構造体開口部の上部256は、ゲート領域236に自己整合する。その後で、ポリシリコン・プラグ250aを除去するために、第二の相互接続構造体開口

10

20

30

40

50

部エッチング手順が使用される。好適には、第二の相互接続構造体開口部エッチング手順は、窒化シリコンおよびBPSGに対して選択的にシリコンを含む材料をエッチングするものであることが好ましい。そのための適当なエッチング化学は、TMAH湿式エッチングである。TMAH湿式エッチングは、第一の方法のところで説明した方法に類似の方法で行われる。TMAH湿式エッチングは、イオン注入されたポリシリコンを幾分ゆっくりとエッチングするが、ホトレジスト、窒化シリコンおよび酸化シリコンをもっとゆっくりとエッチングし、それにより、ゲート領域236に対して選択的にポリシリコン・プラグ250aを、下に位置する酸化層234までエッチングすることができる。それ故、第二の相互接続構造体開口部エッチング手順は、図59の自己整合相互接続構造体開口部の下部256aを形成するために、ポリシリコン・プラグ250aを除去する。それと同時に、相互接続構造体開口部の上部256および自己整合相互接続構造体開口部の下部256aは、BPSG層252を貫通して、能動領域232上の面を露出するために、もっと深い自己整合相互接続構造体開口部258を形成する。もっと深い相互接続構造体の開口部は、好適には、少なくとも約2:1の高いアスペクト比を持つように形成される。

相互接続構造体を形成するために、アルミニウムのような導電性材料を、もっと深い相互接続構造体開口部に蒸着させることができる。また、もっと深い相互接続構造体開口部の全側壁部をカバーすることができる耐火性の珪酸金属のライニングを持つ相互接続構造体を形成することもできる。もっと深い相互接続構造体の開口部が特に役に立つ他の構造体は、一体型積層型コンデンサの電荷貯蔵ノードおよびベースである。一体型積層型コンデンサの電荷貯蔵ノードおよびベースは、もっと深い相互接続構造体開口部の形成後、一回の材料蒸着およびパターン形成により一体に形成することができる。

第12の方法は、本発明のイオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを含む上記利点を持つもっと深い自己整合相互接続構造体開口部を形成する。これら利点の中には、「ダミー」ポリシリコン・プラグを使用することによる、乾式エッチング・プロセスを必要としなくなったことにより、一連のプロセスが簡単になることも含まれる。それにより、集積回路製造コストが安くなり、歩留まりが向上する。さらに、高いアスペクト比を持つ、もっと深い自己整合相互接続構造体開口部が効率的に形成される。もっと深い自己整合相互接続構造体開口部は、別々の電荷貯蔵ノード、および積層型コンデンサのベースとしての働きをする相互接続構造体を含む積層型コンデンサと比較すると、もっと高い容量を持つ一体型積層型コンデンサの電荷貯蔵ノード、およびベースを形成するために使用される。

13.イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによる、もとの場所蒸着を使用するコンテナ・コンデンサ・セルの形成

図60-図64は、本発明の第13の方法を示す。第13の方法の場合には、広い表面積を持ち、半導体基板上の最少の面積しか占有しない、積層型コンデンサの電荷貯蔵ノードが形成される。

図60は、第13の方法で使用するための最初の構造体である。図60の構造体は、第11の方法または同等の方法により形成することができる。図60の構造体を形成するためには、従来の方法も使用することができる。この実施形態の場合には、半導体ウエハ260は、その上にシリコン基板262を含む。通常、MOSトランジスタのソース/ドレイン領域として使用される能動領域264を形成するために、シリコン基板262の一部がドーピングされる。この実施形態の場合には、一組のゲート領域266が、能動領域264に隣接するシリコン基板262上に形成される。絶縁材は、ゲート領域266の頂部上に、窒化シリコン・キャップ266aを含む。下部絶縁層268はゲート領域266上に形成され、窒化シリコン・キャップ266aの頂部のレベルまで平らに削られる。ポリシリコン・プラグ270は、二つのゲート領域266の間に位置する、下部絶縁層268に形成される。

下部絶縁層268が平らに削られ、ポリシリコン・プラグ270が形成されると、上部絶縁層272が、下部絶縁層268の上に蒸着される。上部絶縁層272を形成した後で、開口部274が、上部絶縁層272に形成される。開口部274は、ゲート領域266に部分的に重畠し、ポリシリコン・プラグ270の頂部を露出する。開口部274の周辺または縁部は、窒化シリコン・キャップ

10

20

30

40

50

ブ266aの頂部上に位置し、第12の方法のところで説明した方法で、開口部274と自己整合する。好適には、開口部274は、断面が円形で、水平な底部と垂直な側壁部を持つことが好ましい。開口部274は、またポリシリコン・プラグ270および能動領域264以外の電荷導電領域上に形成することもできる。

図61は、第13の方法によるもう一つの処理を示す。図61に示すように、下部シリコン層のようなシリコンを含む材料の層は、開口部274に形成される。シリコンを含む材料の下部層276は、開口部274の底部内で、ポリシリコン・プラグ270と接触する、水平に延びる底部の一部276aと一緒に形成される。底部276aの終端部から、ほぼ垂直に上に向かった延びる側部が形成され、開口部274の側壁部と接触する。好適には、開口部274は連続円形開口部であることが好ましく、好適には、側部276bも連続している円形であることが好ましい。
10。

その後で、ポリシリコン層278のようなシリコンを含む材料の中間層が、開口部274内の下部ポリシリコン層276の上に、直接隣接して形成される。中間ポリシリコン層278の水平に延びる底部278aが、底部276aの上に直接隣接して形成され、ほぼ垂直に延びる側面278bが、底部278aの終端部から上に延びる側面276bに、直接隣接して形成される。

その後で、上部ポリシリコン層280のようなシリコンを含む材料の層が、開口部274内の中間ポリシリコン層278の上に直接隣接して形成される。上部ポリシリコン層280の水平に延びる底部280aが、底部278aの上に直接隣接して形成され、ほぼ垂直に延びる側面280bが、底部278aの終端部から上に延びる側面278bに、直接隣接して形成される。

好適には、下部ポリシリコン層276および上部ポリシリコン層280は、下部ポリシリコン層276および上部ポリシリコン層を、第一の方法のところで説明したように、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスを使用した場合、ドーピングされていないシリコンを含む材料よりは、かなり遅い速度で、エッティングされるよう、不純物で重度にドーピングすることが好ましい。不純物は、第一の方法で注入するイオンと同じタイプのものでよく、蒸着中に注入することもできるし、または真性的にドーピングすることもできる。

図61を見れば分かるように、各下部ポリシリコン層276、中間ポリシリコン層278、上部ポリシリコン層280は、好適には、シリコン基板262上にブランケット層として蒸着することが好ましい。従って、上部絶縁層272の面に平行の延びる形で、各下部ポリシリコン層276、中間ポリシリコン層278、上部ポリシリコン層280の一部が形成される。
30

図62は、第13の方法による他の処理である。図62に示すように、下部ポリシリコン層276、中間ポリシリコン層278、上部ポリシリコン層280が形成されると、矢印282で示すように、選択したタイプのイオンが開口部274に注入される。注入される選択したタイプのイオンは、第一の実施形態のところで説明したように、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスにより決まる。イオン注入作業のイオンは、好適には、半導体ウエハ260の面に対して直角に注入することが好ましい。底部280aを通して、上部ポリシリコン層280の側壁部280bによりカバーされていない中間ポリシリコン層278の底部278aの一部に注入するのに十分な範囲のイオン注入エネルギーが使用される。イオン注入範囲284および286は、底部278aおよび280aに形成される。イオン注入範囲284および286は、それぞれ、底部278aおよび280aよりも狭い水平領域を持つ。
40

イオン注入作業が終了した後で、上部絶縁層272の頂面上に位置し、開口部274の頂部の上を延びる、下部ポリシリコン層276、中間ポリシリコン層278、上部ポリシリコン層280が、高さを低くするプロセスにより除去される。高さを低くするプロセスは、好適には、平面化プロセスで行なうことが好ましく、より好適には、酸化物上で停止するCMP作業で行なうことが好ましい。

図63は、第13の方法の他のプロセスを示す。イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスが行われる。上記エッティング・プロセスは、第一の方法のところで説明した方法とほぼ同じ方法で行われる。下部ポリシリコン層276および上部ポリシリコン層280の一部が、不純物でドーピングされるが、上記不純物は、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスにより、ゆっくり
50

とエッチングさせ、下部ポリシリコン層276および上部ポリシリコン層280の上記部分は、上記選択的なエッチング・プロセスによりほとんどエッチングされない。イオンが注入された領域284および286もエッチングされない。一方、イオンが注入されなかつた中間ポリシリコン層278の一部は、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスにより、かなり除去される。他の処理において、上部絶縁層272が、ポリシリコンに対して選択的な、もう一つのエッチング・プロセスにより除去される。

上記のように、積層型コンデンサの電荷貯蔵ノードとして使用するのに適している構造体が形成される。図64は下部ポリシリコン層276を含む上記積層型コンデンサの電荷貯蔵ノード288の一つをしめす。上記下部ポリシリコン層276は、水平に延びる底部276a、および底部276aから上に向かって、ほぼ垂直に延びる側面を持つように形成される。中間ポリシリコン層278は、表面積が小さく、下部ポリシリコン層276の底部276a上に直接隣接して位置する、水平に延びるびる底部278cを持つ。上部ポリシリコン層280は、中間ポリシリコン層278の面積の小さな底部278cの上に直接隣接して位置し、水平に延びる底部280a、およびそこから上に向かって、ほぼ垂直に延びる側面280bを持つ。上部ポリシリコン層280の底部280a、および下部ポリシリコン層276の底部276aは、中間ポリシリコン層278の面積の小さな底部278cより、大きな表面積を持ち、それにより、同様に、底部276aおよび280aの間を部分的に延びる側部276bおよび側部280bの間に、開放領域294を形成することができる。

図64の構造体は、シリコン基板262上の狭い水平方向スペース内に、大きな表面積を持つという点で有利である。図64の構造体の表面積は、第13の方法により、中間ポリシリコン層278の表面積が、小さくなっているので、従来の方法で形成することができる表面積よりも広い表面積を持つ。

積層型コンデンサの電化貯蔵ノード288を使用する積層型コンデンサを完成する際、また図64に示すように、薄い誘電層290が、電荷貯蔵ノード288の露出面の上に形成される。その後で、その上に、上部コンデンサ・プレート292が形成される。上部コンデンサ・プレート292は、通常、薄い誘電層290の頂部上に、プランケット層を蒸着することにより形成される。上部コンデンサ・プレート292は、またポリシリコン以外の材料からも形成することができる。

第13の方法により、大きな表面積を持つ積層型コンデンサの電荷貯蔵ノードが形成され、それにより、そこから積層型コンデンサは大きな電荷を保持することができる。積層型コンデンサの電荷貯蔵ノードが、半導体基板上でかなり狭いスペースしか占有しないよう、結果として得られる集積回路をさらに小型化することができる。積層型コンデンサは、また簡単で効率的な方法で形成され、そのため、集積回路製造プロセスの歩留まりが向上し、コストが安くなる。

14. イオン注入角度により決まる厚さの側壁部を持つ、積層型コンデンサの電荷貯蔵ノードの形成

図65 - 図68は、本発明の第14の方法を示す。第14の方法により、積層型コンデンサの電荷貯蔵ノードが形成される。電荷貯蔵ノードは、大きな表面積を持ち、そのため電荷の保持量が大きくなり、一方それが形成される半導体基板上で最少のスペースしか占有しないような方法で形成される。第14の方法を使用すれば、電荷貯蔵ノードの自立壁部が形成される厚さの範囲がさらに柔軟になり、自立壁部を写真製版の解像度以上の解像度で形成することができる。

図65は、半導体基板が供給される第14の方法の最初の構造体である。この実施形態の場合には、半導体基板は、その上にシリコン基板310を持つ半導体ウエハ300の形をしている。複数の能動領域312が、シリコン基板310上に形成されるが、その中の一つは、一組のゲート領域314に隣接する。窒化シリコン・キャップ314aが、各ゲート領域314上に形成される。

第14の方法のもう一つの手順中に、絶縁層が、シリコン基板310およびゲート領域314上に形成される。この実施形態の場合には、絶縁層は、BPSG層316を含む。その後で、BPSG層316の上に平らな面を形成するために、平面化プロセスが行われる。平面化プロセスは、好

10

20

30

40

50

適には、CMPを含むことが好ましい。BPSG層316が形成され、平面化される高さは、第14の方法で形成される自立電荷貯蔵ノードの高さに対応し、それに従って選択される。

BPSG層316を形成し、平面化してから、BPSG層316に開口部318が形成される。この実施形態の場合には、開口部318は、ゲート領域314上に形成され、ゲート領域314の間に位置する能動領域312まで延びる。開口部318は、ゲート領域314の窒化シリコン・キャップ314aに、部分的に重複している開口部318を形成することにより、能動領域312に自己整合する。もちろん、能動領域以外の電荷導電領域を開口部318の下に位置させることができ、開口部318を、必要に応じて、半導体基板上の他の場所に位置させることができる。例えば、開口部318は、ポリシリコン・プラグと接続することができ、このポリシリコン・プラグは、その特定の用途に従って、下に位置する電化誘電領域31または、ある種の他の半導体装置まで延びる。

開口部318を形成した後で、ポリシリコン層320が、開口部318に形成され、開口部318が部分的に充填される。好適には、ポリシリコン層320は、プランケット層として蒸着し、第一の方法のところで説明した方法で、真性ポリシリコンから形成することが好ましい。ポリシリコン層320の厚さは、自立電荷貯蔵ノード側壁部と、開口部318の周辺または縁部との間に形成される、開放スペースの大きさを決定する。通常、ポリシリコン層320の厚さが厚ければ厚いほど、開放スペースの大きさも大きくなる。

図66は、第14の方法の他の処理を示す。この図に示すように、矢印322で示すイオンは、ポリシリコン層320に注入される。イオン注入作業は、第一の実施形態のところで説明した方法で行われ、注入されるイオンのタイプは、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスにより、上記のように選択される。イオンは、結果として得られる電荷貯蔵ノードの自立壁部が、必要な厚さになるように選択した、イオン注入角度およびイオン注入エネルギーにより注入される。例えば、イオン注入角度またはイオン注入エネルギーが変化すると、イオン注入されるポリシリコン層320の部分が変化し、電荷貯蔵ノードに対する結果として得られる自立壁部の厚さが変化する。イオンを注入すると、ポリシリコン層320に、イオン注入部分326と、比較的注入されたイオンが少ない部分324が形成される。この実施形態の場合には、イオン注入部分326は、開口部318の内面の周囲に内部リングを形成し、比較的注入されたイオンが少ない部分324は、イオン注入部分326の周囲に外部リングを形成する。

図67に示すように、イオン注入作業を行った後で、ポリシリコン・プラグ328のようなある量の材料が、平面化プロセスを行う準備のため、開口部318を充填するために設置され、パターン形成される。ホトレジスト・プラグ328は、平面化プロセス中、開口部318の内部が破壊されないように保護しするが、好適には、従来の方法で蒸着を行うことが好ましい。ホトレジスト・プラグ328が正しい位置に設置されると、BPSG層316の表面の上を延びるポリシリコン層320を除去するために、CMPのような平面化プロセスが行われる。その後で、ホットレジスト・プラグ328が除去される。

図68に示すように、平面化プロセスが行われると、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスが、第一の方法のところで説明したように実行される。その結果、比較的注入されたイオンが少ない部分324が除去され、イオン注入部分326が残留し、自立壁部332aが形成される。自立壁部332aは、開口部318の縁部に物理的に接触していないで、開放スペース330の予め定めた幅だけ、開口部318の縁部から離れている。誘電層および上部コンデンサ・プレートは、BPSG層316を除去しなくとも、または再除去しなくても、開放スペース330内に蒸着することができる。それ故、自立壁部332aは、積層型コンデンサに対する電荷貯蔵ノードとして使用するのに適している。

第14の方法の場合、積層型コンデンサの電荷貯蔵ノードの表面は、その表面積をざらざらにするために粗面状に処理される。積層型コンデンサの電荷貯蔵ノードの内面は、ホトレジスト・プラグ328を除去したあとで、粗面に処理することができ、一方、ポリシリコン層320の内面および外側の一方は、開放スペース330を形成した後で、粗面に処理することができる。ポリシリコン層320を粗面に処理すると、粗面処理しない面と比較すると、1平方センチ当りの電荷の保持量を増大することができる。好適には、表面を、ポリシリコ

10

20

30

40

50

ン層320の面上に、半球状粒子（HSG）ポリシリコン、または円筒形粒子ポリシリコン（CSG）を蒸着させることにより粗面処理することが好ましい。好適には、HSGポリシリコン層またはCSGポリシリコン層は、当業者なら周知の方法で、CVDにより選択的に蒸着することが好ましい。要するに、このプロセスは、ポリシリコン層20の上に、ドーピングしていないまたは軽度にドーピングした薄いアモルファス・シリコンの層を蒸着するステップと、その後で、高圧および高温を加えるステップとを含む。高圧および高温を加えると、アモルファス・シリコン層は、凝集して個々の粒子になる。

電荷貯蔵ノード332が形成されると、積層型コンデンサを完成するために、従来の一連のプロセスを実行することができる。積層型コンデンサの完成は、第13の方法のところで説明したように、電荷貯蔵ノード332上に薄い誘電層を蒸着するステップと、その上に上部コンデンサ・プレートを形成するステップとを含む。

第14の方法は、従来技術の積層型コンデンサ、および積層型コンデンサ形成方法と比較すると、いくつかの利点を持つ。例えば、粗面領域および自立壁部332aの両方の側面により、大きな表面積を持つ積層型コンデンサは、第14の方法により形成される。大きな表面積を持つ積層型コンデンサは、必ずシリコン基板の表面積の広いスペースを占有する。さらに、これら利点は、簡単で効率的であり、プロセス・ステップ数が少ない方法で達成され、それにより、集積回路製造プロセスの処理能力は高く維持され、コストは低く維持される。

15.異なる深さの範囲のイオン注入、およびイオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによる成形済みのポリシリコン構造体の形成

図69 - 図77は、本発明の第15の方法である。第15の方法の場合には、ポリシリコンまたは他のシリコンを含む材料の成形済み構造体は、一回の材料の蒸着および最少のマスク被覆作業により形成される。第15の方法は、いくつかの実施形態により実行される。各実施形態は、イオン注入により成形済みの構造体を形成する。イオンは、シリコンを含む材料の層の第一の選択した領域内に、第一の選択した範囲の深さに注入され、第二の選択した領域内に、第二の選択した範囲の深さに注入される。第二の選択した範囲の深さは、第一の選択した範囲の深さと比較すると、シリコンを含む材料の層のもっと浅いところに注入される。その後で、第一の方法のところで説明したイオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスが行われる。通常、第一および第二の選択した領域を一体に接続している成形済みの構造体が形成される。

図69は、自立ポリシリコン・ブリッジの形の、成形済みの構造体を形成するために、使用される、第15の方法の基本的実施形態の最初の構造体である。図69は、シリコン基板342と一緒に形成される半導体ウエハ340の形を持つ半導体基板である。シリコン基板342上には、この実施形態の場合には、ポリシリコン層344を含むシリコンを含む材料の層が形成される。好適には、ポリシリコン層344は、上記の真性ポリシリコンを含み、特定の用途に必要な深さに蒸着することが好ましい。ポリシリコン層344上には、ホトレジスト・マスク346のようなマスク被覆基板が形成される。ホトレジスト・マスク346は、任意の水平の形であってもよい一組の開口部348で、パターン形成される。

ホトレジスト・マスク346が形成された後で、第一のイオン注入作業が行われる。この作業中、矢印350で示すイオンが、開口部348を通して、ポリシリコン層344の選択した領域内に注入される。この実施形態の場合には、これら選択した領域は、イオン注入された直立領域352を含み、シリコン基板342からポリシリコン層344の頂部面まで、上に向かって延びるコラムの形をしている。イオンは、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスにより選択したタイプのものである。第一のイオン注入作業のイオン注入パラメータは、第一の範囲の深さにイオン注入が行われるような、第一の方法のところで説明した方法で選択される。イオン注入パラメータは、また第一の方法のところで説明したように、イオンが注入された直立領域352の形を修正するために、適当に選択することができる。図69の実施形態の場合には第一の範囲の深さは、ポリシリコン層344の頂部面から、ポリシリコン層344の底部まで延びる。イオンが注入された直立領域352が形成された後で、ホトレジスト・マスク346が除去される。

10

20

30

40

50

図70に示すように、その後で、第二のホトレジスト・マスク354、または他の適当なマスク被覆基板が、第二のイオン注入作業内で使用するために形成される。第二のホトレジスト・マスク354は、イオン注入された直立領域352の間および上を延びる開口部356により、パターン形成される。この実施形態の場合には、開口部356は細長く、図70のページの方向に延びる幅を持つ。

第二の本発明の354を設置した後で、第二のイオン注入作業が行われる。イオン注入は、矢印358で表わす。好適には、イオンは、第一のイオン注入作業で注入したものと同じタイプのものであり、第一の方法のところで説明した方法で選択することが好ましい。イオンは、第一のイオン注入作業内で使用したもの以外の適当なタイプのものでもよい。第二のイオン注入作業は、第二の範囲の深さにイオンを注入する。この実施形態の場合には、第二の範囲の深さは、ポリシリコン層344の頂部面から、ポリシリコン層344に延び、その一部は上記ポリシリコン層を通過し、その中の中間の深さまで延びる。好適には、第二の範囲の深さは、第一のイオン注入作業で使用したイオン注入エネルギーより低い、範囲の、イオン注入エネルギーにより達成することとが好ましい。従って、第二の範囲の深さは、第一の範囲の深さと比較すると、ポリシリコン層344のもっと浅いところまでしか注入されない。第一および第二の範囲の深さの注入のオーダを逆にすることもできる、異なるイオン注入パターンにより、異なる範囲の深さにイオンを注入するために、もう一回イオン注入作業を行うこともできる。

第二の範囲の深さにイオンを注入すると、イオン注入直立領域352の間を延びるイオン注入クロスバー360が形成される。第一のイオン注入作業の場合のように、第一の方法のところで説明した方法で、イオン注入クロスバー領域360の形を修正するために、イオン注入パラメータを適当に選択して、第二のイオン注入作業を行うことができる。

その後で、ポリシリコン層344は、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスによりエッティングされる。このエッティング・プロセスは、第一の方法のところで説明した方法とほぼ同じ方法で実行され、イオンが注入されていないポリシリコン層344の一部が除去される。それ故、イオン注入済み直立領域352およびイオン注入済みクロスバー領域360が残留し、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスが行われた後で、一体に接続される。イオン注入済みの直立領域352およびイオン注入済みのクロスバー領域360は、一緒に図71の自立ブリッジ362の形の成形済みの構造体を形成する。自立ブリッジ362は、一組の垂直の延びる直立領域364と、直立領域364を接続しているクロスバー366と一緒に形成される。

自立ブリッジ362は、蒸着された絶縁層のような、もう一つの層でカバーすることができ、能動領域またはピアのような領域を接続している、二つの下に位置する荷電導電領域を接続するために使用することができる。高電圧のようなエネルギーにより切断することができる、選択した厚さに形成された場合には、イオンが注入されたクロスバー領域360は、プログラマブルヒューズとして使用することができる。プログラマブル・ヒューズは、例えば、プログラマブル読み出し専用メモリ (PROM) のようなプログラマブル・メモリ装置を作るときに役に立つ。

もちろん、自立ブリッジ362を形成するために、図69 - 71のところで例として説明したように、動作の組合せを順序は変更することができる。図64 - 図71の基本的手順は、他のタイプの成形済みの構造体を、形成するためにも使用することができる。

図72は、本発明の第15の方法で形成することができる成形済みの構造体のもう一つの実施形態である。図72は、小型センサおよびアクチュエータ内で使用できるように、マイクロ機械の構成部材として使用するのに適しているレバーを示す。レバー364は、基本的実施形態の自立ブリッジ362の形成に類似の方向で形成される。それ故、レバー368を形成する際には、自立ブリッジ362の形成のところで説明したのと、同じ手順が行われる。第一の実施形態の手順と異なる唯一の点は、イオンが注入された直立領域352を形成する際に、イオンが注入された直立領域352が一つしか形成されないという点である。

図72の実施形態は、単に例示としてのものであって、本発明を制限するものではない。例えば、当業者なら周知の方法により、上記手順を組合せまた修正することにより、種々の

他のマイクロマシンの部品を形成することができる。

図73は、複数のクロスバー自立ブリッジ370が形成される、本発明の第15の方法のさらに他の実施形態である。複数のクロスバー自立ブリッジ370は、例えば、特に電気伝導度を持つ電気的に溶断することができるヒューズを形成する際に役に立つ。

複数のクロスバー自立ブリッジ370の形成方法は、図69 - 図71の実施形態の形成方法に類似している。それ故、ある実施形態の場合には、ポリシリコン・ブロック44である、シリコンを含む材料の層が最初に形成され、その後で、図69に示すように、その上に第一のホトレジスト・マスク346が設置され、パターン形成される。図69に矢印350で示すイオンは、その後で、第一のイオン注入作業の際に、ホトレジスト・マスク346内の開口部348を通して、ポリシリコン層344に注入される。第一のイオン注入作業により、イオンは、ポリシリコン層344の面からポリシリコン層344の底部に延びる、第一の範囲の深さに注入される。このイオン注入作業により、一組のイオンが注入された直立領域348が形成される。また、図70に示すように、その後で、第二のホトレジスト・マスク354が設置され、パターン形成される。その後で、矢印358で示すイオンが、第二のイオン注入作業により、イオンが注入された直立領域352の上でその間に位置するホトレジスト・マスク366内の開口部356に注入される。第二のイオン注入作業のイオンは、ポリシリコン層344の表面から、部分的に、ポリシリコン層344内まで延びる第二の選択した範囲の深さに注入される。第二のイオン注入作業により、選択した深さであり、イオンが注入された直立領域領域352の間を延びるイオンが注入されたクロスバー領域360が形成される。

その後で、イオンをポリシリコン層344に、第三の選択した範囲の深さに注入するために、第三のイオン注入作業が行われる。複数のクロスバー自立ブリッジ370を形成するために、図73に示すように、第二のイオン注入作業の場合とは異なる一組のイオン注入パラメータで、第三のイオン注入が行われる。上記イオン注入パラメータは、第三の範囲の深さが、第二の範囲の深さの最も浅い深さより、かなり深い最初の深さを持つように変更される。その後で、第三の範囲の深さは、第三の範囲の深さの最初の深さより、幾分深い最終の深さを持つ。

第二の範囲の深さと、第三の範囲の深さとは、選択した距離だけ離れていて、好適には、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを行つた後で、複数のクロスバー自立ブリッジ370が形成されるように選択することが好ましい。

図に示すように、複数の自立ブリッジ370は、選択した距離だけ離れている上部ブリッジ・クロスバー372、および下部ブリッジ・クロスバー374を持つ。もう一つのブリッジ・クロスバーも形成することができ、このブリッジ・クロスバーは、いろいろな厚さのものであってもよい。上部ブリッジ・クロスバー372および下部ブリッジ・クロスバー374の幅は、イオン注入角度を変化させながらの、イオン注入作業中に使用する開口部356の幅を変化させないで、修正することができる。それ故、二つの個々のクロスバーを形成するために、二つの選択した範囲の深さのイオンを、同じホトレジスト・マスクを使用して注入することができる。二つのクロスバーの幅を、イオン注入角度を第二および第三の範囲の深さを、それぞれ形成するイオン注入作業の間で、イオン注入角度を変化させることにより変化させることができる。

ある実施形態の場合には、複数の自立ブリッジ370は、プログラマブルメモリ装置内のヒューズとして使用される。その場合、上部クロスバー372および下部クロスバー374は、エネルギーにより溶断することができる厚さに形成される。適当な厚さの他のクロスバーをさらに形成することができる。複数のクロスバーは、直立領域364の間の接続の比抵抗を調整するために使用される。例えば、もっと大きい電気伝導度が必要な場合には、第一および第二の各クロスバー372および374は、そのままの状態の維持される。もっと低い電気伝導度が必要な場合には、直立領域364との接続を切断するために、第一および第二のクロスバー372、374の一方が切断される。必要な場合には、第一および第二の各クロスバー372、374、および他の複数のクロスバーを異なる厚さにすることができる、それによりプログラマブル・メモリ装置の電気伝導度を、さらに調整するために、対応する電気伝導度が形成される。

10

20

30

40

50

図74は、第15の方法の他の実施形態の断面図である。この図は、一組の重畠ブリッジ376を示す。重畠ブリッジ376は、その一方の端部のところで、第一の組の直立領域364の中の一つに接続していて、その一方の端部のところで、第二の組の直立領域382の中の一つに接続している垂直方向の下部ブリッジ・クロスバー380からなる。図74の重畠ブリッジ376は、例えば、半導体装置または半導体装置の個々の主要部分を、それにより、電気的接続が電気的接触を起こさないで、相互の上を交差しなければならないような方法で、電気的に相互接続しなければならない場合に役に立つ。従来の方法の場合には、そうするには、多くの材料蒸着動作およびマスク被覆動作を必要としたが、本発明の方法の場合には、図74の重畠ブリッジ376は、最小限度のステップの材料蒸着動作およびマスク被覆動作で形成することができる。

本発明の第15の方法の重畠ブリッジ376は、図69-図71の第一の実施形態に類似している。それ故、ポリシリコン層344が最初形成され、その後で、図69に示すように、第一のホトレジスト・マスク346または他のマスク被覆基板が形成され、パターン形成される。その後で、矢印350で示すイオンが、第一のイオン注入作業により、ホトレジスト・マスク346内の開口部348を通して、ポリシリコン層344に注入される。しかし、図69の実施形態とは異なり、図70に示すイオン注入された直立領域352のような、四つのイオンが注入された直立領域が形成される。これら四つの直立領域は、第一の組の直立領域364および第二の組の直立領域382を形成する。イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを行った後では、第二の組の直立領域382は、図74に示すように、第一の組の直立領域364からズレている。その後で、図70に示すように、第二のホトレジスト・マスク354または他のマスク被覆基板が、イオンが注入された直立領域352の上および間に位置する開口部356により、形成され、パターン形成される。その後で、イオンが注入されたクロスバー領域360に類似の上部イオンが注入されたクロスバー領域を形成するために、第二のイオン注入作業が行われる。上部のイオン注入済みクロスバー領域は、好適には、ポリシリコン層344の頂部面から、ポリシリコン層344より少し深いある距離を延びる第二の範囲の深さを持ち、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスが行われた場合、上部ブリッジ・クロスバー378を形成することが好ましい。

その後で、第三のホトレジスト・マスクが形成され、第三のイオン注入作業が行われる。第三のイオン注入作業により、第二の範囲の深さより深い第三の範囲の深さを持つ下部イオン注入済みクロスバー領域が形成される。この場合、上部イオン注入済みクロスバー領域を形成する際に使用したのと、ほぼ同じ手順が行われる。しかし、下部イオン注入済みクロスバー領域を形成する中に、上部イオン注入済みクロスバー領域に垂直または横切る方向に、下部イオン注入済みクロスバー領域を形成するために、開口部356の向きが変えられる。それにより、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスが実行されると、上部ブリッジ・クロスバー378が形成され、下部ブリッジ・クロスバー378と接触しないで交差する。

図74aおよび74bに示す実施形態の最後の処理の場合、第一の実施形態のところで説明したように、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスが行われる。このエッチング・プロセスにより、上部ブリッジ・クロスバー378、第一の組の直立領域376、第一の組の直立領域364を通って延びる下部ブリッジ・クロスバー380、および第二の組の直立領域382以外のポリシリコン層344の一部が除去される。その結果、図74aおよび74bの上部ブリッジ376が形成される。

図75および図76は、第15の方法の他の実施形態である。図75および図76の実施形態の場合には、図76に示すように、その底部を通って延びる開口部を持つシリコンを含む材料の自立ブロックを形成するために、第15の方法の基本的実施形態は、乾式エッチング・プロセスを含む。その後で、この開口部は、絶縁体または導体である第二の材料で充填される。絶縁体で充填した場合には、シリコンを含む材料のブロックは、第15の方法の第一の実施形態のところで説明したように、ブリッジとしての働きをすることができる。導体で充填した場合には、シリコンを含む材料のブロックを酸化して、絶縁体に変化させ、それによ

り、最小の材料蒸着動作およびマスク被覆動作により、上部絶縁層と電気的に相互接続させることができる。

図75に示すように、その底部を貫通して延びる開口部を持つシリコンを含む材料の自立ブロックを形成する際に、ポリシリコン層344のようなシリコンを含む材料の層が、最初に形成される。その後で、ポリシリコン層344が、開口部396が形成される場合の上に位置するポリシリコン層344の頂部領域388をカバーする第一のホトレジスト・マスクにより、図69および図70のところで説明したように、ポリシリコン層344がマスクされる。その後で、図69および図70のところで説明したように、第一のイオン注入作業が行われる。好適には、第一のイオン注入により、図76に示すポリシリコン・ブロックに開口部が形成される場所に隣接する第一の側部領域386aおよび第二の側部領域386b内に、イオンを注入することが好ましい。第一のイオン注入作業のイオンは、ポリシリコン層344の頂部領域から、ポリシリコン層344の底部に延びる第一の範囲の深さを持つ。

その後で、ポリシリコン層344の頂部面388にイオンを注入するために、第一の方法のところで説明した方法とほぼ同じ方法で、第二のイオン注入作業が行われる。第二のホトレジスト・マスクまたは他のマスク被覆基板を頂部領域388上に開口部を形成するために使用することができるが、その必要はない。何故なら、イオンを第一および第二の側部領域386aおよび386bの両方に、注入することができるからである。第二のイオン注入作業のイオンは、ポリシリコン層344の頂部面からポリシリコン層344の中間点まで延び、それにより頂部領域388を形成する、第二の範囲の深さに注入される。この場合、比較的注入されたイオンが少ない部分390は、頂部領域388の下に残留する。好適には、比較的注入されたイオンが少ない部分390は、細長くて、図75のページの方を向いている方向に横方向に延びることが好ましい。

第二のホトレジスト・マスクおよびイオン注入作業の代わりに、第二のイオン注入作業を行うために、第二のホトレジスト・マスクを正しい位置に残したままにしておくことができる。その場合、頂部領域388にイオンを注入するために、イオンが第一のホトレジスト・マスクを通して、ポリシリコン層344に部分的に注入されるように、もっと高イオン注入エネルギーが使用される。

頂部領域388にイオンが注入されると、ホトレジスト・マスク366または他の適当なマスク被覆基板が、ポリシリコン・ブロック44上に形成される。その後で、図76に示すポリシリコン・ブロック392を形成するために、異方性エッチング・プロセスが行われるが、このエッチング・プロセスは、好適には、RIEのような乾式エッチング・プロセスであることが好ましい。その後で、第一の実施形態のところで説明したように、シリコンを含む材料に対して選択的なエッチング・プロセスが行われる。それにより、図に示すように、開口部394が形成され、ポリシリコン・ブロック392を通って延びる。もちろん、ポリシリコン・ブロック392は、任意のサイズ、形または寸法のものでよく、そこを通って延びる開口部394も、任意のサイズ、形または寸法のものでよい。好適には、開口部394は、ポリシリコン・ブロック392を完全に貫通して延びることが好ましいが、絶縁材により二つの以上の側面が囲まれるように、電気的相互接続が形成されるような、開口部394が、ポリシリコン・ブロック392を完全に貫通しないような用途にも使用することができる。

すでに説明したとおり、ある実施形態の場合には、開口部394はブリッジを形成する絶縁材料で充填される。他の実施形態の場合には、開口部394は、例えば、アルミニウム逆流プロセスにより、導電性材料で充填される。この他の実施形態の場合には、その後で、好適には、ポリシリコン・ブロック392を、そのポリシリコンを酸化させることにより、絶縁材に変化させることが好ましい。それにより、二つまたは三つの側面が絶縁材で囲まれている導電性材料のラインが形成される。この実施形態の場合には、図76のページの方向に細長く延びる開口部394が形成され、その後で、導電性材料で充填される開口部394は、半導体装置または半導体装置の個々の主要部分を、電気的に接続する相互接続ラインとして使用される。第一の方法の場合のように、相互接続ラインは、写真製版の解像度以上の解像度による大きさのものであってもよい。

開口部394のような複数の開口部をポリシリコン・ブロック392に同時に形成することができ

10

20

30

40

50

きる。また、第一の方法のところで説明した方法で、イオン注入パラメータを適当に選択することにより、一つまたは複数の開口部394の高さ、幅および形を修正することができる。

図77は、第15の方法の他の実施形態を示す。図77は、ポリシリコン層344を貫通して延びるトンネル396を示す。トンネル396は、例えば、導電性の材料で充填することができる。その場合、好適には、ポリシリコン層344を、図76のところで説明したように、絶縁材に変化させることができが好ましい。トンネル396を、導電性材料で充填し、トンネル396を絶縁材で囲むことにより、トンネル396を、半導体装置または半導体装置の位置寸法の間の、電気的相互接続として使用することができる。トンネル396は、イオン注入プロセスおよび選択的エッチング・プロセスのところで、すでに詳細に説明したとおり、最小限度の材料蒸着動作により形成することができる。

図77のトンネル396を形成する場合、イオン注入は、図69および図70のイオン注入作業に類似の方法で実行される。しかし、図69および図70のイオン注入作業とは異なり、図69のホトレジスト・マスク346のようなホマスク被覆基板は、どちらかの端部で、トンネル396が形成される場所に隣接する、第一の側部領域398および第二の側部領域402上に開口部が残るように使用される。その後で、シリコンを含む材料に対して選択的なエッチング・プロセスにより選択したタイプのイオンが、第一および第二の側部領域398および402全体に注入される。その後で、第二のホトレジスト・マスクまたは他のマスク被覆基板が形成されるが、その場合、トンネル396の底部が形成される場所の上に位置する頂部領域400上に開口部が残る。

その後で、第二のイオン注入作業により、頂部領域400にイオンが注入される。第二のイオン注入作業の場合、イオンを頂部領域に注入するが、形成されるトンネル396の底部の位置には注入しないように、注入されたイオンが、ポリシリコン層344の一部だけに浸透させるために、第一のイオン注入作業の深さの範囲より浅い、選択した深さの範囲にイオンが注入される。

その後で、第一の実施形態のところで説明したように、シリコンを含む材料に対して選択的なエッチング・プロセスが行われる。第一および第二の側部領域398および402、および頂部領域400を含む、ポリシリコン層344のイオンが注入された部分は残るが、図77に示す構造体を形成するために、ポリシリコンは、トンネル396から除去される。

本発明の第15の方法により形成された構造体は、通常、この方法を使用しない場合と比較すると、少ない材料蒸着動作およびマスク被覆動作で形成される。従って、成形済みの構造体を、効率的に形成することができ、一方、集積回路製造プロセスの処理能力を高く、コストを安く維持することができる。

16. イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによるボトル形トレンチの形成

図78 - 図81は、本発明の第16の方法を示す。この第16の方法は、トレンチ・コンデンサまたはトレンチ絶縁領域を形成する際に役に立つボトル形トレンチを形成するのに使用される。第16の方法のボトル形トレンチは、その頂部の幅よりその底部の幅のほうが広い。それ故、ボトル形トレンチを使用すれば、半導体基板上に半導体装置を、高い密度で容易に設置することができる。

図78は、ボトル形トレンチを形成する際の最初の構造体である。図78および図79の実施形態の場合には、ボトル形トレンチは、半導体ウエハのシリコン基板を含む半導体基板上のCMOS回路のトランジスタ間に形成される。しかし、当業者なら、第16の方法により形成されたボトル形トレンチを、任意のタイプの半導体基板上で、任意の量のシリコンにより形成することができることを理解することができるだろう。

図78の構造体を形成する最初の手順は、ある量のシリコンを含む材料を供給することである。この実施形態の場合には、上記量のシリコンを含む材料は、シリコン基板412上に形成される半導体ウエハ410を含む。一組のゲート領域414も、シリコン基板412上に形成される。ゲート領域414は、絶縁スペーサ416内に収容される。能動領域412aも、ゲート領域414に隣接するシリコン基板412に形成される。後続の処理において、ホトレジスト・マス

10

20

30

40

50

ク418の形のマスク被覆基板が、シリコン基板12およびゲート領域414上に形成される。その後で、トレンチ420が、ホトレジスト・マスク418の開口部418aを通してシリコン基板412に異方性に従ってエッティングされる。好適には、トレンチ420は、実質的に異方性の側壁部と一緒に形成することが好ましい。

もちろん、ゲート領域414および能動領域412aをトレンチ形成の前に形成する必要はないし、トレンチ絶縁領域またはトレンチ・コンデンサを形成するために、ボトル形トレンチの形成および充填後を含めて、集積回路製造プロセス中の任意の適当なステージにおいて形成することができる。

その後で、第16の方法の場合には、矢印422で示す選択したタイプのイオンが、異方性トレンチ420の側壁部420aおよび底部420bに注入される。このイオンは、第二の方法のところで説明したように、シリコンを含む材料に対して選択的なエッティング・プロセスにより決定した、選択したタイプのイオンである。好適には、イオン注入作業は、シリコン基板412に、直角以外の角度でイオンを注入するように実行することが好ましい。それ故、イオンは、イオンをトレンチ420の隅に注入させるような、ある角度の軌道で注入される。

イオンが注入された領域は、トレンチ420の頂部のところにイオンが注入された薄い頂部424aを持ち、トレンチ420の底部のところにイオンが注入された厚い底部424bを持つように形成される。好適には、イオン注入角度は、トレンチ420の隅にできるだけ多くのイオンが注入されるように選択される。第一および第二の方法のところで説明した方法により、イオンが注入された頂部424aおよびイオンが注入された底部424bの大きさを修正するために、他のイオン注入パラメータも選択することができる。例えば、複数のイオン注入ステージ毎にイオン注入角度を変化させて、複数のイオン注入ステージによりイオンを注入することができる。

第16の方法の他の処理の場合、トレンチ420の側壁部および底部のイオンが注入された部分は、シリコンを含む材料に対して選択的なエッティング・プロセスによりエッティングされる。このエッティング・プロセスは、第二の方法のところで説明した方法とほぼ同じ方法で実行される。その結果、図79に示すボルト形トレンチ426が形成される。ボトル形トレンチ426は、シリコン基板412まで、垂直に下方に延びる連続側壁部426aと一緒に形成される。ボルト形トレンチ426の側壁部426aは、比較的狭い上部ネック部分426b、および上部ネック部分426bより幅が広い球根状の底部426cを持つ。

図80は、ボトル形トレンチ426の用途を示すが、この場合、CMOS DRAMメモリ・セルが、形成されるトレンチ・コンデンサ434に関連して形成される。トレンチ・コンデンサ434を形成する場合、電荷貯蔵ノード層428が、ボトル形トレンチ426内に最初に形成される。この実施形態の場合には、電荷貯蔵ノード層428は、化学蒸着法(CVD)により蒸着されたポリシリコン層を含む。その後で、誘電層430が、好適には、成長酸化物の層として、ボトル形トレンチ426の電荷貯蔵ノード428上に形成される。誘電層430が形成されると、上部コンデンサ・プレート432が、誘電層430上に蒸着される。上部コンデンサ・プレート432も、好適には、CVDプロセスによりポリシリコンから形成するのが好ましい。その後で、電荷貯蔵ノード層428が、任意の適当な方法で、トランジスタ414の中の一つに電気的に接続され、上部コンデンサ・プレート432が、任意の適当な方法で、語線に電気的に接続される。

その頂部より底部の方が広いボルト形トレンチ426の形のおかげで、その他のものより広い表面積を持つトレンチ・コンデンサ434が形成される。ボトル形トレンチ426の形のおかげで、シリコン基板412が占有される表面積が最小になるので、半導体ウエハ410上に半導体装置を高い密度で設置できるようになる。トレンチ・コンデンサ434も、それによりボルト形トレンチ426が形成される広い表面積のために、高い静電容量を持つ。

ボルト形トレンチ426は、図81に示すように、改良型トレンチ絶縁領域440を形成する際に役に立つ。トレンチ絶縁領域440を形成する場合、ある量の絶縁材料が、ボルト形トレンチ内に形成される。ある実施形態の場合には、上記量の絶縁材料は、ボルト形トレンチの側壁部および底部上で成長する熱酸化物層436を含む。また、酸化物充填層438が、ボルト形トレンチの残りの部分に蒸着される。好適には、酸化物充填層438は、TEOSプロセスで

10

20

30

40

50

蒸着するのが好ましい。結果として得られるトレンチ絶縁領域440は、シリコン基板412上で最小の表面積しか占有しないので、その上に半導体装置を高い密度で容易に設置することができる。表面積が広くなり、深さが深くなるので、そのどちらかの側面上に位置するトランジスタの間のクロストーク電流漏洩が起これにくくなる。

17.イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスによる水平面上のシリコンを含む材料の形成

図82-図86は、本発明の第17の方法を示す。この第17の方法は、突出構造体の頂部および側面上のところのほぼ水平な面上に、シリコンを含む材料を形成するために使用される。第17の方法の場合には、シリコンを含む材料は、ほぼ垂直な面、またはほぼ垂直な面の底部のところには形成されない。現存の相互接続構造体の電気伝導度を増大するための用途、新しい相互接続構造体を形成する際の用途、突き抜け保護を行うためのハロ注入ための注入マスクとしての用途を含む、それにより形成された成形済みの構造体のいくつかの用途についても説明する。

図82は、第17の方法の最初の構造体である。第17の方法の場合、半導体ウエハ450のような半導体基板が、最初に形成される。この実施形態の場合には、半導体ウエハ450は、CMOS集積回路を形成する際に使用され、その上に二つのN+でドーピングされたソース/ドレイン領域452aおよび介在する軽度にPドーピングされたチャネル領域452bを供給する。垂直に延びる面および水平に延びる面は、突出構造体の形で半導体ウエハ450上に設置される。図82の実施形態の突出構造体は、軽度のPでドーピングされたチャネル領域452b上に位置していて、その上に窒化物のスペーサ456が形成されているゲート領域454を含む。ゲート領域454および窒化物スペーサ456の両方とも、従来の方法で形成される。この実施形態の場合には、ゲート酸化層454は、ゲート領域454の下に形成される。ゲート領域454は、例えば、ゲート領域454が、DRAMメモリ回路の語線を含んでいる場合には、それ自身が図82のページの方向に突出するように延長することができる。

第17の方法の場合、ある量のシリコンを含む材料は、突出構造体上に形成される。それ故、図82の実施形態の場合には、ポリシリコン層458は、ゲート領域454および窒化物スペーサ456上に形成される。ポリシリコン層458は、好適には、真性ポリシリコンから形成することが好ましく、任意の適当な方法で形成することができる。

ポリシリコン層458が形成されると、ポリシリコン層458の水平面458a内にイオンを注入するため、図82に矢印460で示すように、イオン注入作業が行われる。注入イオンは、第一の方法のところで説明したように、シリコンを含む材料に対して選択的なエッティング・プロセスにより選択された、選択したタイプのイオンである。好適には、イオンは、水平面458aにほぼ直角なイオン注入角度で注入することが好ましい。

イオン注入作業を行った後で、イオンが注入されたシリコンを含む材料に対して選択的なエッティング・プロセスが、第一の方法のところで説明した方法とほぼ同じ方法で行われる。図83は、上記エッティング・プロセスの結果を示す。この図に示すように、ポリシリコン層458のすべてのほぼ垂直なセグメント458bは除去され、ポリシリコン層458すべてのほぼ水平なセグメント464は残る。頂部ポリシリコン層462は、ゲート領域454および窒化物スペーサ456上に位置する。一組の側部ポリシリコン領域464も、ゲート領域454の側面のところに残り、頂部ポリシリコン領域462の幅にほぼ対応する幅を持つ、一組の開口部464aにより、ゲート領域454から分離している。

すでに説明したとおり、本発明により形成した構造体は、いくつかの用途に使用される。図83は一つの用途を示す。図83は、ゲート領域454、ゲート領域454の側面のところに位置する、二つのN+でドーピングされたソース/ドレイン領域468、およびN+でドーピングされたソース/ドレイン領域452aの間に位置する、軽度にPドーピングされたチャネル領域452bを持つMOSトランジスタである。従来の関連構造体の一つの問題は、ゲート領域454に、トランジスタをオンにするための電圧が掛かっていない場合でも、突き抜けと呼ばれる電荷の漏洩が、軽度にPドーピングされた領域452bを横切って、N+でドーピングされたソース/ドレイン領域452aから発生する恐れがあることである。突き抜けを防止する一つの方法は、N+でドーピングされたソース/ドレイン領域452aの縁部のところの、軽

10

20

30

40

50

度にPでドーピングされた領域452b内に、小さな重でドーピングされたP+領域468を形成する方法である。第17の方法は、重でドーピングされたP+領域468を形成するために、Pタイプのドーパントを注入するために、ゲート領域454の側面のところで、適当な開口部464aを形成している頂部ポリシリコン領域462および側部ポリシリコン領域464の形で、イオン注入マスクを形成するための便利な方法を提供する。

それ故、上記のように、開口部464aと一緒に、頂部ポリシリコン領域462および側部ポリシリコン領域464が形成されると、上記のように、突き抜けを防止する重でドーピングされたP+領域468を形成するために、矢印466で示すPタイプのドーパントが注入される。

図82および図83の実施形態は、第17の方法の特定の一つの実施形態に過ぎず、単に例示としてのものに過ぎない。当業者なら、第17の方法の他の用途を容易に理解することができるだろう。例えば、突出構造体は、集積回路上の半導体装置の間を電気的に接続するために使用される相互接続ラインを備えることができる。従って、図84は、第17の方法の第二の実施形態の最初の構造体である。この場合、ポリシリコン領域は、突出構造体の上または側面に形成される。この実施形態の場合には、上記ポリシリコン領域は、アルミニウムの相互接続ライン470の形をしている。アルミニウムの相互接続ライン470は、以下に説明するように、その頂部のところに、絶縁スペーサ462aと一緒に形成してもよいし、形成しなくてもよい。

図84に示すように、ポリシリコン層458は、アルミニウムの相互接続ライン470上に形成される。ポリシリコン層458は、好適には、真性ポリシリコンから形成することが好ましく、任意の適当な方法で形成することができる。

その後で、側部458bを除いて、ポリシリコン層458の水平面458a内にイオンを注入するために、矢印460で示すイオン注入作業が行われる。注入されたイオンは、第一の方法のところで説明したように、イオンが注入されたポリシリコンに対して選択的なエッチング・プロセスにより選択された、選択したタイプのイオンである。イオン注入後に、アルミニウムの相互接続ライン470の露出垂直面上に位置する、ポリシリコン層458のすべての部分をエッチングにより除去するために、エッチング・プロセスが行われる。アルミニウム相互接続ライン470のほぼ水平な面上に位置するポリシリコン層458の一部が、エッチング・プロセスにより残留する。それ故、図85に示すように、アルミニウム相互接続ライン470上に位置する頂部ポリシリコン領域462と、絶縁スペーサ462aが残留する。側部ポリシリコン領域464も、アルミニウム相互接続ライン470の両側に残留し、頂部ポリシリコン領域462の幅にはほぼ対応する幅を持つ、一組の開口部464aにより、アルミニウム相互接続ライン470から分離している。

頂部ポリシリコン領域462の形をしているアルミニウム相互接続ライン470上の導電性材料の量を単に増大することにより、アルミニウム相互接続ラインの電気伝導度が増大する。しかし、頂部ポリシリコン領域462、および側部ポリシリコン領域464の電気伝導度をさらに増大するために、頂部ポリシリコン領域462および側部ポリシリコン領域464を、ケイ化物材料に変化させるために、シリシデーション・プロセスが実行される。

それ故、図85のある実施形態の場合には、シリシデーションは、頂部ポリシリコン領域462および側部ポリシリコン領域464上に、チタンの層472を形成することにより、シリシデーションが行われる。その後で、頂部ポリシリコン領域462および側部ポリシリコン領域464を珪酸チタン($TiSi_x$)に変化させる目的で、チタン層472を、頂部ポリシリコン領域462および側部ポリシリコン領域464と反応させるために、急速熱アニールのような熱処理が行われる。この場合、チタン層472は、その上にポリシリコンを持たないアルミニウム相互接続ライン470の側壁部のような面上に位置するチタン層472の一部を除いて、ほとんど珪化チタンに変化する。それ故、珪酸化が終了した後、チタン層472の残りの反応していない領域は除去される。好適には、チタン層472の除去は、チタン、またはそのから珪化物が形成される他の金属をエッチングするエッチング・プロセスにより行うことが好ましく、珪化チタン、またはそこから珪化物が形成される他の金属を、ほとんどエッチングしないことが好ましい。

10

20

30

40

50

図86は、結果として得られる構造体である。図86に示すように、アルミニウム相互接続ライン470は、頂部珪化チタン領域476で覆われていて、その側部のところに側部珪化チタン領域474を形成する。第17の方法の使用目的が、アルミニウム相互接続ライン470の電気伝導度を増大することである場合には、絶縁スペーサ462aは予め形成されないで、側部珪化チタン領域474を除去することができる。別 の方法としては、側部珪化チタン領域474は、もう一つの相互接続ラインとして使用する必要がある場合があり、その使用目的のためにパターン形成することができる。

頂部珪化チタン領域476は、アルミニウム相互接続ライン470とは独立して、信号を運ぶことができるよう に、独立の相互接続ラインとして使用することができる。アルミニウム相互接続ライン470から、独立の相互接続ラインを形成するために、図85の頂部ポリシリコン領域462、および側部ポリシリコン領域464が形成される前に、絶縁スペーサ462aが、アルミニウム相互接続ライン470上に形成される。

アルミニウム相互接続ライン470の場合のように、導電性材料から形成しないで、突出構造体を絶縁材料から形成することができる。そうすることにより、複数の相互接続ラインを近接した状態で形成することができる。図86の例のように、アルミニウム相互接続ライン470は、導電性材料から形成され、頂部珪化チタン領域486および側部珪化チタン領域474は、この場合には、アルミニウム相互接続ライン470の代わりの絶縁材料のラインである、絶縁突出主要部分により絶縁されている個々の導電性ラインを含む。

第17の方法は、マスク被覆しなくても、乾式エッチング・プロセスを行わなくとも、突出構造体の水平面上にシリコンを含む材料を選択的に形成する。新しい導電性の成形済みの構造体を形成することができ、現在の成形済みの構造体の電気導電度を増大することができる。

18. イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスによる、薄い相互接続ラインより幅の広い一体型のより大きい構造体を持つ薄い相互接続ラインの形成

図87 - 図90は、本発明の第18の方法を示す。第18の方法は、相互接続ラインをもっと大きな構造体に電気的接続するために使用される相互接続ラインより幅の広い一体型構造体と一緒に、相互接続ラインを形成するために使用される。第18の方法は、写真製版の解像度より高い解像度の場合に可能な相互接続ラインを形成する。相互接続ラインおよび相互接続ラインより幅の広い一体型構造体は、第18の方法により、一回の材料蒸着動作および二回のマスク被覆動作により一体に形成される。

図87 - 図90は、第18の方法の実施形態である。この場合、一組の相互接続ラインは、半導体基板の上にシリコンを含む材料から形成される。図87は、半導体基板が供給される第18の方法のための最初の構造体の断面図である。この実施形態の場合には、半導体基板は、その上にシリコン基板482を持つ半導体ウエハ480である。半導体ウエハ480およびシリコン基板482が供給されると、ある量のシリコンを含む材料が、シリコン基板482上に形成される。この実施形態の場合には、上記量のシリコンを含む材料は、ポリシリコン層484を含む。好適には、ポリシリコン層484は、第一の方法のところで説明したように、真性ポリシリコンから形成し、任意の適当な方法で蒸着することが好ましい。

ポリシリコン層484が形成されると、ホトレジスト・マスク486のようなマスク被覆基板がポリシリコン層484の上に形成される。ホトレジスト・マスク486は、相互接続ラインより幅の広い一体型構造体が形成されるポリシリコン層484のそれぞれの場所に位置する開口部488によりパターン形成される。上記開口部は、相互接続ラインより幅の広い一体型構造体の形に形成される。

ホトレジスト・マスク486がパターン形成されと、矢印490で示すイオン注入作業が行われる。イオン注入作業は、第一の方法のところで説明した方法とほぼ同じ方法で行われる。従って、イオン注入作業のイオンは、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスにより選択された、選択したタイプのイオンである。イオンは、ホトレジスト・マスク486内の開口部488を通して、接続ラインより幅の広い一体型構造体が形成されるポリシリコン層484の選択した領域492内に注入される。イオン注入作業

10

20

30

40

50

のパラメータは、選択した領域492の形を修正するために、第一の方法のところで説明した方法により、適当に選択することができる。従って、選択した領域492へのイオンの注入により、相互接続ラインより幅の広い一体型構造体の形が決まる。

図88は、第18の方法のもう一つの処理の結果を示す。選択した領域にイオンが注入されると、ホトレジスト・マスク486が除去され、図88には図示していない第二のホトレジスト・マスクが、ポリシリコン層484の上に形成される。ポリシリコン・ブロックの選択した表面の形の上をカバーするために、第二のホトレジスト・マスクがパターン形成される。乾式エッチング・プロセスのような、その後で、ポリシリコン層484を選択した面の形にするために、異方性のエッチング・プロセスが行われる。上記の選択した表面の形が図面88に示すように描かれると、異方性エッチング・プロセスにより、ポリシリコン層484から形成された、選択した表面の形のポリシリコン・ブロック494がパターン形成される。選択した表面の形により、相互接続ラインが形成される場所を横方向に延びる面を含むポリシリコン・ブロック494の周縁部が形成される。従って、好適には、相互接続ラインが形成されると、相互接続ラインに一体に接続するように、選択した領域492が、パターン形成されたポリシリコン・ブロック494の外周辺部に最も近い場所に位置することが好ましい。

この実施形態の場合には、相互接続ラインは、パターン形成されたポリシリコン・ブロック494の周辺部全体上に形成される。この場合、好適には、構造体は相互接続ラインに切れ目を入れるために使用される。それ故、相互接続ラインに切れ目を入れるための手段の一例として、パターン形成されたポリシリコン・ブロック494の周辺部の、相互接続ラインに切れ目が形成されるいくつかの場所に、一組の仮設スペーサ・ブロック496aおよび496bが設置される。図に示すように、仮設スペーサ・ブロック496aおよび496bの設置により、相互接続ラインの切れ目の位置が決まる。

図89は、第二のホトレジスト・マスク492の断面図である。図に示すように、イオンが注入された選択した領域492は、パターン形成されたポリシリコン・ブロック494内に位置する。好適には、第二のホトレジスト・マスク492は、異方性エッチング・プロセスが行われた後に、パターン形成されたポリシリコン・ブロック494上の正しい位置に残る。その後で、異方性エッチング・プロセスが終了した後で、第二のイオン注入プロセスが実行される。図89の矢印500はこのプロセスを示す。第二のイオン注入プロセスは、第一のイオン注入プロセスと同じであってもよいし、本発明のイオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスに対して互換性を持つ、他の選択したタイプのものであってもよい、選択したタイプのイオンにより行われる。

好適には、第二のイオン注入プロセスは、半導体ウエハ480の面に対して直角以外のイオン注入角度で行い、イオンをパターン形成されたポリシリコン・ブロック494の、縁部上を横方向に延びる面内に注入することが好ましい。イオンが注入された縁部領域502は、第一、第六のおよび第七の方法のところで説明したように、イオン注入作業のパラメータで決まる厚さを持つ。それ故、例えば、注入イオンのイオン注入角度またはイオン注入エネルギーを変化させることにより、イオンが注入された縁部領域502の厚さを変えることができる。さらに、イオンが注入された縁部領域502の厚さおよびプロファイルを均一に維持するために、図3のところで説明したように、各ステージ毎に、イオン注入角度、イオン注入エネルギーまたは他のパラメータを変化させて、複数のステージにより、イオン注入作業を行うことができる。パターン形成されたポリシリコン・ブロック494の各側壁部に均一にイオンを注入するために、パターン形成されたポリシリコン・ブロック494の各側部の方を向いている、水平分力を一つの角度、または一組の角度により、イオンを注入することができる。別の方針としては、半導体ウエハ480を、一つの水平分力を持つ一つの角度または一組の角度により、回転させることができる。

第二のホトレジスト・マスク492は、注入イオンが、この第二のホトレジスト・マスク492を通して、パターン形成されたポリシリコン・ブロック494内に、進入するのを防止するように選択した厚さのものである。従って、前にイオン注入した選択した領域492以外の領域を除けば、パターン形成されたポリシリコン・ブロック494の内部には、イオンはほ

とんど注入されない。

図90は、18の方法のもう一つの手順の結果のトップダウン図である。第二のイオン注入作業を実行した後で、第一の方法のところで説明しように、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスが実行される。その結果、イオンが注入されていないシリコンを含む材料が、図88および図89のパターン形成されたポリシリコン・ブロックの内部から除去される。一方、イオンが注入された部分は残って、図90の構造体を形成する。図90は、左側の相互接続ライン504、および右側の相互接続ライン506である、二つの相互接続ラインを示す。各相互接続ラインは、ポリシリコン層484の深さの対応する高さを持ち、イオン注入作業パラメータの選択により決まった写真製版の解像度より高い解像度の幅を持つ。

エッチング・プロセスが終了すると、図90に示すように、上部仮設スペーサ・ブロック512および対応する下部仮設スペーサ・ブロック516が残るが、これら仮設スペーサ・ブロックは、それぞれ、仮設スペーサ・ブロック496aおよび496bから残ったものである。イオン注入作業中、仮設スペーサ・ブロック512、516上に形成されたホトレジスト・マスク492の一部と一緒に、仮設スペーサ・ブロック512、516が、パラメータ形成されたポリシリコン・ブロック494の側壁部の一部に対してある角度で注入されるイオンが、接触するのを防止する遮蔽効果を持つ。その結果、開口部514および518が形成される。開口部514および518により、一つの連続している相互接続ラインではなく、相互に電気的に絶縁している、二つの別々の相互接続ラインを形成することができる。

介在開口部を持たない一つの連続相互接続ラインを形成する必要がある場合には、開口部514および518を形成する必要はない。一つの開口部が必要な場合には、仮設スペーサ・ブロック496aおよび496bの中の一つが使用される。二つ以上の開口部が必要な場合には、仮設スペーサ・ブロック496aおよび496b類似のもう一つのスペーサ・ブロックが使用される。スペーサ・ブロック496aおよび496bは、表面積をそのまま維持し、イオン注入を効果的に阻止するように、パターン形成されたポリシリコン・ブロック494に十分近接して設置される。同時に、スペーサ・ブロック496aおよび496bは、第18の方法が終了し、図90の構造体が形成された時、電荷が、左右の相互接続ライン504および506から、上部および下部仮設スペーサ・ブロック512および516に伝わらないように、パターン形成されたポリシリコン・ブロック494から十分離して設置される。

他の実施形態の場合には、選択したイオン注入済み領域492へのイオン注入順序、およびイオン注入済み縁部領域502へのイオン注入順序が反対になる。第18の方法のさらに他の実施形態は、仮設スペーサ・ブロック496aおよび496bの代わりとして使用される。さらに他の実施形態も、左右の側部相互接続ライン504、506に切れ目を形成するための手段の特定の一例である。この実施形態の場合には、イオンが注入されたシリコンを含む材料に対して選択的なエッチング・プロセスを実行した後で、図示していない第三のホトレジスト・マスクが、残留させる左側の創相互接続ライン504および506の一部をカバーするために使用される。切れ目が入れられる左右の相互接続ライン504、506は残留する。その後で、左右の相互接続ライン504、506のマスクで覆われた一部を除去し、それにより左右の相互接続ライン504、506に切れ目を形成するために、好適には、上記のポリシリコンに対する異方性乾式エッチング・プロセスであることが好ましいエッチング・プロセスが実行される。

さらに、図88のパターン形成されたポリシリコン・ブロック494の一つだけ、二つまたは三つの側面の位置に、相互接続ラインを形成したい場合には、第二のイオン注入作業中に、パターン形成されたポリシリコン・ブロック494の一つ、二つまたは三つの側面にそれぞれイオンが注入される。相互接続ラインが形成される、パターン形成されたポリシリコン・ブロック494の側面だけに、イオンを接触させるような一つの注入角度または複数の注入角度を持つ軌道により、ポリシリコン・ブロック494のすべての側面の中のいくつかに選択的にイオンを注入することができる。また、最初、イオンを、パターン形成されたポリシリコン・ブロック494の一つの側面に接触させ、その後で、パターン形成されたポリシリコン・ブロック494の他の側面を、イオン注入に露出させるような方法で、半導体

10

20

30

40

50

ウエハ480を回転させることにより、一つの角度または一組の角度により、パターン形成されたポリシリコン・ブロック494の特定の側面にイオンを注入することができる。

左右の相互接続ライン504、506は、図89のイオンが注入された縁部領域502の厚さにより決まる厚さを持つ。従って、第14の方法のところで説明したように、左右の相互接続ライン504、506の厚さを決定するために、イオン注入作業のパラメータが適当に選択される。好適には、図87のポリシリコン層484を、左右の相互接続ライン504、507の最終の高さに対応する、約250オングストロームから約4,000オングストロームの範囲の深さに蒸着させることが好ましい。また、好適には、約200オングストロームから約3,000オングストロームの範囲の均一な厚さで、イオンが注入された縁部領域502内に注入することが好ましい。従って、終了した場合には、左右の相互接続ライン504、506は、約250オングストロームから約4,000オングストロームの範囲のポリシリコン層484の蒸着により決まる高さ、約200オングストロームから約3,000オングストロームの範囲の、縁部領域502のイオン注入により決まる厚さを持つ、細長いストリップが形成される。より好適には、左右の相互接続ライン504、506を、約500オングストロームから、3,000オングストロームの範囲の高さに形成することであり、さらに好適には、左右の相互接続ライン504、506を約3,000オングストロームから、2,000オングストロームの範囲の幅で形成することである。最も好適なのは、完成した左右の相互接続ライン504、506が、約1,000オングストロームの高さを持ち、約1,000オングストロームの幅を持つことである。

また、図90に示すように、この実施形態の場合には、接点パッドの形をしている相互接続ラインより幅の広い六つの一体型構造体が形成される。接点パッドは、図に示すように、左の上部接点パッド508a、左の中央接点パッド508b、左の下部接点パッド508c、右の上部接点パッド510a、右の中央接点パッド510b、および右の下部接点パッド510cを含む。接点パッド508aから508c、および510aから510cは、左右の相互接続ライン504、506の幅より広い幅になるように形成される。これら接点パッドは、表面の形が任意の幅を持つように形成することができるが、好適には、左の相互接続ライン504および右の相互接続ライン506のどちらか、または両方に一体に接続させることが好ましい。

この実施形態の左右の相互接続ライン504、506は、MOS DRAMメモリ・アレー構造体内的語線と一緒に使用するのに適している。従って、この実施形態の場合には、左の上部接点パッド508aおよび右の上部接点パッド510aは、半導体基板の異なるレベル上のビット・ラインまで伸びる接点が接触する相手方の接触パッドとして使用される。左の中央の接触パッド508bおよび右の中央の接触パッド510bは、比較的大型なトランジスタゲート領域として使用される。また、左右の下部接触パッド508cおよび510cは、外部制御ラインと接触するための相手方の接触パッド、または他の類似の目的に使用される。

左右の相互接続ライン504、506は、また能動領域の上を延びることができる。そうする場合、MOSトランジスタを形成するために、ソース／ドレイン領域を左右の相互接続ライン504、506の周囲に形成することができる。左右の相互接続ライン504、506を小さく形成することができるので、結果として得られるMOSトランジスタは、チャネルの長さは対応して短くなる。チャネルの長さが短いので、装置速度を速くすることができ、それにより形成される集積回路の速度を増大することができる。

図に示すように、図88のパターン形成されたポリシリコン・ブロック494の形は任意に選択され、容易に理解することができるよう、パターン形成されたポリシリコン・ブロック494を、図に示す形に形成する必要はない。従って、左右の相互接続ライン504、506も、この実施形態の形にする必要はなく、特定の用途に従って、任意の必要な形または長さを持つことができる。

それ故、第18の方法は、相互接続ラインを、より広い幅のより大型の主要部分と電気的に接続するための、相互接続ラインより幅の広い一体型構造体と一緒に接続する相互接続ラインを形成する。さらに、相互接続ライン、および相互接続ラインの幅より広い幅を持つより大型の一体型構造体は、第18の方法により、一回の材料蒸着動作で形成され、二回のマスクに被覆動作で形成することができる。第18の方法は、従来の写真製版の解像度で達成できる幅より狭い幅の相互接続ラインを供給する。同時に、相互接続ラインは、より広

い幅を持つ構造体に接続することができる。相互接続ラインを小さく形成することができる、形成中の集積回路を小型にすることができる。さらに、相互接続ラインが、そのどちらかの側にソース／ドレイン領域を注入することにより、ゲート領域として使用する場合には、チャネルの長さを短くすることができ、結果として得られる集積回路の速度を増大することができる。

本発明の精神または本質的な特徴から逸脱することなしに、本発明を他の特定の形で実行する事ができる。上記実施形態は、説明のためのものであって、本発明を制限するものではないと見なされたい。それ故、本発明の範囲を表わしているのは、上記説明ではなく、添付の請求の範囲である。請求の範囲の対応する意味および範囲内に入るすべての変更は、本発明の範囲内に含まれる。

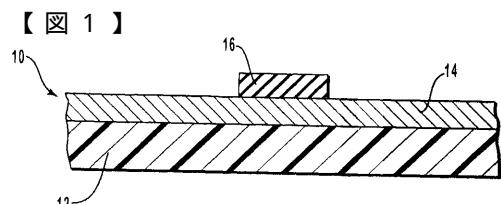


FIG. 1

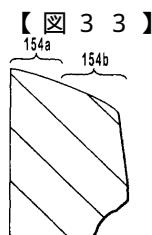


FIG. 33

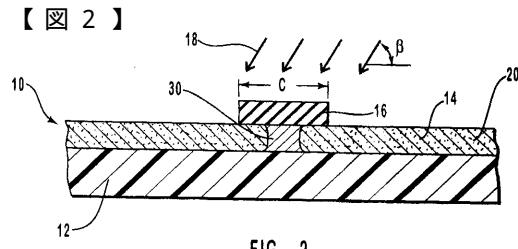


FIG. 2

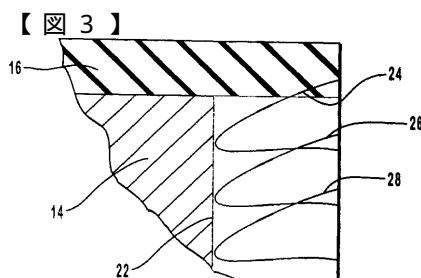


FIG. 3

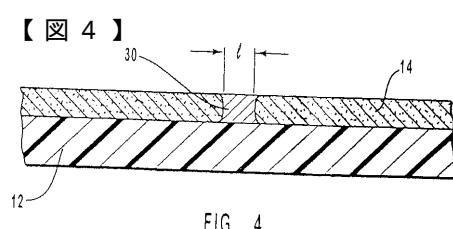
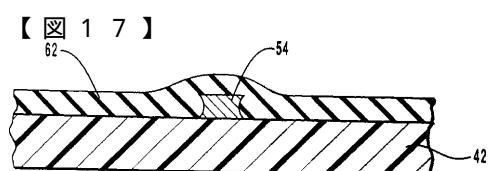
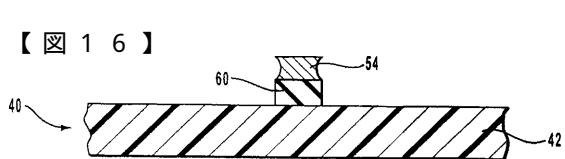
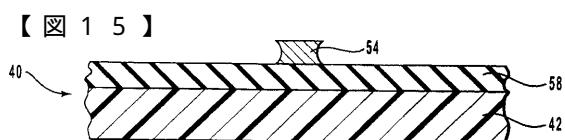
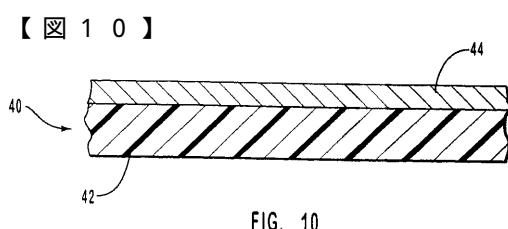
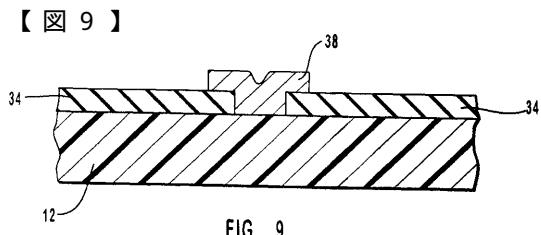
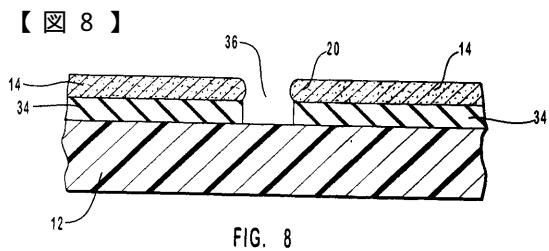
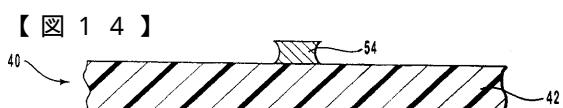
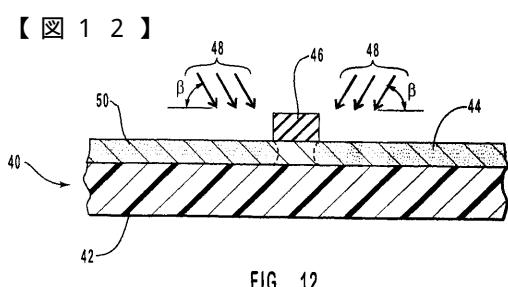
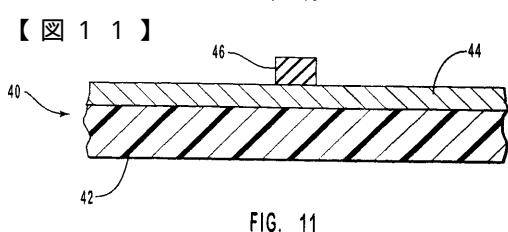
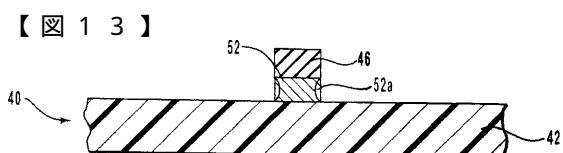
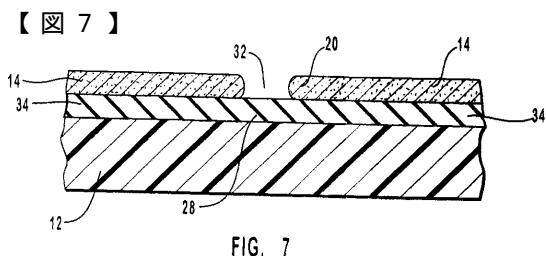
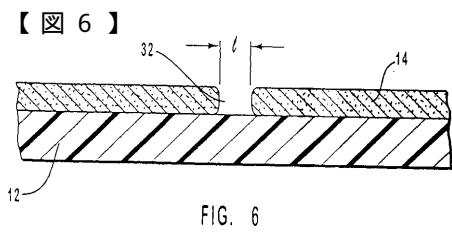
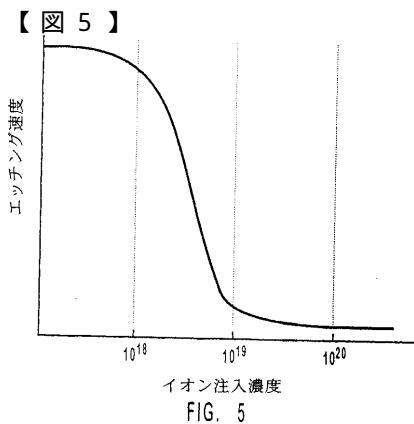


FIG. 4



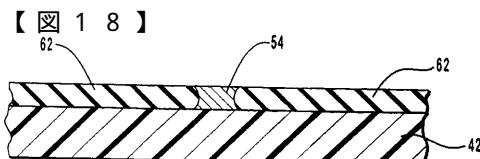


FIG. 18

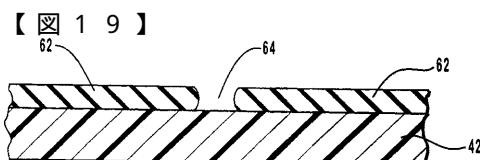


FIG. 19

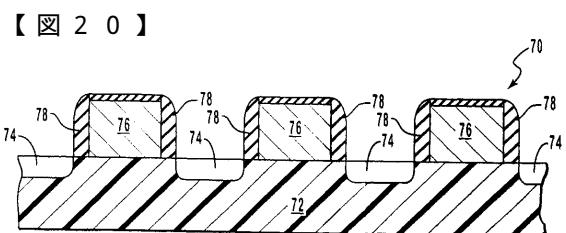


FIG. 20

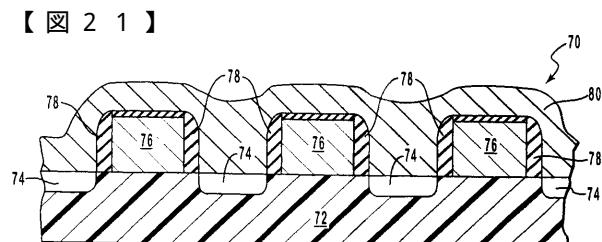


FIG. 21

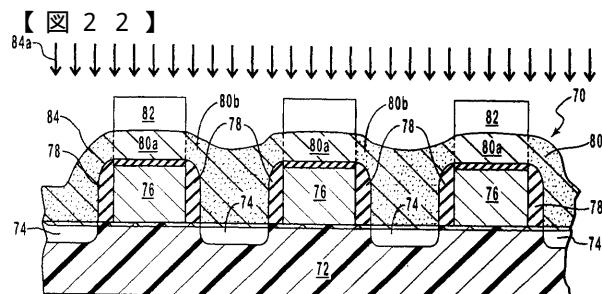


FIG. 22

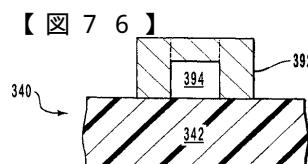


FIG. 76

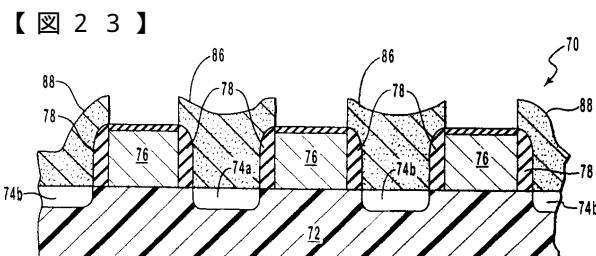


FIG. 23

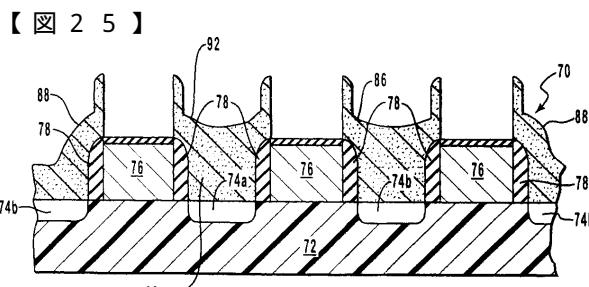


FIG. 25

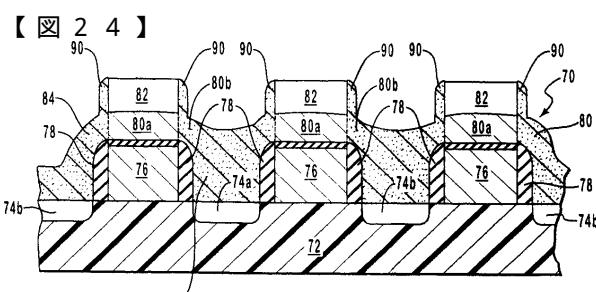


FIG. 24

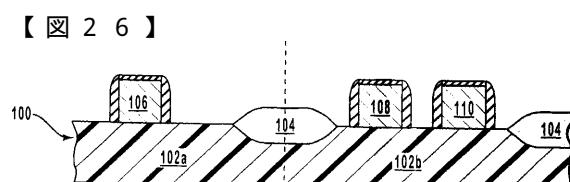


FIG. 26

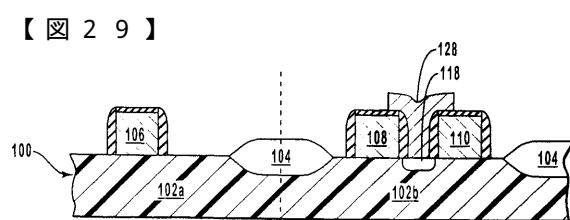


FIG. 29

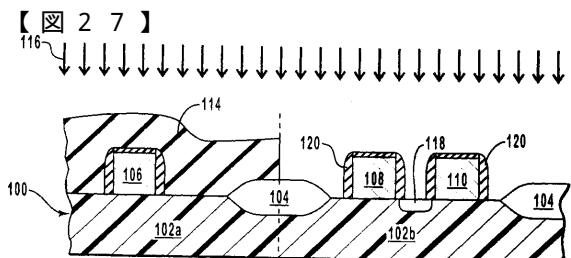


FIG. 27

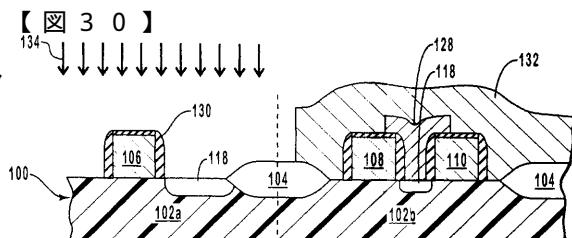


FIG. 30

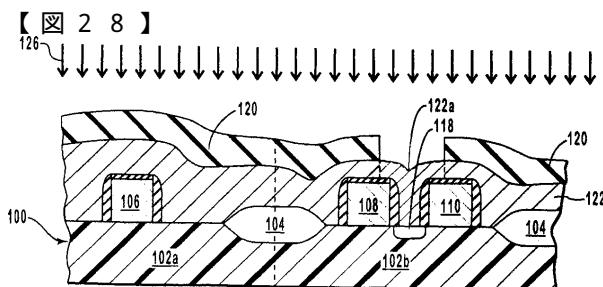


FIG. 28

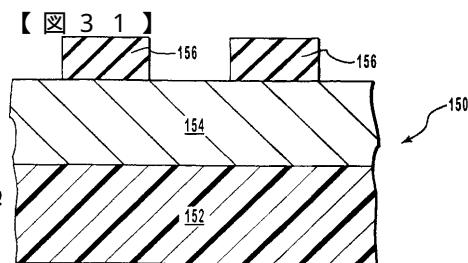


FIG. 31

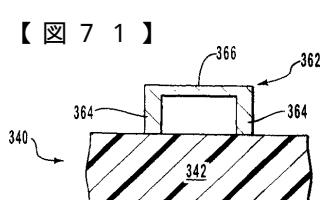


FIG. 71

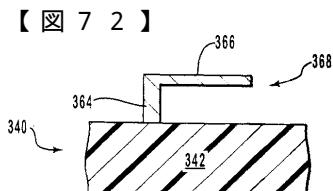


FIG. 72

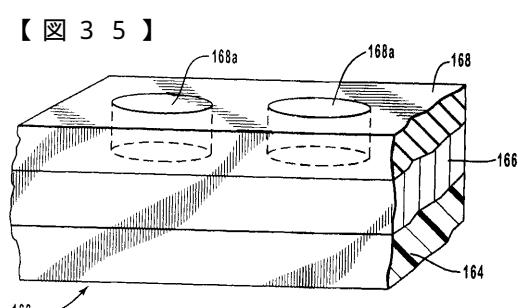


FIG. 35

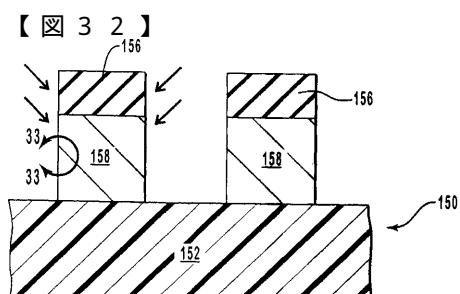


FIG. 32

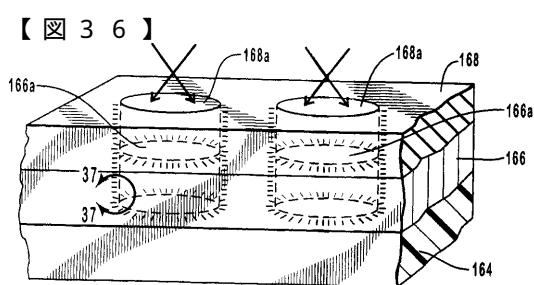


FIG. 36

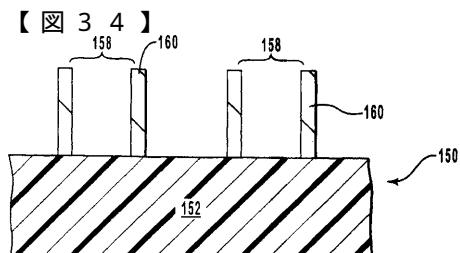


FIG. 34

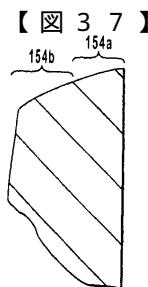


FIG. 37

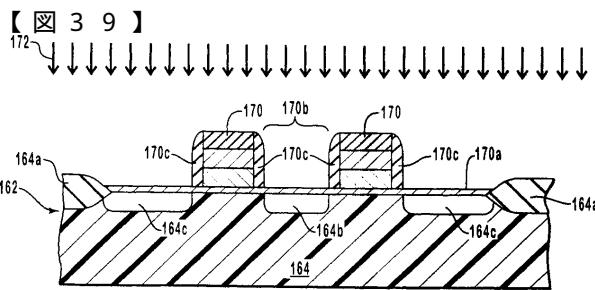


FIG. 39

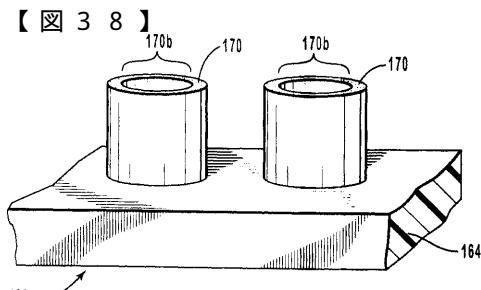


FIG. 38

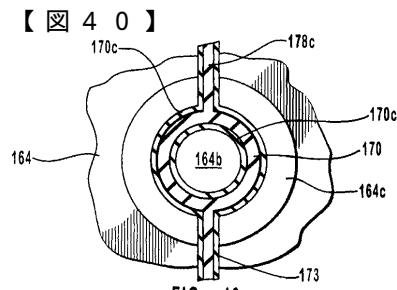


FIG. 40

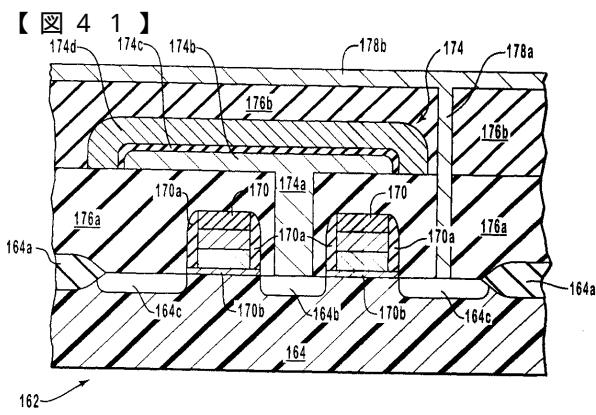


FIG. 41

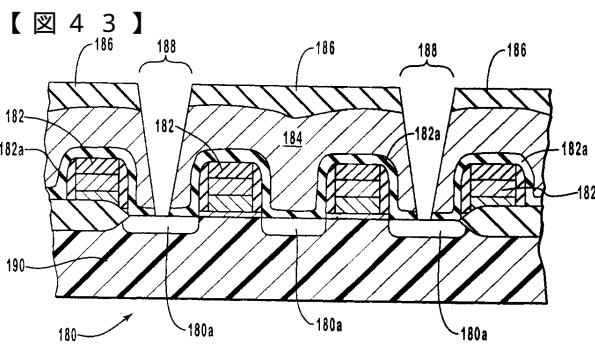


FIG. 43

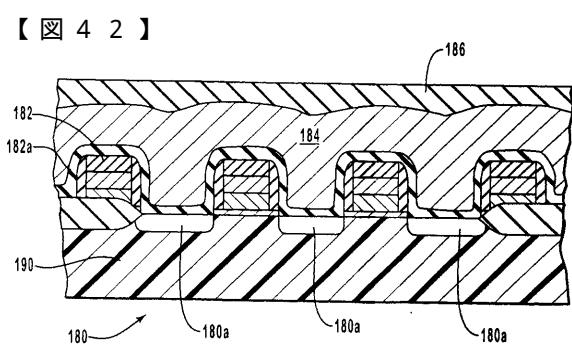


FIG. 42

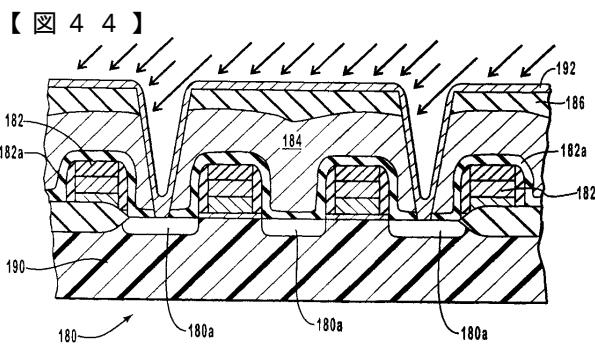


FIG. 44

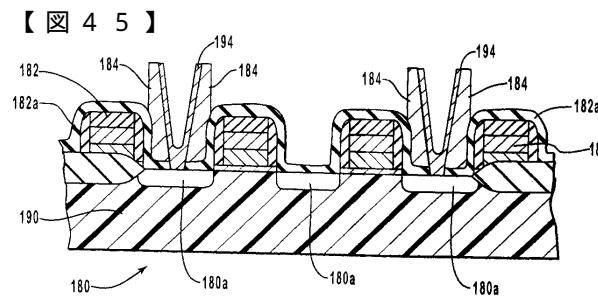


FIG. 45

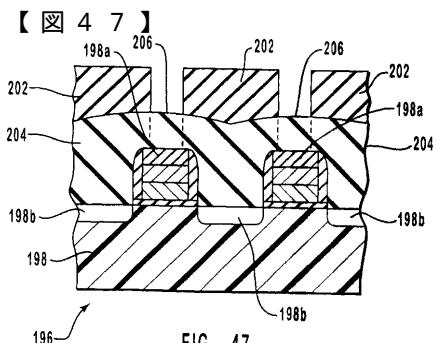


FIG. 47

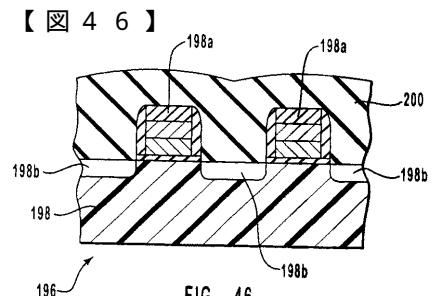


FIG. 46

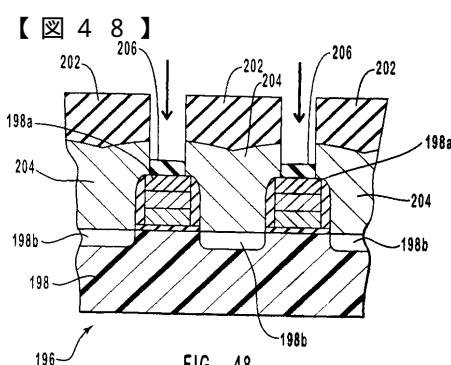


FIG. 48

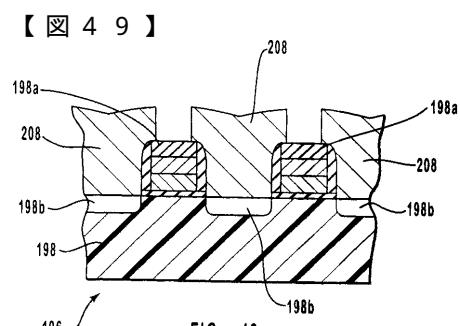


FIG. 49

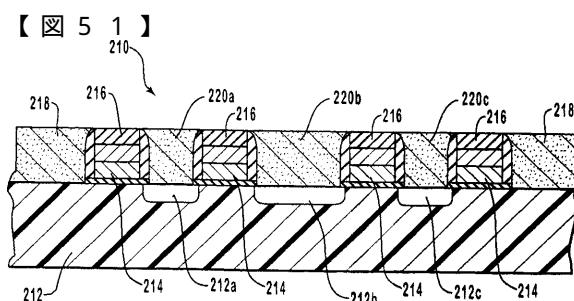


FIG. 51

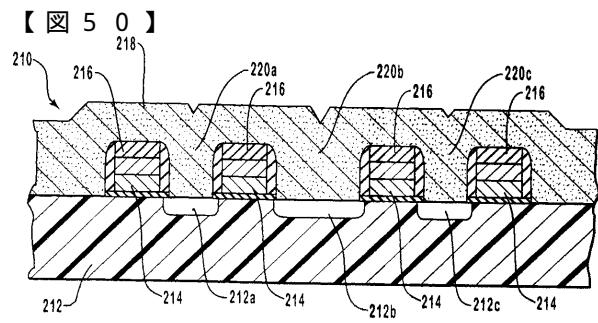


FIG. 50

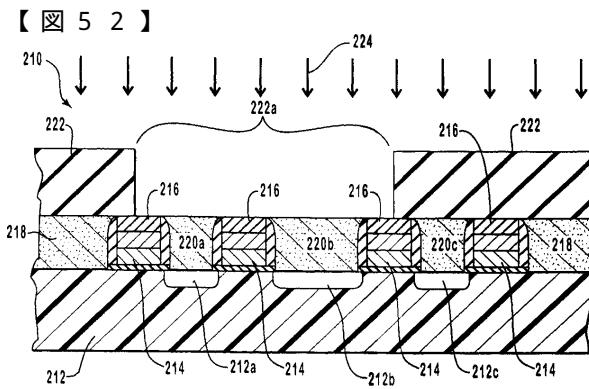


FIG. 52

【図 5 3】

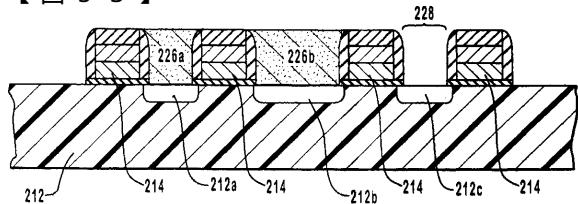


FIG. 53

【図 5 5】

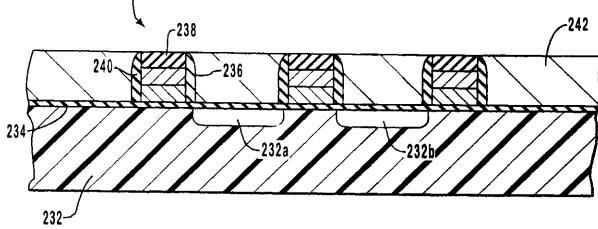


FIG. 55

【図 5 4】

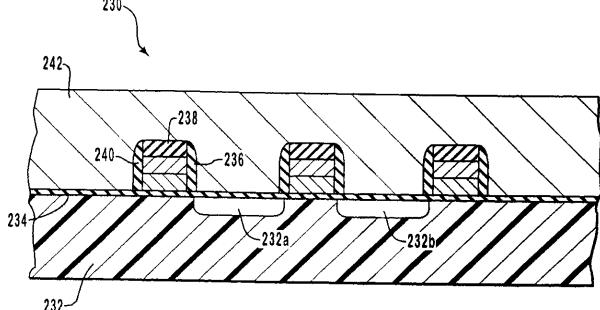


FIG. 54

【図 5 6】

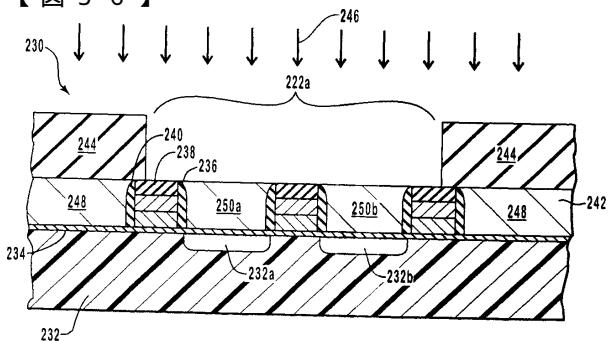


FIG. 56

【図 5 7】

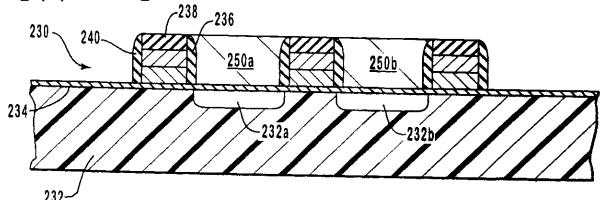


FIG. 57

【図 5 9】

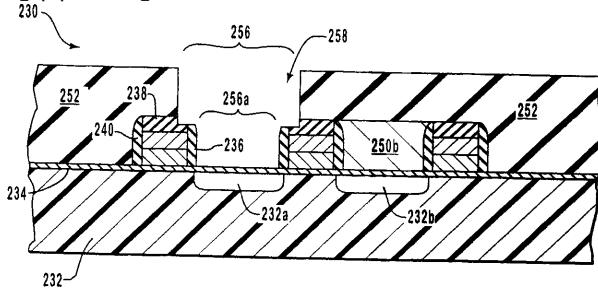


FIG. 59

【図 5 8】

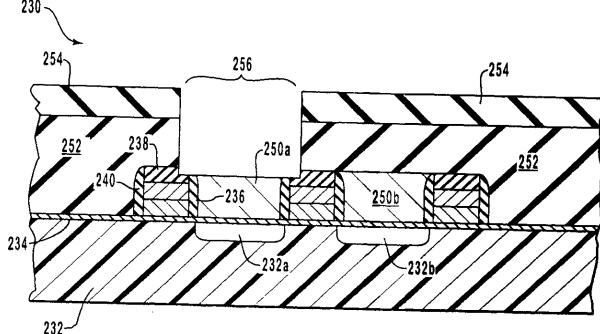


FIG. 58

【図 6 0】

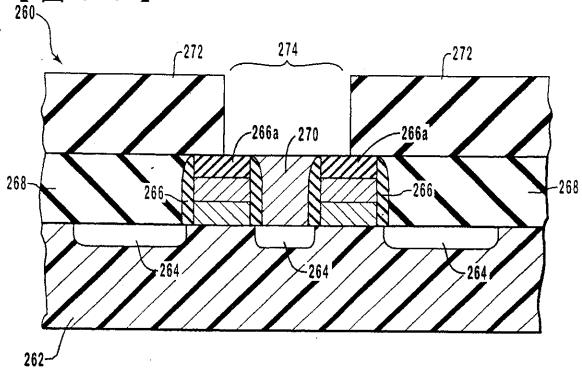


FIG. 60

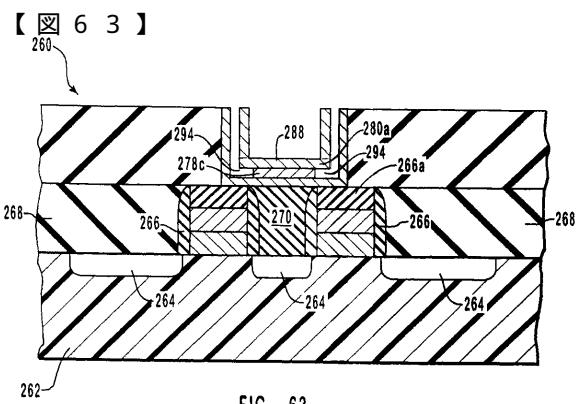


FIG. 63

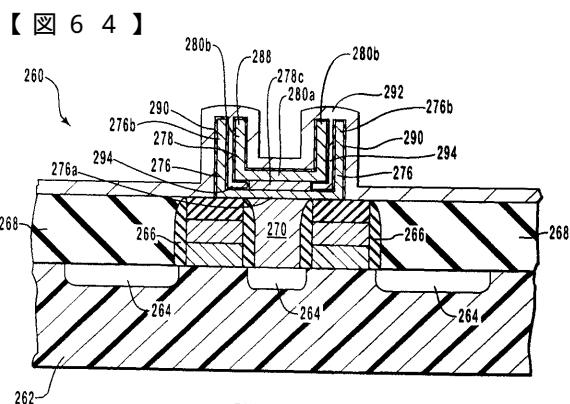


FIG. 64

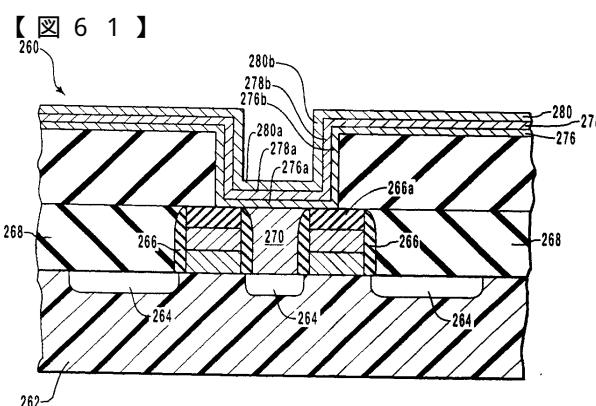


FIG. 61

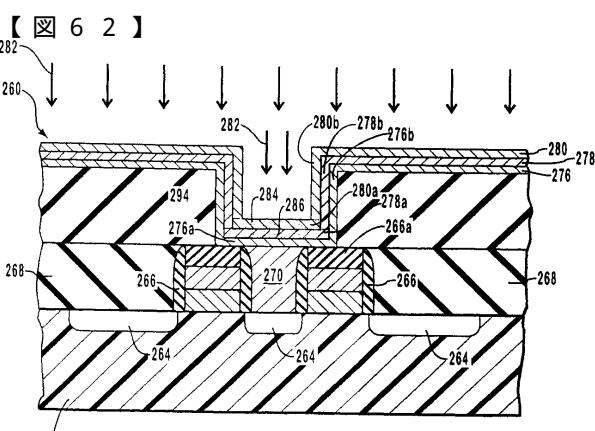


FIG. 62

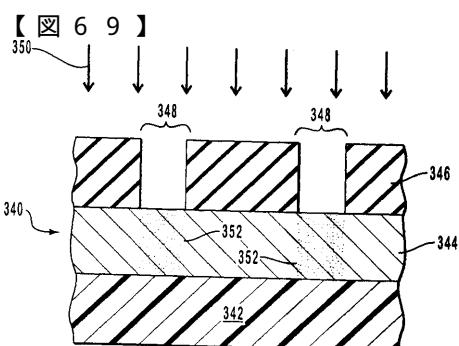


FIG. 69

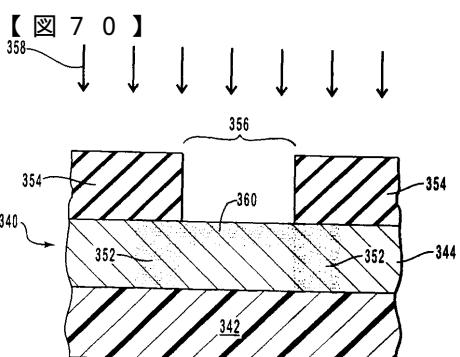


FIG. 70

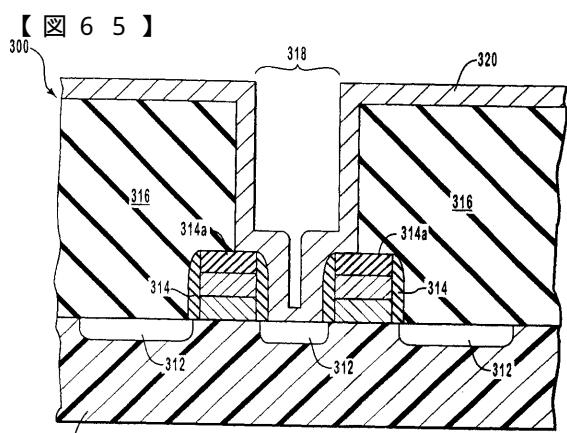


FIG. 65

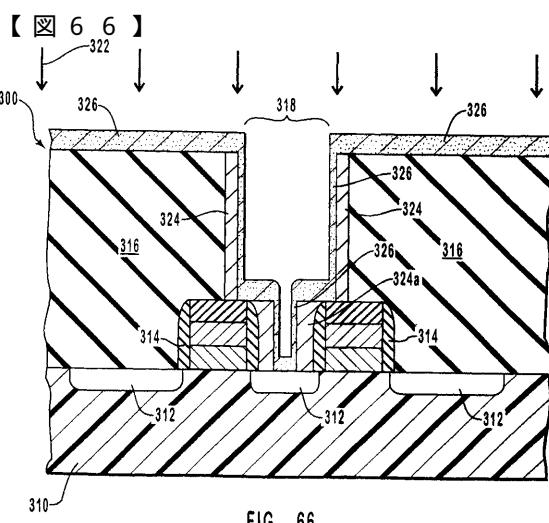


FIG. 66

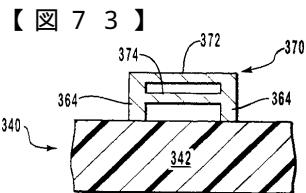


FIG. 73

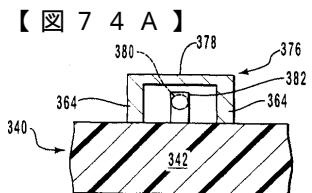


FIG. 74A

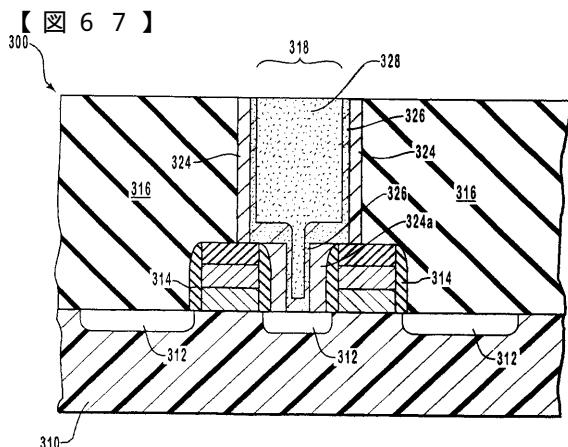


FIG. 67

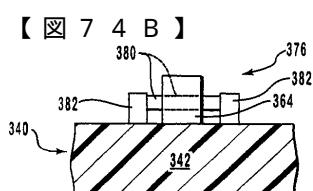


FIG. 74B

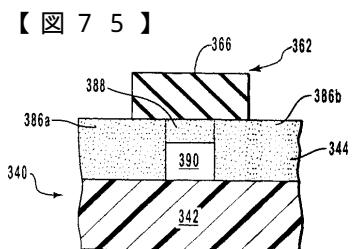


FIG. 75

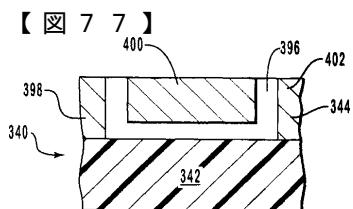


FIG. 77

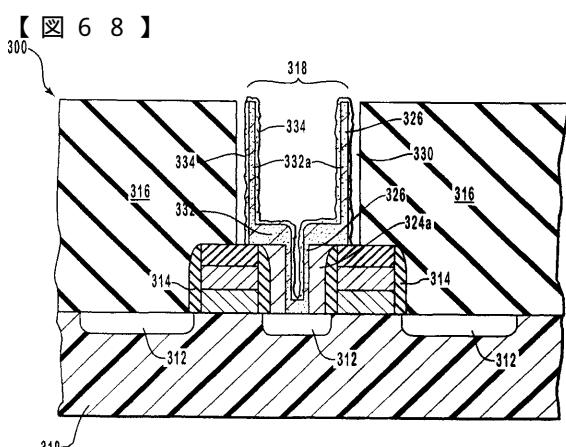


FIG. 68

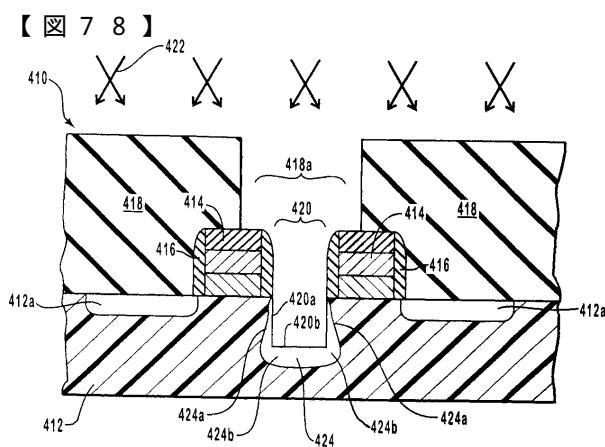


FIG. 78

【図 7 9】

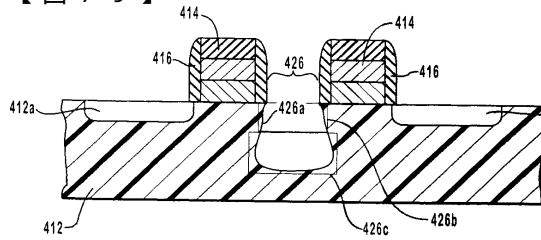


FIG. 79

【図 8 1】

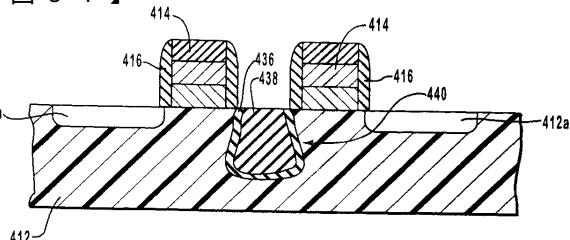


FIG. 81

【図 8 0】

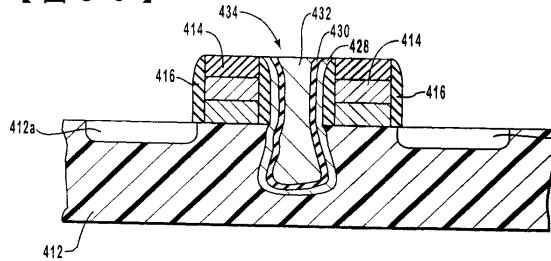


FIG. 80

【図 8 2】

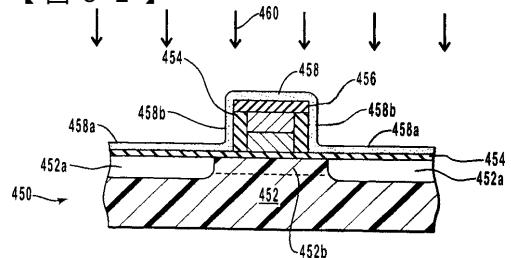


FIG. 82

【図 8 3】

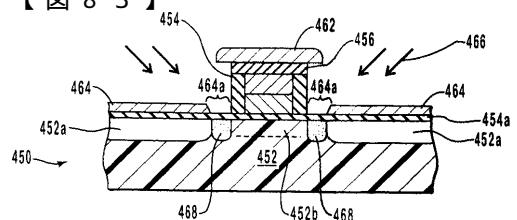


FIG. 83

【図 8 4】

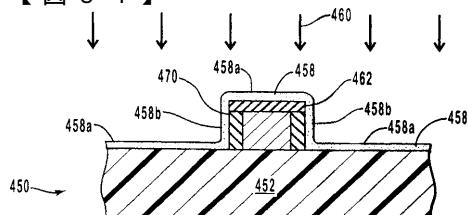


FIG. 84

【図 8 7】

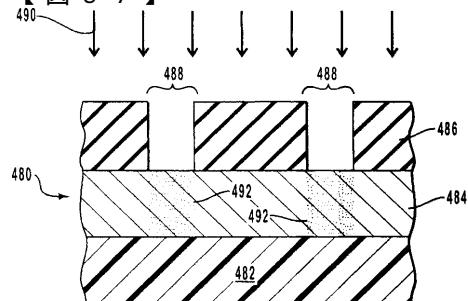


FIG. 87

【図 8 5】

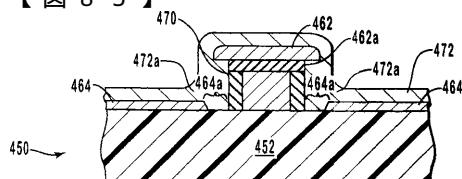


FIG. 85

【図 8 8】

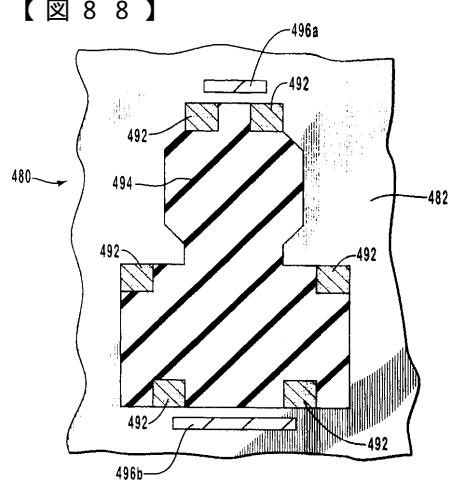


FIG. 88

【図 8 6】

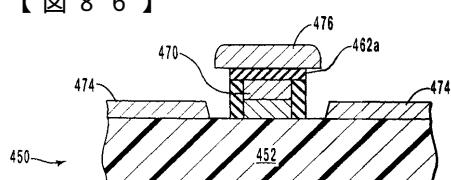


FIG. 86

【図 89】

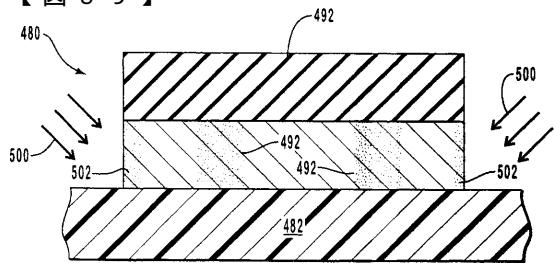


FIG. 89

【図 90】

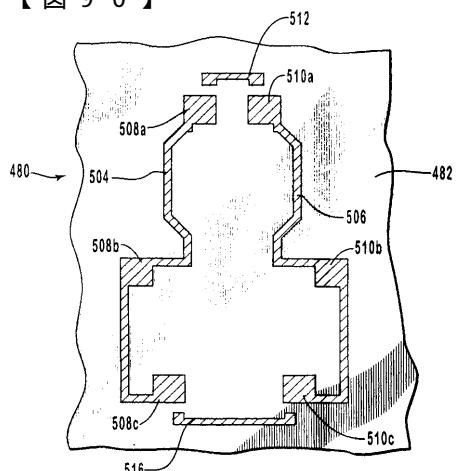


FIG. 90

フロントページの続き

(51)Int.Cl. ⁷	F I	
H 01 L 21/336	H 01 L 21/265	P
H 01 L 21/76	H 01 L 27/10	6 2 1 B
H 01 L 21/822	H 01 L 27/10	6 7 1 Z
H 01 L 21/8234	H 01 L 27/10	6 2 5 C
H 01 L 21/8238	H 01 L 27/08	3 2 1 F
H 01 L 21/8242	H 01 L 27/08	1 0 2 D
H 01 L 27/04	H 01 L 21/76	L
H 01 L 27/088	H 01 L 21/88	C
H 01 L 27/092	H 01 L 27/04	C
H 01 L 27/10		
H 01 L 27/108		
H 01 L 29/78		

(74)代理人

弁理士 小林 泰

(74)代理人

弁理士 岡本 芳明

(72)発明者 ウー, ジキアン

アメリカ合衆国テキサス州 75252, ダラス, フランクフォード・ロード 7575, アパートメント ナンバー 314

(72)発明者 リ, リ

アメリカ合衆国アイダホ州 83642, メリディアン, ノース・オールドストーン・ウェイ 2790

(72)発明者 フィグラ, トーマス・エイ

アメリカ合衆国アイダホ州 83705, ボイス, エルクホーン・アベニュー 5745

(72)発明者 パレク, クナル・アール

アメリカ合衆国アイダホ州 83712, ボイス, ダンモアー・ドライブ 2099

(72)発明者 パン, パイ-フン

アメリカ合衆国アイダホ州 83706, ボイス, イースト・ミグラトリー・ドライブ 2773

(72)発明者 レインバーグ, アラン・アール

アメリカ合衆国コネチカット州 06880, ウエストポート, ターヒューン・ドライブ 6

(72)発明者 マ, キン・エフ

アメリカ合衆国アイダホ州 83706, ボイス, イースト・グロウスター・ストリート 2427

審査官 酒井 英夫

(56)参考文献 特開平04-072622 (JP, A)

特開平06-188236 (JP, A)

特開平07-201996 (JP, A)

特開平06-140641 (JP, A)

特開平06-020987 (JP, A)

特開昭62-117560 (JP, A)

特開昭63-243817 (JP, A)

特開昭59-093343 (JP, A)

特開昭52-128066 (JP, A)

特開平02-262342 (JP, A)

特表平06-509909 (JP, A)

(58)調査した分野(Int.Cl.⁷, D B名)

H01L 21/306,21/3063,21/308