



(12)发明专利

(10)授权公告号 CN 104685630 B

(45)授权公告日 2018.02.09

(21)申请号 201380050931.6

(22)申请日 2013.11.26

(65)同一申请的已公布的文献号

申请公布号 CN 104685630 A

(43)申请公布日 2015.06.03

(30)优先权数据

2012-260066 2012.11.28 JP

(85)PCT国际申请进入国家阶段日

2015.03.27

(86)PCT国际申请的申请数据

PCT/JP2013/081788 2013.11.26

(87)PCT国际申请的公布数据

W02014/084212 JA 2014.06.05

(73)专利权人 浜松光子学株式会社

地址 日本静冈县

(72)发明人 山中辰己 坂本明 细川畅郎

(74)专利代理机构 北京尚诚知识产权代理有限公司 11322

代理人 杨琦 黄贤炬

(51)Int.Cl.

H01L 27/144(2006.01)

H01L 27/14(2006.01)

H01L 31/10(2006.01)

(56)对比文件

CN 1685513 A, 2005.10.19,

CN 1759484 A, 2006.04.12,

CN 1759485 A, 2006.04.12,

US 2008067622 A1, 2008.03.20,

JP 2001318155 A, 2001.11.16,

审查员 周文龙

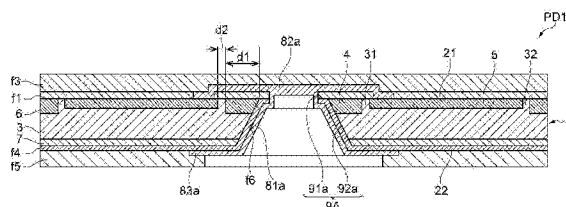
权利要求书2页 说明书10页 附图15页

(54)发明名称

光电二极管阵列

(57)摘要

光电二极管阵列具备形成在半导体基板的多个光电二极管。光电二极管的各个具有：第1导电型的第1半导体区域，其设置在半导体基板；第1导电型的第2半导体区域，其相对于第1半导体区域设置在半导体基板的一个面侧，具有比第1半导体区域杂质浓度高的杂质浓度；第2导电型的第3半导体区域，其以与第2半导体区域隔开而围绕第2半导体区域的方式，相对于第1半导体区域设置在一个面侧，与第1半导体区域一起构成光检测区域；以及贯通电极，其设置在以通过第1半导体区域和第2半导体区域的方式贯通一个面与半导体基板的另一个面之间的贯通孔内，与第3半导体区域电连接。



1. 一种光电二极管阵列,其特征在于,

是具备形成在半导体基板的多个光电二极管的光电二极管阵列,

所述光电二极管的各个具有:

第1导电型的第1半导体区域,其设置在所述半导体基板;

所述第1导电型的第2半导体区域,其相对于所述第1半导体区域设置在所述半导体基板的一个面侧,并具有比所述第1半导体区域杂质浓度高的杂质浓度;

第2导电型的第3半导体区域,其以与所述第2半导体区域隔开而围绕所述第2半导体区域的方式,相对于所述第1半导体区域设置在所述一个面侧,并与所述第1半导体区域一起构成光检测区域;以及

贯通电极,其设置在以通过所述第1半导体区域和所述第2半导体区域的方式贯通所述一个面与所述半导体基板的另一个面之间的贯通孔内,并与所述第3半导体区域电连接,

所述第2半导体区域由所述第3半导体区域包围,所述第3半导体区域与通过该第2半导体区域的相同的设置于所述贯通孔内的所述贯通电极电连接。

2. 如权利要求1所述的光电二极管阵列,其特征在于,

在所述第2半导体区域与所述第3半导体区域之间,以围绕所述第2半导体区域的方式,存在所述第1半导体区域的一部分。

3. 如权利要求1所述的光电二极管阵列,其特征在于,

所述第2半导体区域的内缘与外缘的间隔大于所述第2半导体区域的外缘与所述第3半导体区域的内缘的间隔。

4. 如权利要求2所述的光电二极管阵列,其特征在于,

所述第2半导体区域的内缘与外缘的间隔大于所述第2半导体区域的外缘与所述第3半导体区域的内缘的间隔。

5. 如权利要求1~4中的任一项所述的光电二极管阵列,其特征在于,

所述第3半导体区域的内缘在从所述半导体基板的厚度方向看的情况下,围绕所述另一个面侧的所述贯通孔的开口。

6. 如权利要求1~4中的任一项所述的光电二极管阵列,其特征在于,

所述光电二极管的各个包含形成在所述一个面上并使所述第3半导体区域与所述贯通电极电连接的接触电极,

所述接触电极的外缘在从所述半导体基板的厚度方向看的情况下,围绕所述另一个面侧的所述贯通孔的开口。

7. 如权利要求5所述的光电二极管阵列,其特征在于,

所述光电二极管的各个包含形成在所述一个面上并使所述第3半导体区域与所述贯通电极电连接的接触电极,

所述接触电极的外缘在从所述半导体基板的厚度方向看的情况下,围绕所述另一个面侧的所述贯通孔的开口。

8. 如权利要求1~4中的任一项所述的光电二极管阵列,其特征在于,

所述一个面侧的所述贯通孔的开口呈圆形状。

9. 如权利要求5所述的光电二极管阵列,其特征在于,

所述一个面侧的所述贯通孔的开口呈圆形状。

10. 如权利要求6所述的光电二极管阵列,其特征在于,
所述一个面侧的所述贯通孔的开口呈圆形状。
11. 如权利要求7所述的光电二极管阵列,其特征在于,
所述一个面侧的所述贯通孔的开口呈圆形状。

光电二极管阵列

技术领域

[0001] 本发明涉及一种光电二极管阵列。

背景技术

[0002] 例如,在专利文献1中,记载有CT(Computed Tomography,电脑断层摄影)装置等中所使用的光电二极管阵列。在专利文献1的光电二极管阵列中,在n型的半导体基板的入射面侧,二维状地排列有构成光检测区域的P⁺型的半导体区域。在各P⁺型的半导体区域,连接有电极。各电极经由与各P⁺型的半导体区域对应而设置的贯通孔而被引出到与入射面相反侧的背面侧。P⁺型的半导体区域与贯通孔沿着规定的方向交替地配置在半导体基板。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特表2005-533587号公报

发明内容

[0006] 发明所要解决的问题

[0007] 在专利文献1的光电二极管阵列中,需要在相邻的P⁺型的半导体区域彼此之间设置用于设置贯通孔的足够的间隔。因此,存在开口率下降的担忧。另外,在光电二极管阵列中,要求电特性的提高等、提高各种可靠性的情况。

[0008] 本发明的目的在于提供一种能够提高开口率和可靠性的光电二极管阵列。

[0009] 解决技术问题的手段

[0010] 本发明的一个侧面的光电二极管阵列是具备形成在半导体基板的多个光电二极管的光电二极管阵列,光电二极管的各个具有:第1导电型的第1半导体区域,其设置在半导体基板;第1导电型的第2半导体区域,其相对于第1半导体区域设置在半导体基板的一个面侧,具有比第1半导体区域的杂质浓度高的杂质浓度;第2导电型的第3半导体区域,其以与第2半导体区域隔开而围绕第2半导体区域的方式,相对于第1半导体区域设置在一个面侧,与第1半导体区域一起构成光检测区域;以及贯通电极,其设置在以通过第1半导体区域和第2半导体区域的方式贯通一个面与半导体基板的另一个面之间的贯通孔内,与第3半导体区域电连接。

[0011] 在该光电二极管阵列中,在光电二极管的各个中,贯通孔通过第1和第2半导体区域,第2半导体区域被第3半导体区域围绕。第3半导体区域与第1半导体区域一起构成光检测区域。这里,在作为1个像素的光电二极管的各个中,贯通孔被光检测区域围绕。因此,能够减小相邻的光电二极管彼此的间隔。因此,能够提高开口率。此外,贯通孔通过的第2半导体区域具有比第1半导体区域的杂质浓度高的杂质浓度。因此,能够通过第2半导体区域减少在贯通孔的内壁产生并朝向光检测区域的表面泄漏电流。因此,能够提高电特性。而且,贯通孔通过的第2半导体区域具有比第1半导体区域的杂质浓度高的杂质浓度,因而能够缓冲在贯通孔产生的各种应力。因此,能够提高强度。而且,第2半导体区域与第3半导体区域

隔开。因此,能够抑制第2半导体区域与第3半导体区域之间的短路,从而能够提高电特性。

[0012] 在第2半导体区域与第3半导体区域之间,可以以围绕第2半导体区域的方式存在第1半导体区域的一部分。根据该结构,能够提高电特性。

[0013] 第2半导体区域的内缘与外缘的间隔可以大于第2半导体区域的外缘与第3半导体区域的内缘的间隔。根据该结构,能够通过第2半导体区域进一步缓冲在贯通孔产生的各种应力。

[0014] 第3半导体区域的内缘在从半导体基板的厚度方向看的情况下,可以围绕另一个面侧的贯通孔的开口。根据该结构,第3半导体区域在从半导体基板的厚度方向看的情况下,设置在比贯通孔更外侧的范围。因此,例如,在贯通孔内形成凸点电极的情况等之下,能够减少施加于构成光检测区域的第3半导体区域所涉及的应力。

[0015] 光电二极管的各个可以包含形成在一个面上且使第3半导体区域与贯通电极电连接的接触电极,接触电极的外缘在从半导体基板的厚度方向看的情况下,可以围绕另一个面侧的贯通孔的开口。根据该结构,在从半导体基板的厚度方向看的情况下,跨越贯通孔的内侧和外侧的范围而设置接触电极。因此,能够提高贯通孔周边的强度。

[0016] 一个面侧的贯通孔的开口可以呈圆形状。根据该结构,例如,在贯通孔内形成凸点电极的情况等之下,能够抑制在贯通孔产生应力集中。

[0017] 发明的效果

[0018] 根据本发明,可以提供一种能够提高开口率和可靠性的光电二极管阵列。

附图说明

[0019] 图1是本发明的一个实施方式的光电二极管阵列的平面图。

[0020] 图2是图1的光电二极管阵列的光电二极管的平面图。

[0021] 图3是沿着图2的III-III线的截面图。

[0022] 图4是表示图1的光电二极管阵列的制造方法的工序的截面图。

[0023] 图5是表示图1的光电二极管阵列的制造方法的工序的截面图。

[0024] 图6是表示图1的光电二极管阵列的制造方法的工序的截面图。

[0025] 图7是表示图1的光电二极管阵列的制造方法的工序的截面图。

[0026] 图8是表示图1的光电二极管阵列的制造方法的工序的截面图。

[0027] 图9是表示图1的光电二极管阵列的制造方法的工序的截面图。

[0028] 图10是表示图1的光电二极管阵列的制造方法的工序的截面图。

[0029] 图11是表示图1的光电二极管阵列的制造方法的工序的截面图。

[0030] 图12是表示图1的光电二极管阵列的制造方法的工序的截面图。

[0031] 图13是应用了图1的光电二极管阵列的CT装置的一部分的截面图。

[0032] 图14是本发明的另一个实施方式的光电二极管阵列的光电二极管的截面图。

[0033] 图15是本发明的另一个实施方式的光电二极管阵列的光电二极管的平面图。

[0034] 图16是本发明的另一个实施方式的光电二极管阵列的光电二极管的平面图。

[0035] 符号的说明:

[0036] 1…光电二极管阵列,2…半导体基板,3…第1半导体区域,4…第2半导体区域,5…第3半导体区域,9A、9B…贯通孔,81a、81b…贯通电极,82a…接触电极,PD1~PD4…光电二

极管。

具体实施方式

[0037] 以下,就实施方式的光电二极管阵列,参照附图,详细进行说明。再者,对相同或相当的要素赋予相同的符号,省略重复的说明。

[0038] [光电二极管阵列]

[0039] 如图1所示,光电二极管阵列1例如使用于CT装置等。光电二极管阵列1具备形成在半导体基板2的多个光电二极管PD1。

[0040] 半导体基板2在俯视时呈长方形状。如图3所示,半导体基板2具有彼此相对的表面(一个面)21与背面(另一个面)22。在表面21上,绝缘膜f1和绝缘膜f3从表面21按照该顺序形成。在背面22上,绝缘膜f4和绝缘膜f5从背面22按照该顺序形成。作为各绝缘膜,形成有SiO₂膜或SiN膜等。

[0041] 如图1所示,光电二极管PD1二维状地排列于半导体基板2。光电二极管PD1的各个作为1个像素而发挥功能。如图3所示,光电二极管PD1具有第1半导体区域3、第2半导体区域4、第3半导体区域5、第4半导体区域6、第5半导体区域7、贯通电极81a、接触电极82a、以及端子电极83a。

[0042] 第1半导体区域3包含半导体基板2的厚度方向上的中央部分。第1半导体区域3在从半导体基板2的厚度方向看的情况下,呈矩形形状。第1半导体区域3在半导体基板2的厚度方向上的中央部分遍及光电二极管PD1的整个区域而设置。相邻的光电二极管PD1、PD1的第1半导体区域3、3彼此一体形成。第1半导体区域3是n⁻型的半导体区域。第1半导体区域3由例如Si等形成。在第1半导体区域3,连接有未图示的基板电极。

[0043] 第2半导体区域4相对于第1半导体区域3而设置在半导体基板2的表面21侧。第2半导体区域4在从半导体基板2的厚度方向看的情况下,呈外缘为圆形状且内缘为矩形状(详细而言为正形状)的环状。第2半导体区域4也可以呈其他环状(例如,四边环状等多边环状、或圆环状等)。即,环状是指以闭合任意的区域的方式围绕的一体的形状。第2半导体区域4的内缘形成表面21侧的贯通孔9A(后述)的开口。第2半导体区域4是n⁺型的半导体区域,具有比第1半导体区域3的杂质浓度高的杂质浓度。第2半导体区域4例如通过在Si中扩散n型的杂质等而形成。

[0044] 第3半导体区域5相对于第1半导体区域3而设置在半导体基板2的表面21侧。第3半导体区域5与第2半导体区域4隔开,且围绕第2半导体区域4。第3半导体区域5在从半导体基板2的厚度方向看的情况下,呈外缘为矩形状且内缘为圆形状的环状。第3半导体区域5也可以呈其他环状。第3半导体区域5是p⁺型的半导体区域。第3半导体区域5与第1半导体区域3形成pn结,且构成光电二极管PD1的光检测区域。第3半导体区域5例如通过在Si中扩散p型的杂质等而形成。第2半导体区域4形成得比第3半导体区域5深为止。

[0045] 在第2半导体区域4与第3半导体区域5之间,存在第1半导体区域3的一部分即第1部分31。第1部分31在从半导体基板2的厚度方向看的情况下,围绕第2半导体区域4,并且被第3半导体区域5围绕。第1部分31在从半导体基板2的厚度方向看的情况下,呈圆环状。第1部分31也可以呈其他环状。

[0046] 第4半导体区域6相对于第1半导体区域3而设置在半导体基板2的表面21侧。第4半

导体区域6在从半导体基板2的厚度方向看的情况下,呈比第3半导体区域5大的矩形环状,且围绕第3半导体区域5。第4半导体区域6也可以呈其他环状。第4半导体区域6与第3半导体区域5隔开。在第3半导体区域5与第4半导体区域6之间,存在第1半导体区域3的一部分即第2部分32。第2部分32在从半导体基板2的厚度方向看的情况下,呈矩形环状。第2部分32也可以呈其他环状。相邻的光电二极管PD1、PD1的第4半导体区域6、6彼此一体形成。

[0047] 第4半导体区域6是 n^+ 型的半导体区域,具有比第1半导体区域3的杂质浓度高的杂质浓度。第4半导体区域6例如通过在Si中扩散 n 型的杂质而形成。第4半导体区域6作为分隔相邻的光电二极管PD1、PD1的通道阻挡而发挥功能。第4半导体区域6经由未图示的电极而接地。

[0048] 第5半导体区域7相对于第1半导体区域3而设置在半导体基板2的背面22侧。第5半导体区域7在背面22侧遍及光电二极管PD1的整个区域而形成。相邻的光电二极管PD1、PD1的第5半导体区域7、7彼此一体形成。第5半导体区域7是 n^+ 型的半导体区域,具有比第1半导体区域3的杂质浓度高的杂质浓度。第5半导体区域7例如通过在Si中扩散 n 型的杂质而形成。第1半导体区域3和第5半导体区域7例如也能够通过在 n^+ 型的Si上生长杂质浓度比该Si低的 n^- 型的外延层而形成。

[0049] 在半导体基板2,设置有贯通表面21与背面22之间的贯通孔9A。贯通孔9A贯通第1半导体区域3、第2半导体区域4和第5半导体区域7。贯通孔9A包含从表面21侧向背面22侧扩展的部分。贯通孔9A包含位于表面21侧的小孔部91a、以及位于背面22侧的大孔部92a。

[0050] 小孔部91a贯通绝缘膜f1。小孔部91a呈圆柱状。表面21侧的贯通孔9A的开口呈圆形形状。

[0051] 大孔部92a贯通第1半导体区域3和第2半导体区域4。大孔部92a从表面21侧向背面22侧扩展,且呈锥状。具体而言,大孔部92a呈四棱锥台形状。背面22侧的贯通孔9A的开口呈矩形形状(详细而言为正方形形状)。大孔部92a的内壁与表面21成大致 55° 的角度。大孔部92a的内壁与背面22成大致 125° 的角度。大孔部92a的上边大于小孔部91a的直径。小孔部91a与大孔部92a配置在同轴上。

[0052] 在大孔部92a的内壁上,形成有绝缘膜f6。绝缘膜f6与背面22侧的绝缘膜f4连续地形成。作为绝缘膜f6,形成有 SiO_2 膜或 SiN 膜等。

[0053] 第2半导体区域4的内缘与外缘的间隔d1大于第2半导体区域4的外缘与第3半导体区域5的内缘的间隔(第1部分31的内缘与外缘的间隔)d2。

[0054] 第3半导体区域5的内缘在从半导体基板2的厚度方向看的情况下,围绕背面22侧的贯通孔9A的开口。即,第3半导体区域5在从半导体基板2的厚度方向看的情况下,设置在比贯通孔9A更外侧的范围。

[0055] 各区域的厚度/杂质浓度例如为以下。

[0056] 第1半导体区域3:厚度 $50\sim 625\mu\text{m}$ /杂质浓度 $5\times 10^{11}\sim 5\times 10^{15}\text{cm}^{-3}$

[0057] 第2半导体区域4:厚度 $1.0\sim 10\mu\text{m}$ /杂质浓度 $1\times 10^{18}\sim 1\times 10^{20}\text{cm}^{-3}$

[0058] 第3半导体区域5:厚度 $0.01\sim 3.0\mu\text{m}$ /杂质浓度 $1\times 10^{18}\sim 1\times 10^{20}\text{cm}^{-3}$

[0059] 第4半导体区域6:厚度 $1.0\sim 10\mu\text{m}$ /杂质浓度 $1\times 10^{18}\sim 1\times 10^{20}\text{cm}^{-3}$

[0060] 第5半导体区域7:厚度 $1.0\sim 620\mu\text{m}$ /杂质浓度 $1\times 10^{18}\sim 1\times 10^{20}\text{cm}^{-3}$

[0061] 贯通电极81a设置在贯通孔9A内。贯通电极81a呈底面整面开口的中空四棱锥台形

状。贯通电极81a形成在小孔部91a的内壁上和大孔部92a内的绝缘膜f6上。贯通电极81a堵塞表面21侧的贯通孔9A的开口。

[0062] 接触电极82a形成在表面21上。接触电极82a将第3半导体区域5与贯通电极81a电连接。接触电极82a包含圆板状的部分、以及圆环状的部分。圆板状的部分形成在绝缘膜f1上。圆板状的部分覆盖贯通孔9A的表面21侧的开口。圆板状的部分与贯通电极81a连结。圆环状的部分从圆板状的部分的一个面(绝缘膜f1侧的面)的外缘向直径方向外侧扩展。圆环状的部分贯通绝缘膜f1,且与第3半导体区域5接触。

[0063] 接触电极82a的外缘在从半导体基板2的厚度方向看的情况下,围绕背面22侧的贯通孔9A的开口。即,接触电极82a在从半导体基板2的厚度方向看的情况下,跨越贯通孔9A的内侧和外侧的范围而设置。

[0064] 端子电极83a形成在背面22上。端子电极83a形成在绝缘膜f4上。端子电极83a呈外缘为圆形状且内缘为四边形状的环状。端子电极83a的内缘与贯通电极81a连结。接触电极82a、贯通电极81a和端子电极83a例如由铝等形成。

[0065] [光电二极管阵列的制造方法]

[0066] 其次,就光电二极管阵列1的制造方法的一个例子进行说明。

[0067] 如图4所示,首先,准备晶面(100)的n⁻型的Si的基板S。在基板S,包含有第1半导体区域3。接着,例如通过热氧化而在表面21上形成绝缘膜f1。

[0068] 接着,如图5所示,通过光蚀刻(photo-etching)而去除形成第2半导体区域4和第4半导体区域6的预定的位置上的绝缘膜f1,形成开口。使磷经由开口热扩散至基板S。此时,也使磷热扩散至背面22。由此,形成第2半导体区域4、第4半导体区域6和第5半导体区域7。接着,通过热氧化而闭合开口。

[0069] 接着,如图6所示,通过光蚀刻而去除形成第3半导体区域5的预定的位置上的绝缘膜f1,形成开口。使硼经由开口热扩散至基板S。由此,形成第3半导体区域5。接着,通过热氧化而闭合开口。

[0070] 接着,如图7所示,通过光蚀刻而去除形成接触电极82a的圆环状的部分的预定的位置的绝缘膜f1,形成开口(接触孔)。接着,通过溅射而形成接触电极82a。

[0071] 接着,如图8所示,例如通过电浆CVD(Cheical Vapor Deposition:化学气相淀积法)或LP-CVD(Liquid Phase-Chemical Vapor Deposition:液相化学气相淀积法)等,在绝缘膜f1上和接触电极82a上形成绝缘膜f3。接着,为了调节光透过的部分的厚度,对表面21侧(详细而言为绝缘膜f3)进行化学机械研磨(CMP)。

[0072] 接着,如图9所示,通过碱性蚀刻(使用氢氧化钾溶液、TMAH(Tetramethyl Ammonium Hydroxide:氢氧化四甲基铵)、胼或EDP(Ethylene Diamine Pyrochatechol:乙二胺邻苯二酚)等)而对背面22实施各向异性蚀刻。由此,形成其内壁与表面21成大致55°的角度的大孔部92a。各向异性蚀刻进行至大孔部92a到达绝缘膜f1为止。接着,通过干式蚀刻而形成小孔部91a。

[0073] 接着,如图10所示,例如通过电浆CVD或LP-CVD等而在背面22上、大孔部92a的内壁上、以及小孔部91a的内壁上形成绝缘膜f4、f6。

[0074] 接着,如图11所示,通过光蚀刻而去除小孔部91a的内壁上的绝缘膜f6,而形成开口(接触孔),从而使接触电极82a的一部分在背面22侧露出。接着,通过溅射而形成贯通电

极81a和端子电极83a。

[0075] 接着,如图12所示,例如通过电浆CVD或LP-CVD等而在绝缘膜f4上、端子电极83a上和贯通电极81a上形成绝缘膜f5。接着,通过光蚀刻而去除端子电极83a上的内缘侧和贯通电极81a上的绝缘膜f5。根据以上内容,获得图3所示的结构。

[0076] [CT装置]

[0077] 如图13所示,CT装置100具备前述的光电二极管阵列1、闪烁器101、以及安装基板102。

[0078] 闪烁器101与绝缘膜f3抵接。闪烁器101呈长方体状。闪烁器101在从半导体基板2的厚度方向看的情况下,与构成光检测区域的第3半导体区域5为相同程度的大小,且与第3半导体区域5重叠。闪烁器101是具有结晶性的闪烁器(CsI、NaI、LaBr₃、或GAGG(Gadolinium Aluminium Gallium Garnet:钆铝镓石榴石)等结晶性材料)、陶瓷闪烁器(无机荧光体的烧结体等)、或聚对苯二甲酸乙二酯(PET等)闪烁器等固体状的闪烁器。在闪烁器101的除了与绝缘膜f3的抵接面以外的面,设置有反射膜103。反射膜103例如由铝或氧化钛等形成。

[0079] 安装基板102具有电极104。电极104经由形成在贯通电极81a内的凸点电极105而电连接于贯通电极81a。凸点电极105由例如焊料、金、镍、铜、或导电性粘接树脂等具有导电性的材料形成。

[0080] 在CT装置100中,当X射线入射至闪烁器101时,闪烁器101发出闪烁光。闪烁光直接入射至第3半导体区域5,或者在被接触电极82a和反射膜103等反射后入射至第3半导体区域5。通过闪烁光的入射而在光检测区域产生的电荷的信息经由接触电极82a、贯通电极81a、端子电极83a和凸点电极105而输入至安装基板102。

[0081] 在以上所述的本实施方式的光电二极管阵列1中,在光电二极管PD1的各个中,贯通孔9A通过第1半导体区域3和第2半导体区域4,第2半导体区域4被第3半导体区域5围绕。第3半导体区域5与第1半导体区域3一起构成光检测区域。这里,在作为1个像素的光电二极管PD1的各个中,贯通孔9A被光检测区域围绕。因此,相邻的光电二极管PD1、PD1彼此的间隔变小。因此,能够提高开口率。

[0082] 贯通孔9A通过的第2半导体区域4具有比第1半导体区域3的杂质浓度高的杂质浓度。因此,能够通过第2半导体区域4减少在贯通孔9A的内壁产生并朝向光检测区域的表面泄漏电流。另外,能够通过第2半导体区域4减少由蚀刻产生的损伤。因此,能够提高电特性。这些效果通过第2半导体区域4形成得比第3半导体区域5深为止而进一步很好地发挥。

[0083] 由于绝缘膜f6与半导体基板2材料不同,因此可以认为在绝缘膜f6与贯通孔9A的界面产生应力。在光电二极管阵列1中,贯通孔9A通过的第2半导体区域4具有比第1半导体区域3的杂质浓度高的杂质浓度,因而能够通过第2半导体区域4缓冲在贯通孔9A与绝缘膜f6的界面产生的应力。因此,能够提高强度。

[0084] 由于相对于厚度半导体基板2的表面21和背面22的面积大,因此认为在半导体基板2产生应变。在光电二极管阵列1中,能够由贯通孔9A通过的第2半导体区域4缓冲起因于半导体基板2的应变而在贯通孔9A产生的应力。因此,能够提高强度。

[0085] 在贯通孔9A内形成凸点电极105时,可以认为由于凸点电极105的热收缩等而在贯通孔9A产生应力。在光电二极管阵列1中,能够由贯通孔9A通过的第2半导体区域4缓冲在形成凸点电极105时等产生的应力。因此,能够提高强度。

[0086] 第2半导体区域4与第3半导体区域5隔开。在第2半导体区域4与第3半导体区域5之间,以围绕第2半导体区域4的方式,存在第1半导体区域3的一部分即第1部分31。因此,能够抑制第2半导体区域4与第3半导体区域5之间的短路。因此,能够提高电特性。

[0087] 第2半导体区域4的内缘与外缘的间隔d1大于第2半导体区域4的外缘与第3半导体区域5的内缘的间隔d2。因此,能够由第2半导体区域4进一步缓冲在贯通孔9A产生的前述各种应力。

[0088] 第3半导体区域5的内缘在从半导体基板2的厚度方向看的情况下,围绕背面22侧的贯通孔9A的开口。即,第3半导体区域5在从半导体基板2的厚度方向看的情况下,设置在比贯通孔9A更外侧的范围。因此,在在贯通孔9A内形成凸点电极105的情况等之下,能够减少施加于构成光检测区域的第3半导体区域5所涉及的应力。

[0089] 光电二极管PD1的各个包含形成在表面21上且使第3半导体区域5与贯通电极81a连接的接触电极82a,接触电极82a的外缘在从半导体基板2的厚度方向看的情况下,围绕背面22侧的贯通孔9A的开口。即,在从半导体基板2的厚度方向看的情况下,跨越贯通孔9A的内侧和外侧的范围而设置有接触电极82a。因此,能够提高贯通孔9A周边的强度。

[0090] 表面21侧的贯通孔9A的开口呈圆形状。因此,例如在贯通孔9A内形成凸点电极105的情况等之下,能够抑制在贯通孔9A产生应力集中。

[0091] 在贯通孔被光检测区域围绕的情况下,起因于贯通孔的内壁的损伤而产生的泄漏电流容易进入至光检测区域。因此,在贯通孔被光检测区域围绕的情况下,优选减少贯通孔的内壁的损伤。在光电二极管阵列1中,贯通孔9A包含从表面21向背面22扩展的锥状的大孔部92a。大孔部92a由各向异性蚀刻形成。在各向异性蚀刻中,难以对贯通孔9A的内壁产生损伤。因此,在光电二极管阵列1中,能够减少来自贯通孔9A的泄漏电流。因此,能够提高电特性。

[0092] 大孔部92a的内壁与背面22成钝角(大致 125°)。因此,在形成绝缘膜f4、f6时,相比于大孔部92a的内壁与背面22成直角或锐角的情况,背面22侧的贯通孔9A的开口缘的绝缘膜f4、f6的膜厚容易形成得厚。因此,能够提高电特性。

[0093] 第2半导体区域4的外缘呈圆形状。因此,与第2半导体区域4的外缘呈多边形形状等的情况相比,能够抑制电场的集中。

[0094] 其次,就另一个实施方式的光电二极管阵列进行说明。

[0095] 如图14所示,本实施方式的光电二极管阵列具备光电二极管PD2取代前述的光电二极管PD1(参照图3)。光电二极管PD2在贯通孔、贯通电极、以及端子电极的形状不同的方面,与光电二极管PD1不同。

[0096] 贯通孔9B包含位于表面21侧的小孔部91b、以及位于背面22侧的大孔部92b。小孔部91b是与上述小孔部91a同样的结构。

[0097] 大孔部92b贯通第1半导体区域3和第2半导体区域4。大孔部92b呈具有比小孔部91b直径大的直径的圆柱状。背面22侧的贯通孔9B的开口呈圆形状。小孔部91b与大孔部92b配置在同轴上。大孔部92b例如在前述的制造方法中,能够通过使用干式蚀刻来取代各向异性蚀刻而形成。

[0098] 第3半导体区域5的内缘在从半导体基板2的厚度方向看的情况下,围绕背面22侧的贯通孔9B的开口。即,第3半导体区域5在从半导体基板2的厚度方向看的情况下,设置在

比贯通孔9B更外侧的范围。

[0099] 接触电极82a的外缘在从半导体基板2的厚度方向看的情况下,围绕背面22侧的贯通孔9B的开口。即,接触电极82a在从半导体基板2的厚度方向看的情况下,跨越贯通孔9B的内侧和外侧的范围而设置。

[0100] 贯通电极81b设置在贯通孔9B内。贯通电极81b呈表面21侧的端部闭合的圆筒状。贯通电极81b形成在小孔部91b的内壁上和大孔部92b内的绝缘膜f6上。贯通电极81b堵塞表面21侧的贯通孔9A的开口。

[0101] 端子电极83b形成在背面22上。端子电极83b形成在绝缘膜f4上。端子电极83b呈圆环状。端子电极83b的内缘与贯通电极81b连结。

[0102] 在具备多个如以上所述的光电二极管PD2的光电二极管阵列中,在光电二极管PD2的各个中,贯通孔9B通过第1半导体区域3和第2半导体区域4,第2半导体区域4被第3半导体区域5围绕。第3半导体区域5与第1半导体区域3一起构成光检测区域。这里,在作为1个像素的光电二极管PD2的各个中,贯通孔9B由光检测区域围绕。由此,相邻的光电二极管PD2、PD2彼此的间隔变小。因此,能够提高开口率。

[0103] 贯通孔9B通过的第2半导体区域4具有比第1半导体区域3的杂质浓度高的杂质浓度。因此,能够通过第2半导体区域4减少在贯通孔9B的内壁产生并朝向光检测区域的表面泄漏电流。另外,能够通过第2半导体区域4减少由蚀刻产生的损伤。因此,能够提高电特性。这些效果通过第2半导体区域4形成得比第3半导体区域5深为止而进一步很好地发挥。

[0104] 由于绝缘膜f6与半导体基板2材料不同,因此可以认为在绝缘膜f6与贯通孔9B的界面产生应力。在光电二极管阵列1中,贯通孔9B通过的第2半导体区域4具有比第1半导体区域3的杂质浓度高的杂质浓度,因而能够由第2半导体区域4缓冲在贯通孔9B与绝缘膜f6的界面产生的应力。因此,能够提高强度。

[0105] 由于相比于厚度半导体基板2的表面21和背面22的面积大,因此可以认为在半导体基板2产生应变。在光电二极管阵列1中,能够由贯通孔9B通过的第2半导体区域4缓冲起因于半导体基板2的应变而在贯通孔9B产生的应力。因此,能够提高强度。

[0106] 在贯通孔9B内形成凸点电极105时,可以认为由于凸点电极105的热收缩等而在贯通孔9B产生应力。在光电二极管阵列1中,能够由贯通孔9B通过的第2半导体区域4缓冲在形成凸点电极105时等所产生的应力。因此,能够提高强度。

[0107] 第2半导体区域4与第3半导体区域5隔开。在第2半导体区域4与第3半导体区域5之间,以围绕第2半导体区域4的方式,存在第1半导体区域3的一部分即第1部分31。因此,能够抑制第2半导体区域4与第3半导体区域5之间的短路。因此,能够提高电特性。

[0108] 第2半导体区域4的内缘与外缘的间隔d1大于第2半导体区域4的外缘与第3半导体区域5的内缘的间隔d2。因此,能够由第2半导体区域进一步缓冲在贯通孔9B产生的前述各种应力。

[0109] 第3半导体区域5的内缘在从半导体基板2的厚度方向看的情况下,围绕背面22侧的贯通孔9B的开口。即,第3半导体区域5在从半导体基板2的厚度方向看的情况下,设置在比贯通孔9B更外侧的范围。因此,在贯通孔9B内形成凸点电极的情况等之下,能够减少施加于构成光检测区域的第3半导体区域5的应力。

[0110] 光电二极管PD2的各个包含形成在表面21上且使第3半导体区域5与贯通电极81b

连接的接触电极82a,接触电极82a的外缘在从半导体基板2的厚度方向看的情况下,围绕背面22侧的贯通孔9B的开口。即,在从半导体基板2的厚度方向看的情况下,跨越贯通孔9B的内侧和外侧的范围而设置有接触电极82a。因此,能够提高贯通孔9B周边的强度。

[0111] 表面21侧的贯通孔9B的开口呈圆形状。因此,例如,在贯通孔9B内形成凸点电极的情况等之下,能够抑制在贯通孔9B产生应力集中。此外,背面22侧的贯通孔9B的开口呈圆形状。因此,能够进一步抑制于贯通孔9B产生应力集中。

[0112] 第2半导体区域4呈圆环状。因此,与第2半导体区域4呈多边形形状等的情况相比,能够抑制电场的集中。

[0113] 其次,再就另一个实施方式的光电二极管阵列进行说明。

[0114] 如图15所示,本实施方式的光电二极管阵列具备光电二极管PD3取代前述的光电二极管PD1(参照图2)。光电二极管PD3在光检测区域被分割为多个(4个)的方面,与光电二极管PD1不同。

[0115] 详细而言,光电二极管PD3具有与第3半导体区域5形状不同的多个(4个)第3半导体区域51来取代第3半导体区域5。光电二极管PD3具有第1半导体区域3的一部分即多个(4个)第3部分33来取代第1和第2部分31、32。光电二极管PD3具有多个第6半导体区域10。

[0116] 多个第3半导体区域51彼此隔开而设置。多个第3半导体区域51在从半导体基板2的厚度方向看的情况下,围绕第2半导体区域4。第3半导体区域51的各个与第2半导体区域4隔开。第3半导体区域51的各个在从半导体基板2的厚度方向看的情况下,呈从矩形使1个角缺口成扇形状那样的形状。

[0117] 第2半导体区域4的内缘与外缘的间隔d1大于第2半导体区域4的外缘与第3半导体区域51的内缘的间隔(第3部分33的各个的内缘与外缘的间隔)d3。

[0118] 多个第3半导体区域51的内缘在从半导体基板2的厚度方向看的情况下,围绕背面22侧的贯通孔9A的开口。即,多个第3半导体区域51在从半导体基板2的厚度方向看的情况下,设置得比贯通孔9A更外侧。

[0119] 第3半导体区域51的各个与接触电极82a连接。在多个第3半导体区域51获得的信息从贯通电极81a作为1个信息输出。即,具备多个第3半导体区域51的PD3作为1个像素而发挥功能。

[0120] 第3部分33的各个呈环状。第3部分33的各个在从半导体基板2的厚度方向看的情况下,围绕第3半导体区域51。多个第3部分33彼此隔开而设置。多个第3部分33在从半导体基板2的厚度方向看的情况下,围绕第2半导体区域4。

[0121] 第6半导体区域10相对于第1半导体区域3而设置在半导体基板2的表面21侧。第6半导体区域10在从半导体基板2的厚度方向看的情况下,形成在相邻的第3部分33、33彼此之间。第6半导体区域10在从半导体基板2的厚度方向看的情况下,大致呈长方形状。第6半导体区域10是n⁺型的半导体区域,具有比第1半导体区域3的杂质浓度高的杂质浓度。第6半导体区域10与n⁺型的半导体区域即第2半导体区域4和第4半导体区域6连续地设置。第6半导体区域10例如具有与第2半导体区域4和第4半导体区域6相同程度的厚度和杂质浓度。第2半导体区域4例如通过在Si中扩散n型的杂质等而形成。第2半导体区域4例如在前述制造方法中,与第2半导体区域4和第4半导体区域6同时形成。

[0122] 具备多个以上所述的光电二极管PD3的光电二极管阵列起到与前述的光电二极管

阵列1同样的效果。特别是在本实施方式的光电二极管阵列中,在光电二极管PD3的各个中,贯通孔9A也通过第1半导体区域3和第2半导体区域4,且第2半导体区域4被多个第3半导体区域51围绕。多个第3半导体区域51与第1半导体区域3一起构成光检测区域。这里,在作为1个像素的光电二极管PD3的各个中,贯通孔9A被光检测区域围绕。由此,相邻的光电二极管PD3、PD3彼此的间隔变小。因此,能够提高开口率。

[0123] 在光电二极管PD3中,第2半导体区域4经由第6半导体区域10而与接地的第4半导体区域6连续地形成。因此,光电二极管PD3与前述的光电二极管PD1相比,能够提高电稳定性。

[0124] 其次,再就另一个实施方式的光电二极管阵列进行说明。

[0125] 如图16所示,本实施方式的光电二极管阵列中的光电二极管PD4与前述的光电二极管PD3(参照图15)相比,光检测区域的分割数量不同。

[0126] 详细而言,光电二极管PD4具有多个(8个)第3半导体区域52来取代多个(4个)第3半导体区域51。第3半导体区域52在从半导体基板2的厚度方向看的情况下,呈大致四边形状。光电二极管PD4具有多个(8个)第3部分34来取代多个(4个)第3部分33。第3部分34在从半导体基板2的厚度方向看的情况下,呈大致四边环状。光电二极管PD4具有多个(8个)第6半导体区域11来取代多个(4个)第6半导体区域10。第6半导体区域11在从半导体基板2的厚度方向看的情况下,呈大致长方形状。

[0127] 具备多个这样的光电二极管PD4的光电二极管阵列起到与具备多个前述的光电二极管PD3的光电二极管阵列同样的效果。

[0128] 以上,就本发明的实施方式进行了说明,但本发明并不限于上述实施方式。例如,在分割光检测区域的情况下,分割数量并不限于4个和8个,可以变更成各种数量。另外,光电二极管阵列的各结构的材料和形状并不限于前述的材料和形状,可以变更成各种材料和形状。

[0129] 光电二极管阵列的p型和n型的各导电型也可以与前述者相反。光电二极管阵列并不限于光电二极管PD1~PD4排列成二维状者,也可以为排列成一维状者。光电二极管阵列并不限于应用于CT装置,也可以应用于各种装置。

[0130] 产业上的可利用性

[0131] 根据本发明,可以提供一种能够提高开口率和可靠性的光电二极管阵列。

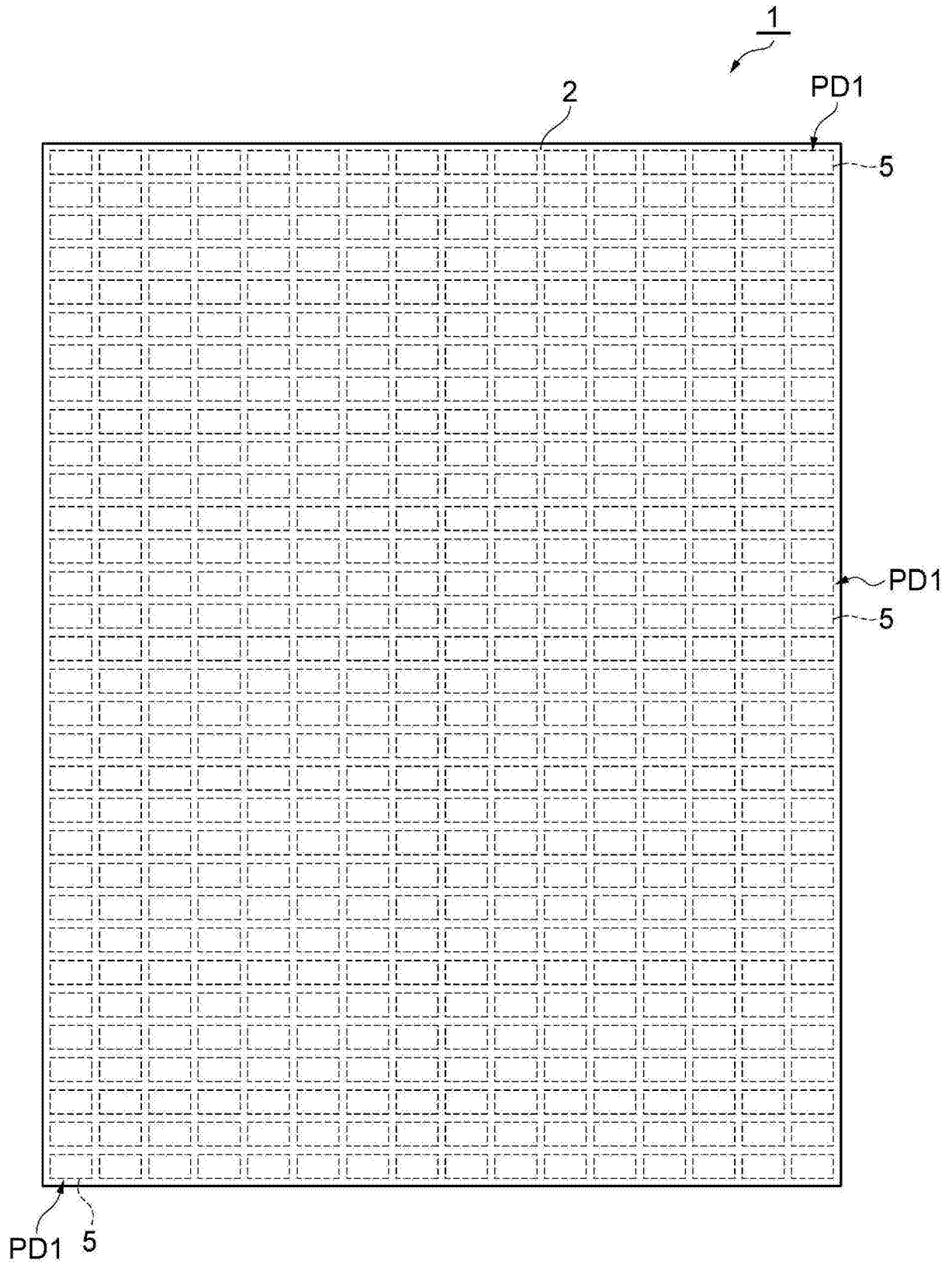


图1

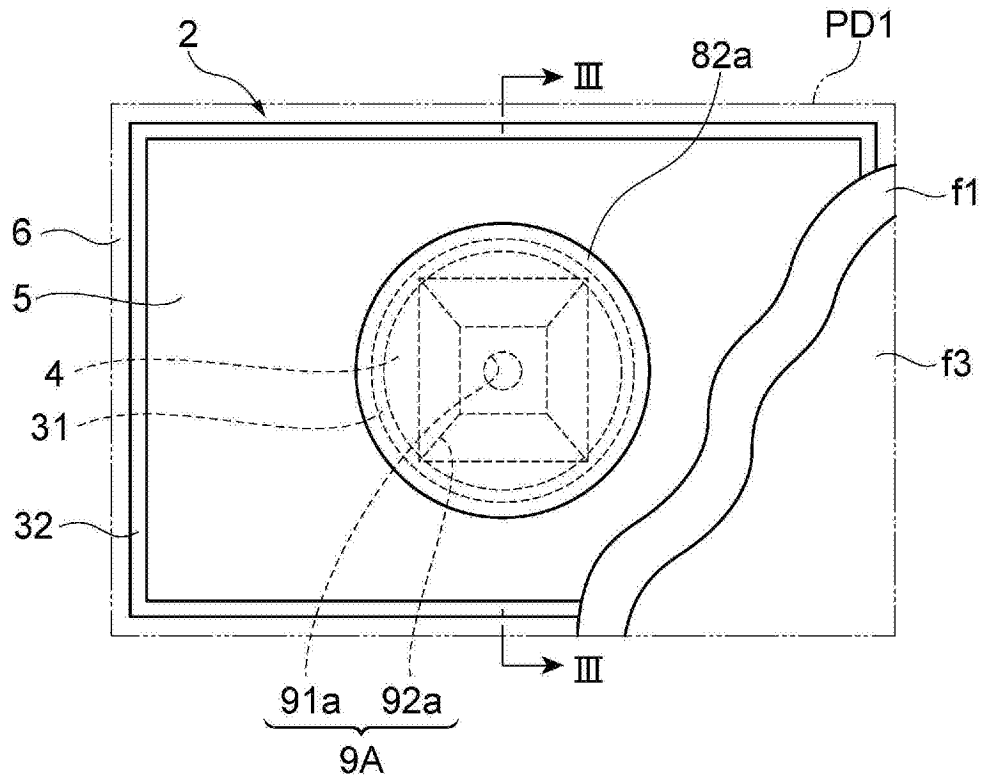


图2

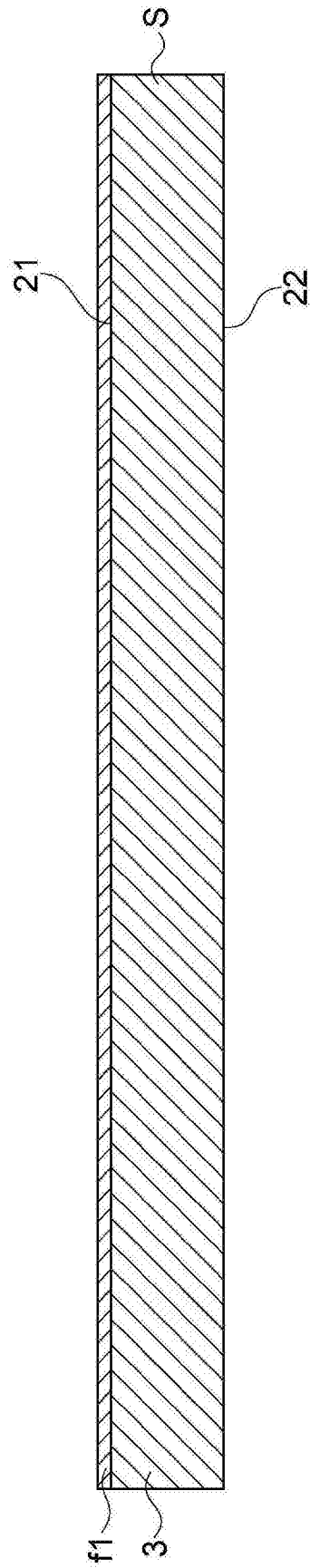


图4

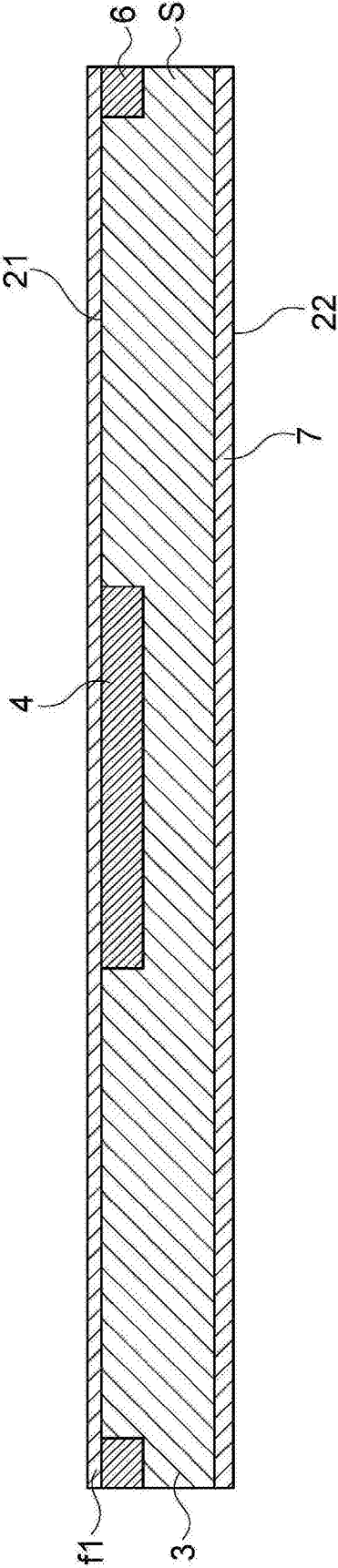


图5

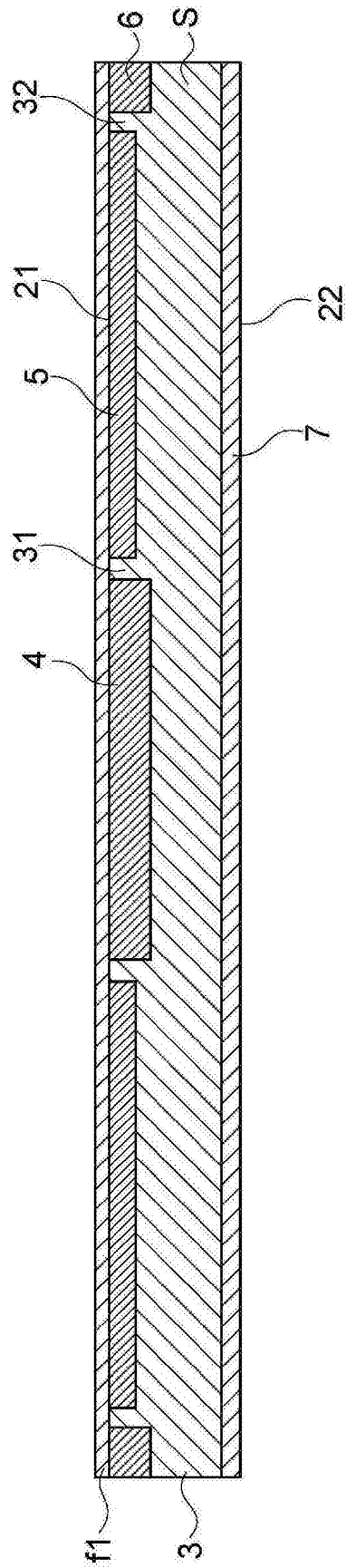


图6

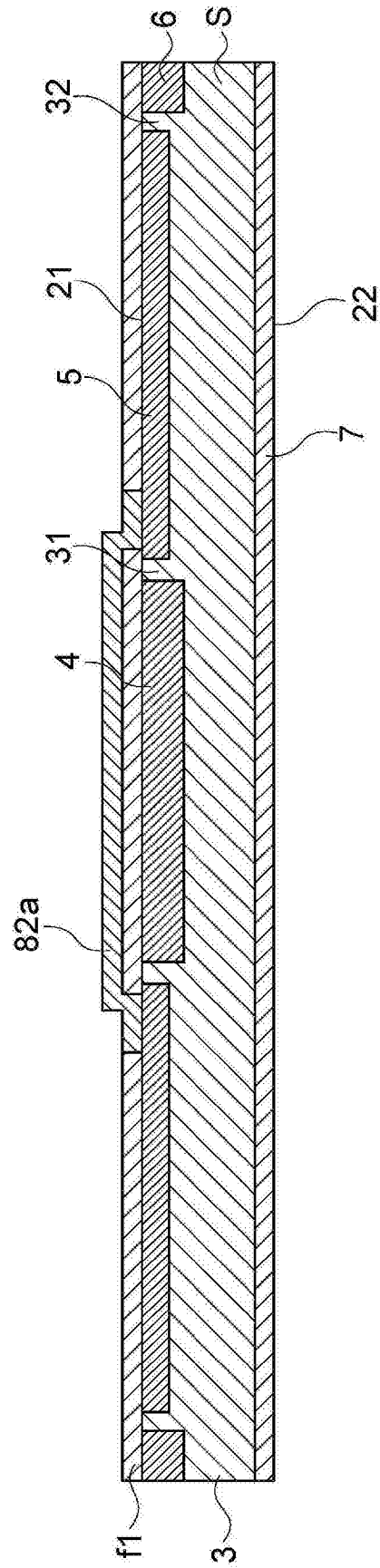


图7

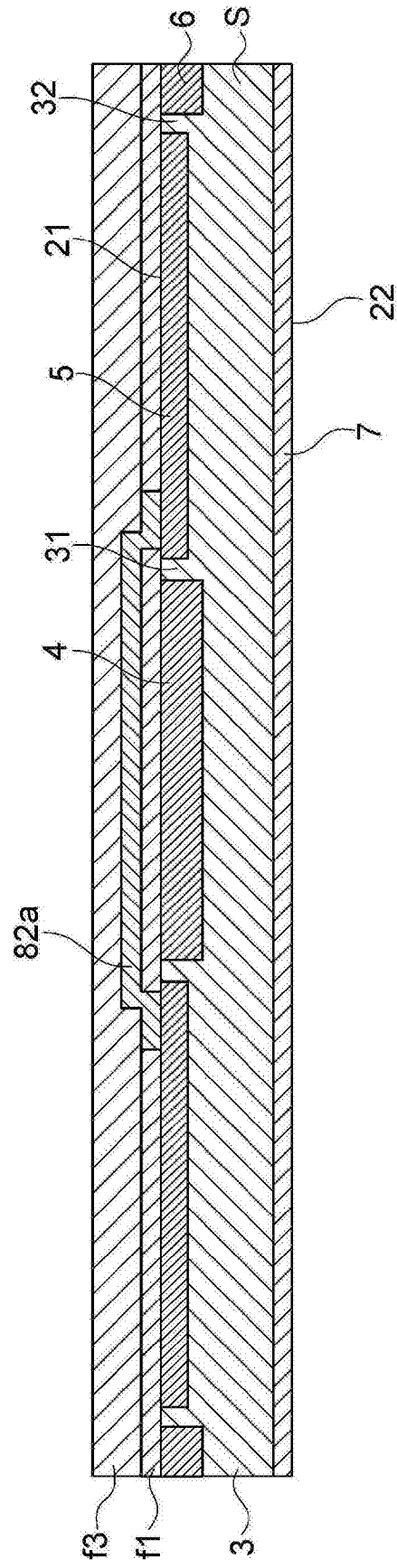


图8

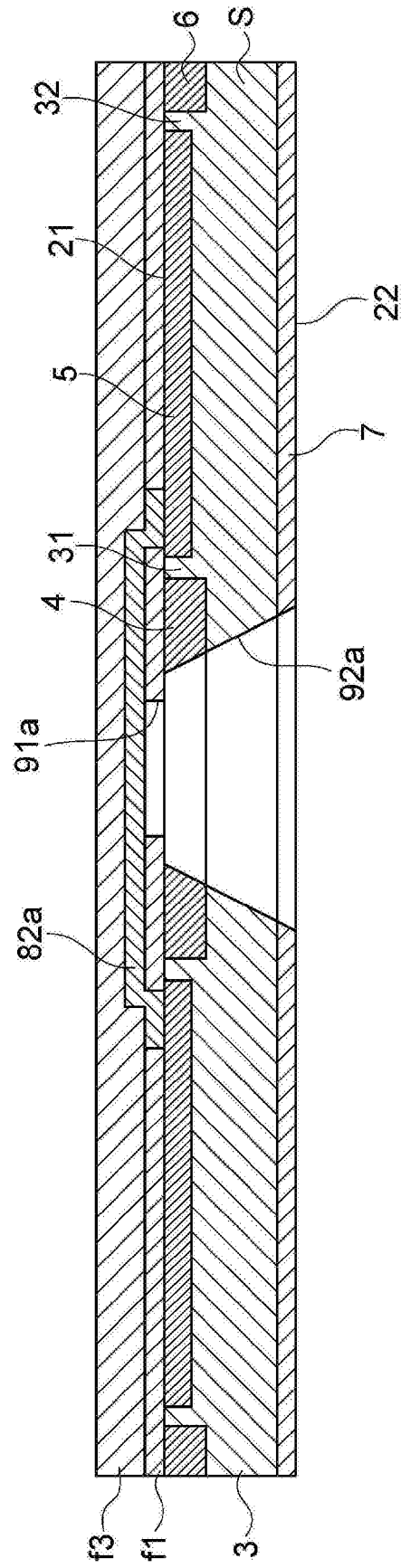


图9

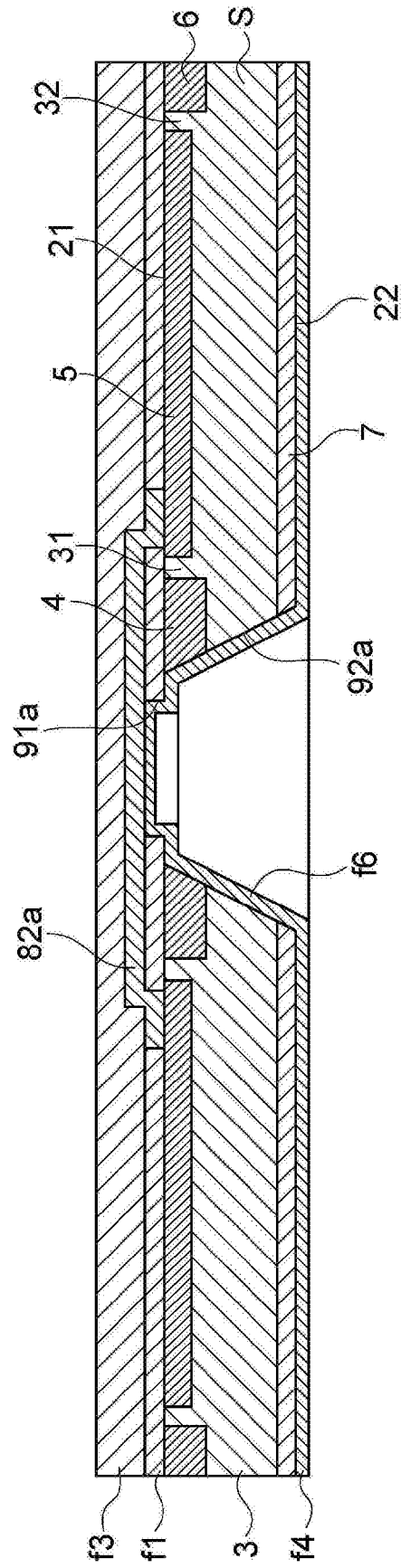


图10

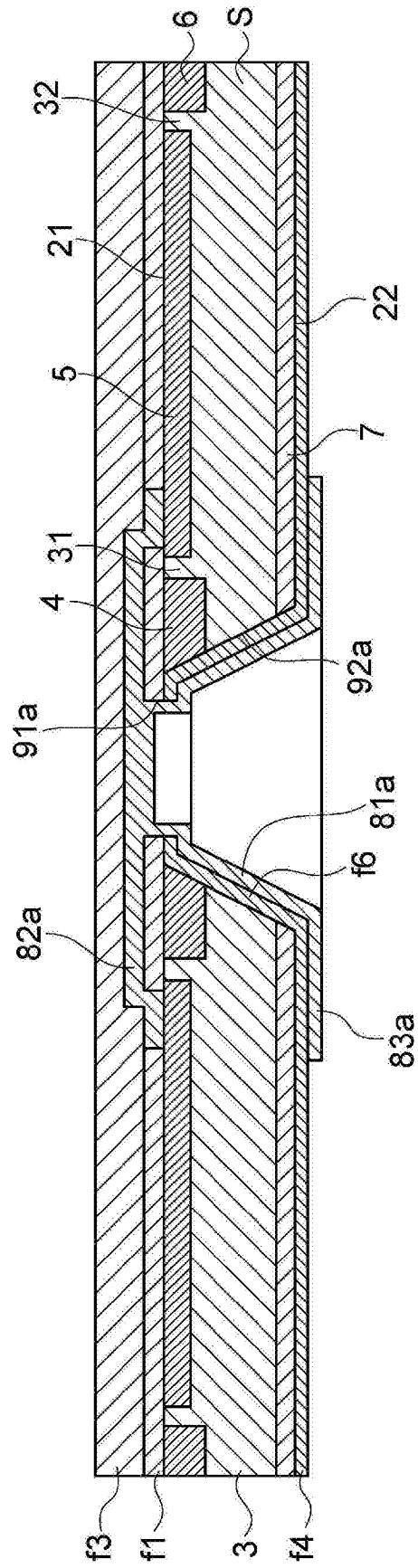


图11

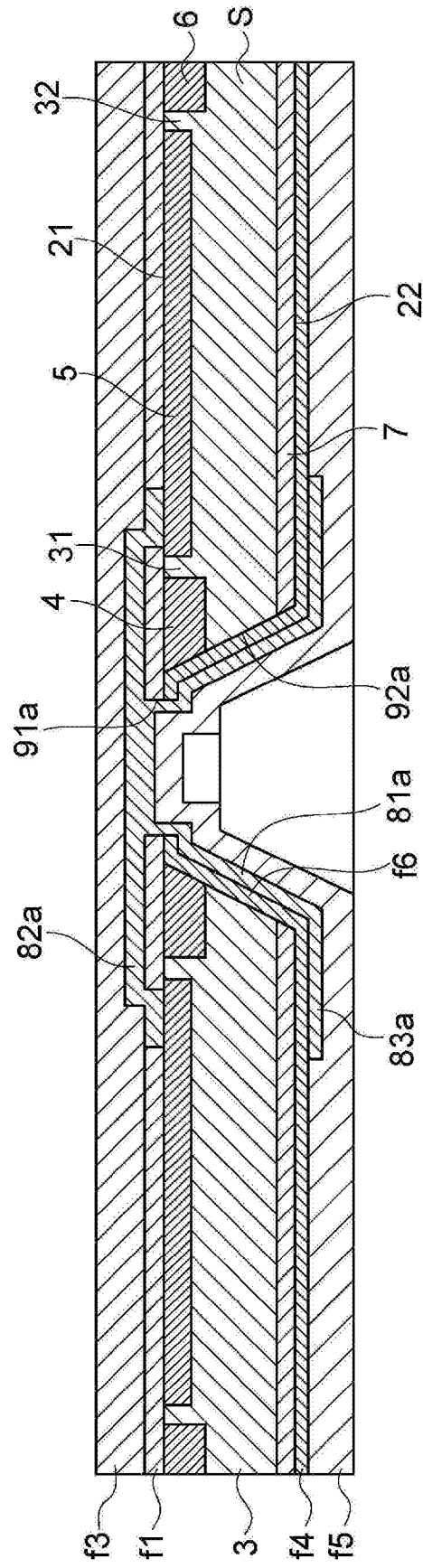


图12

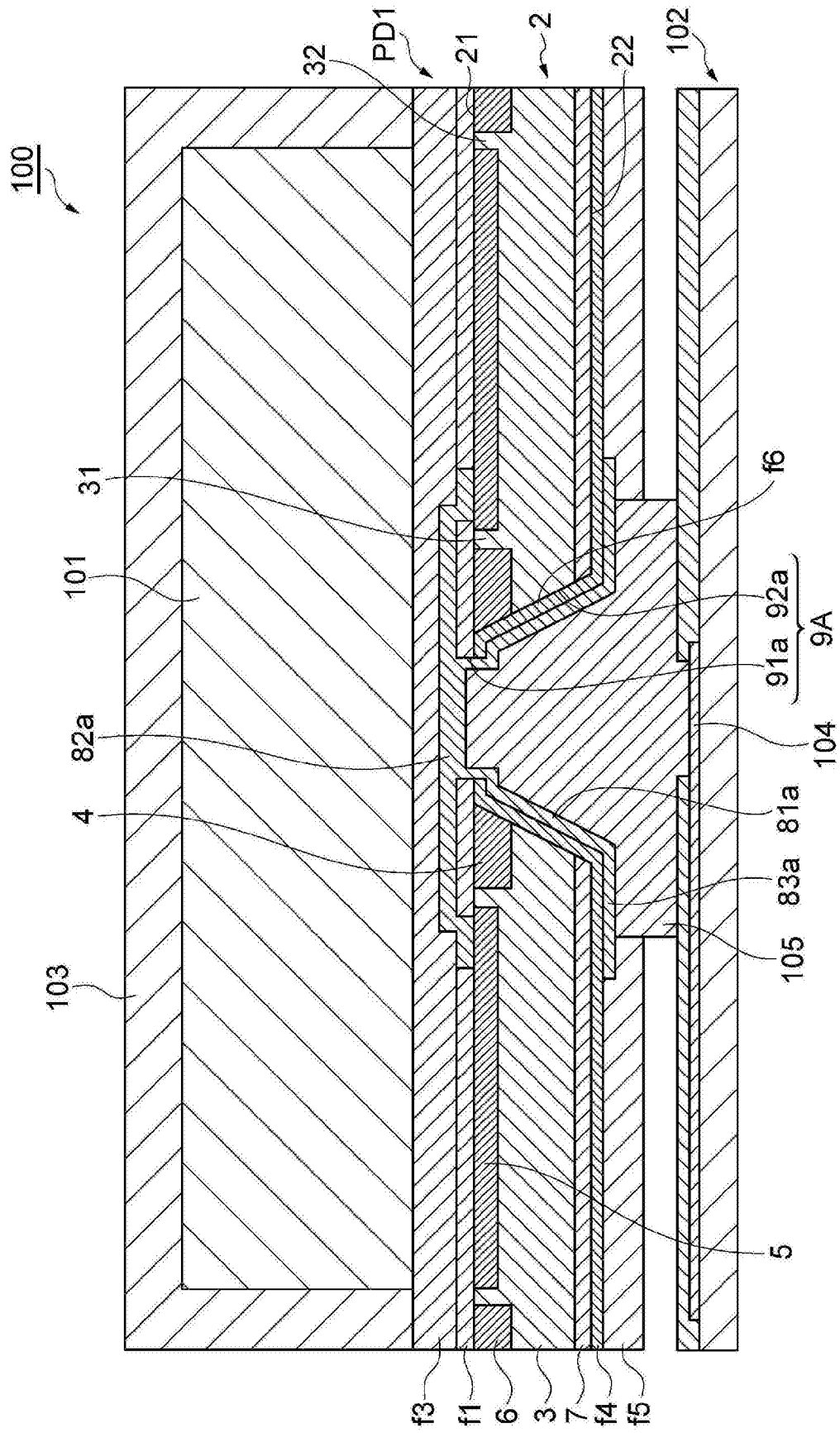


图13

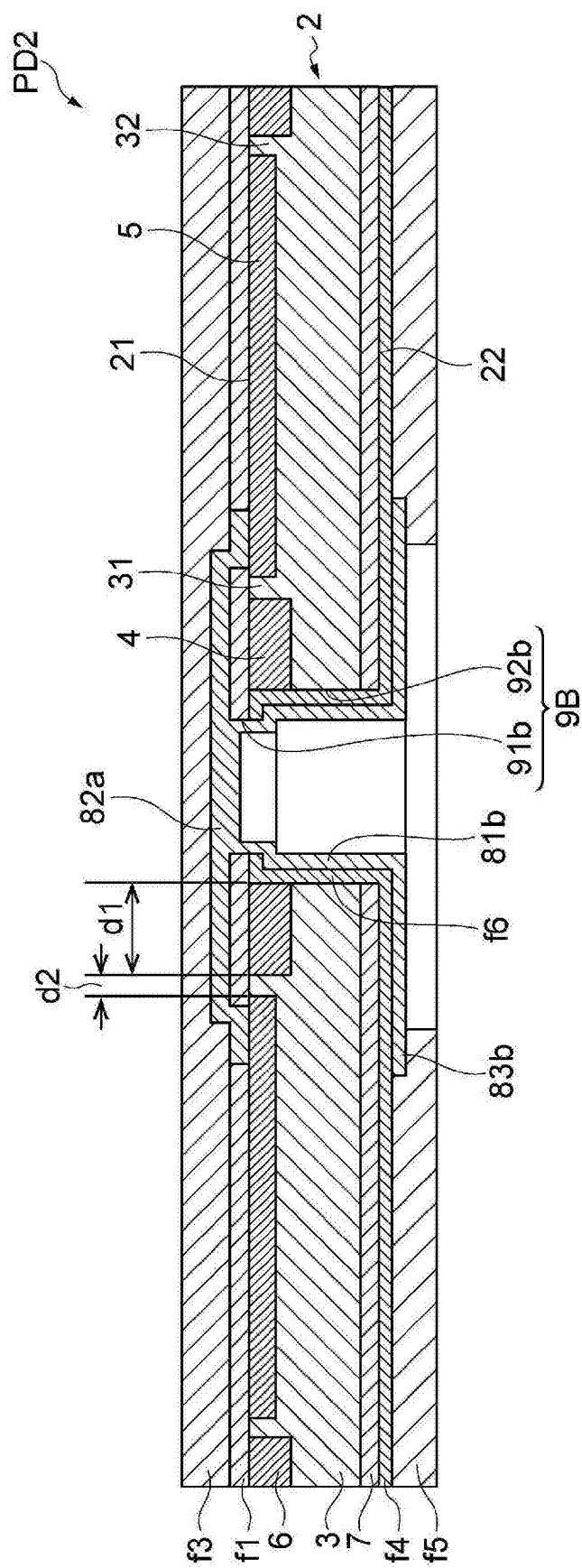


图14

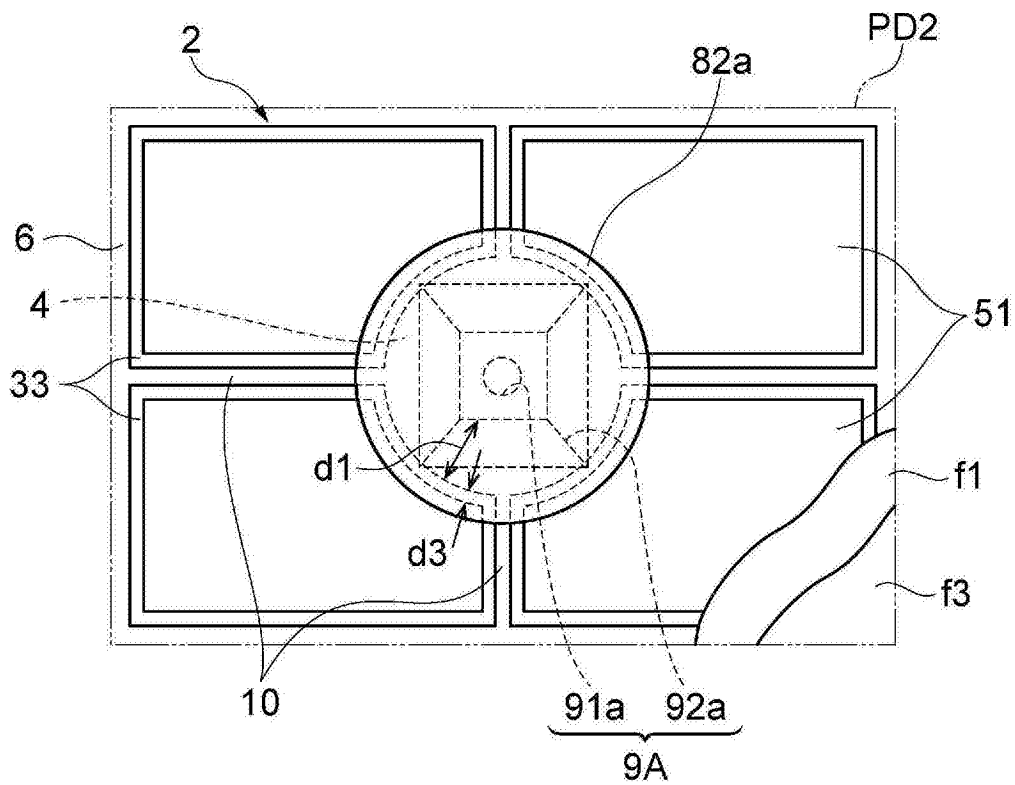


图15

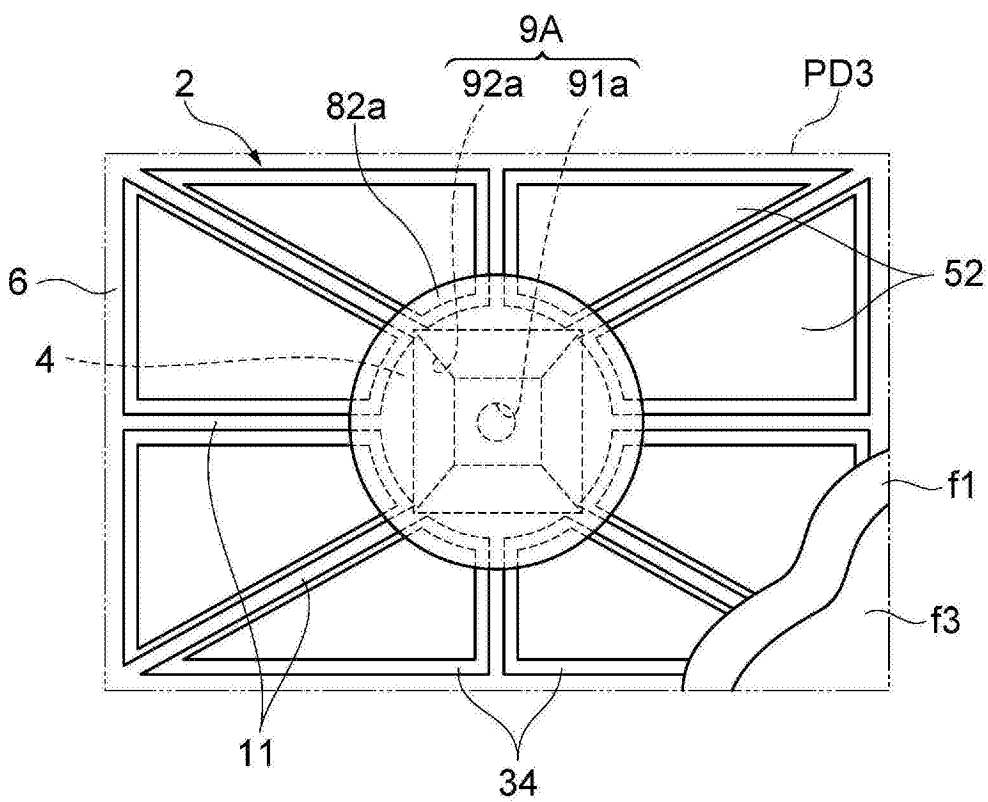


图16