



(12) **Patentschrift**

(21) Aktenzeichen: **10 2007 052 220.9**
(22) Anmeldetag: **31.10.2007**
(43) Offenlegungstag: **07.05.2009**
(45) Veröffentlichungstag
der Patenterteilung: **09.04.2015**

(51) Int Cl.: **H01L 21/8234 (2006.01)**
H01L 27/092 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(73) Patentinhaber:
GLOBALFOUNDRIES Inc., Grand Cayman, KY

(74) Vertreter:
**Grünecker Patent- und Rechtsanwälte PartG
mbB, 80802 München, DE**

(72) Erfinder:
**Mowry, Anthony, 01097 Dresden, DE; Lenski,
Markus, 01277 Dresden, DE; Koerner, Guido,
01109 Dresden, DE; Otterbach, Ralf, 01139
Dresden, DE**

(56) Ermittelter Stand der Technik:

US 2005 / 0 190 421 A1
US 2006 / 0 118 878 A1
US 2006 / 0 151 776 A1
US 2007 / 0 020 866 A1
US 2007 / 0 128 786 A1

(54) Bezeichnung: **Verfahren zur Dotierstoffprofileinstellung für MOS-Bauelemente durch Anpassen einer Abstandshalterbreite vor der Implantation**

(57) Hauptanspruch: Verfahren zur Herstellung eines Halbleiterelements mit:

Bilden einer ersten Gateelektrodenstruktur eines ersten Feldeffekttransistors über einem ersten Bauteilgebiet einer siliziumbasierten Schicht;

Bilden einer zweiten Gateelektrodenstruktur eines zweiten Feldeffekttransistors, der ein p-Kanaltransistor ist, über einem zweiten Bauteilgebiet der siliziumbasierten Schicht;

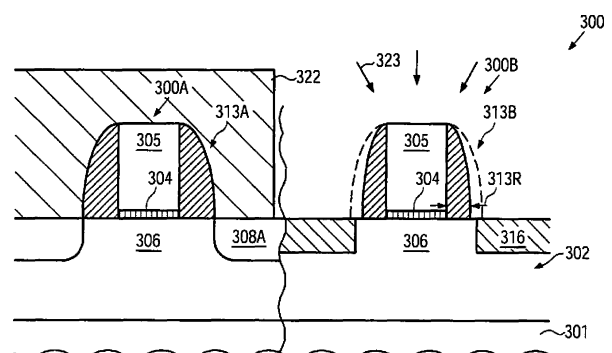
Bilden einer verformungsinduzierenden Halbleiterlegierung, die Silizium-Germanium, Silizium-Zinn oder Silizium-Germanium-Zinn aufweist, in dem zweiten Bauteilgebiet in einem Bereich, der einem zu bildenden Source- und Draingebiet des zweiten Feldeffekttransistors entspricht;

Bilden einer ersten Implantationsmaske über dem ersten Bauteilgebiet und dem zweiten Bauteilgebiet, wobei die erste Implantationsmaske das zweite Bauteilgebiet und die darauf gebildete zweite Gateelektrodenstruktur bedeckt und das erste Bauteilgebiet und die darauf gebildete erste Gateelektrodenstruktur freilässt;

Ausführen eines ersten Implantationsprozesses auf der Grundlage einer ersten Parametereinstellung, um ein erstes Dotierstoffprofil lateral benachbart zu der ersten Gateelektrodenstruktur in dem ersten Bauteilgebiet zu erzeugen;

Bilden einer zweiten Implantationsmaske über dem ersten und dem zweiten Bauteilgebiet, wobei die zweite Implantationsmaske das erste Bauteilgebiet bedeckt und das zweite Bauteilgebiet freilässt;

Reduzieren einer lateralen Erstreckung der zweiten Gateelektrodenstruktur, indem die zweite Implantationsmaske als eine Ätzmaske verwendet wird; und
Ausführen eines zweiten Implantationsprozesses mit der zweiten Implantationsmaske als Maske auf der Grundlage einer zweiten Parametereinstellung, um ein zweites Dotierstoffprofil in dem zweiten Bauteilgebiet lateral benachbart zu der zweiten Gateelektrodenstruktur zu erzeugen.



Beschreibung

Gebiet der vorliegenden Erfindung

[0001] Die vorliegende Erfindung betrifft im Allgemeinen die Herstellung integrierter Schaltungen und betrifft insbesondere die Herstellung modernster Schaltungselemente, etwa MOS-Transistorstrukturen, in denen ein anspruchsvolles laterales und vertikales Dotierstoffprofil erforderlich ist.

Beschreibung des Stands der Technik

[0002] Der Fertigungsprozess für integrierte Schaltungen wird auf vielfältige Weisen verbessert auf Grund des ständigen Bestrebens, die Strukturgrößen der einzelnen Schaltungselemente zu reduzieren. Ein wesentlicher Punkt bei der Entwicklung integrierter Schaltungen mit erhöhter Packungsdichte und verbessertem Leistungsverhalten ist die Größenreduzierung der Transistorelemente, etwa der MOS-Transistorelemente, um eine größere Anzahl an Transistorelementen bereitzustellen, was für das Herstellen moderner CPUs und Speicherbauelemente erforderlich sein kann. Ein wichtiger Aspekt bei der Herstellung von Feldeffekttransistoren mit reduzierten Abmessungen ist die Verringerung der Länge der Gateelektrode, die das Ausbilden eines leitenden Kanals steuert, der das Source-Gebiet und das Drain-Gebiet des Transistors trennt. Das Source-Gebiet und das Drain-Gebiet des Transistors sind leitende Halbleitergebiete mit Dotiermitteln mit einer inversen Leitfähigkeitsart im Vergleich zu dem Dotiermittel in dem umgebenden kristallinen aktiven Gebiet, d. h. einem Substrat oder einem Wannens- bzw. Potentialtopfgebiet.

[0003] Obwohl die Verringerung der Gatelänge notwendig ist, um kleinere und schnellere Transistorelemente zu erhalten, zeigt sich, dass zusätzlich eine Vielzahl von Problemen auftreten, um ein geeignetes Transistorverhalten bei einer reduzierten Gatelänge beizubehalten. Z. B. können sogenannte Kurzkanal-effekte für stark größenreduzierte Transistorelemente auftreten, woraus sich eine geringere Steuerbarkeit des Kanalgebiets ergibt, was schließlich zu erhöhten Leckströmen und im Allgemeinen zu einer beeinträchtigten Transistorleistung führt. Eine herausfordernde Aufgabe in dieser Hinsicht ist daher das Bereitstellen geeignet gestalteter Übergangsgebiete in Form von flachen pn-Übergängen zumindest im Bereich des Kanalgebiets, d. h. in den Source- und Drain-Erweiterungsgebieten, die dennoch eine moderat hohe Leitfähigkeit aufweisen, um damit den Widerstand bei der Leitung von Ladungsträgern von dem Kanal zu einem entsprechenden Kontaktbereich der Drain- und Source-Gebiete auf einem relativ kleinen Wert zu halten, wobei dennoch die parasitäre Drain/Source-Kapazität und das elektrische Feld am Randgebiet geeignet eingestellt sind. Das Erforder-

nis für flache pn-Übergänge mit einer relativ hohen Leitfähigkeit bei gleichzeitig adäquater Kanalsteuerung wird häufig erfüllt, indem eine Ionenimplantationssequenz auf der Grundlage einer Abstandshalterstruktur ausgeführt wird, um damit eine hohe Dotierstoffkonzentration mit einem Profil zu erhalten, das lateral und in der Tiefe variiert. Das Einführen einer hohen Dosis an Dotierstoffen in ein kristallines Substratgebiet erzeugt jedoch schwere Schäden in der Kristallstruktur, und daher sind ein oder mehrere Ausheizzyklen typischerweise erforderlich, um die Dotiermittel zu aktivieren, d. h. Dotieratome an Kristallplätzen anzuordnen, und um die schweren Kristallschäden auszuheilen. Jedoch ist die elektrisch wirksame Dotierstoffkonzentration durch die Eigenschaften der Ausheizzyklen begrenzt, die Dotiermittel elektrisch zu aktivieren. Dieses Aktivierungsvermögen ist wiederum durch die Festkörperlöslichkeit der Dotiermittel in dem Siliziumkristall und der Temperatur und der Dauer des Ausheizprozesses begrenzt, die mit den Prozesserfordernissen kompatibel sein müssen. Neben der Dotierstoffaktivierung und dem Ausheilen des Kristallschadens kann auch eine Dotierstoffdiffusion während des Ausheizens auftreten, was zu einem „Verschmieren“ des Dotierstoffprofils führen kann, was zum Definieren kritischer Transistoreigenschaften vorteilhaft sein kann, etwa in die Form der Überlappung zwischen den Erweiterungsgebieten und der Gateelektrode. Daher sind für modernste Transistoren die Positionierung, die Formbildung und das Beibehalten eines gewünschten Dotierstoffprofils wichtige Eigenschaften, um das endgültige Leistungsverhalten des Bauelements zu definieren, da der Gesamtreihenwiderstand des leitenden Pfads zwischen den Drain- und Source-Kontakten sowie die Steuerbarkeit des Kanalgebiets wichtige Aspekte zum Bestimmen des Transistorleistungsverhaltens repräsentieren.

[0004] Die Definition der effektiven Kanallänge und das Einstellen des Dotierstoffprofils, um dem Kurzkanalverhalten Rechnung zu tragen, auf der Grundlage konventioneller gut etablierter Ausheiz- und Implantationsverfahren kann zu einer Abstandshalterbreite führen, die für unterschiedliche Bauteiltypen ein Kompromiss ist, wie dies nachfolgend mit Bezug zu den **Fig. 1a bis Fig. 1e** erläutert ist.

[0005] **Fig. 1a** zeigt schematisch eine Querschnittsansicht eines Transistorbauelements **100** in einer fortgeschrittenen Fertigungsphase. Der Transistor **100** repräsentiert eine beliebige Art eines modernen Feldeffekttransistors, wie er typischerweise in modernen integrierten Schaltungen Anwendung findet, etwa in Mikroprozessoren, Speicherchips und dergleichen. Der Transistor **100** umfasst ein Substrat **101**, das ein beliebiges geeignetes Trägermaterial ist, um darüber eine geeignete Halbleiterschicht **102** zu bilden, in und über der entsprechende Schaltungskomponenten, etwa für Transistor **100**, herzustellen sind.

Beispielsweise repräsentiert das Substrat **101** ein Siliziumsubstrat oder ein anderes geeignetes Material, um eine SOI-(Silizium-auf-Isolator-)Konfiguration zu bilden, wobei in diesem Falle eine isolierende Schicht **103** unter der Halbleiterschicht vorgesehen ist. Ferner ist eine Gateelektrode **105**, die beispielsweise aus Polysilizium aufgebaut ist, über der Halbleiterschicht **102** ausgebildet und davon durch eine Gateisolationsschicht **104** getrennt. In dieser Fertigungsphase sind entsprechende Versatzabstandshalter **107**, die aus Siliziumdioxid, Siliziumoxinitrid und dergleichen aufgebaut sein können, mit einer geeigneten Dicke **107t** vorgesehen, die wiederum so ausgewählt ist, dass ein gewünschter Abstand entsprechender Erweiterungsgebiete **108e** festgelegt ist, die durch eine entsprechende Dotierstoffsorte einer spezifizierten Leitfähigkeitsart gemäß der Gestaltung des Transistorbauelements **100** definiert sind. Beispielsweise enthalten für einen n-Kanaltransistor die Erweiterungsgebiete **108e** eine n-Dotierstoffsorte.

[0006] Es sollte beachtet werden, dass die Länge eines Kanalgebiets **106**, d. h. in **Fig. 1a** der Abstand zwischen den Erweiterungsgebieten **108e** in der horizontalen Richtung, von der Länge der Gateelektrode **105** und der Abstandshalterbreite **107t** abhängt, wobei die tatsächlich wirksame Kanallänge schließlich durch entsprechende pn-Übergänge bestimmt ist, die durch die Erweiterungsgebiete **108e** mit dem Kanalgebiet **106** gebildet sind. D. h., die effektive Kanallänge kann durch einen gesteuerten Diffusionsprozess eingestellt werden, wie dies zuvor erläutert ist.

[0007] Das Transistorbauelement **100**, das in **Fig. 1a** gezeigt ist, kann auf der Grundlage der folgenden gut etablierten Prozesse hergestellt werden. Nach dem Vorsehen des Substrats **101** mit der darauf ausgebildeten vergrabenen isolierenden Schicht **103** und der Halbleiterschicht **102** werden entsprechende Isolationsstrukturen (nicht gezeigt), etwa flache Grabenisolationen (STI) und dergleichen gebildet, um geeignet dimensionierte aktive Bereiche innerhalb der Halbleiterschicht **102** zu definieren, in denen ein oder mehrere Schaltungskomponenten gebildet werden, etwa der Transistor **100**. Zu diesem Zweck werden anspruchsvolle Lithographie-, Ätz-, Abscheid- und Einebnungstechniken eingesetzt. Nachfolgend wird die Dotierung des Kanalgebiets **106** entsprechend den Transistorerfordernissen eingestellt. Danach werden geeignete Materialien für die Gateelektrode **105** und die Gateisolationsschicht **104** vorgesehen, beispielsweise durch Oxidation und/oder Abscheidung für die Gateisolationsschicht **104** und durch Abscheiden des Materials der Gateelektrode **105**, woran sich anspruchsvolle Lithographie- und Ätzverfahren anschließen, um in geeigneter Weise die lateralen Abmessungen der Gateelektrode **105** zu definieren. In anspruchsvollen Anwendungen ist die Gatelänge, die auch die effektive Kanallänge beein-

flusst, im Bereich von ungefähr 50 nm oder weniger für sehr moderne Halbleiterbauelemente. Als nächstes wird der Versatzabstandshalter **107** auf Grundlage konformer Abscheidetechniken und/oder Oxidationsprozesse gebildet, woran sich ein Ätzprozess anschließt, wobei die anfängliche Schichtdicke und die jeweiligen Ätzbedingungen im Wesentlichen die Breite **107t** bestimmen. Es wird ein Implantationsprozess **110** ausgeführt, um die erforderliche Dotierstoffsorte für die Bildung der Erweiterungsgebiete **108e** einzuführen, wobei ein entsprechender Abstand zu der Gateelektrode **105** durch die Versatzabstandshalter **107** gewährleistet ist. Es sollte beachtet werden, dass andere Implantationsprozesse ausgeführt werden können, etwa eine Voramorphisierungsimplantation, eine Halo-Implantation und dergleichen, abhängig von den Bauteilerfordernissen.

[0008] **Fig. 1b** zeigt schematisch das Transistorbauelement **100** in einer weiter fortgeschrittenen Herstellungsphase. Wie gezeigt, ist ein weiteres Abstandselement **111** vorgesehen, um damit in Verbindung mit dem Versatzabstandshalter **107** und einer entsprechenden Ätzstoppschicht **112**, falls diese erforderlich ist, eine Abstandshalterstruktur **113** zu bilden. Die Abstandshalterstruktur **113** kann ferner zusätzliche einzelne Abstandshalterelemente (nicht gezeigt) in Abhängigkeit von den entsprechenden Prozessanforderungen aufweisen. Das Abstandshalterelement **111** ist aus einem geeigneten Material aufgebaut, etwa Siliziumnitrid, und besitzt eine Breite, die ausgewählt ist, um tiefe Drain- und Source-Bereiche **108d** zu bilden, die durch einen entsprechenden Implantationsprozess **114** hergestellt werden. Um die tiefen Drain- und Source-Gebiete **108d** bis zu einer gewünschten Tiefe voranzutreiben, beispielsweise in Richtung auf die vergrabene isolierende Schicht **103** zu, muss die entsprechende laterale Diffusion auch in der Abstandshalterbreite **111w** berücksichtigt werden. Somit ist die Gesamtbreite der Abstandshalterstruktur **113** mit der Gesamtkonfiguration der Drain- und Source-Gebiete **108**, die die Erweiterungsgebiete **108e** und die tiefen Drain- und Source-Gebiete **108d** enthalten, korreliert, wobei auch die Abstandshalterbreite **111w** und die Dicke **107t** in Beziehung stehen, um damit eine gewünschte effektive Kanallänge und ein geeignetes Dotierstoffprofil für die beabsichtigten Leistungseigenschaften nach einem entsprechenden Ausheizprozess zu erhalten.

[0009] **Fig. 1c** zeigt schematisch das Transistorbauelement während eines entsprechenden Ausheizprozesses **115**, wobei Prozessparameter, d. h. die effektive Ausheiztemperatur und die Dauer des Prozesses so festgelegt sind, dass gewünschte laterale und vertikale Profile der Drain- und Source-Gebiete **108** erhalten werden.

[0010] Jedoch weisen modernste Halbleiterbauelemente typischerweise eine Vielzahl unterschiedlicher

Schaltungselemente auf, die in einer gut etablierten gemeinsamen Fertigungssequenz gebildet werden, wobei das endgültige Leistungsverhalten der Schaltungselemente sich deutlich voneinander unterscheiden kann, so dass während der oben beschriebenen Prozesssequenz erhaltene Dotierstoffprofil unter Umständen nicht zu einem optimalen Leistungsverhalten für jedes der unterschiedlichen Schaltungselemente führt. Beispielsweise kann das Anwenden der oben beschriebenen konventionellen Strategie zum Erstellen eines geeigneten Profils für Transistorelemente, etwa PMOS-Transistoren und NMOS-Transistoren oder zum Erhalten von Dotierstoffprofilen für unterschiedliche Schaltungsarchitekturen, etwa analoge Schaltungen oder digitale Schaltungen, es erforderlich machen, die jeweiligen Prozessparameter und Abmessungen von Bauteilstrukturelementen so zu wählen, dass ein Dotierstoffprofil erreicht wird, das die Erfordernisse für jedes dieser unterschiedlichen Transistorelemente erfüllt. Beispielsweise kann das Einstellen gewisser Transistoreigenschaften, etwa eine hohe Schwellwertspannung oder eine geringe Schwellwertspannung, die Art der verwendeten Dotierstoffe, um damit die geeignete Leitfähigkeitsart zu erhalten, und dergleichen auf der Grundlage diverser Maskierungs- und Implantationssequenzen erreicht werden, wobei jedoch die grundlegende Positionierung der Dotiermittel nicht wirksam in der zuvor beschriebenen konventionellen Prozessstrategie geändert werden kann. In einer jüngeren Technologieentwicklung wird das Transistorleistungsverhalten moderner CMOS-Bauelemente verbessert, indem eine geeignete Halbleiterlegierung, etwa Silizium/Germanium in den Drain- und Source-Gebieten der Transistoren vorgesehen wird, um damit eine gewünschte Art an Verformung in dem benachbarten Kanalgebiet hervorzurufen. Auf Grund der hervorgerufenen Verformung kann die Ladungsträgerbeweglichkeit in dem Kanalgebiet erhöht werden, wodurch eine gewisse Beweglichkeitsbeeinträchtigung kompensiert wird, die hervorgerufen werden kann, in dem Versuch, Kurzkanaleffekte zu reduzieren. Ferner kann auf der Grundlage einer spezifizierten Kanallänge das Gesamttransistorleistungsverhalten für einen gegebenen Technologiestandard verbessert werden, da eine erhöhte Ladungsträgerbeweglichkeit sich direkt in einem erhöhten Durchlassstrom und damit einer größeren Arbeitsgeschwindigkeit des Transistors auswirkt. Jedoch kann das Vorsehen einer Silizium/Germanium-Legierung in einem wesentlichen Anteil der Drain- und Source-Gebiete eines p-Kanaltransistors einen deutlichen Einfluss auf das schließlich erhaltene Dotierstoffprofil ausüben, da beispielsweise das Diffusionsverhalten gewisser p-Dotiermittel, etwa von Bor, bei Vorhandensein moderat hoher Germaniumkonzentration deutlich geringer ist im Vergleich zu der Bordiffusionsaktivität in einem Siliziummaterial. Wenn folglich p-Kanaltransistoren mit einer im Wesentlichen konventionellen Gestaltung und Hochgeschwindigkeits-p-Kanaltransistoren in dem gleichen

Halbleiterbauelement vorzusehen sind, muss die zuvor beschriebene konventionelle Fertigungsprozess-technik weitere Arten an Transistorbauelementen berücksichtigen, wie dies nachfolgend detaillierter mit Bezug zu den **Fig. 1d** und **Fig. 1e** beschrieben ist.

[0011] **Fig. 1d** zeigt schematisch das Halbleiterbauelement **100** in diesem zuvor geschilderten Falle. Ein erster Transistor **100a** und ein zweiter Transistor **100b** sind in unterschiedlichen Bauteilgebieten vorgesehen und repräsentieren p-Kanaltransistoren, die ein unterschiedliches Leistungsverhalten erfordern. Beispielsweise repräsentiert der Transistor **100a** einen Transistor in einem Bauteilgebiet, in dem ein Verhalten mit geringen Leckströmen erforderlich ist, während seine Schaltgeschwindigkeit nicht so entscheidend ist wie für den zweiten Transistor **100b**. Im Prinzip können die Transistoren **100a**, **100b** die gleiche Konfiguration wie der in den **Fig. 1a** bis **Fig. 1c** gezeigte Transistor **100** aufweisen, mit der Ausnahme, dass eine Silizium/Germanium-Legierung **116** in einem Teil der Halbleiterschicht **102** gebildet ist, in welchem Drain- und Source-Gebiete auf der Grundlage eines entsprechenden Implantationsprozesses **117** zu bilden sind. Wie zuvor erläutert ist, werden die Implantationsparameter in Verbindung mit der Gesamttransistorkonfiguration so eingestellt, dass ein Kompromiss nach dem Implantationsprozess **117** für die Drain- und Source-Gebiete **108** erreicht wird, um damit ein moderat hohes Leistungsverhalten für den Transistor **100a** und für den Transistor **100b** zu erreichen.

[0012] **Fig. 1e** zeigt schematisch das Halbleiterbauelement während des Ausheizprozesses **115** zum endgültigen Definieren des Dotierstoffprofils der Drain- und Source-Gebiete **108**, beispielsweise im Hinblick auf das Einstellen einer effektiven Kanallänge, wie dies zuvor erläutert ist. Auf Grund der geringeren Diffusionsaktivität von Bor, das während des Implantationsprozesses **117** eingeführt wird, kann die vertikale und die laterale Diffusionslänge in dem Transistor **100b** im Vergleich zu dem Bauelement **100a** unterschiedlich sein, wodurch sich ein nicht optimales Dotierstoffprofil ergibt oder wodurch sich ein optimiertes Dotierstoffprofil für einen der Transistoren **100a**, **100b** ergibt, während das Leistungsverhalten für den anderen Transistor **100a**, **100b** deutlich beeinträchtigt wird. Wie beispielsweise in **Fig. 1i** gezeigt ist, besitzt der Transistor **100a**, ein gewünschtes Dotierstoffprofil, um den Gesamtreihenwiderstand des Drain/Source-Gebiets bei einer moderaten parasitären Kapazität zu reduzieren, während der Transistor **100b** einen erhöhten Source/Drain-Widerstand aufweist mit dem Vorteil einer geringeren Drain/Source-Kapazität, wodurch möglicherweise zu einem gewissen Maße der Leistungsgewinn aufgehoben wird, der durch das Vorsehen der verformten Silizium/Germanium-Legierung **116** erreicht wurde.

[0013] Die US 2005/0 118 878 A1 zeigt eine integrierte Schaltung, in der p-Kanaltransistoren und n-Kanaltransistoren Seitenwandabstandshalter mit unterschiedlicher Breite erhalten. Dazu wird zunächst für beide Transistoren eine Abstandshalterstruktur geschaffen, die insbesondere zum Erzeugen der Drain- und Sourcebereiche im p-Kanaltransistor dient. Daraufhin wird selektiv für den n-Kanaltransistor die resultierende Breite reduziert, um eine komplexere Struktur des lateralen und vertikalen Dotierstoffprofils für den n-Kanaltransistor zu erhalten.

[0014] Folglich ist es die Aufgabe der vorliegenden Erfindung diverse Techniken bereitzustellen, die einige oder alle der zuvor genannten Probleme lösen oder zumindest in ihrer Auswirkung reduzieren können.

Überblick über die Erfindung

[0015] Im Allgemeinen richtet sich die vorliegende Erfindung an eine Technik zur Verbesserung des Leistungsverhaltens von Schaltungselementen in unterschiedlicher Weise für unterschiedliche Arten von Schaltungselementen, speziell für Feldeffekttransistoren der gleichen oder unterschiedlichen Leitfähigkeitsart, und ggf. kapazitive oder Widerstandsbaulemente, die auf einem Halbleitergebiet in einer gemeinsamen Fertigungssequenz mit Transistorelementen hergestellt werden, indem in geeigneter Weise eine laterale Abmessung eines Strukturelements eingestellt wird, das als eine Implantationsmaske dient, um damit in geeigneter Weise die Position des Eindringens von Dotierstoffen für ein betrachtetes Schaltungselemente auszuwählen. D. h., die hierin beschriebenen Prinzipien ermöglichen ein individuelles Anpassen von Dotierstoffprofilen durch lokales Variieren des Maskierungseffekts von Bauteilstrukturelementen alternativ oder zusätzlich zum Modifizieren der Implantationsdosis oder Energie, um individuell ein gewünschtes Leistungsverhalten des betrachteten Strukturelements zu erreichen. In einigen anschaulichen hierin beschriebenen Aspekten werden Seitenwandabstandshalterstrukturen unterschiedlich dimensioniert entsprechend einem Prozessablauf, der mit der Implantation einer gewünschten Dotierstoffsorte verknüpft ist, wodurch der Bedarf für zusätzliche Prozess vermieden oder zumindest deutlich verringert wird im Vergleich zu guten etablierten konventionellen Strategien, indem z. B. eine Implantationsmaske gleichzeitig zum Einstellen der abschirmenden Wirkung eines Strukturelements, etwa einer Gateelektrodenstruktur, verwendet wird. Folglich kann in einigen anschaulichen Beispielen eine gegebene Parametereinstellung einer Implantationssequenz gemeinsam für unterschiedliche Bauteilstrukturelemente verwendet werden, wobei dennoch individuell das schließlich erreichte Dotierstoffprofil eingestellt wird. Erfindungsgemäß wird zusätzlich zum individuell möglichen geeigneten Einstel-

len von Implantationsparametern durch das Einstellen der lateralen abschirmenden Wirkung eines Bauteilstrukturelements, nämlich einer Gateelektrodenstruktur, etwa mit einer Seitenwandabstandshalterstruktur, ein weiterer Steuerungsmechanismus bereitgestellt, um individuell das Gesamtbauteilverhalten zu verbessern.

[0016] Die Aufgabe der vorliegenden Erfindung wird durch das Verfahren nach Anspruch 1 gelöst.

Kurze Beschreibung der Zeichnungen

[0017] Weitere Ausführungsformen der vorliegenden Erfindung sind in den angefügten Patentansprüchen definiert und gehen deutlicher aus der folgenden detaillierten Beschreibung hervor, wenn diese mit Bezug zu den begleitenden Zeichnungen studiert wird, in denen:

[0018] Fig. 1a bis Fig. 1c schematisch Querschnittsansichten eines Transistorbauelements während diverser Fertigungsphasen bei der Herstellung von Drain- und Source-Gebieten auf Grundlage eines konventionellen Prozessablaufs zeigen, wobei ein oder mehrere Abstandshalterelemente der gleichen Breite in jedem Transistorelement verwendet werden, um die effektive Kanallänge und das Dotierstoffprofil einzustellen;

[0019] Fig. 1d und Fig. 1e schematisch Querschnittsansichten eines modernen Halbleiterbauelements mit einem p-Kanaltransistor und einem Hochleistungs-p-Kanaltransistor mit einer Silizium/Germanium-Legierung zeigen, wobei beide Transistoren auf der Grundlage der gleichen Seitenwandabstandshalterstruktur hergestellt werden, um damit ein Dotierstoffprofil in den Drain- und Source-Gebieten gemäß konventioneller Strategien zu erhalten;

[0020] Fig. 2a bis Fig. 2d schematisch Querschnittsansichten eines Halbleiterbauelements mit unterschiedlichen Bauteilstrukturelementen, etwa Gateelektrodenstrukturen für unterschiedliche Transistoren, zeigen, in denen ein laterales und vertikales Dotierstoffprofil individuell definiert wird, indem die Breite der Seitenwandabstandshalterstruktur vor einem Implantationsprozess gemäß Beispielen zur Erläuterung zusätzlicher Aspekte von Ausführungsformen angepasst wird;

[0021] Fig. 3a bis Fig. 3d schematisch Querschnittsansichten von Feldeffekttransistoren mit unterschiedlicher Konfiguration zeigen, wobei einer der Transistoren eine Halbleiterlegierung aufweist, um das Transistorleistungsverhalten zu verbessern, während das tatsächliche Dotierstoffprofil in den Drain- und Source-Gebieten individuell eingestellt wird, indem in geeigneter Weise die Abstandshalterbreite gemäß noch

anschaulicher Ausführungsformen der Erfindung angepasst wird;

[0022] Fig. 4a bis Fig. 4e schematisch Querschnittsansichten eines Halbleiterbauelements während diverser Fertigungsstadien zeigen, wobei zwei oder mehr Abstandshalterelemente in geeigneter Weise in der Breite vor dem entsprechenden Implantationsprozessen angepasst werden, um in individueller Weise das Dotierstoffprofil gemäß Beispielen zur Erläuterung zusätzlicher Aspekte anschaulicher Ausführungsformen einzustellen; und

[0023] Fig. 5a und Fig. 5b schematisch Querschnittsansichten zum individuellen Einstellen einer Abstandshalterbreite in Abhängigkeit von einem entsprechenden Maskierungs- und Implantationsschema gemäß Beispielen zur Erläuterung zusätzlicher Aspekte anschaulicher Ausführungsformen zeigen.

Detaillierte Beschreibung

[0024] Die hierin beschriebene Erfindung betrifft im Allgemeinen Fertigungsverfahren zur Herstellung von Schaltungselementen, speziell Transistorelementen, und ggf. kapazitiven Strukturen, Widerstandsstrukturen und dergleichen, in welchem ein vertikales und laterales Dotierstoffprofil in einem aktiven Gebiet einer Halbleiterschicht effizient eingestellt werden kann, indem individuell die laterale Abmessung eines Bauteilstrukturelements, nämlich einer Gateelektrodenstruktur, ggf. von Polysiliziumleitungen oder Gebieten, und dergleichen mittels einer Implantationsmaske angepasst wird, um damit den Eintrittsbereich während eines Implantationsprozesses zu definieren. Zu diesem Zweck werden effiziente Prozessabläufe und entsprechende Halbleiterbauelemente beschrieben, in denen gut etablierte Maskierungsschemata, wie sie zum geeigneten Bereitstellen von Dotierstoffsorten in diversen Bauteilgebieten erforderlich sind, effizient mit Ätz- und Abscheidetechniken kombiniert werden, um individuell den Eintrittspunkt einer Dotierstoffsorte in diese Bauteilgebiete anzupassen. In einigen anschaulichen Aspekten wird die Abstandshalterbreite von Gateelektroden moderner Transistorelementen in geeigneter Weise im Hinblick auf ihre abschirmende Wirkung während einer Implantationssequenz zur Herstellung anspruchsvoller Drain- und Source-Dotierstoffprofile modifiziert, wobei unterschiedliche Eigenschaften im Hinblick auf das Diffusionsverhalten, die Transistorkonfiguration und dergleichen berücksichtigt werden können, indem in geeigneter Weise der Eintrittspunkt der jeweiligen Dotierstoffsorte lateral positioniert wird. Somit können im Gegensatz zur konventionellen Vorgehensweise, in denen eine individuelle Anpassung von Implantationsparametern anspruchsvolle und zusätzliche Lithographieschritte erforderlich machen, die hierin beschriebenen Prinzipien eine erhöhte Flexibilität bei der Ein-

stellung der Dotierstoffprofile und damit des Bauteilleistungsverhaltens ermöglichen, wobei das Einführen zusätzlicher Lithographieschritte im Wesentlichen vermieden wird, oder es wird ein zusätzlicher Freiheitsgrad bei der Einstellung der Gesamtbaueteileigenschaften ermöglicht, indem zusätzlich zu einem Variieren der Implantationsparameter auch ein individuelles Einstellen des Implantationspunktes möglich ist. Insbesondere kann eine unterschiedliche Dimensionierung der Seitenwandabstandshalterstrukturen erreicht werden, indem standardmäßige Lithographiemaskierungsschritte und Ätz- und/oder Abscheideschemata eingesetzt werden, wodurch ein effizienter und kosteneffektiver Gesamtprozessablauf erreicht wird. Gleichzeitig können beide Bauteilstrukturelemente mit einer entsprechenden Seitenwandabstandshalterstruktur in einer gemeinsamen Fertigungssequenz gebildet werden, um damit eine anfänglich ähnliche Größe bereitzustellen, die dann vor dem Einführen der betrachteten Dotierstoffsorte modifiziert werden kann. Somit können wichtige Bauteileigenschaften, etwa ein Überlapp der Drain- und Source-Gebiete mit einer Gateelektrode von Feldefektransistoren selbst für sehr unterschiedliche Diffusionseigenschaften von Implantationsstoffen in den diversen Transistoren auf der Grundlage eines sehr effizienten Prozessablaufes eingestellt werden, wobei dennoch ein hohes Maß an Kompatibilität mit konventionellen MOS-Strategien beibehalten wird.

[0025] Es sollte beachtet werden, dass die hierin beschriebenen Prinzipien sehr vorteilhaft im Hinblick auf Halbleiterbauelemente mit Strukturelementen sind, die kritische laterale Abmessungen von ungefähr 50 nm und weniger aufweisen, etwa Gateelektrodenstrukturen, da hier ausgeprägte Dotierstoffprofile an den pn-Übergängen erforderlich sind, wobei auch eine bauteilspezifische Position der pn-Übergänge zu einem verbesserten Leistungsverhalten führt. Die hierin beschriebenen Techniken können vorteilhafterweise auch auf andere Schaltungselemente, etwa Kondensatoren, Widerstände und dergleichen angewendet werden, wenn das Dotierstoffprofil in den jeweiligen aktiven Gebieten eine individuelle Verbesserung des Bauteilverhaltens ermöglicht. Wie zuvor erwähnt ist, können die hierin beschriebenen Techniken effizient so eingesetzt werden, dass selbst die Leistungseigenschaften von größeren Bauteilgebieten angepasst werden, etwa von Logikblöcken, analogen Schaltungsblöcken und dergleichen, wobei auch eine individuelle Anpassung in sehr lokaler Weise, beispielsweise für ein komplementäres Transistorpaar, erfolgen kann, wobei zusätzlich zum Variieren der Implantationsparameter auch die Position der Implantation effizient auf der Grundlage eines standardmäßigen Maskierungsschemas für p-Kanaltransistoren und n-Kanaltransistoren eingestellt werden kann, wodurch nahezu kein zusätzlicher Prozessaufwand entsteht. D. h., typischerweise werden mehrere Implantationsschritte häufig mit speziellen Klassen

an Bauelementen in einer Gesamtschaltung ausgeführt, wobei die Implantationsschritte effizient eingesetzt werden, um das resultierende Dotierstoffprofil einzustellen, ohne zusätzlichen Aufwand im Hinblick auf die Maskierung hinzuzufügen. Somit können eine Vielzahl von kritischen Baueilparametern, etwa eine Erhöhung der Arbeitsgeschwindigkeit von Transistoren, die Verringerung der Schwellwertvariabilität, Leckströme, das Steuern von Kurzkanaleffekten, der Source/Drain-Reihenwiderstand und dergleichen individuell in einzelnen Schaltungsstrukturelementen oder in entsprechenden Bauteilgebieten verbessert werden.

[0026] Mit Bezug zu den begleitenden Zeichnungen werden nunmehr weitere anschauliche Ausführungsformen bzw. weitere Aspekte von anschaulichen Ausführungsformen detaillierter beschrieben.

[0027] Fig. 2a zeigt schematisch eine Querschnittsansicht eines Halbleiterbauelements **200** mit einem Substrat **201**, über welchem eine Halbleiterschicht **202** gebildet ist, etwa eine siliziumbasierte Halbleiterschicht, wobei zu beachten ist, dass die Halbleiterschicht **202** aus einem beliebigen geeigneten Material oder einer Materialzusammensetzung aufgebaut ist, die zum Bilden von Schaltungselementen darin und darauf geeignet ist, etwa von Transistoren, Kondensatoren, Widerstandsstrukturen, und dergleichen. Die Halbleiterschicht **202** kann zumindest teilweise als ein aktives Gebiet betrachtet werden, in welchem ein Dotierstoffprofil einzurichten ist, um damit eine gewünschte Art an Leitfähigkeit entsprechend den Bauteilerfordernissen zu erreichen. Das Substrat **201** repräsentiert ein beliebiges geeignetes Trägermaterial um darauf eine Halbleiterschicht **202** herzustellen, wobei das Substrat **201** aus einem im Wesentlichen kristallinen Halbleitermaterial aufgebaut ist, möglicherweise in Verbindung mit einer isolierenden Schicht, die unter der Halbleiterschicht **202** ausgebildet ist, wodurch dann eine SOI-Konfiguration und dergleichen erhalten wird. Beispielsweise können das Substrat **201** und die Halbleiterschicht **202** die gleichen Eigenschaften aufweisen, wie sie zuvor mit Bezug zu dem Bauelement **100** beschrieben sind. Des Weiteren weist in dieser Fertigungsphase das Bauelement **200** ein erstes Bauteilgebiet **200a** und ein zweites Bauteilgebiet **200b** auf, die benachbarte Bauteilgebiete repräsentieren können, beispielsweise, wenn benachbarte Transistorelemente betrachtet werden, oder die voneinander entfernt liegende Bauteilbereiche repräsentieren können, in denen unterschiedliche Arten an Schaltungen und dergleichen vorzusehen sind. Beispielsweise repräsentiert das erste Bauteilgebiet **200a** einen Teil einer Anlogschaltung, während das zweite Bauteilgebiet **200b** einen Teil einer Digitalschaltung repräsentiert, oder das erste und das zweite Gebiet **200a**, **200b** repräsentieren unterschiedliche digitale Schaltungsbereiche, etwa einen Speicherbe-

reich und einen Logikbereich, die Transistorelemente mit ähnlicher Konfiguration aber dennoch unterschiedlichen Leistungseigenschaften beispielsweise im Hinblick auf Leckströme, Schaltgeschwindigkeit, Schwellwertspannung und dergleichen besitzen. Das erste und das zweite Bauteilgebiet **200a**, **200b** enthalten jeweils ein Bauteilstrukturelement **205**, das über der Halbleiterschicht **202** ausgebildet ist und das ein leitendes, halbleitendes oder isolierendes Gebiet repräsentieren kann, das einen Bereich der Halbleiterschicht **202**, der unter dem Bauteilstrukturelement **205** angeordnet ist, abschirmt. In anschaulichen Ausführungsformen repräsentieren die Bauteilstrukturelemente **205** Gateelektrodenstrukturen von Feldeffekttransistoren, wie nachfolgend detaillierter erläutert ist. In erläuternden Beispielen repräsentieren die Bauteilstrukturelemente **205** Leitungen oder leitende Gebiete, etwa Polysiliziumleitungen und dergleichen, oder diese repräsentieren ausgedehnte Halbleitergebiete zur Herstellung kapazitiver Strukturen, während in anderen Fällen die Bauteilstrukturelemente **205** Widerstandsstrukturelemente repräsentieren. Beispielsweise sind die Bauteilstrukturelemente **205** auf einer isolierenden Schicht **204** gebildet, wenn die Bauteilstrukturelemente **205** aus einem leitenden oder einem halbleitenden Material aufgebaut sind, das nicht direkt mit der Halbleiterschicht **202** verbunden ist. Ferner kann in dieser Fertigungsphase eine erste Seitenwandabstandshalterstruktur **213a** an Seitenwänden des Bauteilstrukturelements **205** in dem ersten Bauteilgebiet **200a** vorgesehen sein, während eine zweite Seitenwandabstandshalterstruktur **213b** in dem zweiten Bauteilgebiet **200b** vorgesehen ist. In anschaulichen Ausführungsformen sind die Abstandshalterstrukturen **213a**, **213b** aus einem beliebigen geeigneten Material, etwa Siliziumdioxid, Siliziumnitrid, Siliziumoxinitrid und dergleichen aufgebaut und besitzen im Wesentlichen die gleiche Konfiguration und damit die gleiche Abstandshalterbreite **213w**. In dem gezeigten Beispiel ist der Aufbau der Abstandshalter **213a**, **213b** so festgelegt, dass dieser mit einem Implantationsprozess **221** vertraglich ist, der auf der Grundlage einer Implantationsmaske **220**, etwa einer Lackmaske, ausgeführt wird, um damit ein gewünschtes Dotierstoffprofil in der Halbleiterschicht **202** entsprechend dem ersten Bauteilgebiet **200a** zu erzeugen. D. h., die Abstandshalter **213a**, **213b**, die die gleiche Konfiguration besitzen können, sind so gestaltet, d. h., die Abstandshalterbreite **213w** ist so eingestellt, dass in Kombination mit den entsprechenden Prozessparametern des Prozessors **221**, ein gewünschtes Dotierstoffkonzentrationsprofil in dem ersten Bauteilgebiet **200a** erreicht wird, das in dem gezeigten Beispiel einen größeren Abstand in Bezug auf das Bauteilgebiet **205** des ersten Gebiets **200a** im Vergleich zu einem entsprechenden Abstand in dem zweiten Bauteilgebiet **200b** erfordert, wie dies nachfolgend detaillierter erläutert ist.

[0028] Im Hinblick auf die Fertigungssequenz zur Herstellung des Halbleiterbauelements **200** können ähnliche Prozesse eingesetzt werden, wie sie zuvor unter Bezugnahme auf das Bauelement **100** beschrieben wurden, wenn Transistorelemente betrachtet werden. In anderen Fällen werden andere geeignete Fertigungsverfahren entsprechend gut etablierter Prozessstrategien eingesetzt, wobei jedoch im Gegensatz zu konventionellen Vorgehensweisen ein entsprechender Fertigungsprozess zur Herstellung der Abstandshalterstrukturen **213a**, **213b** so gestaltet ist, dass die Abstandshalterbreite **213w** so erhalten wird, dass diese entsprechend den Leistungseigenschaften des Bauteilstrukturelements **205** in dem ersten Gebiet **200a** ausgewählt ist. Beispielsweise kann eine geeignete Abstandshalterschicht aus einem geeigneten Material, wie dies zuvor erwähnt ist, abgeschieden und nachfolgend geätzt werden, beispielsweise auf der Grundlage von nasschemischen Ätzrezepten, plasmaunterstützten Ätzrezepten und dergleichen, um die Sollbreite **213w** zu erhalten. Danach wird die Implantationsmaske **220** auf der Grundlage gut etablierter Maskierungsschemata gebildet, wobei die Maske **220** gemäß einem konventionellen Prozessablauf gebildet wird, wenn unterschiedliche Implantationsrezepte für das erste und das zweite Gebiet **200a**, **200b** anzuwenden sind, um damit die gewünschten Bauteileigenschaften zu erhalten. Wenn beispielsweise die Bauteilstrukturelemente **205** Gateelektrodenstrukturen von Transistoren unterschiedlicher Leitfähigkeitsart repräsentieren, wird die Implantationsmaske **220** unter Umständen nur benötigt, um das Eindringen unerwünschter Implantationsarten in das zweite Bauteilgebiet **200b** zu verhindern. Folglich werden die Prozessparameter, etwa die Dosis, die Energie, möglicherweise ein Implantationswinkel, die Dotierstoffsorte und dergleichen so gewählt, dass das gewünschte Dotierstoffprofil erhalten wird, wobei zusätzlich die Breite **213w** insbesondere einen Sollabstand im Hinblick auf das Bauteilstrukturelement **205** in dem ersten Bauteilgebiet **200a** bestimmt.

[0029] Fig. 2b zeigt schematisch das Halbleiterbauelement **200** mit einem Implantationsgebiet **208a** mit einem lateralen Abstand zu dem Bauteilstrukturelement **205**, der durch die Abstandshalterbreite **213w** bestimmt ist. Ferner ist eine weitere Implantationsmaske **222** vorgesehen, um das erste Bauteilgebiet **200a** abzudecken, während das zweite Bauteilgebiet **200b** frei liegt. Zudem unterliegt das Halbleiterbauelement **200** einem Ätzprozess **223**, der so gestaltet ist, dass selektive Material der Abstandshalterstruktur **213b** abgetragen wird, um damit eine reduzierte Breite **213r** zu erhalten, die entsprechend den Eigenschaften eines nachfolgenden Implantationsprozesses zum Erzeugen eines gewünschten Dotierstoffprofils in dem zweiten Bauteilgebiet **200b** eingestellt ist. Der Ätzprozess **223** kann als ein nasschemischer Ätzprozess und/oder als ein plasmaun-

terstützter Ätzprozess in Abhängigkeit von den Prozessanforderungen ausgeführt werden. Beispielsweise sind sehr selektive plasmaunterstützte Ätzprozesse für typische Abstandshaltermaterialien, etwa Siliziumnitrid gut etabliert, wobei eine Siliziumdioxidschicht für eine ausgeprägte Ätzstoppeigenschaft sorgt. In diesem Falle wird in einigen anschaulichen Ausführungsformen eine entsprechende Oxidbeschichtung (nicht gezeigt) zwischen dem Bauteilstrukturelement **205** und auch auf horizontalen Oberflächenbereichen der Halbleiterschicht **202** vorgesehen, die selbst während des Implantationsprozesses **221** beibehalten werden kann, um damit die Ätzstoppeigenschaften während des Prozesses **223** zu erhöhen und auch um eine unnötige Schädigung des darunter liegenden Halbleitermaterials zu unterdrücken. In anderen Fällen zeigt der Prozess **223** eine ausreichend hohe Ätzselektivität in Bezug auf das Material der Halbleiterschicht **202**, wie es beispielsweise in Fig. 2b gezeigt ist. Abhängig von dem Grad an Isotropie des Ätzprozesses **223** kann auch eine Verringerung der Höhe der Abstandshalterstruktur **213b** auftreten, wobei eine entsprechende Verringerung weniger kritisch ist, sofern eine ausreichende abschirmende Wirkung während des nachfolgenden Implantationsprozesses erreicht wird. Auch der Ätzprozess **223** kann nasschemische Ätzprozesse, beispielsweise auf der Grundlage einer geeigneten Ätzchemie, etwa heißer Phosphorsäure, beinhalten, wenn der Abstandshalter **213b** aus Siliziumnitrid aufgebaut ist. Jedoch kann auch eine andere geeignete Ätzchemie abhängig von der Materialzusammensetzung der Abstandshalterstruktur **213a**, **213b** verwendet werden.

[0030] Fig. 2c zeigt schematisch das Halbleiterbauelement **200** während eines weiteren Implantations-schrittes **224**, der auf der Grundlage der Maske **222** ausgeführt wird, wobei eine gewünschte Dotierstoffsorte in den freiliegenden Bereich der Schicht **202** auf der Grundlage geeignet gewählter Implantationsparameter eingeführt wird, wobei zusätzlich die Breite **213r** für den gewünschten Abstand zu dem Bauteilstrukturelement **205** in dem Gebiet **200b** sorgt. Somit wird das implantierte Gebiet **208b** erhalten, das ein laterales und vertikales Profil aufweist, das eingestellt ist, um das Leistungsverhalten des Bauteilstrukturelements **205** in dem Bauteilgebiet **200b** zu verbessern.

[0031] Fig. 2d zeigt schematisch das Halbleiterbauelement **200** nach dem Entfernen der Implantationsmaske **222** und während eines Ausheizprozesses **215** zum Aktivieren der Dotierstoffe in den Gebieten **208a**, **208b**, wobei auch durch Implantation hervorgerufene Schäden rekristallisiert werden. Der Ausheizprozess **215** kann somit zu einem „endgültigen“ Dotierstoffprofil führen, wenn weitere Hochtemperaturprozesse nicht mehr ausgeführt werden, so dass das endgültige Dotierstoffprofil der Gebiete **208a**, **208b** individuell den gewünschten Dotierstoffprofilen für

die Gebiete **200a**, **200b** entspricht. Wie zuvor erläutert ist, können die Ausheizparameter des Prozesses **215** ebenfalls einen deutlichen Einfluss auf das endgültige Dotierstoffprofil der Gebiete **208a**, **208b** ausüben, wobei die Implantationsparameter und die Abstandshalterbreiten **213w**, **213r** geeignet ausgewählt sind, so dass das gewünschte endgültige Profil auf der Grundlage der vordefinierten Parameter des Prozesses **215** erreicht werden.

[0032] Danach wird die weitere Bearbeitung fortgesetzt, indem beispielsweise die Gesamtleitfähigkeit der Gebiete **208a**, **208b** und der Bauteilstrukturelemente **205** beispielsweise auf der Grundlage der Herstellung von Metallsilizidgebieten modifiziert wird, wenn die Halbleiterschicht **202** einen deutlichen Anteil an Silizium aufweist und wenn die Bauteilstrukturelemente **205** aus einem siliziumhaltenden Material aufgebaut sind. In anderen Fällen kann ein wesentlicher Anteil der gesamten Bauteilstrukturelemente **205** durch andere Materialien ersetzt werden, etwa metallenthaltende Materialien und dergleichen, wenn beispielsweise modernste Gateelektrodenstrukturen von anspruchsvollen Feldeffekttransistoren betrachtet werden.

[0033] Mit Bezug zu den **Fig. 3a** bis **Fig. 3d** werden nunmehr anschauliche Ausführungsformen beschrieben, in denen Transistorelemente der gleichen oder einer unterschiedlichen Leitfähigkeitsart Implantationsarten auf der Grundlage individuell angepasster Seitenwandabstandshalterstrukturen erhalten, wobei einer oder beide Transistoren speziell gestaltete Halbleitermaterialien aufweisen, zumindest in den Drain- und Source-Bereichen der Transistoren.

[0034] **Fig. 3a** zeigt schematisch ein Halbleiterbauelement **300** mit einem ersten Transistor **300a** und einem zweiten Transistor **300b**, die auf unterschiedlichen Bauteilbereichen ausgebildet sind, die benachbarte Bauteilbereiche oder weiter auseinanderliegende Bauteilbereiche repräsentieren können, wie dies auch mit Bezug zu dem Bauelement **200** erläutert ist. In der gezeigten Fertigungsphase enthalten der erste und der zweite Transistor **300a**, **300b** jeweils eine Gateelektrodenstruktur **305** mit einer Gateisolationschicht **304**. Eine Seitenwandabstandshalterstruktur **313a** ist an Seitenwänden der Gateelektrode **305** des ersten Transistors **300a** ausgebildet, und eine zweite Seitenwandabstandshalterstruktur **313b** ist an Seitenwänden der Gateelektrodenstruktur **305** des zweiten Transistors **300b** vorgesehen. Ferner können einer oder beide Transistoren **300a**, **300b** ein speziell gestaltetes Halbleitermaterial, etwa eine verformte Halbleiterlegierung, beispielsweise in Form von Silizium/Kohlenstoff, Silizium/Germanium, Silizium/Zinn, Silizium/Germanium/Zinn, und dergleichen, aufweisen. Der Einfachheit halber ist ein entsprechend gestaltetes Halbleitermaterial beispielsweise in Form einer Halbleiterlegierung in dem zweiten Transistor

300b als **316** gezeigt, das in einem Bereich angeordnet ist, das dem Drain- und Source-Gebiet entspricht, die noch auf der Grundlage eines Implantationsprozesses herzustellen sind. Beispielsweise repräsentiert das Material **316** eine Silizium/Germanium-Legierung in einem verformten Zustand, wobei der Transistor **300b** einen p-Kanaltransistor repräsentiert, der auf einer siliziumbasierten Schicht **302** mit einer standardmäßigen Kristallorientierung gebildet ist. Wie zuvor erläutert ist, kann das selektive Bereitstellen speziell gestalteter Halbleitermaterialien, etwa des Materials **316**, zu unterschiedlichen Eigenschaften, beispielsweise im Hinblick auf das Diffusionsverhalten spezieller Dotierstoffsorten im Vergleich zu anderen Bereichen der Halbleiterschicht **302** führen, die das Material **316** nicht aufweisen oder die eine andere Art an Halbleitermaterial aufweisen. Beispielsweise sei angenommen, dass die Transistoren **300a**, **300b** von der gleichen Leitfähigkeitsart sind, jedoch unterschiedliche Leistungseigenschaften erfordern, z. B. im Hinblick auf Leckströme, Arbeitsgeschwindigkeit und dergleichen, wie dies zuvor mit Bezug zu den **Fig. 1d** und **Fig. 1e** erläutert ist.

[0035] Das Halbleiterbauelement **300** kann auf der Grundlage gut etablierter Prozesstechniken hergestellt werden, wozu beispielsweise das selektive epitaktische Abscheiden des Materials **316** oder eine andere geeignete Prozesstechnik zur Herstellung des Materials **316** in der Schicht **302** gehören, wobei die Seitenwandabstandshalterstrukturen **313a**, **313b** in einer gemeinsamen Fertigungssequenz hergestellt werden können, wobei die Prozessparameter so eingestellt werden, dass eine Abstandshalterbreite **313w** erhalten wird, um damit das GesamtLeistungsverhalten des Bauelements **300** im Hinblick auf die Drain- und Source-Gebiete **308a** zu verbessern, die durch einen Implantationsprozess **321** auf Grundlage einer Implantationsmaske **320** gebildet werden.

[0036] **Fig. 3b** zeigt schematisch das Bauelement **300** in einem weiter fortgeschrittenen Fertigungsstadium, in welchem eine weitere Implantationsmaske **322** den ersten Transistor **300** abdeckt, während der zweite Transistor **300b** freiliegt. Während eines Ätzprozesses **323** wird die Breite der Abstandshalterstruktur **313b** auf eine reduzierte Breite **313r** eingestellt, die so gewählt ist, dass der Eintrittspunkt der Implantation näher an dem Kanalgebiet **306** liegt, wenn beispielsweise die Diffusionsaktivität der betrachteten Dotierstoffsorte weniger ausgeprägt ist auf Grund des Vorhandenseins des Halbleitermaterials **316**.

[0037] **Fig. 3c** zeigt schematisch das Halbleiterbauelement **300** während eines weiteren Implantationsprozesses **324**, um damit Drain- und Source-Gebiete **308b** mit einem gewünschten implantierten Profil zu schaffen. Beispielsweise wird der Implantationsprozess **324** auf der Grundlage der gleichen Prozess-

parameter ausgeführt, wenn die Transistoren **300a**, **300b** Transistoren die gleiche Leitfähigkeitsart repräsentieren und die vertikale Erstreckung der Drain- und Source-Gebiete **308b** nach der Implantation weniger kritisch ist, wodurch die Prozesskomplexität im Hinblick auf die Implantationsprozesse **321** und **324** verringert wird. In anderen Fällen werden die Prozessparameter speziell für das Bauelement **300b** eingestellt, wodurch auf Grund einer individuellen Einstellung der Breite **313r** zum Erhalten des gewünschten Profils für die Drain- und Source-Gebiete **308b** erreicht werden.

[0038] Fig. 3d zeigt schematisch das Halbleiterbauelement **300** während eines Ausheizprozesses **315**, um das endgültige Dotierstoffprofil der Drain- und Source-Gebiete **308a**, **308b** einzustellen, wenn eine nachfolgende Hochtemperaturbehandlung in dem Bauelement **300** nicht mehr ausgeführt wird. Somit kann die effektive Gatelänge sowie die vertikale Erstreckung der Drain- und Source-Gebiete **308a**, **308b** individuell auf Grund der Möglichkeit geeignet ausgewählter Implantationsprozessparameter sowie der Abstandshalterbreiten **313w** und **313r** angepasst werden.

[0039] Es sollte beachtet werden, dass in anderen Fällen die Transistoren **300a**, **300b** Transistoren mit unterschiedlicher Leitfähigkeitsart repräsentieren, in denen die Implantationsmasken **320** und **322** ohnehin vorzusehen sind, wodurch nicht wesentlich zur Gesamtprozesskomplexität beigetragen wird, wobei dennoch eine individuelle Anpassung der jeweiligen Implantationsprofile ermöglicht wird. In anderen Fällen repräsentieren die Transistoren **300a**, **300b** Transistoren unterschiedlicher Schaltungsarten, etwa einer analogen Schaltung, einer digitalen Schaltung, und dergleichen, oder repräsentieren unterschiedliche digitale Logikbereiche, etwa Speicherbereiche, CPU-Kerne und dergleichen, die einen unterschiedlichen Parametersatz für die Implantationsprozesse erfordern. Auch in diesem Falle können die entsprechenden Implantationsmasken **320**, **322** vorteilhaft für das individuelle Anpassen der Abstandshalterbreite **313w**, **313r** verwendet werden.

[0040] Mit Bezug zu den Fig. 4a bis Fig. 4e werden weitere Aspekte anschaulicher Ausführungsformen beschrieben, in denen sehr komplexe Dotierstoffprofile auf der Grundlage der zuvor beschriebenen Prinzipien erreicht werden, wobei zwei oder mehr Abstandshalterelemente verwendet werden, und eines oder mehrere dieser Abstandshalterelemente nachfolgend individuell in der Abstandshalterbreite angepasst werden, um damit das gewünschte endgültige Dotierstoffprofil für entsprechende Schaltungselemente, etwa Kondensatorstrukturen, Widerstandsstrukturen, Feldeffekttransistoren, und dergleichen zu erhalten.

[0041] Fig. 4a zeigt schematisch ein Halbleiterbauelement **400** mit einem Substrat **401** und einer Halbleiterschicht **402**, für die die gleichen Kriterien gelten, wie sie zuvor für die Bauelemente **100**, **200** und **300** beschrieben sind. Ein erstes und ein zweites Bauelement **400a**, **400b** sind vorgesehen, wobei der Einfachheit halber die Bauelemente als ein erster Transistor und ein zweiter Transistor bezeichnet werden, da hier typischerweise sehr anspruchsvolle laterale und vertikale Dotierstoffprofile erforderlich sind. Der erste und der zweite Transistor **400a**, **400b** weisen jeweils eine Gateelektrodenstruktur **405** auf, die in dieser Fertigungsphase eine geeignete Materialzusammensetzung besitzt. Des Weiteren sind entsprechende Gateisolationsschichten **404** vorgesehen. Zusätzlich umfasst der erste Transistor **400a** einen ersten Versatzabstandshalter **407a**, der an Seitenwänden der Gateelektrode **405** ausgebildet ist, und in ähnlicher Weise besitzt der zweite Transistor **400b** einen zweiten Versatzabstandshalter **407d**. Die Versatzabstandshalter **407a**, **407b** besitzen im Wesentlichen die gleiche Konfiguration und somit die gleiche Breite **407t**, die so gestaltet ist, dass ein gewünschter Abstand in Bezug auf flache Drain- und Source-Gebiete erhalten wird, die auch als Erweiterungsgebiete **407e** bezeichnet werden.

[0042] Das Halbleiterbauelement **400** kann auf der Grundlage von Prozessen hergestellt werden, wie sie zuvor mit Bezug zu dem Bauelement **100** beschrieben sind, wobei jedoch die Breite **407t** speziell den Erfordernissen des Transistors **400a** angepasst ist. Danach wird das Erweiterungsgebiet **408e** auf Grundlage eines geeignet gestatteten Implantationsprozesses **421** unter Anwendung einer Implantationsmaske **420** gebildet. Es sollte beachtet werden, dass andere Implantationsprozesse auf der Grundlage der Maske **420** oder ohne eine Maske **420** ausgeführt worden sein können, um damit die Halbleiterschicht **402** für das Erzeugen eines gewünschten Dotierstoffprofils vorzubereiten. Beispielsweise können Voramorphisierungsimplantationsprozesse, Halo-Implantationen und dergleichen in Abhängigkeit von den Prozesserfordernissen ausgeführt werden.

[0043] Fig. 4b zeigt schematisch das Halbleiterbauelement **400**, wobei nach dem Entfernen der Implantationsmaske **420** ein Ätzprozess **423** ausgeführt wird auf der Grundlage einer geeigneten Ätztechnik, etwa einer nasschemischen Ätzung, einer plasmaunterstützten Ätzung und dergleichen, wie dies auch zuvor erläutert ist, um damit die Versatzabstandshalter **407a**, **407b** zu reduzieren, wodurch eine gewünschte reduzierte Breite **407r** erhalten wird, die so eingestellt ist, dass ein gewünschter Implantationspunkt für den zweiten Transistor **400b** erreicht wird. Somit wird der Ätzprozess **423** als ein nicht maskierter Ätzprozess ausgeführt, wodurch auch die reduzierte Breite **407r** in dem ersten Transistorelement **400a** geschaffen wird. In diesem Falle werden sehr gleichmäßi-

ge Prozessbedingungen während der weiteren Bearbeitung des Bauelements **400** erreicht, beispielsweise wenn andere Abstandshalterelemente gebildet werden, wie dies nachfolgend beschrieben ist. In anderen anschaulichen Beispielen wird der Ätzprozess **423** auf der Grundlage einer weiteren Implantationsmaske ausgeführt, wie dies mit Bezug zu den oben beschriebenen Ausführungsformen erläutert ist.

[0044] Fig. 4c zeigt schematisch das Halbleiterbauelement **400** mit einer weiteren Implantationsmaske **422**, um den ersten Transistor **400a** während eines weiteren Implantationsprozesses **424** zu schützen, wodurch ein Erweiterungsgebiet **408e** für den zweiten Transistor **400** geschaffen wird, das durch die Implantationsprozessparameter und die reduzierte Breite **407r** bestimmt ist.

[0045] Fig. 4d zeigt schematisch das Halbleiterbauelement **400** in einer weiter fortgeschrittenen Fertigungsphase, wobei eine Abstandshalterstruktur **413a**, **413b** auf der Grundlage der reduzierten Versatzabstandshalter **407a**, **407b** möglicherweise in Kombination mit dazwischenliegenden Abstandshalterelementen oder Beschichtungsmaterialien (nicht gezeigt) gebildet ist. Beispielsweise ist die Abstandshalterstruktur **413** mit einer Breite **413w** so gestaltet, dass ein gewünschter Implantationseintrittspunkt, d. h. ein gewünschter Abstand in Bezug auf die Gateelektrode **405** für den zweiten Transistor **400b** erreicht wird. In anderen Fällen ist die Breite **413w** so ausgewählt, dass diese zu einem gewünschten Abstand für einen Ionenimplantationsprozess für den Transistor **400a** führt. In dem gezeigten Beispiel wird somit eine weitere Implantationsmaske **424** vorgesehen, um den ersten Transistor **400a** abzudecken, während der zweite Transistor **400b** der Einwirkung eines Implantationsprozesses **426** zur Herstellung tiefer Drain- und Source-Gebiete **408d** ausgesetzt ist. Somit wird in dem zweiten Transistor **400b** eine moderat große laterale Erstreckung des Erweiterungsgebiets **408e** als vorteilhaft erachtet, während in anderen Fällen, wenn die Breite **413w** geeignet für den ersten Transistor **400a** ausgewählt ist, ein größerer Abstand sowohl des Erweiterungsgebiets **408w** als auch eines entsprechenden tiefen Drain- und Source-Gebiets **408d** damit erreicht würde (nicht gezeigt).

[0046] Fig. 4e zeigt schematisch das Bauelement **400** mit einer weiteren Implantationsmaske **427**, die den zweiten Transistor **400b** abdeckt, während der erste Transistor **400a** einer Ätzumgebung **428** ausgesetzt ist, um damit eine reduzierte Abstandshalterbreite **413r** zu erhalten, die für den ersten Transistor **400a** geeignet ist, wobei eine geeignete Ätzchemie und eine Ätztechnik eingesetzt werden können, wie dies zuvor erläutert ist. Anschließend wird ein weiterer Implantationsprozess auf der Grundlage der Maske **427** ausgeführt, um die tiefen Drain- und Source-Gebiete **408d** für den ersten Transistor **400a** zu er-

zeugen, wobei in dem gezeigten Beispiel ein weniger ausgeprägter lateraler Unterschied zwischen den Erweiterungsgebieten **407e** und den Tiefen erhalten wird. Es sollte jedoch beachtet werden, dass eine andere Kombination verwendet werden kann, wie dies zuvor erläutert ist, um damit sehr anspruchsvolle laterale und vertikale Dotierstoffprofile zu erreichen, die auf der Grundlage der Implantationsparameter in Verbindung mit der individuell eingestellten Breite der Versatzabstandshalter **407a**, **407b** und der Abstandshalterstruktur **413** erreicht werden. Danach wird die weitere Bearbeitung fortgesetzt, indem ein Ausheizprozess durchgeführt wird, um das Dotierstoffprofil auf der Grundlage der Gebiete **407e**, **408d** zu erhalten, wie dies in Fig. 4d gezeigt ist. Es sollte beachtet werden, dass die Abstandshalterstrukturen **413a**, **413b** mehr als zwei Abstandshalterelemente aufweisen können, wovon zumindest einige individuell vor einem entsprechenden Implantationsprozess angepasst werden, um damit das verbesserte Leistungsverhalten für jeden der Transistoren zu erhalten.

[0047] Mit Bezug zu den Fig. 5a und Fig. 5b werden weitere Aspekte von Ausführungsformen beschrieben, in denen die Sequenz des Einführens von Dotierstoffsorten umgekehrt ist.

[0048] Fig. 5a zeigt schematisch ein Halbleiterbauelement **500** mit einem Substrat **501** und einer Halbleiterschicht **502** mit einem ersten Bauteilgebiet **500a** und einem zweiten Bauteilgebiet **500b**, in denen entsprechende Bauteilstrukturelemente **505** ausgebildet sind. Des Weiteren ist eine Implantationsmaske **520** vorgesehen, um das erste Bauteilgebiet **500a** abzudecken und um das zweite Bauteilgebiet **500b** der Einwirkung einer Ätzumgebung **523** auszusetzen. Die Ätzumgebung **523** ist so gestaltet, dass eine laterale Ausdehnung des Bauteilstrukturelements **505** verringert wird, wobei beispielsweise eine Abstandshalterstruktur vorgesehen ist oder wobei die Bauteilstrukturelemente **505** selbst geätzt werden, um damit eine geringere laterale Größe zu erhalten. Somit besitzt nach dem Ätzprozess **523** das Bauteilstrukturelement **505** weiterhin die anfängliche Dicke **505b**, während das Bauteilstrukturelement **505** in dem zweiten Bauteilgebiet **500** die reduzierte Breite **505r** aufweist.

[0049] Fig. 5b zeigt schematisch das Bauelement **500** während eines Implantationsprozesses **520**, um Implantationsgebiete **508** auf der Grundlage der reduzierten Breite **505r** zu bilden, möglicherweise in Verbindung mit individuell eingestellten Implantationsparametern, wie dies zuvor erläutert ist. Danach wird die Implantationsmaske **520** entfernt und es wird eine weitere Implantationsmaske gebildet, um das zweite Bauteilgebiet **500b** abzudecken, um somit ein entsprechendes Implantationsgebiet in dem ersten Gebiet **500a** auf der Grundlage der anfänglichen Breite **505w** zu erzeugen.

[0050] Es sollte beachtet werden, dass die oben dargestellten Ausführungsformen mit den zusätzlichen Aspekten von Ausführungsformen in beliebiger Weise kombiniert werden können, um selektiv die laterale Erstreckung eines Bauteilstrukturelements vor einem Implantationsprozess zu reduzieren, um damit das gewünschte Dotierstoffprofil zu erhalten.

[0051] Es gilt also: die Verfahren und Halbleiterbauelement, die hierin beschrieben sind, ermöglichen das individuelle Anpassen des Implantationseintrittspunkts, d. h. das Anpassen eines lateralen Abstands in Bezug auf Bauteilstrukturelemente, die Gateelektrodenstrukturen aufweisen, um damit das resultierende Dotierstoffprofil in einem aktiven Halbleitergebiet individuell zu verbessern. Zu diesem Zweck wird die Breite einer entsprechenden Abstandshalterstruktur oder die laterale Erstreckung eines entsprechenden Bauteilstrukturelements individuell in einer maskierten Implantationssequenz reduziert, wodurch auch die Gesamtprozesskomplexität verringert wird, wobei dennoch eine individuelle Anpassung der Dotierstoffprofile möglich ist. Beispielsweise können die Transistoreigenschaften in speziellen Bauteilgebieten auf der Grundlage eines Fertigungsablaufs angepasst werden, der ein hohes Maß an Kompatibilität mit konventionellen Techniken aufweist, indem die Breite beispielsweise einer Abstandshalterstruktur auf der Grundlage einer Implantationsmaske reduziert wird, wobei in einigen anschaulichen Aspekten mit Ausnahme des Modifizierungsprozesses für die Abstandshalter keine weiteren Prozesse erforderlich sind, wenn die Implantationsmasken ohnehin auf Grund unterschiedlicher Implantationsparameter, die in unterschiedlichen Bauteilgebieten erforderlich sind, vorzusehen sind. Auf diese Weise kann eine sehr lokale Anpassung von Abstandshalterstrukturen erreicht werden, beispielsweise in komplementären Transistorpaaren, wobei etwa die Abstandshalterbreite von n-Kanaltransistoren und p-Kanaltransistoren individuell eingestellt wird, während in anderen Fällen größere Bauteilbereiche unterschiedlich eingestellte Abstandshalterbreiten erhalten, während dennoch nicht nennenswert zur Gesamtprozesskomplexität beigetragen wird. Es sollte beachtet werden, dass in den zuvor beschriebenen Ausführungsformen auf zwei unterschiedliche Bauteilgebiete Bezug genommen wird, wobei die hierin beschriebenen Prinzipien auch eine beliebige Anzahl unterschiedlicher Bauteilgebiete angewendet werden können, indem sequenziell die Abstandshalterbreite reduziert oder erhöht wird in Verbindung mit geeignet ausgewählten Maskierungsschemata. Folglich kann ein hohes Maß an Flexibilität bei der Anpassung des Leistungsverhaltens von Schaltungselementen erreicht werden, wobei in einigen anschaulichen Aspekten keine zusätzlichen Lithographieprozesse erforderlich sind, während in anderen Fällen zusätzliche Maskierungsschemata implementiert werden, wodurch die Freiheit beim Auswählen geeigneter Implantations-

bedingungen erhöht wird, da zusätzlich zu unterschiedlichen Implantationsparametern eine variierende laterale Breite der jeweiligen Abstandshalter angewendet werden kann. Wenn die gleichen Implantationsparameter für Bauteilstrukturelemente mit grundsätzlich der gleichen Struktur angewendet werden, etwa für Transistoren der gleichen Leitfähigkeitsart, können unterschiedliche laterale Dotierstoffprofile auf Grund der individuelle angepassten Abstandshalterbreiten verwirklicht werden.

Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterelements mit:

Bilden einer ersten Gateelektrodenstruktur eines ersten Feldeffekttransistors über einem ersten Bauteilgebiet einer siliziumbasierten Schicht;

Bilden einer zweiten Gateelektrodenstruktur eines zweiten Feldeffekttransistors, der ein p-Kanaltransistor ist, über einem zweiten Bauteilgebiet der siliziumbasierten Schicht;

Bilden einer verformungsinduzierenden Halbleiterlegierung, die Silizium-Germanium, Silizium-Zinn oder Silizium-Germanium-Zinn aufweist, in dem zweiten Bauteilgebiet in einem Bereich, der einem zu bildenden Source- und Draingebiet des zweiten Feldeffekttransistors entspricht;

Bilden einer ersten Implantationsmaske über dem ersten Bauteilgebiet und dem zweiten Bauteilgebiet, wobei die erste Implantationsmaske das zweite Bauteilgebiet und die darauf gebildete zweite Gateelektrodenstruktur bedeckt und das erste Bauteilgebiet und die darauf gebildete erste Gateelektrodenstruktur freilässt;

Ausführen eines ersten Implantationsprozesses auf der Grundlage einer ersten Parametereinstellung, um ein erstes Dotierstoffprofil lateral benachbart zu der ersten Gateelektrodenstruktur in dem ersten Bauteilgebiet zu erzeugen;

Bilden einer zweiten Implantationsmaske über dem ersten und dem zweiten Bauteilgebiet, wobei die zweite Implantationsmaske das erste Bauteilgebiet bedeckt und das zweite Bauteilgebiet freilässt;

Reduzieren einer lateralen Erstreckung der zweiten Gateelektrodenstruktur, indem die zweite Implantationsmaske als eine Ätzmaske verwendet wird; und

Ausführen eines zweiten Implantationsprozesses mit der zweiten Implantationsmaske als Maske auf der Grundlage einer zweiten Parametereinstellung, um ein zweites Dotierstoffprofil in dem zweiten Bauteilgebiet lateral benachbart zu der zweiten Gateelektrodenstruktur zu erzeugen.

2. Verfahren nach Anspruch 1, das ferner umfasst: Bilden der ersten und der zweiten Gateelektrodenstruktur durch Bilden eines ersten Basisstrukturelements und eines zweiten Basisstrukturelements und einer ersten Seitenwandabstandshalterstruktur an Seitenwänden des ersten Basisstrukturelements

und einer zweiten Seitenwandabstandshalterstruktur an Seitenwänden des zweiten Basisstrukturelements.

3. Verfahren nach Anspruch 2, wobei Reduzieren einer lateralen Erstreckung der zweiten Gateelektrodenstruktur Reduzieren einer Breite der zweiten Seitenwandabstandshalterstruktur umfasst.

4. Verfahren nach Anspruch 2, wobei die erste und die zweite Seitenwandabstandshalterstruktur in einer gemeinsamen Fertigungssequenz hergestellt werden, so dass diese die gleiche Strukturbreite aufweisen.

5. Verfahren nach Anspruch 1, wobei die erste und die zweite Parametereinstellung sich zumindest in einem Parameterwert voneinander unterscheiden.

6. Verfahren nach Anspruch 1, das ferner umfasst: Bilden einer dritten Implantationsmaske derart, dass eine der ersten und zweiten Gateelektrodenstruktur abgedeckt wird, während die andere Gateelektrodenstruktur freiliegt, Reduzieren einer lateralen Erstreckung der anderen Gateelektrodenstruktur unter Anwendung der dritten Implantationsmaske als eine Ätzmaske und Ausführen eines dritten Implantationsprozesses auf der Grundlage der dritten Implantationsmaske.

7. Verfahren nach Anspruch 1, wobei die verformungsinduzierende Halbleiterlegierung in eine reduzierte Diffusionsaktivität von Dotierstoffen im Vergleich zu Halbleitermaterial in dem ersten Bauteilgebiet hervorruft.

Es folgen 11 Seiten Zeichnungen

Anhängende Zeichnungen

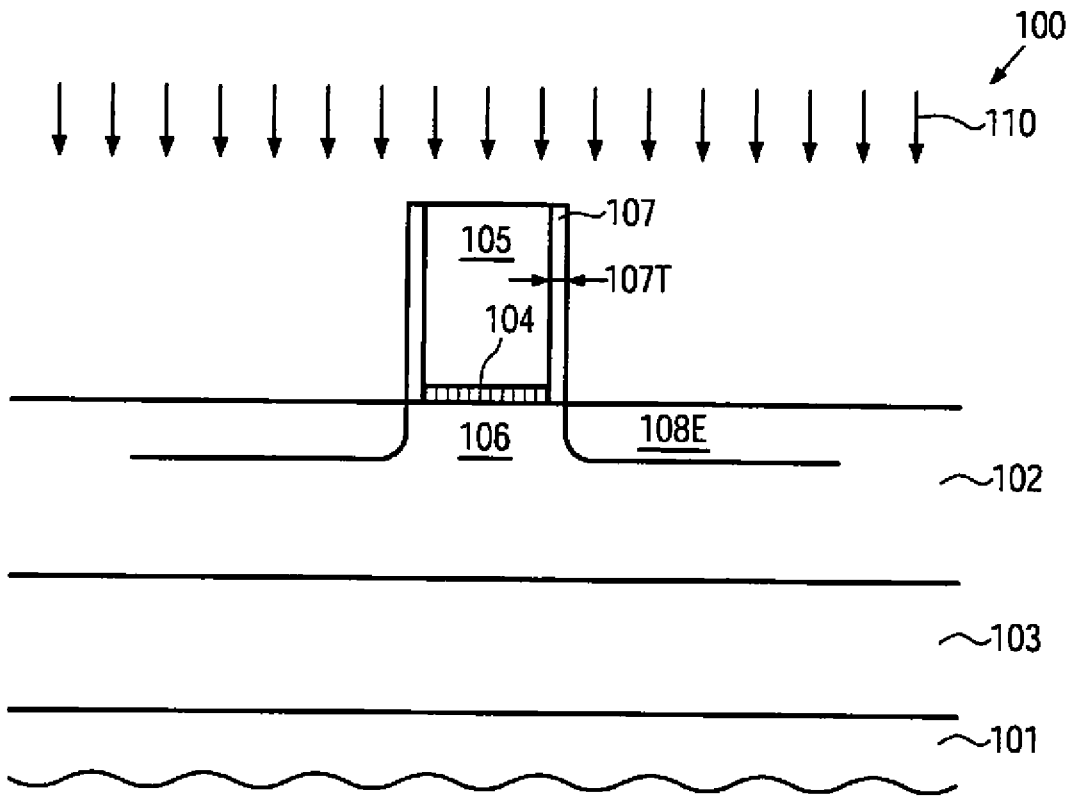


FIG. 1a
(Stand der Technik)

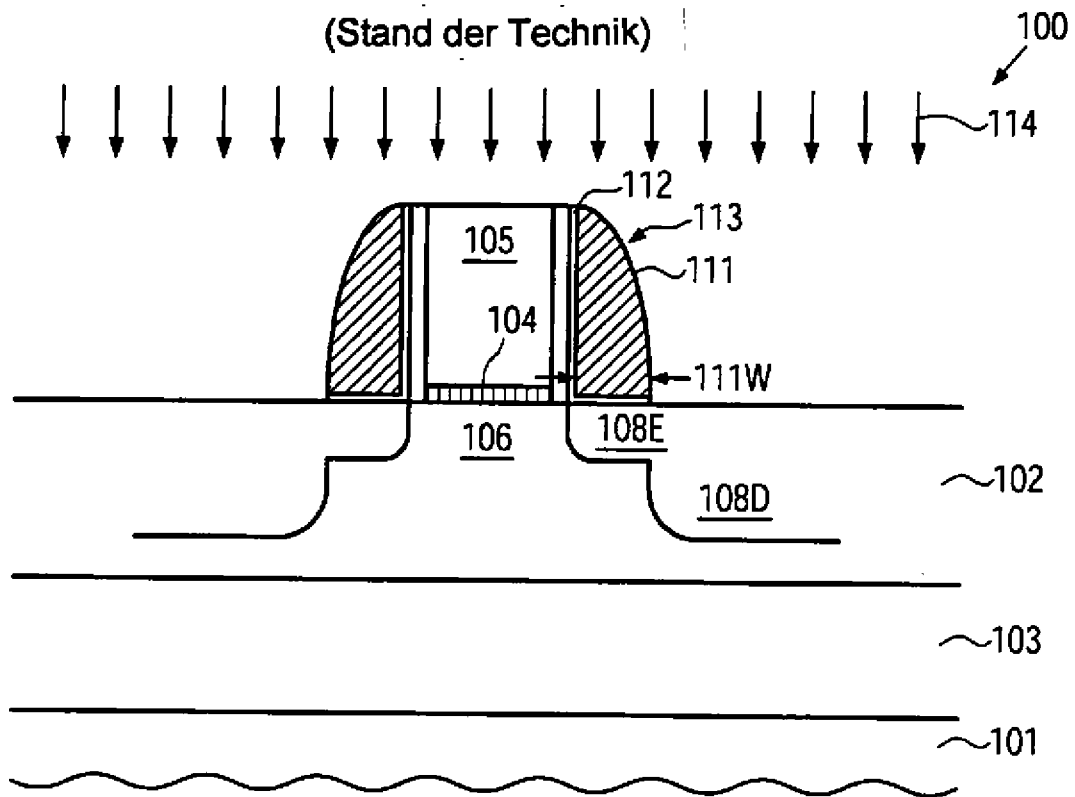


FIG. 1b
(Stand der Technik)

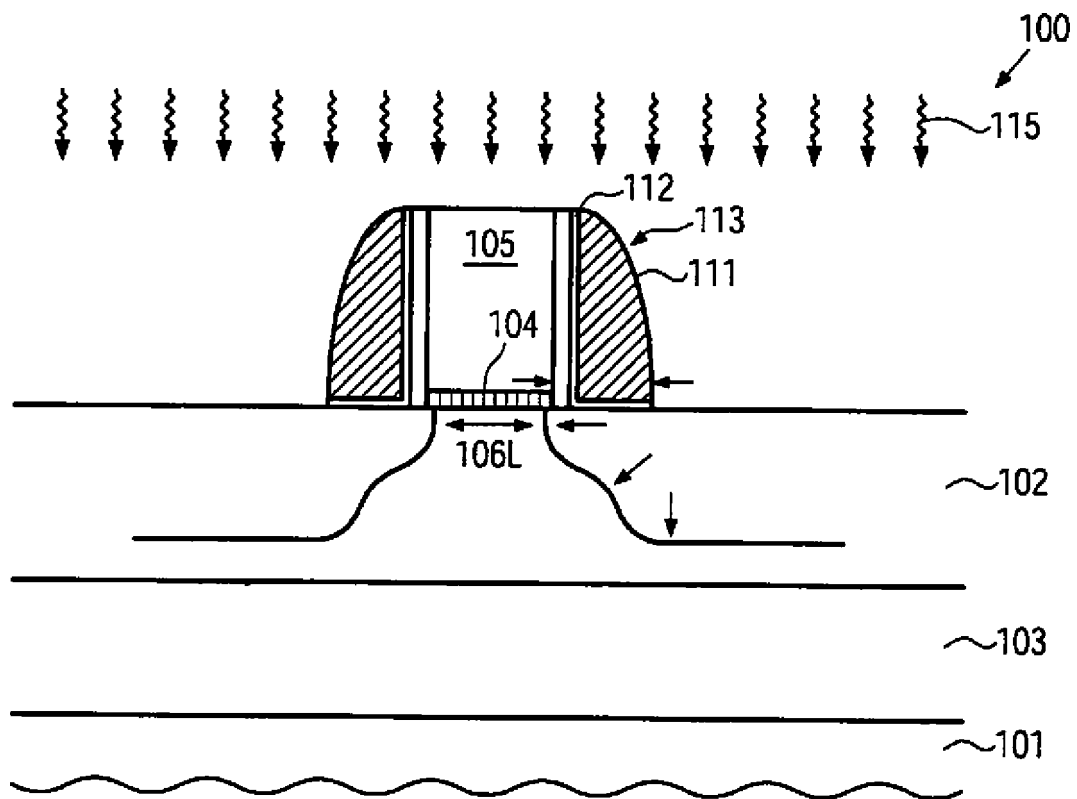


FIG. 1c
(Stand der Technik)

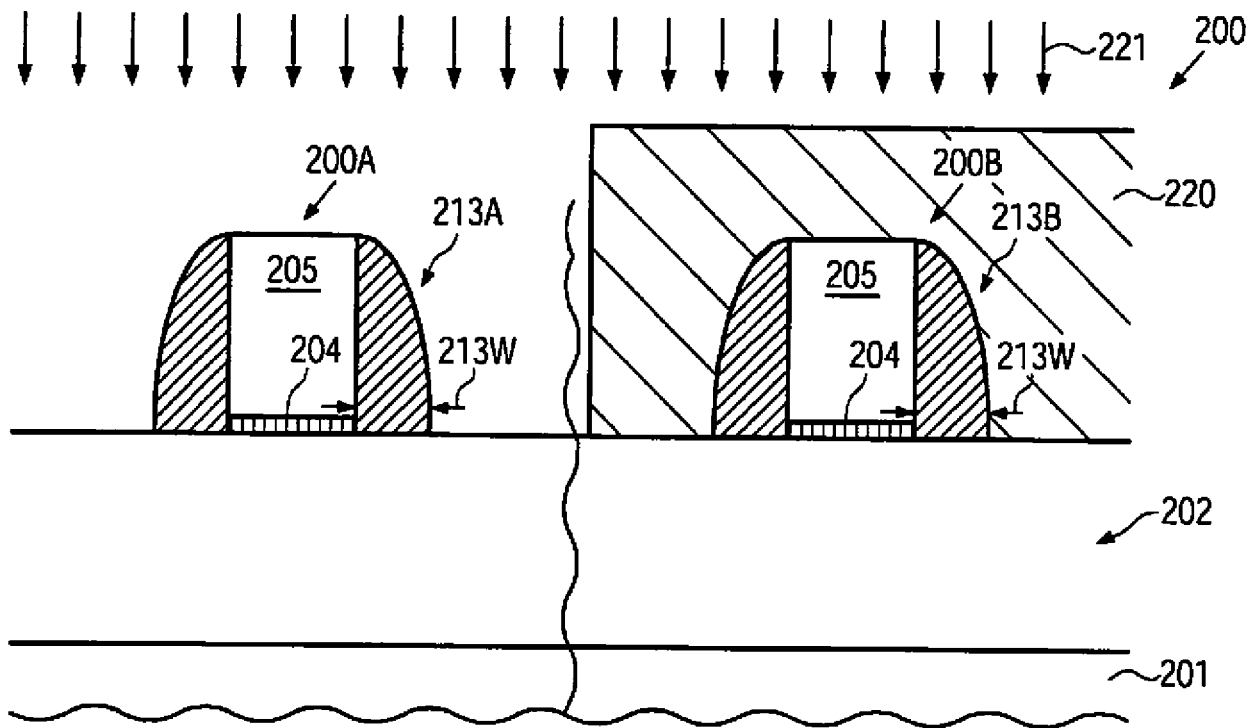


FIG. 2a

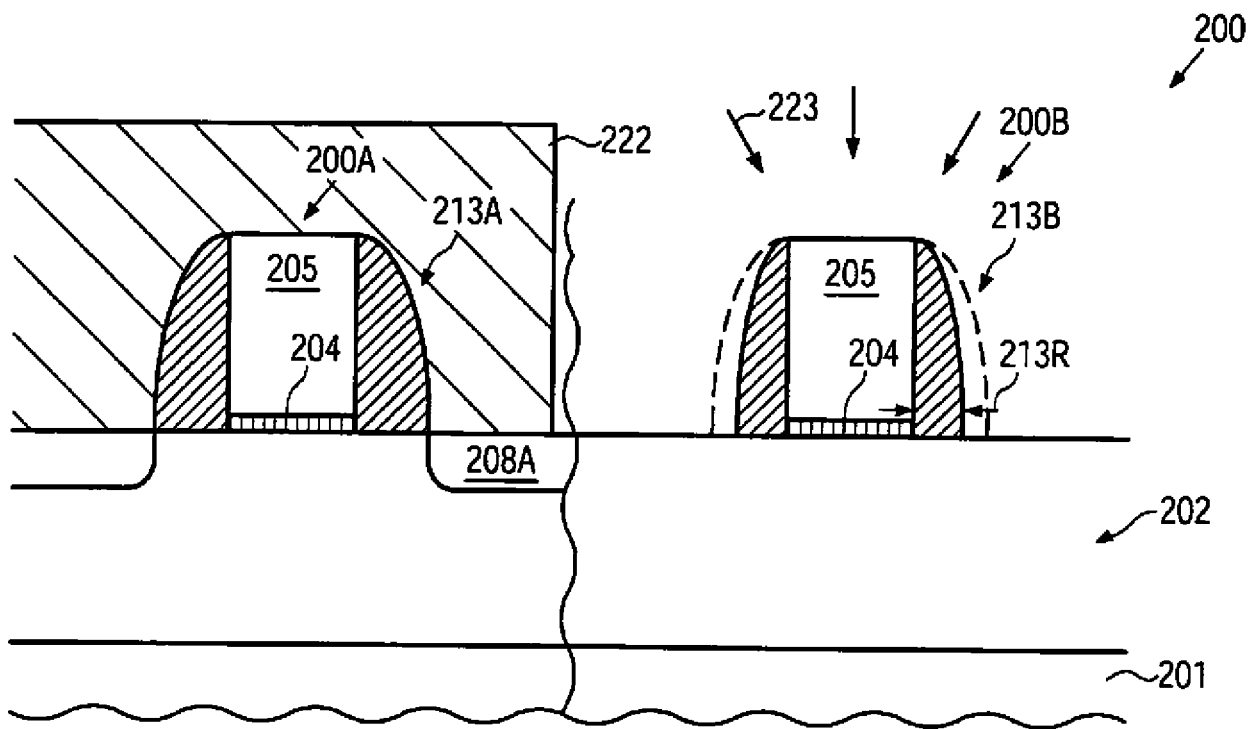


FIG. 2b

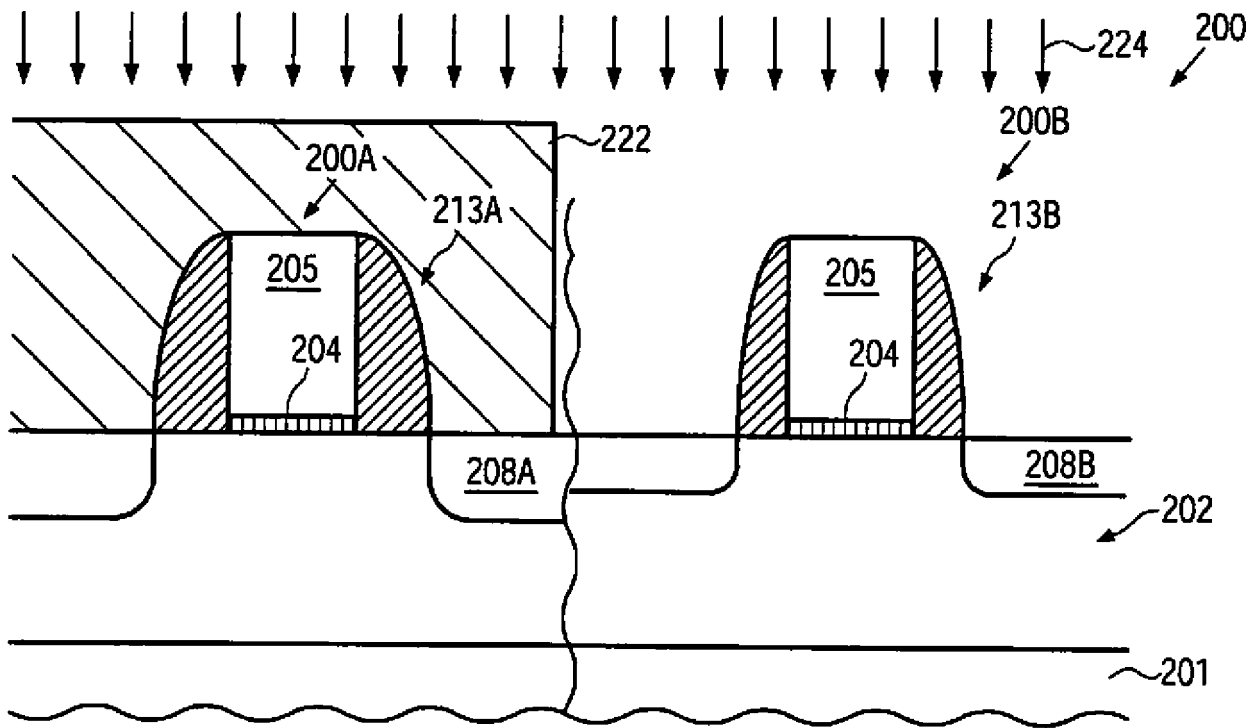


FIG. 2c

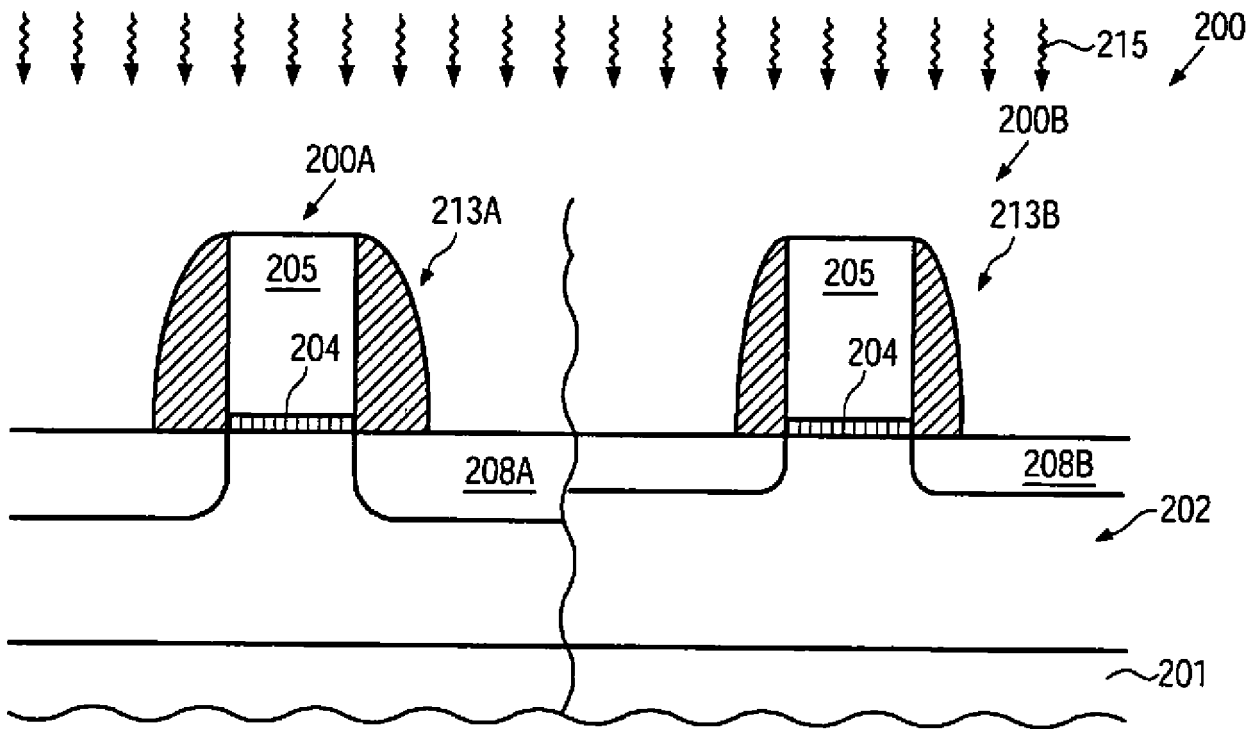


FIG. 2d

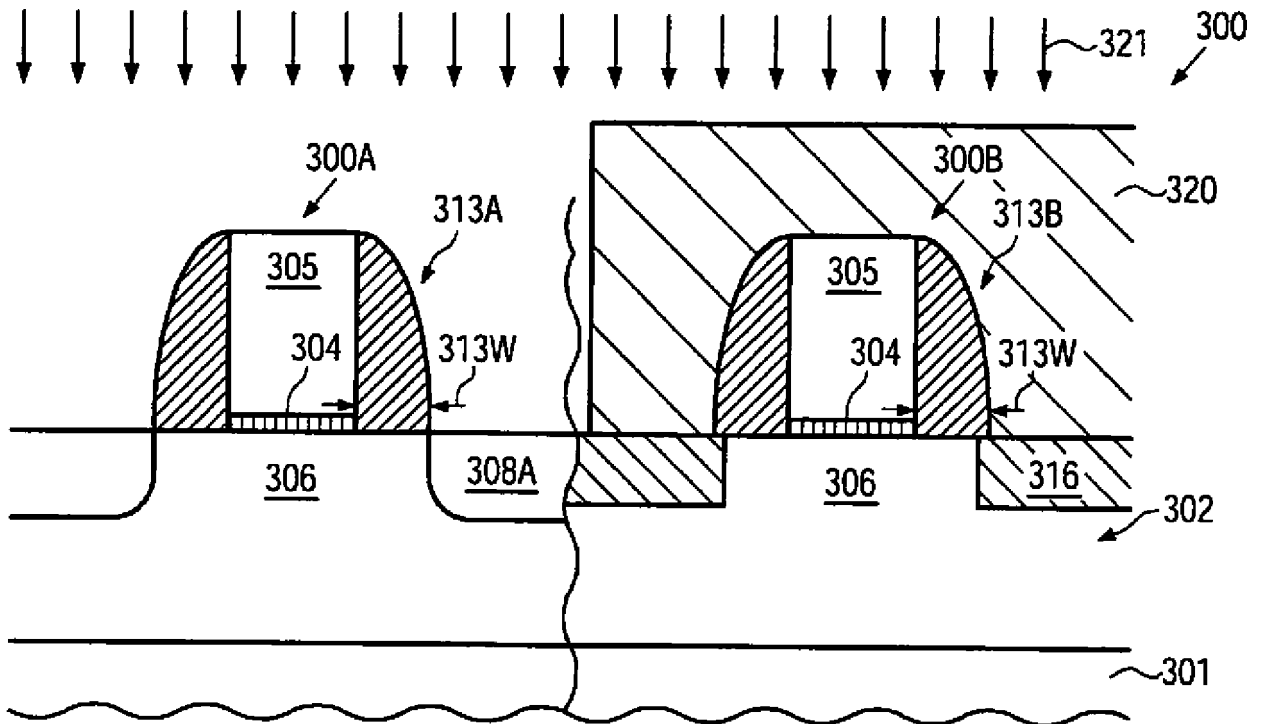


FIG. 3a

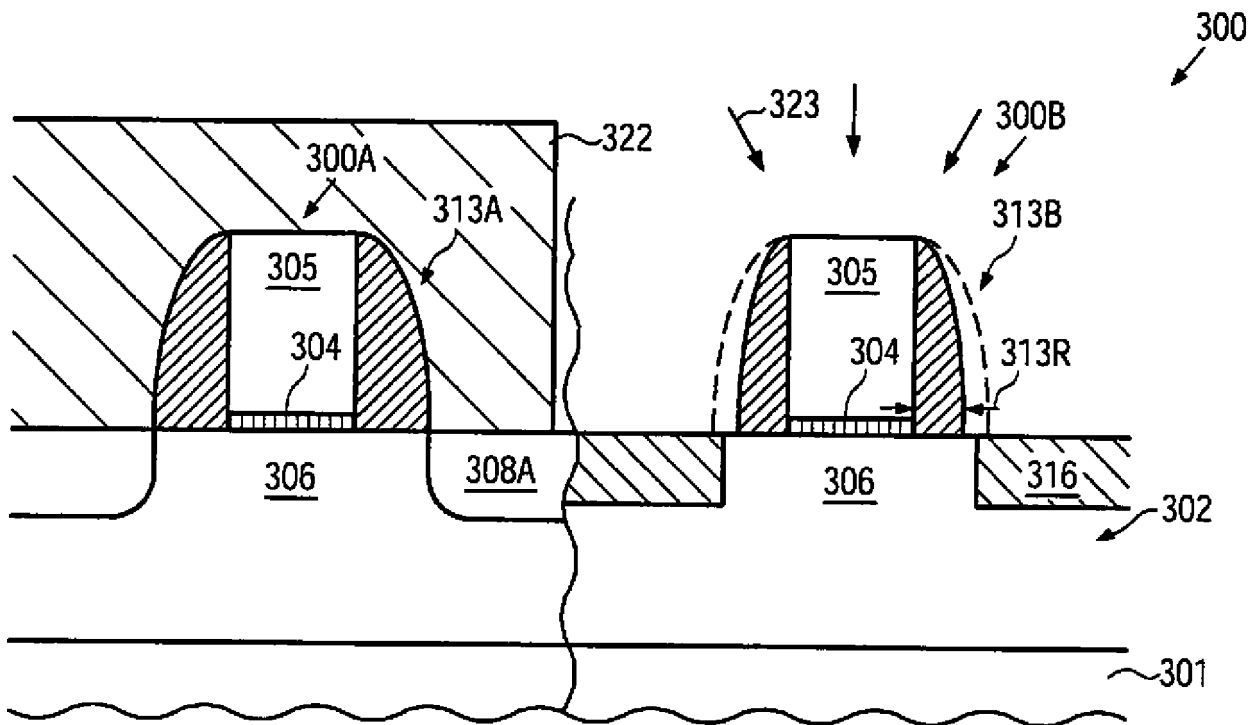


FIG. 3b

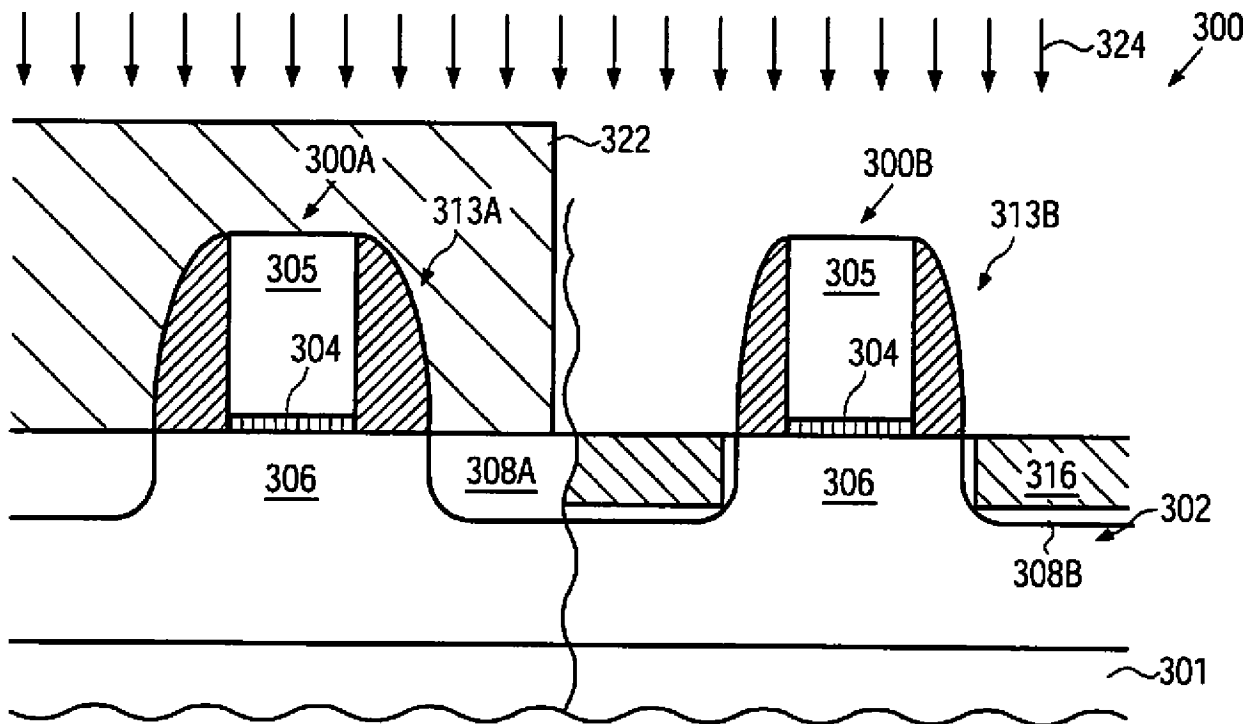


FIG. 3c

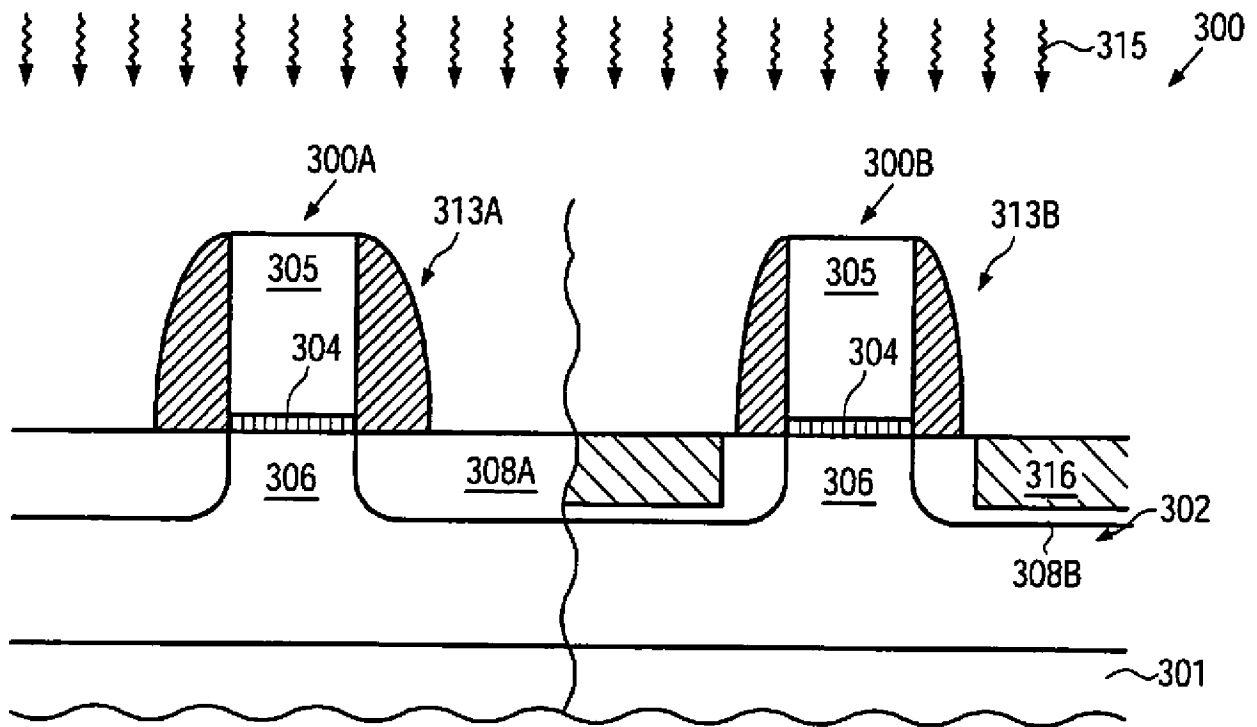


FIG. 3d

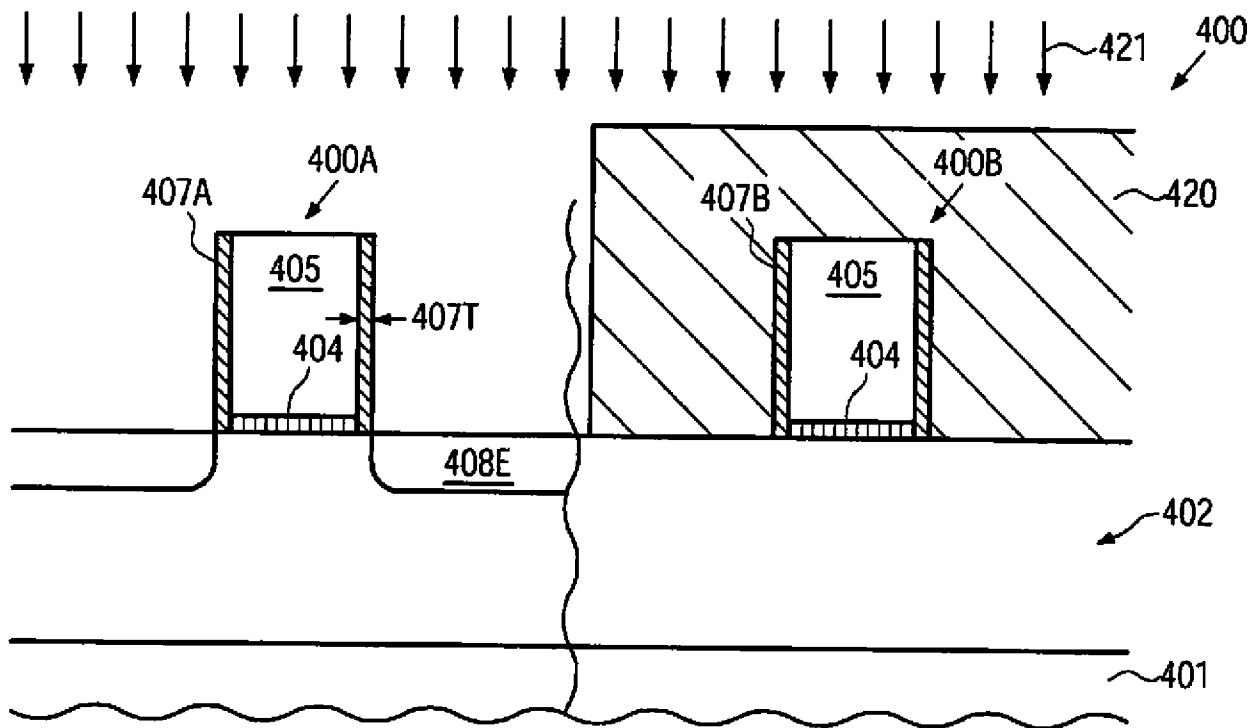


FIG. 4a

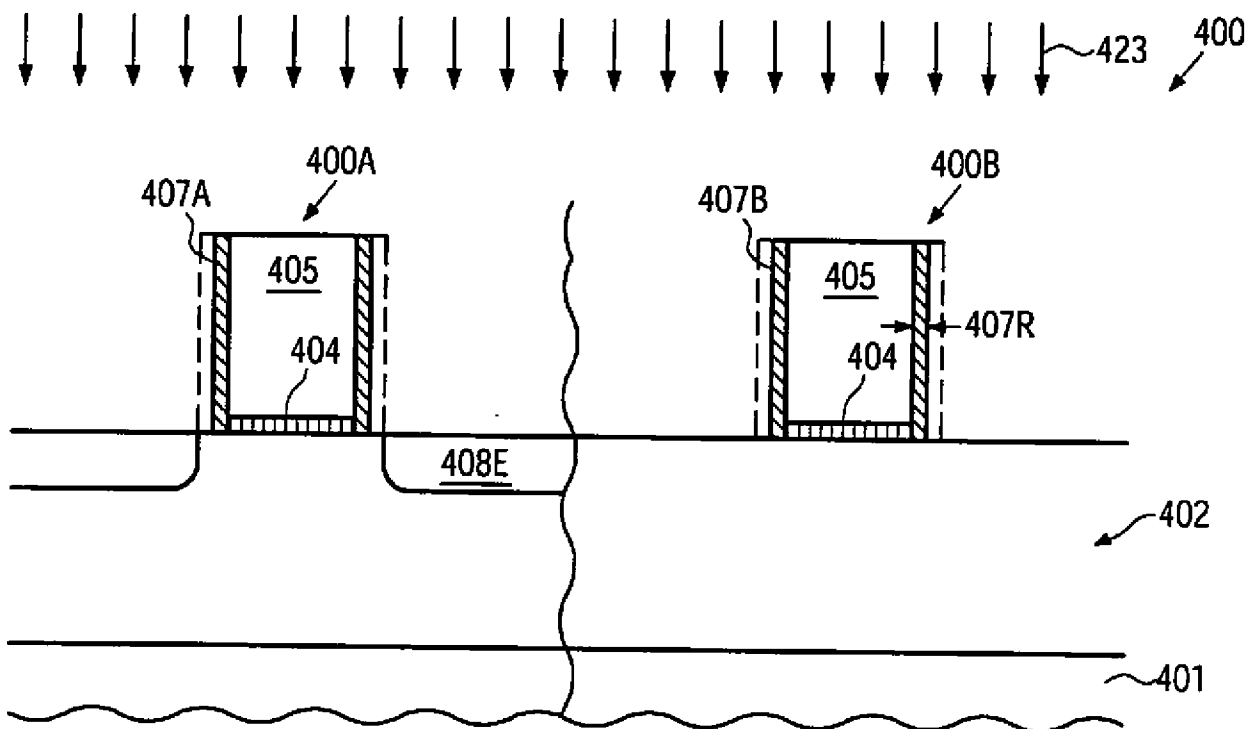
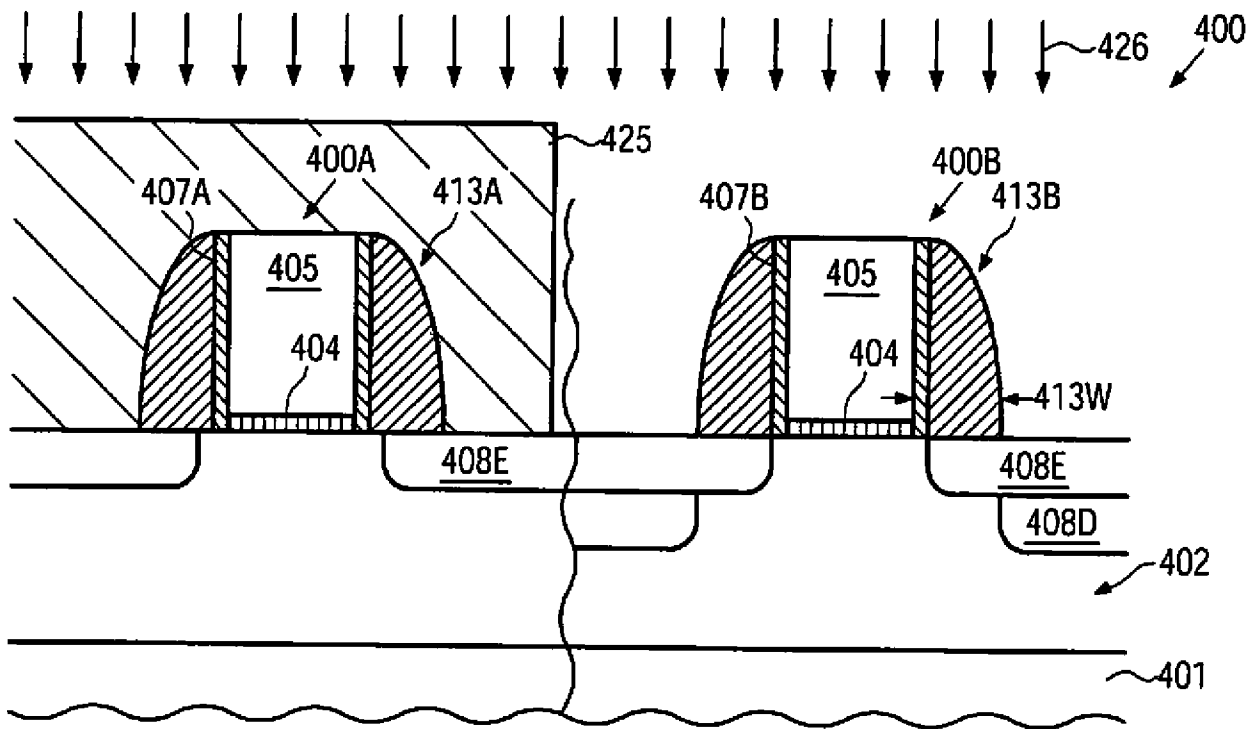
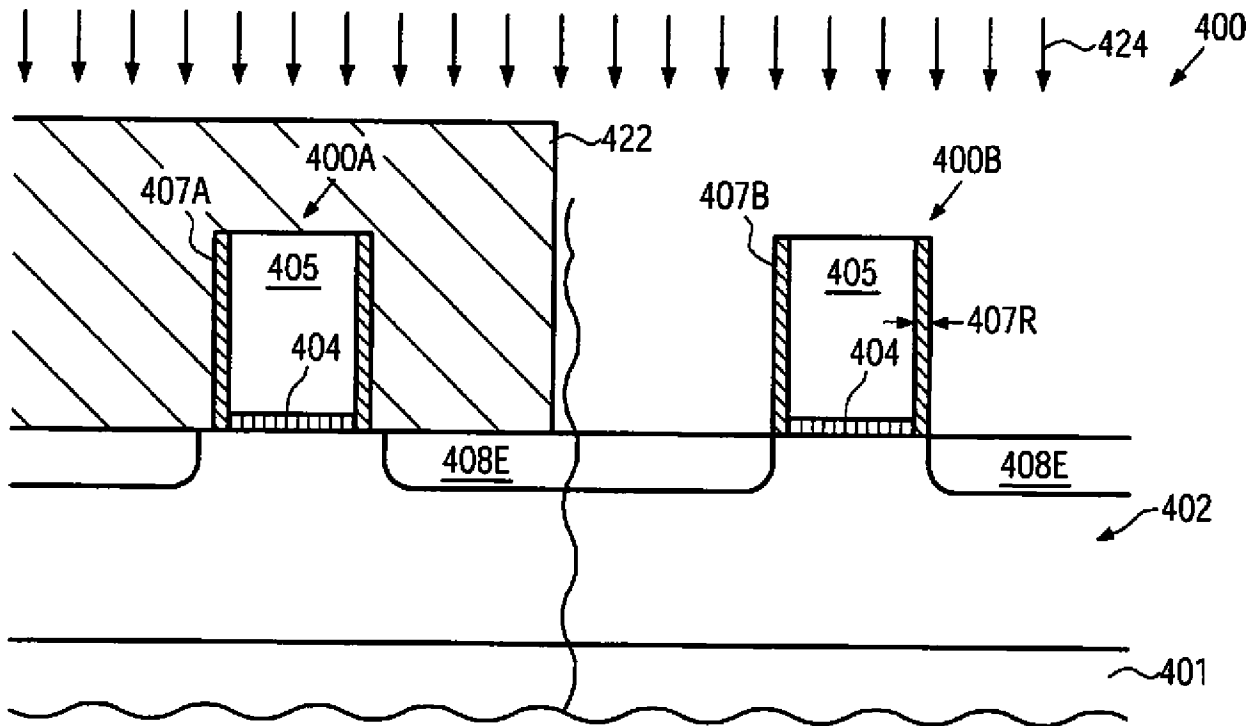


FIG. 4b



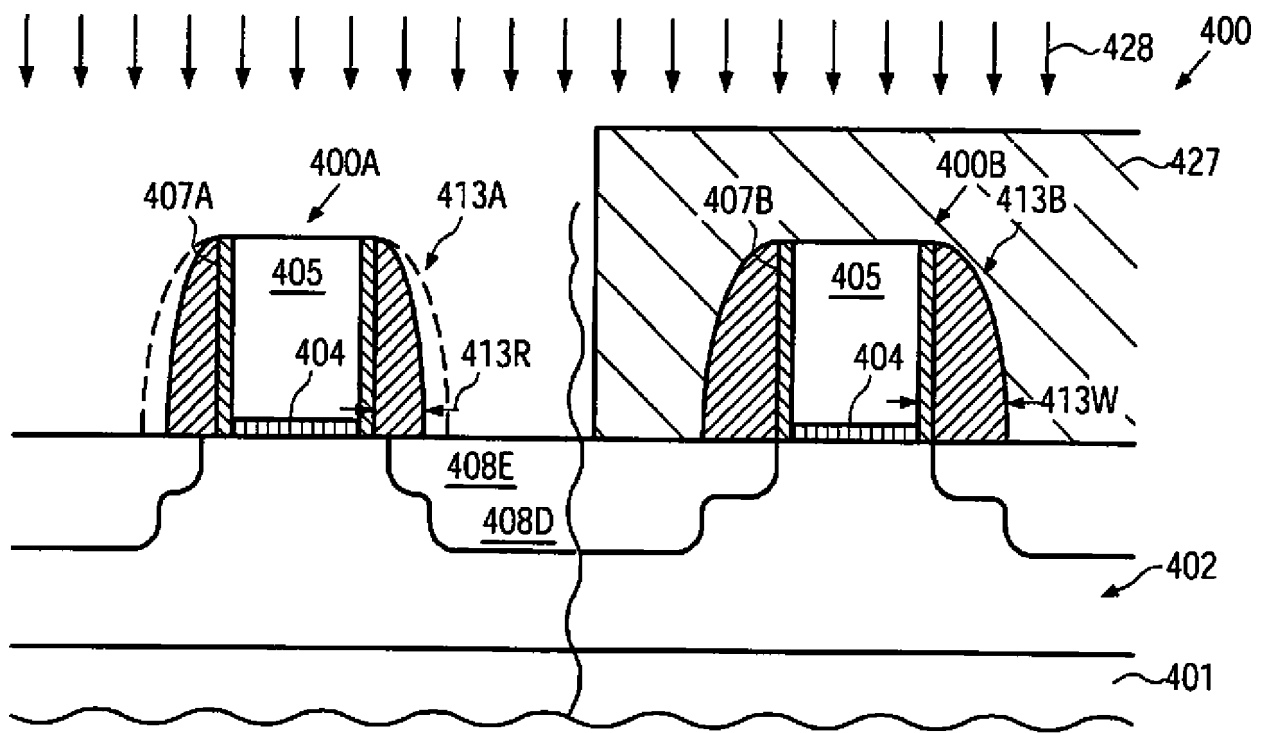


FIG. 4e

