



República Federativa do Brasil
Ministério da Economia
Instituto Nacional da Propriedade Industrial

(11) BR 112016022285-7 B1



(22) Data do Depósito: 17/03/2015

(45) Data de Concessão: 04/10/2022

(54) Título: EQUIPAMENTO DE COMPUTADOR, MÉTODO E PROGRAMA PRODUTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA

(51) Int.Cl.: G06F 9/50; G06F 9/38.

(30) Prioridade Unionista: 27/03/2014 US 14/226,989.

(73) Titular(es): INTERNATIONAL BUSINESS MACHINES CORPORATION.

(72) Inventor(es): DAN F. GREINER; MARK S. FARRELL; DAMIAN LEO OSISEK; DONALD WILLIAM SCHMIDT; FADI YUSUF BUSABA; JEFFREY PAUL KUBALA; JONATHAN DAVID BRADBURY; LISA CRANTON HELLER; TIMOTHY SLEGEL; CHARLES GAINEY JR.

(86) Pedido PCT: PCT EP2015055516 de 17/03/2015

(87) Publicação PCT: WO 2015/144489 de 01/10/2015

(85) Data do Início da Fase Nacional: 26/09/2016

(57) Resumo: EQUIPAMENTO DE COMPUTADOR, MÉTODO E PROGRAMA PRODUTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA. As concretizações se relacionam à recuperação da informação da capacidade multitarefa. Um aspecto é um sistema ou equipamento de computador que inclui uma configuração com um ou mais núcleos configuráveis entre o modo de tarefa única (ST) e o modo multitarefa (MT). O modo ST endereça um segmento primário e o modo MT endereça um ou mais segmentos secundários em recursos compartilhados de cada núcleo. O sistema de computador inclui também um recurso multitarefa configurado para controlar a utilização da configuração para realizar um método que inclui a execução, pelo núcleo, de uma instrução de recuperação da informação da capacidade multitarefa. A execução inclui a obtenção de informação de identificação do segmento que identifica a capacidade multitarefa da configuração, e o armazenamento da informação de identificação do segmento obtida.

EQUIPAMENTO DE COMPUTADOR, MÉTODO E PROGRAMA PRODUTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA

ANTECEDENTES DA INVENÇÃO

[001] A presente invenção se relaciona, de modo geral, a um equipamento ou sistema de computador que suporta segmentos múltiplos e, mais especificamente, à recuperação da informação da capacidade multitarefa num sistema de computador.

[002] À medida que a velocidade do processador de sistemas de computador vem crescendo nas últimas décadas, não houve um aumento proporcional da velocidade na qual a memória de tais sistemas de computador pode ser acessada. Assim, quanto mais rápido o tempo do ciclo do processador, mais pronunciada é a demora na espera da busca dos dados da memória. Os efeitos dessas demoras foram mitigados por vários níveis de armazenamento e, nos processadores recentes, pela multitarefa (MT).

[003] A MT permite que vários recursos do núcleo sejam compartilhados por uma pluralidade de fluxos de instrução chamados segmentos. Os recursos do núcleo podem incluir unidades de execução, caches, TLBs (*translation lookaside buffers*), e similares, que podem ser referenciados coletivamente de forma geral como núcleo. Durante a latência causada por *cache-miss* (falta de acesso ao cache) ou outro atraso num segmento, um ou mais outros segmentos podem utilizar os recursos do núcleo, aumentando assim a utilização dos recursos do núcleo. Na implementação de um processador superescalar multitarefa simultânea (SMT), múltiplos segmentos podem ser fornecidos pelos recursos de núcleo de um ou mais núcleos.

[004] Nas plataformas hardware contemporâneas, a MT é implementada tipicamente de modo a ser transparente para um sistema operacional (SO) que seja executado no hardware MT. Um aspecto dessa característica é que o SO não precisa de modificação para utilizar o hardware

MT. Entretanto, a operação transparente com respeito ao SO pode resultar em alta variabilidade de tempo de resposta, de provisionamento da capacidade, de planejamento da capacidade e de kilomega. Tal variabilidade pode ocorrer porque o SO não reconhece se suas tarefas possuem controle exclusivo de um núcleo ou se suas tarefas são executadas como segmentos que compartilham um núcleo. Por concepção, a maior capacidade para a carga de trabalho intensiva da memória em hardware de capacidade MT é obtida quando existe alta densidade média de segmento quando os núcleos estão em uso. A capacidade adicional pode ser devida a uma exploração aumentada da cache fornecida pela MT. Se um SO não mantém de forma consistente médias altas de densidade de segmento para os núcleos utilizados a produtividade da capacidade adicional global fornecida pela MT não será disponibilizada. Por exemplo, se o hardware executa um único segmento MT por núcleo quando há baixa utilização de computação e executa com alta densidade de segmento quando há alta utilização de computação, pode ser muito difícil determinar a capacidade total de computação de MT disponível para a carga de trabalho. Tal variabilidade de hardware na exploração de segmento de MT pode levar à variabilidade tanto dos tempos de resposta da transação e dos kilomegas numa situação similar conforme descrição prévia relativa à capacidade.

SUMÁRIO DA INVENÇÃO

[005] As concretizações incluem um sistema, um método e um produto programa de computador para a recuperação da informação da capacidade multitarefa. De acordo com um aspecto, o sistema de computador inclui uma configuração com um ou mais núcleos configuráveis entre o modo tarefa única (ST) e o modo multitarefa (MT). O modo ST direciona um segmento primário e o modo MT direciona o segmento primário e um ou mais segmentos secundários em recursos compartilhados do núcleo. O sistema de computador inclui também um recurso multitarefa configurado para controlar a utilização da configuração para realizar um método que inclui a execução, pelo núcleo, uma instrução de recuperação da informação da capacidade multitarefa

(RMTCI). A execução inclui a obtenção de informações de identificação de segmento, que identifica a capacidade multitarefa da configuração, e o armazenamento da informação da identificação do segmento obtida.

[006] De acordo com outro aspecto, é fornecido um método implementado em computador para recuperação da informação da capacidade multitarefa numa configuração. A configuração inclui um ou mais núcleos configuráveis entre o modo TS e o modo MT, em que o modo ST direciona um segmento primário e o modo MT direciona o segmento primário e um ou mais segmentos secundários em recursos compartilhados de cada núcleo. O método inclui a execução, pelo núcleo, de uma instrução de recuperação da informação da capacidade multitarefa. A execução inclui a obtenção de informação da identificação do segmento que identifica a capacidade multitarefa da configuração, e o armazenamento da informação da identificação do segmento obtida.

[007] Um aspecto adicional inclui um produto programa de computador para a implementação da recuperação da informação da capacidade multitarefa numa configuração. A configuração inclui um ou mais núcleos configuráveis entre o modo ST e o modo MT, na qual o modo ST direciona o segmento primário e o modo MT direciona o segmento primário e um ou mais segmentos secundários em recursos compartilhados do núcleo. O produto programa de computador inclui mídia de armazenamento de leitura por computador com instruções de programa embutidas, em que a mídia de armazenamento de leitura por computador não é um sinal. As instruções do programa são legíveis por um circuito de processamento que permite que o circuito de processamento execute um método. O método inclui a execução, por um núcleo, de instrução para recuperação da informação da capacidade multitarefa. A execução inclui a obtenção de informação da identificação do segmento que identifica a capacidade multitarefa da configuração, e o armazenamento da informação da identificação do segmento obtida.

DESCRIÇÃO RESUMIDA DAS VÁRIAS EXIBIÇÕES DOS DESENHOS

[008] O assunto, considerado concretizações, está especificamente destacado e reivindicado nas reivindicações no final da especificação. O acima exposto e outras características e vantagens das concretizações são evidentes a partir da descrição detalhada tomada em conjunto com os desenhos anexos nos quais:

A FIG. 1A retrata um ambiente computacional que pode ser implementado de acordo com uma concretização;

A FIG. 1B retrata um ambiente computacional que pode ser implementado de acordo com uma concretização;

A FIG. 2 retrata circuitos de processamento de um núcleo que podem ser implementados de acordo com uma concretização;

A FIG. 3 retrata um ambiente computacional que pode ser implementado de acordo com uma concretização;

A FIG. 4 retrata um exemplo de retenção de contexto de hipervisor num ambiente computacional que pode ser implementado de acordo com uma concretização;

A FIG. 5 retrata um fluxo de processo para a ativação dinâmica de multitarefa de acordo com uma concretização;

A FIG. 6A retrata um exemplo de processo de expansão de endereço de CPU de acordo com uma concretização;

A FIG. 6B retrata um exemplo de processo de contração de endereço de CPU de acordo com uma concretização;

A FIG. 7 retrata um fluxo de processo para uma ordem de conjunto multitarefa de acordo com uma concretização;

A FIG. 8 retrata um exemplo de capacidade de armazenamento de informações multitarefa de acordo com uma concretização;

A FIG. 9 retrata um fluxo de processamento para determinar a capacidade multitarefa de acordo com uma concretização;

A FIG. 10 retrata um exemplo de contexto de localizações de vários segmentos de acordo com uma concretização;

A FIG. 11 retrata um exemplo de preservação de registro multitarefa de acordo com uma concretização;

A FIG. 12 retrata um fluxo de processo de preservação de registro multitarefa de acordo com uma concretização;

A FIG. 13 retrata um exemplo de restauração de registro multitarefa de acordo com uma concretização;

A FIG. 14 retrata um fluxo de processo para a restauração de registro multitarefa de acordo com uma concretização; e

A FIG. 15 retrata uma mídia para leitura de computador de acordo com uma concretização.

DESCRIÇÃO DETALHADA DA INVENÇÃO

[009] Concretizações exemplificativas fornecem operação multitarefa num sistema computacional que suporta os modos de operação ST e MT. Conforme aqui utilizado, um segmento lógico se refere a um fluxo de instrução única e a seu estado associado. Isto quer dizer que, em nível de arquitetura, cada segmento lógico representa uma unidade de processamento central independente (CPU) ou processador. Em nível de hardware, um segmento é a execução de um fluxo de instruções associado a um segmento lógico, combinado com a manutenção do estado de convidado quando o segmento for despachado. Portanto, os termos “segmento” e “CPU” podem ser usados neste documento de forma intercambiável.

[0010] Numa concretização exemplificativa, a CPU contém recursos sequenciais e de processamento para a execução de instruções, ação de interrupção, funções temporizadoras, carregamento do programa inicial, e

outras função relacionadas à máquina. A CPU define funções lógicas que podem ser mapeadas para uma variedade de implementações físicas subjacentes. A CPU, ao executar instruções, pode processar inteiros binários e números de ponto flutuante (e.g., binário, decimal e hexadecimal) de extensão fixa, inteiros decimais de extensão variável, e informações lógicas de extensão tanto fixa como variável. O processamento pode ser em paralelo ou em séries. A largura dos elementos de processamento, a multiplicidade de caminhos de deslocamento, e o grau de simultaneidade na execução de diferentes tipos aritméticos podem diferir de um modelo de CPU para outro sem afetar os resultados lógicos.

[0011] As instruções que a CPU executa podem incluir várias classes de instrução, tais como: geral, decimal, suporte de ponto flutuante (FPS), ponto flutuante binário (BFP), ponto flutuante decimal (DFP), ponto flutuante hexadecimal (HFP), controle, e instrução de E/S. As instruções gerais podem ser usadas para executar operações aritmética e lógica de inteiros binários, desvios e outras operações não aritméticas. As instruções decimais operam em dados de formato decimal. As instruções BFP, DFP e HFP operam em dados de formato BFP, DFP e HFP respectivamente, enquanto as instruções FPS operam em dados de ponto flutuante independentemente do formato ou convertem de um formato para outro. Instruções de controle privilegiado e instrução de E/S podem ser executadas quando a CPU estiver em estado supervisor e as instruções de controle semiprivilegiadas podem ser executadas num estado de problema, sujeito a mecanismos de autorização apropriados.

[0012] A CPU fornece registros que estão disponíveis para os programas, mas não tem representações direcionáveis no armazenamento principal. Os registros podem incluir, por exemplo, uma palavra de status do programa (PSW) atual, registros gerais, registros de ponto flutuante e registro de controle de ponto flutuante, registros vetores, registros de controle, registros de acesso, registro de prefixo, registro programável de hora (TOD), e registros para um comparador de relógios e do timer da CPU. Este conjunto de registros pode ser referenciado como arquitetura do contexto de registro da CPU. Cada

CPU na configuração pode fornecer acesso a um relógio TOD, que pode ser compartilhado por todas as CPUs na configuração. Um código de operação de instrução pode determinar que tipo de registro deve ser utilizado numa operação.

[0013] Cada CPU pode ter um tipo de atributo que indique se ela fornece complemento total de funções e recursos (e.g., uma CPU geral) ou se é destinada a processar tipos específicos de cargas de trabalho (e.g., uma CPU especializada). CPU primária é ou uma CPU geral ou uma CPU com o mesmo tipo de CPU que segue a operação da última carga inicial do programa (IPL) (a CPU IPL). A CPU secundária é qualquer CPU diferente de uma CPU geral com um tipo de CPU diferente da CPU IPL.

[0014] O recurso multitarefa pode estar disponível num sistema de computador que implemente uma arquitetura de suporte. O recurso multitarefa fornece suporte para que multissegmentos ativem um grupo de segmentos, que podem também ser referenciados como CPUs que compartilham um núcleo. Quando o recurso multitarefa está ativado, as CPUs dentro de um núcleo podem compartilhar determinados recursos de hardware, tais como unidades de execução ou caches. Quando uma CPU num núcleo está aguardando recursos de hardware (tipicamente, enquanto aguardam o acesso de memória), outras CPUs no núcleo podem utilizar os recursos compartilhados no núcleo em vez de mantê-los ociosos. Quando o recurso multitarefa está instalado e ativo, um segmento é sinônimo de uma CPU que é membro de um núcleo. Quando o recurso multitarefa não está instalado, ou o recurso está instalado mas não ativado, o núcleo se compõe de uma única CPU ou de um único segmento.

[0015] Quando o recurso multitarefa está instalado, pode ser ativado pela execução de uma ordem de um processador de um conjunto de sinais multitarefa (SIGP). Numa concretização exemplificativa, quando o recurso multitarefa está ativado, o número de CPUs numa configuração é aumentado por um múltiplo, cujo valor é determinado pela identificação máxima especificada do segmento de programa (PSMTID). A quantidade de CPUs em

um núcleo pode ser uma a mais do que a PSMTID. A quantidade de CPUs correspondentes a este múltiplo é agrupada em um núcleo. Cada núcleo do mesmo tipo de CPU numa configuração pode ter a mesma quantidade de CPUs. Cada CPU dentro de um núcleo é do mesmo tipo de CPU; entretanto, com base no modelo e no tipo de CPU, algumas CPUs dentro de um núcleo podem não ser operacionais.

[0016] Numa concretização exemplificativa, um programa de controle, como um sistema operacional (SO), ativa explicitamente segmentos múltiplos a fim de que sejam utilizados pela configuração que o SO gerencia. Alternativamente, um hipervisor pode ativar segmentos múltiplos e convidados do hipervisor e seus aplicativos podem se beneficiar de forma transparente. O programa aplicativo em geral não detecta se o recurso multitarefa foi ativado. Quanto o recurso multitarefa é ativado, os endereços de CPU de todas as CPUs na configuração são ajustados para incluir a identificação do núcleo (ou ID do núcleo) nos bits mais à esquerda do endereço e a identificação do segmento (ID do segmento, ou TID) nos bits mais à direita do endereço. A ID do núcleo pode também ser referenciada como valor de endereço do núcleo, e a TID pode ser referenciada como valor de endereço do segmento. As CPUs dentro de um núcleo podem compartilhar determinados recursos de hardware, tais como unidades de execução ou caches de nível baixo, assim, a execução dentro de uma CPU do núcleo pode afetar o desempenho de outras CPUs no núcleo.

[0017] A fim de gerenciar as alterações associadas com a alternância dinâmica de um ou mais núcleos de uma configuração entre os modos ST e MT, vários recursos de suporte são incluídos. Para manter a compatibilidade com programas que não suportam atividades multitarefa, o modo ST pode ser o modo *padrão* mediante restauração ou desativação. Concretizações exemplificativas incluem recursos para preservar, comunicar e restaurar contexto de segmento do modo MT para suportar a análise e/ou restauração do contexto de segmento depois de transicionar do modo multitarefa (MT) para o modo de tarefa única (ST).

[0018] Um ambiente de computador que pode ser implementado por uma concretização exemplificativa pode ser baseada, por exemplo na Arquitetura z oferecida pela *International Business Machines Corporation*, Armonk, Nova York. A Arquitetura z está descrita na publicação da IBM® intitulada “z/Architecture Principles of Operation”, Publicação da IBM N° SA22-7832-09, de agosto de 2012, incorporada a este documento na sua totalidade como referência. Num exemplo, um ambiente computacional baseado na Arquitetura z inclui um servidor eServer, Série z, oferecido pela *International Business Machines Corporation*, Armonk, Nova York. O ambiente de computador pode incluir, por exemplo, um complexo processador com uma ou mais partições (e.g., partições lógicas) com um ou mais núcleos (e.g., núcleos processadores), e um ou mais níveis de hipervisores conforme descritos mais adiante neste documento.

[0019] A FIG. 1A mostra um sistema de computador 100 como um exemplo de um ambiente computacional que suporta MT. No exemplo da FIG. 1A, o sistema de computador 100 inclui uma pluralidade de núcleos processadores 102, um subsistema de entrada/saída (E/S) 104, e memória de sistema 160. O subsistema de E/S 104 pode fornecer acesso a dispositivos de E/S conhecidos no meio. Os núcleos processadores 102, também denominados simplesmente “núcleos” neste documento, podem incluir circuitos de processamento com elementos de apoio. No exemplo da FIG. 1A, cinco núcleos 102 são ilustrados como núcleo1 110, núcleo2 120, núcleo3 130, núcleo4 140 e núcleo5 150; entretanto, é contemplado também um número maior ou menor de núcleos 102. O recurso MT 103 pode ser um componente de hardware de cada núcleo 102. Neste exemplo, cada um dos núcleos 102 tem capacidade de suportar até quatro segmentos. Por exemplo, o núcleo1 110 pode suportar segmentos 111, 112, 113 e 114. O núcleo2 120 pode suportar os segmentos 121, 122, 123 e 124. O núcleo3 130 pode suportar os segmentos 131, 132, 133 e 134. O núcleo4 140 pode suportar os segmentos 141, 142, 143 e 144. O núcleo5 150 pode suportar os segmentos 151, 152, 153 e 154. Observar que nem todos os quatro segmentos de cada núcleo 102 podem

estar operacionais a qualquer tempo. Por exemplo, no núcleo3 130, os segmentos 131 e 132 podem estar operacionais enquanto os segmentos 133 e 134 têm permissão para estar operacionais (ilustrados com sombreamento).

[0020] A FIG. 1A ilustra também a memória de sistema 160 do sistema computacional 100, em que partes da memória de sistema 160 são distribuídas para a partição lógica1 (LPAR1) 170, LPAR2 180 e LPAR3 190. As LPARs 170, 180, 190 representam sistemas computacionais virtualizados (também chamados configurações) nos quais um sistema operacional como o Linus™ ou os sistemas operacionais da IBM® z/OS™, z/VM ou zTPF podem ser executados. A FIG. 1A mostra também a distribuição dos núcleos 102 para as LPARs 170, 180, 190. Nessa ilustração, o núcleo1 110 e o núcleo2 120 são dedicados para uso pela LPAR1 170. O núcleo3 130 tem utilização dedicada para LPAR2 180, e o núcleo5 150 tem utilização dedicada para a LPAR3 190. O núcleo4 140 pode ser compartilhado entre a LPAR2 180 e a LPAR3 190, mas está sendo mostrado como atribuído à LPAR2 180 na FIG. 1A. A LPAR3 190 mostra um exemplo de dois diferentes tipos de núcleos 102 sendo empregados pela partição, em que o núcleo4 140 permite que múltiplos segmentos sejam operacionais, mas o núcleo5 150 não permite que múltiplos segmentos sejam operacionais neste exemplo. No exemplo da FIG. 1A, a LPAR1 170 fornece recursos de processamento para o SO 171 e os programas 172, 173, 174 e 175. A LPAR2 180 fornece recursos de processamento para o SO 181 e os programas 182, 183 e 184. A LPAR4 190 fornece recursos de processamento para o SO 191 e os programas 192 e 193.

[0021] Sob controle de um sistema operacional sendo executado na LPAR, os programas são executados nos segmentos de um núcleo. Numa concretização exemplificativa, um segmento individual executa somente um programa por vez; entretanto, um programa que tenha sido projetado para ser reentrante pode ser executado simultaneamente em múltiplos segmentos ou núcleos. Por exemplo, o programa 172 do SO 171 da LPAR1 170 pode estar sendo executado nos segmentos 111 e 113 no núcleo1 110 e nos segmentos 121 e 124 do núcleo2 120. Programas diferentes podem ser executados no

mesmo segmento ou em segmentos diferentes, sujeitos ao controle de um SO e às regras de execução e aos acordos de qualidade do serviço.

[0022] Há vários níveis de suporte lógico inalterável (firmware) residindo também na memória do sistema 160, incluindo, por exemplo, milicódigo 162 e hipervisor LPAR 163. O milicódigo 162 pode ser incorporado como firmware para suportar funções de sistema de baixo nível. O hipervisor LPAR 163 pode ser, por exemplo, um código interno licenciado tal como o *Processor-Resource /System Manager*[™] (PR/SM[™]) da IBM. O hipervisor LPAR 163 pode estabelecer as LPARs 170, 180, 190 e pode gerenciar a execução nos núcleos 102. Quando o recurso MT 103 estiver instalado no sistema do computador 100, o milicódigo 162 e o hipervisor LPAR 163 também conterão o código de suporte do recurso MT 164 e 165 respectivamente. O código de suporte do recurso MT 164 e 165 pode ser considerado parte do recurso MT 103, uma vez que a lógica para suportar a MT pode ser distribuída entre o milicódigo 162, o hipervisor LPAR 163, e os núcleos 102. Embora não esteja ilustrado, cada um dos SOs 171, 181 e 191 pode também incluir o código de suporte do recurso MT para ativar e explorar a MT em suas respectivas LPARs 170, 180, 190.

[0023] A FIG. 1B mostra o mesmo sistema de computador 100 da FIG. 1A, exceto que no ambiente computacional da FIG. 1B, o núcleo4 140 agora está atribuído à LPAR3 190 em vez de à LPAR2 180. Observar também que, diferentemente da FIG. 1A, na qual os segmentos 143 e 144 não estavam operacionais, na FIG. 1B, todos os quatro segmentos 141-144 estão operacionais quando a LPAR3 190 é executada no núcleo4 140. A execução ou não de uma LPAR em um núcleo 102 é dinâmica, e em outras vezes outras LPARs (não mostradas) podem estar operando nos mesmos núcleos 102.

[0024] Passando à FIG. 2, é mostrado, de forma geral e de acordo com uma concretização, um diagrama de blocos de circuitos de processamento 200 para a implementação de um núcleo processador, tal como um dos núcleos 102 nas FIGS. 1A e 1B. Os circuitos de processamento 200 são um exemplo de um circuito processador que pode suportar um ou mais segmentos

simultaneamente num ambiente MT. Os circuitos de processamento 200 mostrados na FIG. 2 incluem uma unidade de interface de controle do sistema 202 que pode acoplar os circuitos de processamento a outros processadores e dispositivos periféricos. A unidade de interface de controle do sistema 202 pode também conectar uma Dcache 204, que lê e armazena valores de dados, uma Icache 208, que lê instruções de programas, e uma unidade de interface de cache 206 para memória externa, processadores e outros dispositivos periféricos.

[0025] A Icache 208 pode fornecer o carregamento de fluxos de instruções em conjunto com uma unidade de busca de instruções (IFU) 210, que faz busca prévia de instruções e pode incluir capacidades de carga especulativa e predição de desvio. As instruções buscadas podem ser fornecidas para uma unidade decodificadora de instruções (IDU) 212 para decodificar para dados de processamento de instruções.

[0026] A IDU 212 pode fornecer as instruções para uma unidade de emissão 214 que pode controlar a emissão de instruções para várias unidades de execução, tais como uma ou mais unidades de ponto fixo (FXU) 216 para executar operações gerais e uma ou mais unidades de ponto flutuante (FPU) 218 para executar operações de ponto flutuante. As FPUs 218 podem incluir unidade de ponto flutuante binário (BFU) 220, unidade de ponto flutuante decimal (DFU) 222, ou qualquer outra unidade de ponto flutuante. A unidade de emissão 214 pode também ser acoplada a uma ou mais unidades de carga/armazenamento (LSU) 228 via um ou mais encadeamentos LSU. Os múltiplos encadeamentos LSU são tratados como unidades de execução para executar cargas e armazenamentos e geração de endereços para ramificações. Tanto a LSU 228 como a IFU 210 podem utilizar um TLB 230 para fornecer traduções armazenadas temporariamente para os endereços de operando e de instrução.

[0027] A FXU 216 e a FPU 218 são acopladas a vários recursos tais como registros de propósito geral (GPR) 224 e registros de ponto flutuante (FPR) 226. O GPR 224 e o FPR 226 fornecem armazenamento de valores de

dados para valores de dados carregados e armazenados da Dcache 204 por uma LSU 228.

[0028] Os circuitos de processamento 200 podem também incluir contadores e/ou cronômetros 250 para suportar geração com base em tempo do sistema e ações diagnósticas. Por exemplo, os contadores e/ou cronômetros 250 podem ser usados para dar suporte à hora do dia, bem como a vários recursos diagnósticos e de medição.

[0029] Passando agora à FIG. 3, é retratado um ambiente computacional similar à FIG. 1A, exceto que, na FIG. 3, um hipervisor de segundo nível 300 está sendo executado na LPAR2 180 do sistema de computador 100. O hipervisor de segundo nível 300, por exemplo, o sistema operacional da IBM z/VM, inclui código de suporte MT 301 similar ao código de suporte MT 165 fornecido pelo hipervisor (primeiro nível) LPAR 163. O hipervisor de segundo nível 300 fornece suporte para uma pluralidade de máquinas virtuais 310, 320 e 330 (também chamadas configurações) nas quais sistemas operacionais convidados 311, 321 e 331 operam respectivamente. Os sistemas operacionais convidados 311, 321 e 331 podem incluir, por exemplo, Linux™ ou os SOs z/OS™, z/VM ou z/TPF da IBM® ou podem incluir ou ambiente de desenvolvimento convidado, tal como o CMS (conversational monitor system) da IBM. Cada SO 311, 321 e 331 convidado pode ativar ou não a MT, caso em que o hipervisor de segundo nível 300 pode ser responsável por executar os SOs convidados 311, 321, 331 e programas associados 312, 313, 322, 323, 332 e 333 utilizando os recursos de processamento físico (núcleos 130, 140, e segmentos 131-134, 141-144) que estão disponíveis para a LPAR2 180 na qual o hipervisor de segundo nível 300 opera. Os programas 312, 313, 322, 323, 332, 333 das várias máquinas virtuais 310, 320, 330 podem ser executados nos segmentos 131-134, 141-144 disponíveis para os respectivos SOs 311, 321 e 331. Os SOs convidados 311, 321 e 331 não precisam incluir o código de suporte MT, uma vez que podem se beneficiar da MT de forma transparente se o hipervisor de segundo nível 300 explora segmentos múltiplos.

[0030] Passando agora para a FIG. 4, ela ilustra um exemplo de retenção de contexto de hipervisor num ambiente computacional que pode ser implementado de acordo com uma concretização. No exemplo da FIG. 4, algumas estruturas de apoio estão ilustradas dentro do hipervisor LPAR 163 das FIGS. 1A e 1B. Por exemplo, as estruturas 410 podem suportar a LPAR1 170 da FIG. 1A, incluindo descrições de estado e blocos satélite que armazenam contexto de registro arquitetado (i.e., contexto de segmento) para segmentos lógicos 411, 412, 413, 414, 421, 422, 423, 424 que estejam sendo executados no momento em segmentos físicos 111, 112, 113, 114, 121, 122, 123, 124, conforme mostrado na FIG. 1A. Enquanto esses segmentos lógicos são executados, os segmentos físicos retêm o contexto de registro arquitetado dos segmentos. O contexto do registro arquitetado será mantido nas descrições de estado e nos blocos satélite quando não forem mais executados. As estruturas 430 podem suportar a LPAR2 180 da FIG. 1A, incluindo as descrições de estado e blocos satélite que armazenam contexto de registro arquitetado para os segmentos lógicos 431, 432, 441, 442 que estejam sendo executados no momento nos segmentos físicos 131, 132, 141, 142, conforme mostrado na FIG. 1A. As estruturas 450 podem suportar a LPAR3 190 da FIG. 1A, incluindo descrições de estado e blocos satélite que armazenam contexto de registro arquitetado para os segmentos lógicos 451 que estejam sendo executados no momento no segmento físico 151 conforme mostrado na FIG. 1A. As estruturas 450 também incluem descrições de estado e blocos satélite que armazenam contexto de registro arquitetado para segmentos lógicos 461, 462, 463 e 464 que não estejam sendo executados no momento no processador físico (como mostrado com sombreado). Outras estruturas que dão suporte às LPARs que não são executadas em núcleos físicos podem ser também retidas pelo hipervisor LPAR 163, tais como estruturas 470 para uma LPAR A (não mostradas na FIG. 1A) incluindo descrições de estado e estruturas de satélite para segmentos lógicos 471, 472, 473 e 474. Exemplos adicionais de estrutura incluem estruturas 480 que dão suporte à LPAR B não executada (não mostradas na FIG. 1A) incluindo descrições de estado e

estruturas de satélite para segmentos lógicos 481 e 482, bem como estruturas 484 para a LPAR C não executada (não mostradas na FIG. 1A) para segmento lógico 485.

[0031] Embora uma quantidade de estruturas seja ilustrada no exemplo da FIG. 4, fica entendido que estruturas adicionais podem ser suportadas pelo hipervisor LPAR 163 e em outro lugar no sistema de computador 100 para gerenciar segmentos múltiplos. Por exemplo, as estruturas para suporte de multitarefas de máquinas virtuais 310, 320, 330 da FIG. 3 podem estar retidas pelo hipervisor de segundo nível 300 da FIG. 3.

[0032] Passando agora à FIG. 5, é ilustrado um fluxo de processo 500 para a ativação dinâmica da tecnologia multitarefa de acordo com uma concretização. No bloco 502, um segmento primário é executado no modo ST. No bloco 504, busca-se uma instrução de configuração do modo MT no modo ST. Ao executar esta instrução conforme ilustrado coletivamente em 505, é obtido no bloco 506 um número de segmentos solicitados de uma localização especificada pela instrução de configuração do modo MT. A localização pode ser especificada por um registro de parâmetro ao emitir a instrução de configuração do modo MT. A instrução de configuração do modo MT pode ser uma instrução de processador de sinal (SIGP) incluindo uma ordem de configuração de MT e a identificação máxima especificada do segmento de programa (PSMTID) associadas a um número de segmentos solicitado. Um exemplo de processo associado com uma ordem de configuração de MT de uma instrução SIGP está descrito mais adiante neste documento em referência à FIG. 7.

[0033] Continuando com o processo 500, no bloco 508 é realizada uma determinação para verificar se o número de segmentos solicitado indicam segmentos múltiplos. Por exemplo, segmentos múltiplos podem ser indicados por um valor maior que um. Em concretizações em que o valor zero indica segmento único, um valor de um ou mais do que um pode indicar segmentos múltiplos. Com base na determinação que o número de segmentos solicitado não indica segmentos múltiplos, o núcleo permanece no modo ST no bloco

510, a execução da instrução de configuração do modo MT está completa e o controle retorna ao bloco 502. Com base na determinação que o número de segmentos solicitado indica segmentos múltiplos, o modo MT é ativado no bloco 512, e a execução da instrução de configuração do modo MT está completa. No bloco 514, são executados segmentos múltiplos incluindo o segmento primário e um ou mais segmentos secundários. No bloco 516, se não houver restauração ou desativação, o processo 500 reverte ao bloco 514; de outro modo, no bloco 518, o modo MT é desativado com base na restauração ou desativação da configuração que reverte ao modo ST. Como parte da desativação do modo MT, o número de segmentos (PSMTID) é retido para uma restauração sem limpeza ou zerado para uma restauração de limpeza. O processo 500 retorna ao bloco 502.

[0034] A CPU pode entrar em estado de carga quando é ativada a tecla carga-normal, carga com descarga, carga-limpar ou carga-limpar-lista. Se a palavra de controle de canal (CCW) tipo operação de carga do programa inicial for completada de forma bem sucedida, a CPU muda do estado de carga para o estado de operação.

[0035] A restauração da CPU pode ser utilizada para limpar indicações de verificação do equipamento e qualquer imprevisibilidade no estado da CPU com o mínimo de destruição das informações. Em particular, pode ser usada para limpar condições de verificação quando o estado da CPU deve ser preservado para análise ou retomada da operação. Se a restauração da CPU for causada pela ativação da tecla carga-normal ou carga com descarga, (a) pode definir um modo arquitetural para modo padrão, e (b) se o recurso multitarefa estiver instalado e ativado, a multitarefa é desativada. Quando a restauração da CPU configura o modo padrão, pode salvar a PSW atual de forma que a PSW possa ser restaurada.

[0036] A restauração inicial da CPU fornece funções da restauração da CPU junto com a inicialização da PSW atual, cronômetro da CPU, comparador de relógio, e outros registros, tais como: endereço do evento de interrupção, PSW capturada, controle, controle de ponto flutuante, prefixo e registros

programáveis TOD. A restauração inicial da CPU pode configurar o modo arquitetural para o modo padrão se for causada pela ativação da tecla carga-normal ou carga com descarga. Se a MT estiver ativada quando a restauração inicial for causada pela ativação da tecla carga-normal ou carga CPU e limpa os conteúdos de registros gerais, registros de acesso, registros de controle, e registros de ponto flutuante para valores zerados/padrão com código de verificação de bloco válido. Fica entendido que a limpeza e a inicialização dos estados não precisam ser para valores zero mas podem ser padronizados para valores diferentes de zero no estado de limpeza. Se a restauração da CPU ligada estabelece a configuração, pode configurar o modo arquitetural para o modo padrão; de outro modo, pode configurar o modo arquitetural para o das CPUS que já estão na configuração. A restauração da CPU, restauração inicial da CPU, restauração do subsistema e restauração de limpeza podem ser iniciadas manualmente.

[0037] Em concretizações exemplificativas, cada CPU possui um número a ela atribuído, chamado endereço da CPU. O endereço da CPU identifica unicamente uma CPU dentro de uma configuração.

[0038] A CPU é designada pela especificação desse endereço num campo de endereço de CPU de uma instrução SIGP. Uma CPU que sinaliza alerta de mau funcionamento, sinal de emergência ou de chamada externa pode ser identificada pelo armazenamento deste endereço no campo de endereço da CPU com a interrupção. O endereço da CPU é atribuído por um processo de configuração-definição e não é tipicamente alterado como resultado de mudanças de reconfiguração. Um programa pode determinar o endereço de uma CPU mediante a utilização de uma instrução de armazenamento de endereço de CPU. A instrução de armazenamento de endereço de CPU pode também ser utilizada para identificar o endereço da CPU pelo qual a CPU é identificada numa configuração multiprocesso.

[0039] Quanto a MT é ativada, o endereço da CPU pode incluir uma identificação do núcleo (ID do núcleo), concatenada com a identificação da CPU dentro do núcleo. A identificação da CPU dentro do núcleo é a

identificação de um segmento (ID do segmento ou TID). Dentro da configuração, todos os núcleos fornecem o mesmo número de CPUs; entretanto, dependendo do modelo e do tipo da CPU, algumas CPUs no núcleo podem não estar operacionais

[0040] Com base na PSMTID de um registro de parâmetro utilizado pela ordem de um processador de um conjunto de sinais multitarefa, um número fixo de bits representa a identificação do segmento. Este número de bits é referenciado como largura da TID.

[0041] A ID do núcleo pode ser formada a partir dos bits mais a direita do endereço da CPU antes da ativação da MT. A ID do núcleo é movida para a direita pelos bits de largura da TID, resultando nos bits mais à esquerda do endereço da CPU depois da ativação da MT. A ID do segmento possui o mesmo número de bits de largura da TID, e ocupa os bits mais à direita do endereço da CPU depois da ativação da MT. IDs de segmento podem ser atribuídas numa faixa contígua de números. A Tabela 1 ilustra um exemplo de relação da PSMTID, a largura da TID e os bits de endereço da CPU compreendendo a identificação do núcleo e a identificação do segmento.

PSMTID	Largura da TID	Bits de endereço da CPU	
		ID do Núcleo	ID do Segmento
0	0	0-15	-
1	1	0-14	15
2-3	2	0-13	14-15
4-7	3	0-12	13-15
8-15	4	0-11	12-15
16-31	5	0-10	11-15

Tabela 1 – Exemplo de mapeamento de endereço de bit

[0042] A expansão do endereço está ilustrada na FIG. 6A como um exemplo de um processo de expansão de endereço de CPU 600A de acordo com uma concretização. No bloco 602, pode ser acessado um segmento primário no modo ST utilizando um valor de endereço de núcleo 604 como um número de bits de endereço de CPU. A seta 606 indica mudança do modo ST para o modo MT. No bloco 608, o segmento primário ou um ou mais segmentos secundários podem ser acessados no modo MT utilizando um valor

de endereço expandido 610. O valor do endereço expandido 610 inclui o valor do endereço do núcleo alterado como um valor de endereço do núcleo modificado 612 e concatenado com um valor de endereço de segmento 614. O valor de endereço modificado do núcleo 612 é um identificador do núcleo (ID do núcleo), e o valor de endereço do segmento 614 é um identificador de segmento (TID). O valor modificado de endereço do núcleo 612 pode ser deslocado por um valor baseado num identificador máximo de segmento solicitado, e.g., PSMTID. Um número de bits de TID no valor de endereço do segmento 614 pode ser determinado com base no PSMTID, conforme mostrado na Tabela 1 acima. O valor de endereço do segmento 614 pode ser concatenado a bits de baixa ordem do valor modificado de endereço do núcleo 612 para formar o valor do endereço expandido 610. Um valor de endereço de segmento 614 de todos os zeros designaria o segmento primário, e valores maiores que zero identificariam e direcionariam segmentos secundários.

[0043] Ao alternar entre o modo MT e o modo ST, ou o valor de endereço do núcleo 604 (modo ST) ou o valor de endereço expandido 610 (modo MT) é selecionado para ser usado como endereço de CPU no respectivo modo ST ou MT. O valor de endereço do núcleo 604 é um exemplo de um endereço de formato padrão utilizado no modo ST, e o núcleo reverte do modo MT para o modo ST baseado na desativação do modo MT. Numa concretização exemplificativa, somente o segmento primário (i.e., não os segmentos secundários) está acessível com base na desativação do modo MT. A FIG 6B retrata um exemplo de um processo de contração de endereço 600B de acordo com uma concretização. A seta 616 da FIG. 6B ilustra a alternância do modo MT do bloco 608 de volta para o modo ST do bloco 602. A reversão do modo MT para o modo ST pode incluir mudança do valor do endereço expandido 610 para a direita e a eliminação do valor do endereço do segmento 614 para formar um endereço formato padrão incluindo o valor do endereço do núcleo 604 (ID do núcleo) como o endereço da CPU a partir do valor de endereço alterado do núcleo 612.

[0044] Quando a função de restauração desativa a multitarefa, (a) o(s) endereço(s) da CPU da(s) CPU(s) com ID de segmento zero é deslocado para a direita pelo mesmo número de bits de largura do TID utilizado durante a ativação, (b) são inseridos zeros no número de bits da largura do TID na esquerda do endereço, e (c) o endereço da CPU reverte para o seu formato original não multitarefa (i.e., endereço de formato padrão). Todas as CPUs do núcleo que possuem IDs de segmento diferentes de zero quando a função multitarefa está ativada não ficam mais operacionais quando a multitarefa está desativada.

[0045] Quando a multitarefa não está ativada, o endereço da CPU permanece inalterado do valor atribuído pelo processo de configuração-definição. Neste caso, a identificação do segmento não existe.

[0046] Um número de ordens de processador de sinal pode fornecer ordens para as CPUs, incluindo, por exemplo, iniciar, parar, reiniciar, parar e armazenar status, restaurar CPU inicial, restaurar CPU, armazenar status no endereço, configurar arquitetura, distinguir status de execução, configurar multitarefa, armazenar status adicional no endereço, dentre outras. A restauração inicial da CPU ou a restauração da CPU podem ser iniciada por uma instrução de processador de sinal e não afeta o modo arquitetural ou outras CPUs, não desativa multitarefa e não provoca a restauração de E/S.

[0047] Uma ordem de configuração de arquitetura especifica um modo arquitetural no qual todas as CPUs na configuração devem ser definidas. As diferenças de arquitetura podem incluir diferentes modos de endereçamento, definições de registro e instruções suportadas pelas CPUs. Mediante uma alteração no modo arquitetural, a seleção de campos de bits de registros pode ser definida como um estado padrão (e.g. zerados), acesso-registro do TLB (ALBs) e os TLBs de todas as CPUs na configuração são limpos e pode ser realizada uma serialização e uma função de sincronização-ponto de verificação em todas as CPUs na configuração.

[0048] Uma ordem de distinguir o status da execução pode indicar se uma CPU endereçada está processando. No modo ST, pode ser retornado

como status executando/não executando. No modo MT, pode ser utilizado um identificador para identificar se qualquer CPU do núcleo do qual a CPU endereçada é um membro está sendo executada, ou se todas as CPUs do núcleo do qual a CPU endereçada é um membro não estão executando.

[0049] Uma ordem de configuração MT ativa o recurso multitarefa. As posições de bit de um registro de parâmetro pode conter a PSMTID a ser fornecida na configuração. A PSMTID pode ser definida como uma menos do que o número das CPUs que serão tornadas endereçáveis em cada núcleo. Por exemplo, um valor 3 em posições designadas de bit indica que deve ser fornecido o máximo de quatro segmentos. Os conteúdos de um registro de endereço de CPU da instrução do SIGP podem ser ignorados quando todas as CPUs na configuração são consideradas endereçadas. Caso seja aceita, a ordem de configuração MT é completada por todas as CPUs durante a execução da instrução SIGP. Com referência à FIG. 7, está retratado um processo 700 para uma ordem SIGP de configuração de MT 702. Pode ser fornecida uma indicação de erro e a ativação do modo MT é impedida com base na determinação de que a ordem SIGP de configuração de MT 702 foi emitida com uma ou mais das seguintes características: ordem inválida, estado incorreto, e parâmetro inválido, como descrito mais adiante neste documento em referência ao processo 700 da FIG. 7.

[0050] Se o recurso multitarefa não estiver instalado no bloco 704 ou a CPU não estiver ativada num modo de arquitetura válido 708, então a ordem de configuração de MT não é aceita e uma indicação de ordem inválida pode ser retornada nos blocos 706 ou 710 respectivamente. Se as outras CPUs na configuração não estiverem no estado parada ou de verificação de parada no bloco 712, ou se a configuração já estiver ativada para multitarefa no bloco 716, a ordem de configuração MT não é aceita e uma indicação de estado incorreto pode ser retornada nos blocos 714 ou 718 respectivamente.

[0051] Se a PSMTID estiver inválida no bloco 720, então a ordem de configuração MT não é aceita e uma indicação de parâmetro inválido pode ser retornada no bloco 722. Quando a PSMTID for zero no bloco 724, a

configuração de multitarefa não é ativada, permanece em modo ST, e fornece qualquer status como código de condição no bloco 728. Numa concretização exemplificativa, quando a PSMTID é válida e diferente de zero, no bloco 726, a configuração é ativada para multitarefa, resultando na expansão do endereço da CPU, todos os conteúdos de ALBs e TLBs de todas as CPUs na configuração são limpos, e é realizada uma serialização e uma função de sincronização-ponto de verificação em todas as CPUs na configuração. Pode ser fornecido um status no bloco 728 num código de condição. Mediante a conclusão bem sucedida, todas as CPUs que não sejam a CPU que está executando a ordem de configuração MT permanecem no estado de parada ou de verificação de parada. Entretanto, se a CPU estava no estado de verificação de parada antes da ativação da multitarefa, é imprevisível dizer se as CPUs que possuíam IDs de segmento diferente de zero no mesmo núcleo estão no estado de parada ou de verificação de parada.

[0052] Um contexto de segmento pode também ser referenciado como contexto de registro arquitetado. O contexto de registro arquitetado (isto é, os conteúdos da PSW, o cronômetro da CPU, comparador de relógio, registros gerais, registros de ponto flutuante e registros de controle de ponto flutuante, registros de vetores, registros de controle, registros de acesso, registro de prefixo e registro de TOD programável, etc.) de cada CPU antes da ativação multitarefa se torna o contexto do registro arquitetado da CPU de TID zero de cada núcleo respectivo após a ativação multitarefa. Similarmente, o contexto de registro arquitetado da CPU de TID zero de cada núcleo de uma configuração ativada de MT se torna no contexto de registro arquitetado de cada CPU respectiva quando a multitarefa é desativada como resultado da ativação de uma tecla de carga normal ou de carga com descarga.

[0053] O contexto de registro arquitetado de todas as CPUs com identificação de segmento diferente de zero pode ser retido quando a função multitarefa estiver desativada como resultado da ativação da operação de carga normal ou de carga com descarga. Se a função multitarefa for reativada na sequência, sem a intervenção de restauração de limpeza, o contexto de

registro arquitetado de todas as CPUs de identificação de segmento diferente de zero é restaurado.

[0054] Quando a multitarefa é reativada depois de ter sido desativada pela ativação da tecla de carga normal ou carga com descarga, se o valor da PSMTID em bits do registro de parâmetro diferir daquele utilizado na ativação precedente, então, o contexto de registro arquitetado de todas as CPUs de IDs de segmento diferentes de zero pode ser imprevisível.

[0055] Uma instrução de informação do sistema de armazenamento pode ser utilizada para armazenar informações sobre um componente ou componentes de uma configuração num bloco de sistema de informação (SYSIB). O SYSIB pode incluir um campo de MT instalada, um campo de MT geral, contagem de CPU/núcleo total, contagem de CPU/núcleo configurado, contagem de CPU/núcleo em espera, contagem de CPU/núcleo reservado, e outros campos. O campo de MT instalada pode indicar se o recurso multitarefa está instalado e pode também indicar a maior TID suportada para um núcleo de primeiro tipo, e.g., tipo de especialidade do núcleo. O campo de MT geral pode indicar a maior TID suportada para um núcleo de segundo tipo, e.g., um tipo geral de núcleo. A maior TID suportada no campo de MT geral pode ser limitada a ser menor ou igual à maior TID suportada no campo de MT instalada. A contagem de CPU/núcleo total pode indicar o número total de CPUs ou núcleos gerais compreendendo as CPUs gerais na configuração, quer nos estados de configuradas, em espera ou reservadas. A contagem de CPU/núcleo configurado pode indicar um número de CPUs ou núcleos gerais compreendendo CPUs gerais em estado configurado, i.e., na configuração e prontas para executar programas. A contagem de CPUs ou núcleos em espera indica um número de CPUs ou núcleos gerais compreendendo CPUs gerais em estado de espera, i.e., não disponíveis para uso para executar programas até que estejam no estado configurado. A contagem de CPU/núcleo reservado indica um número de CPUs ou núcleos gerais compreendendo CPUs gerais no estado de reservado, i.e., indisponíveis para utilização na execução de programas e não habilitadas para serem colocadas no estado configurado.

[0056] A FIG. 8 retrata um exemplo de informações de capacidade de armazenamento multitarefa de acordo com uma concretização. Um programa executado num segmento, tal como o segmento1 do núcleo 800A pode buscar uma instrução de INFORMAÇÃO DO SISTEMA DE ARMAZENAMENTO (STSI) 830 da memória 801 de uma configuração 850 como a LPAR. A execução da instrução STSI pode resultar no armazenamento 832 de um bloco de informações do sistema (SYSIB) 802. No exemplo da FIG. 8, o SYSIB 802 inclui um identificador da MT instalada 804 indicando se a configuração 850 suporta multitarefa. O SYSIB 802 inclui também um identificador de segmento máximo do mais alto segmento suportado de um núcleo 800A/800B que pode ser fornecido como uma TID máxima por núcleo 806 para núcleos especializados e uma TID máxima para núcleos gerais 808. A SYSIB 802 pode também incluir um identificador especificado do segmento máximo de programa (PSMTID)809 atual. O PSMTID 809 atual reflete um modo multitarefa conforme ativado pelo programa na configuração 850. O PSMTID 809 pode não ser definido caso a instrução STSI 830 seja executada em máquina de nível básico.

[0057] Um programa sendo executado num segmento, tal como o segmento2 de um núcleo 800B, pode também buscar uma instrução de CHAMADA DE SERVIÇO (SERVC) 834 da memória 801 da configuração 850, na qual a instrução especifica um comando de informação de programa de controle de sistema de leitura (ler-SCP-info, ou RSCPI). A execução do comando RSCPI pode fazer com que um bloco de controle de chamada de serviço (SCCB) 810 seja armazenado 836 na memória 801. Numa concretização exemplificativa, o SCCB 810 armazenado pela execução do comando RSCPI fornece informações similares e adicionais que podem não estar disponíveis no SYSIB 802. No exemplo da FIG. 8, o SCCB 810 inclui um identificador de MT instalada 812 indicando se o núcleo 800B suporta multitarefa. O SCCB 810 inclui também um identificador de segmento máximo do mais alto segmento suportado do núcleo 800B que pode ser fornecido como TID máxima por núcleo 814 para núcleos especializados e TID máxima para

núcleos gerais 816. Os valores de 812-816 do SCCB 810 são equivalentes aos valores 804-808 que podem estar acessíveis no SYSIB 802. Adicionalmente, o SCCB 810 pode incluir um identificador máximo especificado do segmento de programa (PSMTID) 818 da última definição. O SCCB 810 pode ainda incluir uma máscara dos valores PSMTID aceitáveis na ordem de configuração MT como máscara PSMTID suportada 820. A máscara PSMTID suportada 820 pode ser utilizada 820 para identificar CPUs/segmentos suportados quando se desejam números menores do que os números definidos pela máxima TID por núcleo 814.

[0058] Fica entendido que os núcleos 800A e 800B incluem outros aspectos que não estão retratados neste exemplo. Além disso, o SYSIB 802 e o SCCB 810 podem incluir valores adicionais além daqueles retratados no exemplo da FIG. 8.

[0059] A FIG. 9 retrata um fluxo de processo 900 para determinação da capacidade de multiprocessamento de acordo com uma concretização. No bloco 902, o núcleo executa uma instrução de informação da capacidade de retenção de multitarefa (RMTCI), que pode ser, por exemplo, qualquer instrução SERVC ou STSI. No bloco 904, é obtida a informação de identificação do segmento que identifica a capacidade multitarefa de uma configuração. No bloco 906, a informação de identificação do segmento é armazenada. No bloco 908, se determina se a configuração possuía previamente multitarefa ativada com base na informação de identificação do segmento.

[0060] Conforme descrito previamente, a instrução SERVC está configurada para armazenar informação de identificação do segmento num bloco de resposta na memória (e.g., SCCB 810 da FIG. 8), e a instrução STSI está configurada para armazenar a informação de identificação do segmento num SYSIB na memória (e.g., SYSIB 802 da FIG. 8). A informação de segmento obtida pode incluir um identificador de MT instalada (e.g., identificador de MT instalada 804 ou 812 da FIG. 8) indicando se o núcleo suporta multitarefa. A informação de segmento pode ainda incluir um

identificador máximo de segmento do segmento máximo suportado do núcleo (e.g., valores máximos da TID 806, 808, 814 ou 816 da FIG. 8). A informação de segmento obtida pode incluir um identificador máximo especificado do segmento de programa atual (e.g., PSMTID 809 atual da FIG.8) e um identificador especificado do segmento máximo de programa da última definição (e.g., PSMTID 818 da FIG. 8). O bloco de resposta pode incluir uma máscara dos bits indicando identificadores de segmento específico que são suportados individualmente (e.g., máscara PSMTID suportada 820 da FIG. 8). A determinação que a configuração possuía MT ativada previamente pode ser baseada num valor diferente de zero no identificador máximo especificado do segmento de programa da última definição (e.g., PSMTID da última definição >0). Numa concretização exemplificativa, a configuração suporta uma pluralidade de tipos de núcleo.

[0061] Em concretizações exemplificativas, registros e valores, tais como valores de contadores de programa, que podem ser incluídos nos registros ou gerenciados separadamente, são capturados como contexto de segmento. Quando ocorre a expansão do endereço no modo MT, o contexto adicional de segmento se torna acessível. Como descrito previamente com referência à FIG. 6, um endereço de CPU pode ser inspecionado pela instrução de armazenamento de endereço da CPU, aparece em outras estruturas e é utilizado em várias ordens SIGP. Quando a MT é desativada, este esquema de endereço permanece inalterado. Quando a MT é ativada, o endereço da CPU entra em processo de expansão. Conforme descrito previamente, a parte desativada da MT do endereço da CPU pode ser movida para a esquerda em bits suficientes para acomodar a TID. Por exemplo, se um sistema operacional emitiu a ordem SIGP de configuração de MT com um valor 1 de PSMTID, o endereço da CPU será desviado 1 bit para a esquerda, se a PSMTID fosse 2 ou 3, o endereço da CPU seria desviado 2 bits para a esquerda, se a PSMTID fosse 4-7, o endereço da CPU seria desviado 3 bits para a esquerda e assim por diante.

[0062] Quando a multitarefa é desativada subsequentemente (como resultado de restauração de limpeza ou restauração de CPU causada por operação de carga normal) ocorre contração do endereço da CPU. O endereço da CPU com MT ativada pode ser desviado à direita pelo mesmo número de bits da PSMTID utilizado na ordem SIGP de configuração da MT que ativou a MT, e a parte da ID do segmento do endereço desaparece. O contexto de segmento que está acessível durante o modo MT pode residir em uma ou mais localizações, tais como as do exemplo retratado na FIG. 10. No exemplo da FIG. 10, uma configuração 1000 inclui núcleo 1002 e pode incluir outros núcleos (não indicados). A memória 1006 pode incluir memória de configuração 1005 como parte da configuração 1000 e memória hospedeira/firmware 1007 que é separada da configuração 1000. A memória hospedeira/firmware 1007 pode incluir um bloco de descrição de estado 1008 mantida por um computador principal, que pode armazenar um contexto de segmento 1010 para um segmento (e.g., segmento n na FIG. 10). Um bloco satélite 1012 pode ser ancorado ao bloco de descrição de estado 1008 na memória 1006 como parte da memória hospedeira/firmware 1007, em que o bloco satélite 1012 pode incluir contexto de segmento 1014 como alternativa ao contexto de segmento 1010 ou em combinação com o contexto de segmento 1010. Cada segmento deve ter um bloco de descrição de estado correspondente 1008 e opcionalmente um bloco satélite 1012, em que o contexto de segmento 1010 ou o contexto de segmento 1014 possa ser armazenado. Como outra alternativa, registros de contexto de hardware 1016 podem ser utilizados para armazenar contexto de segmento 1018, por exemplo, no núcleo 1002. Os exemplos de contexto de segmento 1010, 1014 e 1018 podem ser utilizados em combinação ou separadamente como opções de armazenamento. Opções alternativas de armazenamento podem ser empregadas em concretizações. Independentemente de onde o contexto de segmento seja mantido, mediante a contração de endereço o contexto de segmento pode não estar mais diretamente acessível, mas pode ser preservado para acesso por um programa de descarregamento.

[0063] Quando a MT é desativada, o processo de contração do endereço da CPU torna não mais endereçáveis os segmentos 1-n de um núcleo; similarmente, o contexto de segmento, incluindo registros arquitetados, não é mais visível ao programa. Se a MT foi desativada como resultado de uma restauração da CPU resultante de uma operação de carga que não tenha sido de limpeza, o contexto de registro dos segmentos 1-n é retido; esses dados podem ser inspecionados subsequentemente se a configuração retorna ao modo MT. O contexto de registro para cada segmento convidado pode ser mantido por um hospedeiro no bloco de descrição de estado do segmento 1008 (ou como no caso de registros de vetor, num bloco satélite 1012 ancorado na descrição de estado) conforme retratado na FIG. 10.

[0064] A retenção do contexto dos segmentos 1-n durante a desativação da MT é um recurso diagnóstico para o estado dos segmentos a serem descarregados após uma falha no SO. Após uma falha no SO, um operador pode escolher executar um programa de descarregamento autônomo (SADMP) para capturar a memória e o contexto de segmento do sistema no momento da falha. Entretanto, carregar o programa SADMP pode provocar reversão da configuração para um modo arquitetura padrão com o modo ST ativado e, assim, o modo MT é desativado. Porém, devido ao SADMP estar carregado com uma operação de carga sem limpeza, o contexto de registro dos segmentos 1-n de cada núcleo é retido. O SADMP pode determinar se a MT foi ativada na configuração que está sendo descarregada pelo exame dos resultados de um bloco de resposta do comando SERVC leitura-SCP-informação. Esse número pode ser utilizado subsequentemente como entrada na ordem SIGP de configuração da MT para reativar a MT no mesmo nível de antes.

[0065] A FIG. 11 retrata um exemplo de preservação de registro multitarefa de acordo com uma concretização. Um sistema, como um sistema de computador 1100 da FIG. 11, pode incluir configurações múltiplas 1102 e 1104. No exemplo da FIG. 11, a configuração 1102 inclui núcleo 1106 e núcleo 1108, e a configuração 1104 inclui núcleo 1110 e núcleo 1112. As

configurações 1102 e 1104 podem alternar de forma independente entre os modos ST e MT em momentos diferentes. As configurações 1102 e 1104 do sistema de computador 1100 são configuráveis com um número diferente de IDs de segmento máximas para suportar um número diferente de segmentos ativados simultaneamente em cada uma das configurações 1102 e 1104. No exemplo da FIG. 11, os núcleos 1106 e 1108 suportam cada um no máximo dois segmentos enquanto a configuração 1102 está no modo MT 1114, ao passo que os núcleos 1110 e 1112 suportam cada um no máximo quatro segmentos enquanto a configuração 1104 está modo MT 1116.

[0066] Enquanto o modo 1114 está ativado na configuração 1102, tanto a TID 0 e a TID 1 são acessíveis como contextos de segmento separados, tais como instâncias separadas do contexto de segmento 1115. No momento 1118, o modo MT 1114 pode ser desativado por uma operação de carga normal ou uma restauração sem limpeza para a configuração 1102, que alterna tanto os núcleos 1106 e 1108 para o modo ST 1120. Devido à contração de endereço como descrita anteriormente, os registros TID0 estão acessíveis no modo ST 1120; entretanto, os registros TID1 que estavam acessíveis no modo MT 1114 são retidos, mas não estão mais acessíveis. Por exemplo, os registros TID1 podem ser incorporados como contexto de segmento 1010, 1014 ou 1018 da FIG. 10, no qual um endereço que estava disponível com a expansão do endereço não está mais acessível após a contração do endereço mediante a alternância para o modo ST 1120.

[0067] Enquanto a configuração 1104 possui a ativação do modo MT 1116, os registros TID0, TID1, TID2 e TID3 estão acessíveis como contexto de segmento separado, como instâncias separadas do contexto de segmento 1010, 1014 ou 1018 da FIG. 10. Neste exemplo, TID0 representa um segmento primário e TID1-TID3 representam segmentos secundários que são mantidos separadamente para cada um dos núcleos 1110 e 1112. No momento 1122, o modo MT 1116 pode ser desativado por uma restauração de limpeza para a configuração 1104, que alterna os núcleos 1110 e 1112 para modo ST 1124. A restauração no momento 1122 pode limpar todos os registros de TID0, TID1,

TID2 e TID3. Devido à contração de endereço conforme descrito anteriormente, os registros TID0 estão acessíveis no modo ST 1124; entretanto, os registros TID1, TID2 e TID3 que estavam acessíveis no modo MT 1116 estão retidos num estado de limpeza, mas não estão mais acessíveis. Conforme retratado na FIG. 11, as operações podem ser realizadas independentemente em cada configuração 1102 e 1104 em momentos diferentes 1118 e 1122 com os efeitos localizados para cada configuração 1102 e 1104. Assim, a configuração 1102 pode ser no modo ST 1120 enquanto a configuração 1104 está no modo MT 1116, e os modos ST/MT não precisam estar alinhados para todas as configurações do sistema de computador 1100.

[0068] A FIG. 12 retrata um fluxo de processo 1200 para a preservação de registro multitarefa de acordo com uma concretização. No bloco 1202, com base na determinação feita por um núcleo no modo MT que a MT deve ser desativada no núcleo, é realizada a alternância do modo MT para o modo ST. O segmento primário do modo MT pode ser mantido como o único segmento do modo ST. Um ou mais contextos de segmento que contenha valores de registro acessível de programa e valores de contador de programa de segmentos secundários são tornados inacessíveis para os programas aplicativos. No bloco 1204, com base na alternância, é realizado um tipo de operação (e.g., limpeza vs. sem limpeza) para determinar ou a limpeza dos valores de registro acessível de programa ou a retenção dos valores de registro acessível de programa. No bloco 1206, com base numa operação sem limpeza, é determinado que os valores de registro acessível de programa devem ser mantidos. No bloco 1208, baseado numa operação de limpeza, é determinado que os valores de registro acessível de programa devem ser limpos.

[0069] Conforme descrito anteriormente, os valores de registro acessível de programa e os valores do contador do programa do contexto de segmento podem incluir registros de programa de propósito geral, registros de pontos flutuantes, registros de controle, registros de acesso, registro de prefixo, e registros programáveis TOD. Os registros de controle podem incluir um registro de controle de ponto flutuante, controles de tempo de execução de

instrumentação, controles de mensuração de CPU, e similares. Outros exemplos de registros que podem ser incluídos no contexto de segmento englobam palavra de status de programa (e.g., incluindo um programa contador/de instrução de endereço, código de condição e outras informações para controlar o sequenciamento de instrução e para determinar o estado da CPU), registros de vetor, cronômetro de CPU, comparador de relógio, registro de endereço de interrupção de evento, e outros registros conhecidos na área. Conforme descrito anteriormente, a PSMTID é definida com base na última instrução bem sucedida de processador de sinal executada que provocou a ativação da MT. Com base na alternância para o modo MT, os valores de registro acessível de programa são tornados acessíveis aos programas aplicativos baseados nos segmentos secundários correspondentes que estão sendo reativados. Por exemplo, a alternância do modo ST 1120 retornando ao modo MT 1114 na FIG. 11 permite que os registros TID1 sejam acessados e a TID1 pode ser reativada. O contexto de segmento pode ser mantido se houver um dos seguintes: bloco de descrição de estado, bloco satélite ancorado ao bloco de descrição de estado na memória, ou um registro de contexto, tais como os contextos de segmento 1010, 1014 ou 1018 da FIG. 10.

[0070] Um contexto de segmento primário pode incluir valores de registro acessível de programa e valores de contador de programa de um segmento primário, e.g. TID0 e registros TID0 para configuração 1104 da FIG. 11, em que o contexto de segmento primário está acessível a programas aplicativos tanto no modo ST 1124 como no modo MT 1116. Um contexto de segmento secundário pode incluir valores de registro acessível de programa e valores de contador de programa de um segmento secundário, e.g., TID1-TID3 e registros TID1-TID3 para configuração 1104 da FIG. 11.

[0071] A FIG. 13 retrata um exemplo de restauração de registro multitarefa de acordo com uma concretização. O exemplo da FIG. 13 inclui um sistema de computador 1300 com uma configuração única 1302. A configuração 1302 inclui núcleo 1304, núcleo 1306 e núcleo 1308. Cada um dos núcleos 1304-1308 inclui um máximo de quatro segmentos (TID0, TID1,

TID2 e TID3) neste exemplo. No modo MT 1310, todos os contextos de segmento de TID0-TID3 estão disponíveis nos núcleos 1304-1308. No momento 1312, o modo MT 1310 pode ser desativado por uma operação normal de carga ou uma restauração sem limpeza da configuração 1302, que alterna os núcleos 1304-1308 para o modo ST 1314. No modo ST 1314, os registros TID0 permanecem acessíveis e os registros TID1-TID3 estão inacessíveis, mas estão retidos para cada um dos núcleos 1304-1308. No momento 1316, a MT pode ser reativada mediante a execução da ordem SIGP configuração de MT para inserir a retomada do modo MT 1318. Na retomada do modo MT 1318, é restaurado o acesso ao contexto de segmento dos registros TID1-TID3 para cada um dos núcleos 1304-1308. Isso permite a inspeção de todos os registros dos segmentos, incluindo os registros TID1-TID3, por um programa de descarregamento, como programa de descarregamento autônomo 1320, para salvar as informações de contexto do segmento para análise.

[0072] A FIG. 14 ilustra um fluxo de processo 1400 para a restauração de registro multitarefa de acordo com uma concretização que pode ser empregada por um programa de descarregamento autônomo (SADMP), tal como o programa de descarregamento autônomo 1320 da FIG. 13, para capturar o contexto do registro arquitetado dos segmentos após a falha de um sistema operacional. No bloco 1405, é carregado um programa SADMP via operação de carga sem limpeza (e.g., carga normal ou carga com descarga). A operação de carga sem limpeza provoca implicitamente a reversão da configuração para o modo ST, como o modo ST 1314 para a configuração 1302 da FIG. 13. O programa SADMP pode então consultar se o recurso MT está disponível na configuração no bloco 1410 mediante o uso da instrução STSI ou SERVC. Se a MT estiver instalada, o programa SADMP consulta a definição da última identificação especificada do segmento máximo de programa (PSMTID) estabelecida para a configuração no bloco 1415. Se a MT não houver sido nunca definida para a configuração, o valor da PSMTID da última definição será zero. O programa SADMP pode então executar a

instrução para reativar a multitarefa no bloco 1420 em qualquer que tenha sido a PSMTID da última definição (até mesmo se tiver sido zero). Se a consulta no bloco 1410 revelar que a MT não está instalada, então não é feita nenhuma tentativa para consultar o valor da PSMTID da última definição no bloco 1415 ou para reativar a MT no bloco 1420.

[0073] O programa SADMP tenta sinalizar cada outra CPU (segmento) na configuração para salvar o seu contexto de registro arquitetado em local predefinido na memória. Se a MT não foi previamente ativada antes de carregar o SADMP, os endereços da CPU são os normais, formato não expandido. Se a MT foi previamente ativada, os endereços da CPU são em formato expandido incluindo uma ID de núcleo e ID de segmento. O SADMP começa com um endereço de CPU (N) de zero no bloco 1425, e determina se o endereço da CPU representa a CPU sobre a qual o SADMP está sendo executado no bloco 1430. Se assim for, a CPU/segmento é ignorada, e o N é incrementado ao próximo valor no bloco 1450. Se o N difere do endereço atual da CPU, então a CPU/segmento é marcada para armazenar seu contexto de registro arquitetado na memória, por exemplo, pela execução ou de uma ordem SIGP armazenar-status-no- endereço ou uma ordem SIGP parar-e-armazenar-status no bloco 1435. Se a configuração inclui um recurso vetor pode ser também executada uma ordem SIGP armazenar-status-adicional-no-endereço para armazenar os conteúdos dos registros de vetor dos conteúdos da CPU/segmento. É feita uma verificação se o sinal do bloco 1435 foi bem sucedido no bloco 1440. Se foi, o programa SADMP pode salvar o contexto de registro da CPU/segmento num arquivo de descarregamento em fita ou disco no bloco 1445, e o processamento continua mediante o aumento de N no bloco 1450. Se o sinal do bloco 1435 não foi bem sucedido (por exemplo, se o segmento não está operacional) como determinado pelo bloco 1440, então ele é ignorado e o processamento continua mediante o aumento de N no bloco 1450. O valor do endereço da CPU utilizado na sinalização (N) é incrementado no bloco 1450 e é feita uma verificação se o N agora é maior do que o endereço mais alto possível da CPU para a configuração no bloco 1455. Se N

não for maior do que o endereço mais alto possível da CPU para a configuração, o processamento então continua para verificar se N representa a CPU/segmento atual sob o qual o programa SADMP está sendo executado no bloco 1430. Se N for maior do que o endereço mais alto possível da CPU para a configuração, então a restauração do contexto de registro arquitetado e o descarregamento foram completados no bloco 1460.

[0074] Embora a FIG. 14 esteja descrita com respeito a um núcleo de uma configuração, fica entendido que o fluxo de processo 1400 da FIG. 14 pode ser estendido para ser executado através do endereço máximo de CPU por todos os núcleos de configuração que incluem núcleos múltiplos. Podem ser feitas acomodações adicionais nas configurações para suportar o descarregamento para um SO que não suporte MT ou um programa que reconheça MT, mas não a explore. Por exemplo, uma restauração de limpeza pode ser realizada antes de carregar um SO que não suporta MT na configuração para evitar que um programa de descarregamento autônomo que reconheça MT tente descarregar quaisquer segmentos secundários da configuração. Como outro exemplo, um programa que reconhece MT mas que não a explora pode emitir uma ordem de configuração de MT com uma ID máxima de segmento correspondente de zero antes de executar o programa de descarregamento autônomo para a configuração.

[0075] Os efeitos técnicos e os benefícios incluem a recuperação da informação da capacidade multitarefa e a disponibilização da informação da capacidade multitarefa. A informação da capacidade multitarefa permite que um programa de controle revele as restrições à multitarefa para assegurar que o número desejado de segmentos possa ser suportado. A informação da capacidade multitarefa pode também ser utilizada para auxiliar na reativação do modo multitarefa a partir de um modo tarefa única com o mesmo número de segmentos utilizados previamente quando a multitarefa foi utilizada pela última vez.

[0076] O sistema descrito neste documento ativa software para mitigar a variabilidade do hardware mediante a solicitação para o SO “*opt in*” explorar o

hardware MT. Quando o SO entende a natureza do ambiente de execução da MT, o SO possui a habilidade de gerenciar explicitamente as densidades de segmento por núcleo (na melhor de sua capacidade, dado o padrão de despacho de carga de trabalho). O SO tem a opção de manter altas densidades de segmento mesmo quando os recursos de computação são menos utilizados, mitigando assim muito a variabilidade na capacidade total da computação que é vista em outras implementações de MT. Como resultado direto da manutenção de altas densidades do segmento, tanto os tempos de resposta de transação e os aspectos de cobrança podem ser mais consistentes.

[0077] As concretizações incluem um sistema, método e produto programa de computador para a recuperação da informação da capacidade multitarefa. De acordo com um aspecto, um sistema de computador inclui uma configuração com um ou mais núcleos configuráveis entre o modo tarefa única (ST) e o modo multitarefa (MT). O modo ST direciona um segmento primário e o modo MT direciona o segmento primário e um ou mais segmentos secundários em recursos compartilhados de cada núcleo. O sistema de computador inclui também recurso multitarefa configurado para controlar a utilização da configuração para realizar um método que inclui a execução, por um núcleo, de uma instrução de recuperação da informação da capacidade multitarefa (RMTCI). A execução inclui a obtenção de informação de identificação do segmento que identifica a capacidade multitarefa da configuração e o armazenamento da informação de identificação do segmento obtida.

[0078] De acordo com outro aspecto, é fornecido um método de implementação em computador para a recuperação da informação da capacidade multitarefa numa configuração. A configuração inclui um ou mais núcleos configuráveis entre o modo ST e o modo MT, em que o modo ST direciona um segmento primário e o modo MT direciona o segmento primário e um ou mais segmentos secundários em recursos compartilhados de cada núcleo. O método inclui a execução, por um núcleo, de uma instrução de

recuperação da informação da capacidade multitarefa. A execução inclui a obtenção de informação de identificação do segmento que identifica a capacidade multitarefa da configuração e o armazenamento da informação de identificação do segmento obtida.

[0079] Outro aspecto inclui um produto programa de computador para implementar a recuperação da informação da capacidade multitarefa numa configuração. A configuração inclui um ou mais núcleos configuráveis entre o modo ST e o modo MT, em que o modo ST direciona um segmento primário e o modo MT direciona o segmento primário e um ou mais segmentos secundários em recursos compartilhados de cada núcleo. O produto programa de computador inclui uma mídia de armazenamento de leitura por computador com instruções de programa nela incorporadas, em que a mídia de armazenamento de leitura por computador não é um sinal. As instruções do programa são legíveis por um circuito de processamento que faz com que o circuito de processamento execute um método. O método inclui a execução, por um núcleo, de uma instrução de recuperação da informação da capacidade multitarefa. A execução inclui a obtenção de informação de identificação do segmento que identifica a capacidade multitarefa da configuração e o armazenamento da informação de identificação do segmento obtida.

[0080] Em adição a uma ou mais características descritas acima, ou como uma alternativa, outras concretizações podem incluir onde a instrução RMTCE é ou uma instrução de chamada de serviço (SERVC) ou uma instrução de armazenamento de informação de sistema (STSI). A instrução SERVC pode ser configurada para armazenar informações de identificação do segmento num bloco de resposta na memória, e a instrução STSI pode ser configurada para armazenar a informação de identificação do segmento num bloco de informação de sistema (SYSIB) na memória.

[0081] Em adição a uma ou mais características descritas acima, ou como uma alternativa, outras concretizações podem incluir onde o bloco de resposta inclui ainda uma máscara de bits indicando os valores do identificador

de segmento máximo especificados no programa que são suportados individualmente.

[0082] Em adição a uma ou mais características descritas acima, ou como uma alternativa, outras concretizações podem incluir onde a informação obtida de multitarefa inclui um identificador de MT instalada indicando se a configuração suporta multitarefa.

[0083] Em adição a uma ou mais características descritas acima, ou como uma alternativa, outras concretizações podem incluir onde a informação de segmento obtida inclui um identificador de segmento máximo do mais alto segmento suportado no núcleo.

[0084] Em adição a uma ou mais características descritas acima, ou como uma alternativa, outras concretizações podem incluir onde a informação do segmento obtida inclui a definição mais recente do identificador de segmento máximo especificado no programa da mais alta identificação de segmento do núcleo.

[0085] Em adição a uma ou mais características descritas acima, ou como uma alternativa, outras concretizações podem incluir a determinação que a configuração possuía previamente ativação da MT baseada em valor diferente de zero na definição mais recente do identificador de segmento máximo especificado no programa.

[0086] Em adição a uma ou mais características descritas acima, ou como uma alternativa, outras concretizações podem incluir onde a configuração suporta uma pluralidade de tipos de núcleos, e instâncias separadas de identificador de segmento máximo são mantidas para cada um dos tipos de núcleo na configuração.

[0087] A terminologia aqui utilizada é para fins de descrição de concretizações particulares somente e não pretende limitar a invenção. Conforme utilização neste documento, as formas singulares “um”, “uma”, “o”, “a” pretendem também incluir as formas plurais, salvo indicação clara do contrário no contexto. Fica ainda entendido que os termos “compreendendo” e/ou “englobando” quando utilizados nesta especificação, determinam a

presença de características, números inteiros, etapas, operações, elementos e/ou componentes definidos, mas não impedem a presença ou adição de uma ou mais características, números inteiros, etapas, operações, elementos componentes, e/ou grupos deles.

[0088] As estruturas correspondentes, materiais, atos, e equivalentes de todos os meios ou etapas mais elementos de função nas reivindicações abaixo tencionam incluir qualquer estrutura, material ou ato para a realização de função em combinação com outros elementos reivindicados conforme especificamente reclamados. A descrição da presente invenção foi apresentada para fins de ilustração e descrição, mas não pretende ser exaustiva ou limitada à invenção na forma revelada. Muitas modificações e variações serão evidentes para os especialistas na matéria sem ter como ponto de partida o escopo e espírito da invenção. A concretização foi escolhida e descrita a fim de melhor explicar os princípios da invenção e a aplicação prática, e para permitir que aqueles de conhecimento normal do assunto compreendam a invenção por várias concretizações com várias modificações convenientes ao uso particular contemplado.

[0089] As descrições das várias concretizações da presente invenção foram apresentadas com fins ilustrativos, mas não tencionam ser exaustivas ou limitadas às concretizações reveladas. Muitas modificações e variações serão evidentes para aqueles de especialização ordinária no assunto sem ter como ponto de partida o escopo e o espírito das concretizações descritas. A terminologia aqui utilizada foi escolhida para melhor explicar os princípios das concretizações, sua aplicação prática ou aperfeiçoamento técnico em tecnologias encontradas no mercado, ou para permitir que aqueles de conhecimento normal do assunto compreendam as concretizações aqui reveladas.

[0090] Com referência agora à FIG. 15, é mostrado de forma geral um produto programa de computador 1500 de acordo com uma concretização que inclui uma mídia de armazenamento de leitura por computador 1502 e instruções de programa 1504.

[0091] A presente invenção pode ser um sistema, um método, e/ou um produto programa de computador. O produto programa de computador pode incluir uma mídia de armazenamento de leitura por computador com instruções de programa de computador legíveis para que um processador possa realizar aspectos da presente invenção.

[0092] A mídia de armazenamento de leitura por computador pode ser um dispositivo tangível que possa reter e armazenar instruções para uso por um dispositivo de execução de instrução. A mídia de armazenamento de leitura por computador pode ser, por exemplo, mas sem restrição, um dispositivo de armazenamento eletrônico, um dispositivo de armazenamento magnético, um dispositivo de armazenamento ótico, um dispositivo de armazenamento eletromagnético, um dispositivo de armazenamento semicondutor, ou qualquer combinação adequada dos antecedentes. Uma lista não exaustiva de exemplos mais específicos de mídia de armazenamento de leitura por computador inclui o seguinte: um disquete portátil, um disco rígido, memória RAM, memória ROM, memória EPROM ou Flash, memória SRAM, CD-ROM, DVD, cartão de memória, disquete, dispositivo codificado mecanicamente, como cartão perfurado ou estruturas suspensas em sulcos com instruções gravadas, e qualquer combinação adequada dos precedentes. A mídia de armazenamento de leitura por computador, conforme utilizada neste documento, não deve ser interpretada como sinais transitórios em si mesmos, tais como ondas de rádio ou outras ondas eletromagnéticas de propagação livre, ondas eletromagnéticas que se propagam por guia de onda ou outro meio de transmissão (e.g., pulsos de luz passando por cabo de fibra ótica), ou sinais elétricos transmitidos por cabo.

[0093] As instruções de programa de leitura por computador descritas aqui podem ser baixadas para respectivos dispositivos de computação/processamento a partir de uma mídia de armazenamento de leitura por computador ou para um computador externo ou dispositivo de armazenamento externo via rede, por exemplo, a Internet, uma área de rede local, rede de longa distância e/ou rede sem fio. A rede pode compreender

cabos de transmissão de cobre, fibras óticas de transmissão, transmissão sem fio, roteadores, firewalls, comutadores, computadores gateway e/ou servidores periféricos. Um cartão adaptador de rede ou interface de rede em cada dispositivo de computação/processamento recebe instruções de programa de leitura por computador da rede e encaminha as instruções de programa de leitura de computador para armazenamento em uma mídia de armazenamento de leitura por computador dentro do respectivo dispositivo de computação/processamento.

[0094] As instruções de programa de leitura por computador para realizar operações da presente invenção podem ser instruções *assembler*, instruções ISA, instruções de máquina, instruções dependentes de máquina, microcódigo, instruções firmware, dados de definição de estado, ou código de fonte ou código de objeto escrito em qualquer combinação de uma ou mais linguagens de programação, incluindo linguagem de programação orientada a objetos, como a *Smalltalk*, C++ ou similares, e linguagens de programação de procedimento convencional, como a linguagem de programação “C” ou linguagens de programação similares. As instruções de programa de leitura por computador podem ser executadas inteiramente no computador do usuário, parcialmente no computador do usuário, como um pacote autônomo de software, parcialmente no computador do usuário e parcialmente num computador remoto ou inteiramente num computador remoto ou servidor. No último cenário, o computador remoto pode estar conectado ao computador do usuário através de qualquer tipo de rede, incluindo rede local (LAN), ou rede de longa distância (WAN), ou a conexão pode ser feita a um computador externo (por exemplo, através da Internet utilizando um provedor de serviços da Internet). Em algumas concretizações, circuitos eletrônicos incluindo, por exemplo, circuitos programáveis lógicos, arranjos de portas programáveis em campo (FPGA), ou arranjos lógicos programáveis (PLA) podem executar as instruções de programa de leitura por computador mediante a utilização de informações de estado das instruções de programa de leitura por computador

para personalizar os circuitos eletrônicos a fim de realizar aspectos da presente invenção.

[0095] Aspectos da presente invenção estão descritos neste documento com referência a ilustrações de fluxograma e/ou diagramas de blocos de métodos, sistemas e produtos programa de computador de acordo com concretizações da invenção. Fica entendido que cada bloco das ilustrações do fluxograma e/ou diagramas de bloco, e combinações de blocos nas ilustrações de fluxogramas e/ou diagramas de blocos podem ser implementados por instruções de programa de leitura por computador.

[0096] As instruções de programa de leitura por computador podem ser fornecidas para o processador de um computador de propósito geral, computador de propósito específico, ou outro equipamento programável de processamento de dados para produzir uma máquina, de forma que as instruções, executadas via processador do computador ou outro equipamento programável de processamento de dados, criem meios para a implementação das funções/ações especificadas no fluxograma ou no bloco ou blocos do diagrama de blocos. Essas instruções de programa de leitura por computador podem também ser armazenadas em mídia de leitura por computador que pode direcionar um computador, equipamento programável de processamento de dados e/ou outros dispositivos para funcionamento de uma forma determinada, de modo que a mídia de leitura por computador, contendo instruções armazenadas, compreenda um artigo manufaturado que inclua instruções que implementem aspectos da função/ação especificada no fluxograma e/ou no bloco ou blocos do diagrama de blocos.

[0097] As instruções de programa de leitura por computador podem também ser carregadas para um computador, outro equipamento programável de processamento de dados, ou outro dispositivo que propicie uma série de etapas operacionais a serem realizadas no computador, outro equipamento programável de processamento de dados ou outro dispositivo para produzir um processo implementado no computador, de forma que as instruções sendo executados no computador, em outro equipamento programável de

processamento de dados ou em outro dispositivo implementem as funções/ações especificadas no fluxograma e/ou no bloco ou blocos do diagrama de blocos.

[0098] Os fluxogramas e diagramas de blocos nas Figuras ilustram a arquitetura, funcionalidade e operação de possíveis efetivações de sistemas, métodos e produtos programa de computador de acordo com várias concretizações da presente invenção. A esse respeito, cada bloco no fluxograma ou nos diagramas de bloco pode representar um módulo, um segmento, ou parte de instruções que compreendem uma ou mais instruções executáveis para efetivação da(s) função(ões) lógica(s) especificada(s). Em algumas implementações alternativas, as funções marcadas no bloco podem ocorrer fora da ordem marcada nas figuras. Por exemplo, dois blocos mostrados em sucessão podem, na realidade, ser executados, na maior parte, concomitantemente, ou os blocos podem, às vezes, ser executados na ordem reversa, dependendo da funcionalidade envolvida. Também deverá ser observado que cada bloco dos diagramas de blocos e/ou ilustração do fluxograma, e combinações de blocos nos diagramas de blocos e/ou ilustração do fluxograma podem ser implementadas por sistemas com base em hardware de propósito específico que desempenham as funções ou ações especificadas ou realizam combinações de hardware de propósito específico e instruções de computador.

REIVINDICAÇÕES

1. EQUIPAMENTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA caracterizado por

uma configuração englobando um ou mais núcleos configuráveis entre um modo de tarefa única (ST) e um modo multitarefa (MT), o modo ST endereçando um segmento primário e o modo MT endereçando o segmento primário e um ou mais segmentos secundários em recursos compartilhados de cada um ou mais núcleos; e

um recurso multitarefa configurado para controlar a utilização da configuração para realizar um método compreendendo

execução, por um núcleo, de uma instrução de recuperação da informação da capacidade multitarefa (RMTCI), a execução compreendendo

obtenção de informação de identificação do segmento que identifica a capacidade multitarefa da configuração;

armazenamento da informação de identificação do segmento obtida; e

determinação se a configuração possuía MT ativada previamente com base na informação de identificação do segmento obtida;

2. EQUIPAMENTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 1, caracterizado por

a instrução RMTCI ser ou uma instrução de chamada de serviço (SERVC) ou uma instrução de informação do sistema de armazenamento (STSI), a instrução SERVC estar configurada para armazenar a informação de identificação do segmento num bloco de resposta na memória, e a instrução STSI estar configurada para armazenar a informação de identificação do segmento num bloco de informação do sistema (SYSIB) na memória;

3. EQUIPAMENTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 2, caracterizado por

o bloco de resposta compreender ainda uma máscara de bits indicando os valores do identificador do segmento máximo especificado no programa que são suportados individualmente;

4. EQUIPAMENTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 1, caracterizado por

a informação de segmento obtida compreender um identificador da MT instalada indicando se um ou mais os núcleos suportam segmentos múltiplos;

5. EQUIPAMENTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 1, caracterizado por

a informação de segmento obtida compreender um identificador de segmento máximo do segmento mais alto suportado do núcleo;

6. EQUIPAMENTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 1, caracterizado por

a informação de segmento obtida compreender o identificador do segmento máximo especificado no programa mais recentemente definido de um segmento mais alto da configuração;

7. EQUIPAMENTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 6, caracterizado por

determinação se a configuração teve a MT ativada previamente com base em valor diferente de zero no identificador de segmento máximo especificado no programa mais recentemente definido;

8. EQUIPAMENTO DE COMPUTADOR PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 1, caracterizado por

a configuração suportar uma pluralidade de tipos de núcleos, e instâncias separadas do identificador de segmento máximo serem mantidas para cada um da pluralidade de tipos de núcleo na configuração;

9. MÉTODO PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA caracterizado pelas etapas de

executar, através do núcleo, uma instrução de recuperação da informação da capacidade multitarefa (RMTCI), tal execução compreendendo

obter de informação de identificação do segmento que identifica a capacidade multitarefa da configuração, a configuração compreendendo um ou mais núcleos configuráveis entre o modo de tarefa única (ST) e o modo multitarefa (MT), o modo ST endereçando um segmento primário e o modo MT endereça o segmento primário e um ou mais segmentos secundários em recursos compartilhados de de cada dos um ou mais núcleos;

armazenar a informação de identificação do segmento; e

determinar se a configuração teve a MT ativada previamente com base na informação de identificação de segmento obtida;

10. MÉTODO PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 9, caracterizado por

a instrução RMTCI ser ou uma instrução de chamada de serviço (SERVC) ou uma instrução de informação de armazenamento do sistema (STSI), a instrução SERVC estar configurada para armazenar a informação de identificação do segmento num bloco de resposta na memória, e a instrução STSI estar configurada para armazenar a informação de identificação do segmento num bloco de informação do sistema (SYSIB) na memória;

11. MÉTODO PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 10, caracterizado por

o bloco de resposta compreender ainda uma máscara de bits indicando valores de identificador do segmento máximo especificado no programa que são suportados individualmente;

12. MÉTODO PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 9, caracterizado por

a informação de segmento obtida compreender um identificador de MT instalada indicando se o um ou mais núcleos suportam segmentos múltiplos;

13. MÉTODO PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 9, caracterizado por

a informação de segmento obtida compreender um identificador de segmento máximo do mais alto segmento suportado do núcleo;

14. MÉTODO PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 9, caracterizado por

a informação do segmento obtida compreender um identificador do segmento máximo especificado no programa mais recentemente definido do mais alto segmento da configuração;

15. MÉTODO PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA, de acordo com a reivindicação 14, ainda caracterizado por

determinar que a configuração teve a MT ativada previamente com base em valor diferente de zero no identificador de segmento máximo especificado no programa mais recentemente definido;

16. SUPORTE FÍSICO PARA RECUPERAÇÃO DA INFORMAÇÃO DA CAPACIDADE MULTITAREFA caracterizado por

conter gravado qualquer um dos métodos das reivindicações 9, 10, 11, 12, 13, 14 ou 15.

DESENHOS

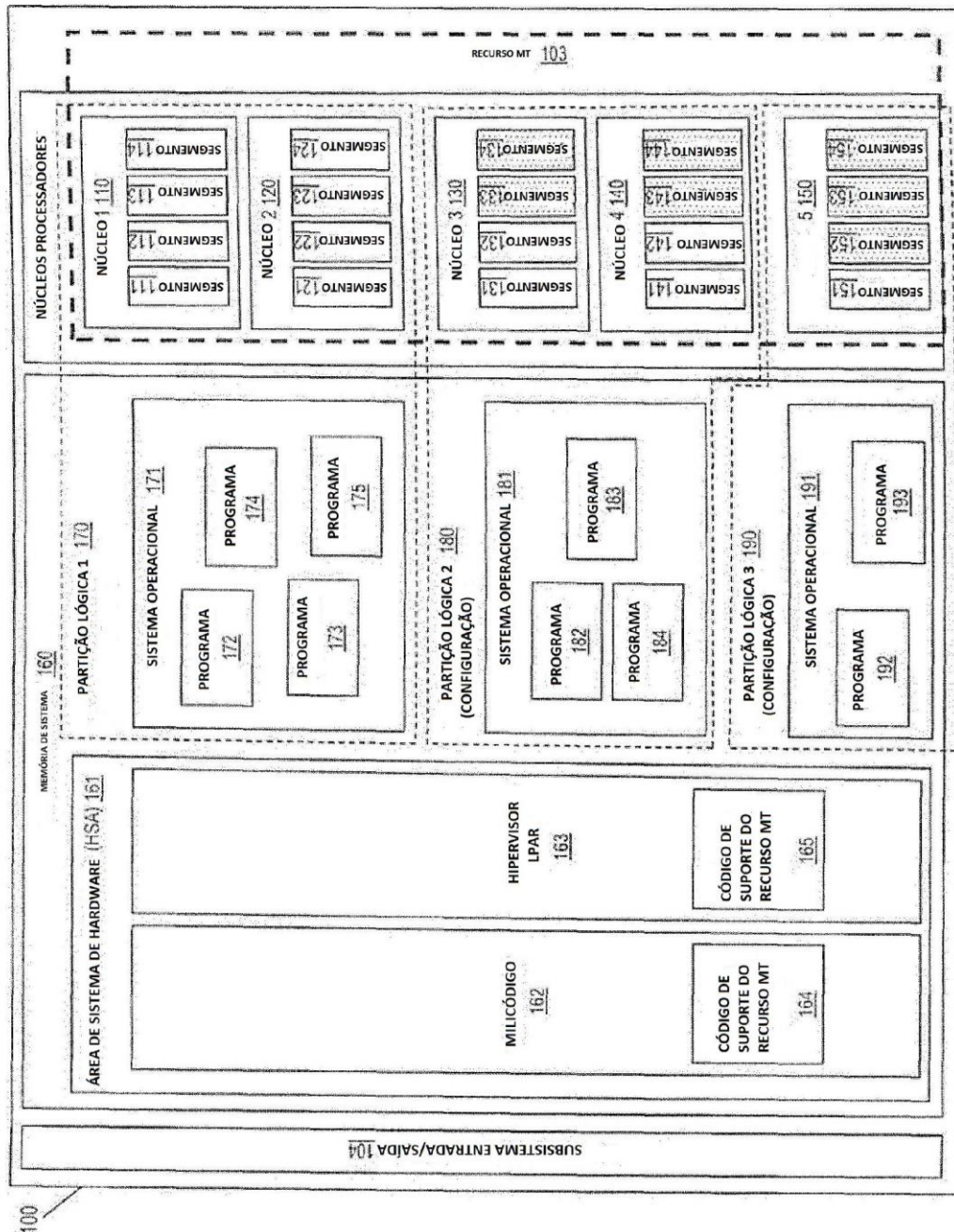


FIGURA 01A

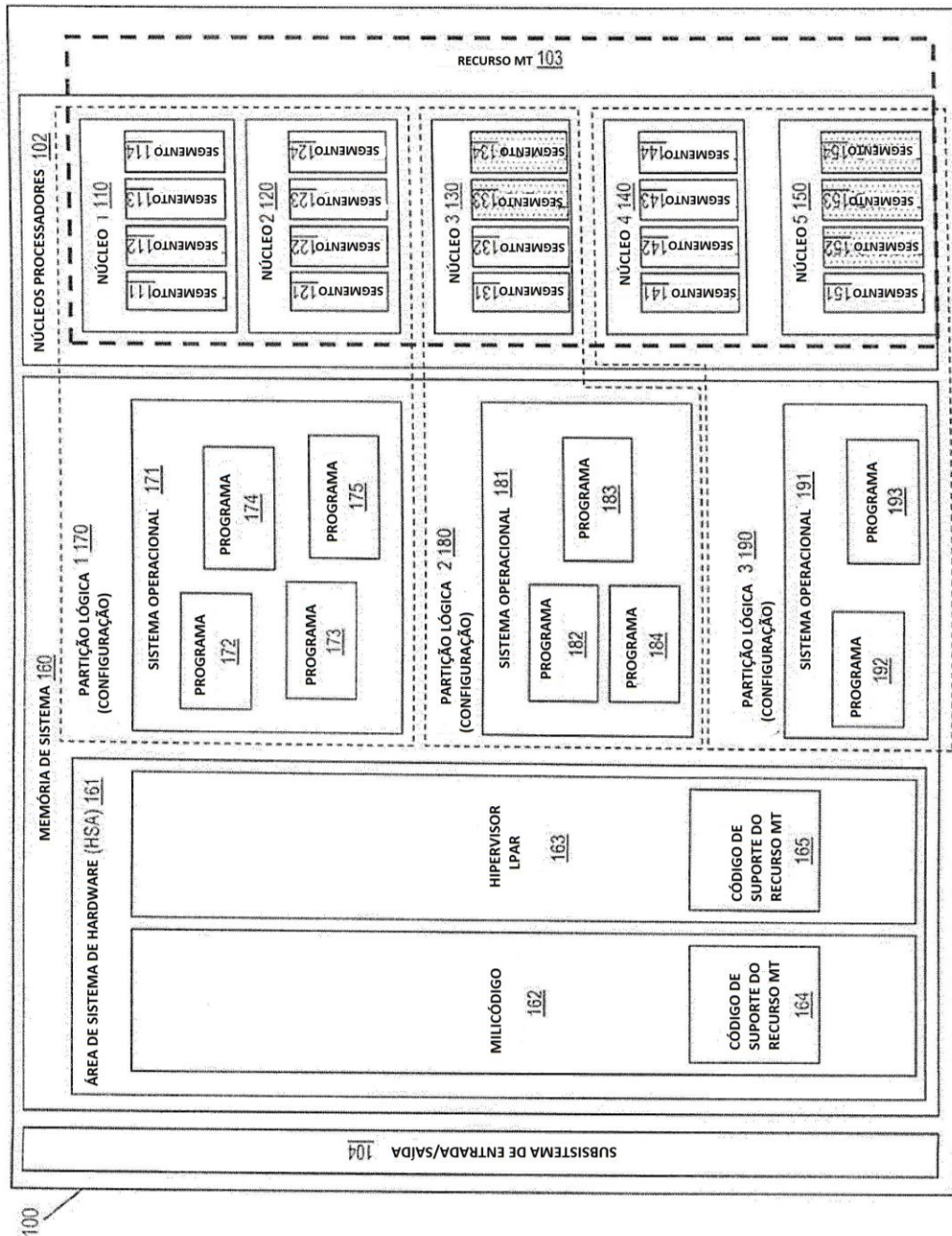


FIGURA 01B

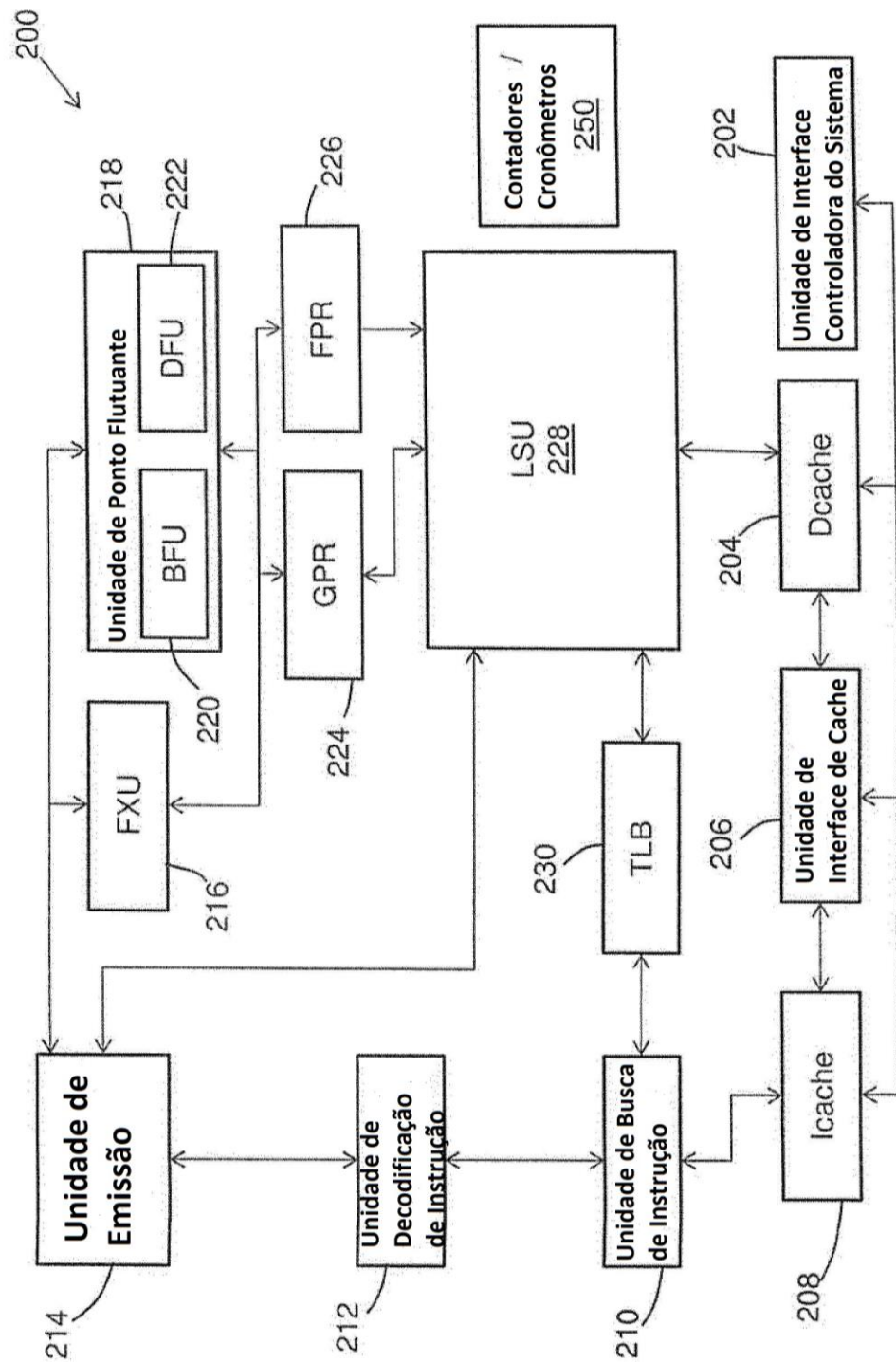


FIGURA 02

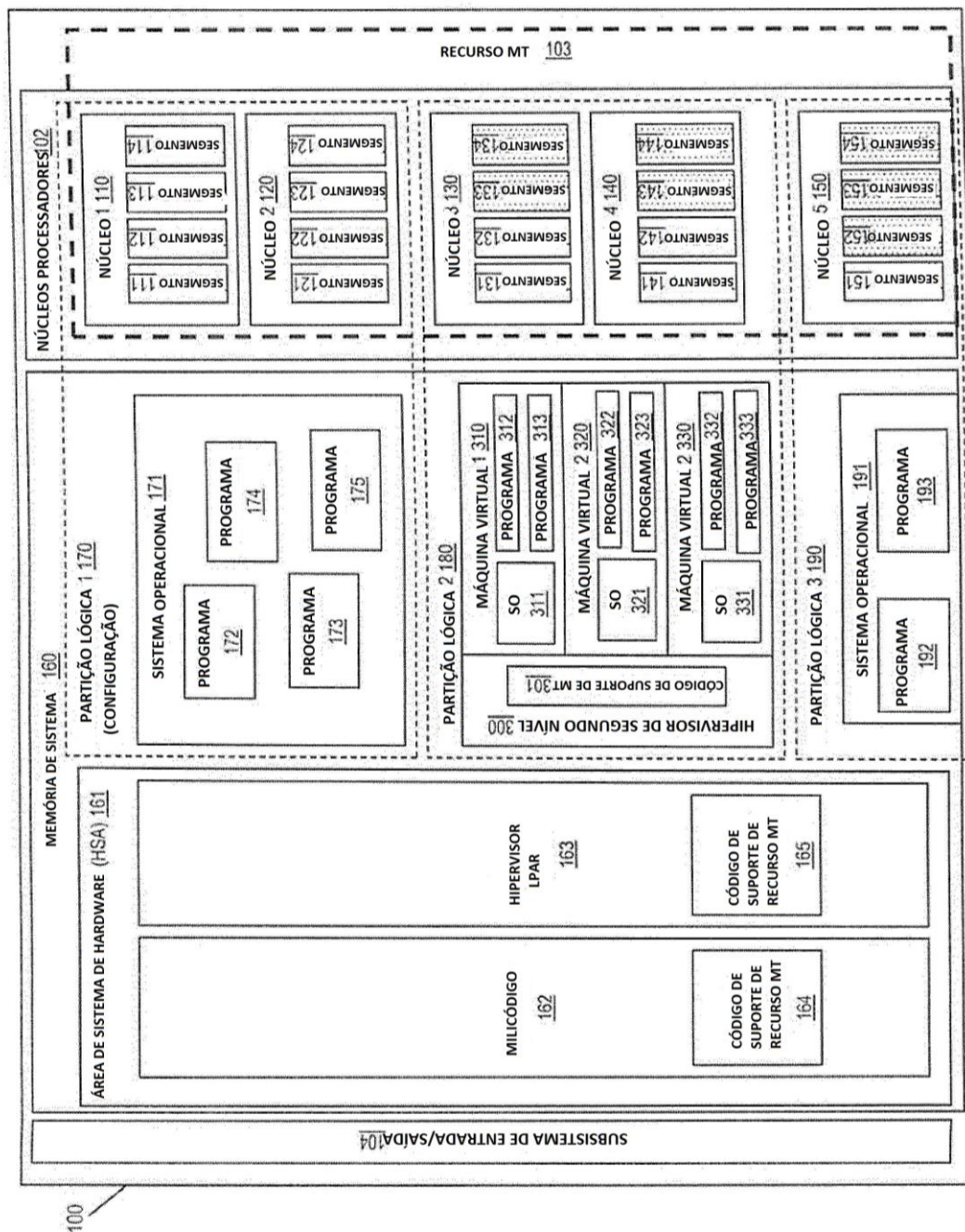


FIGURA 03

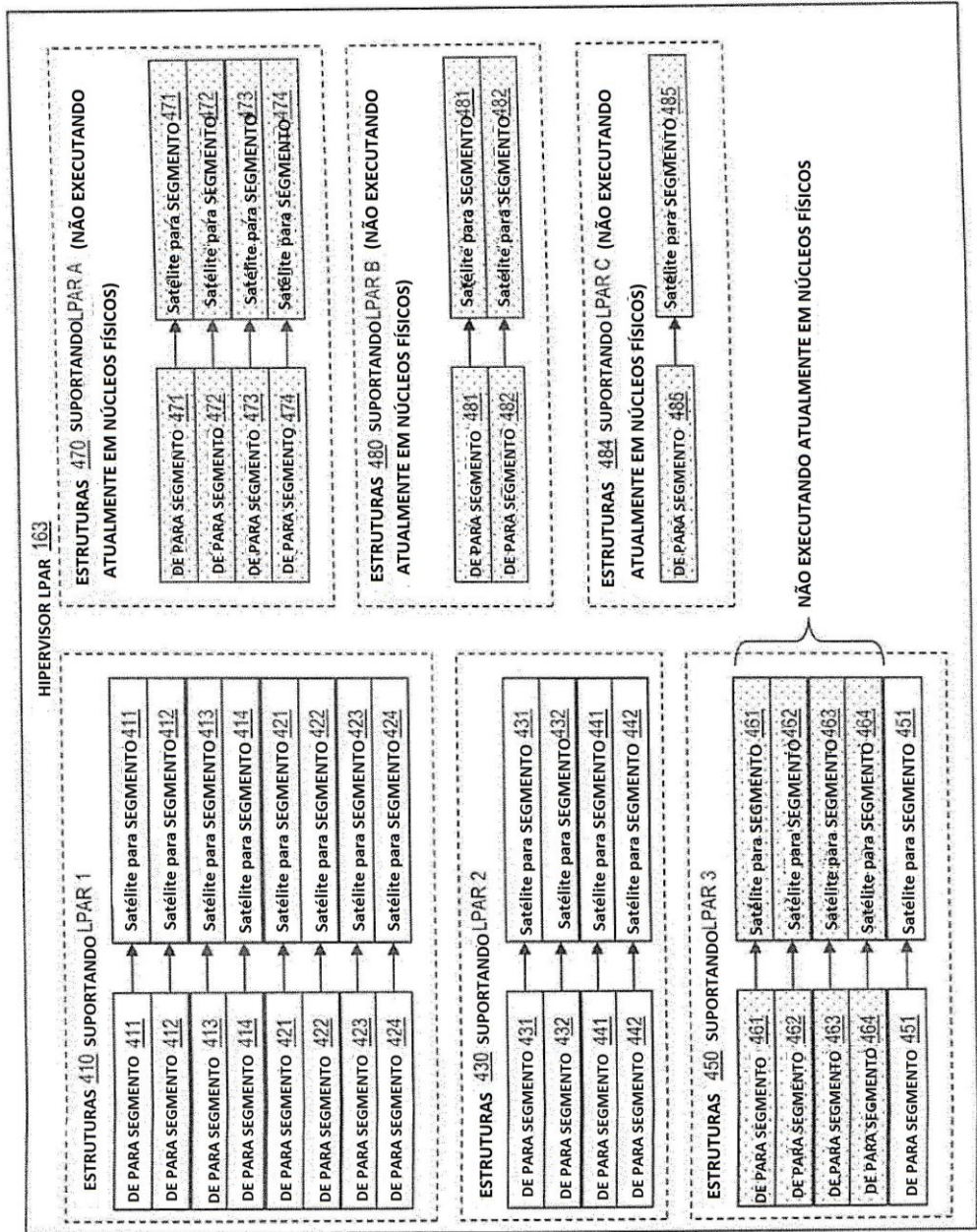


FIGURA 04

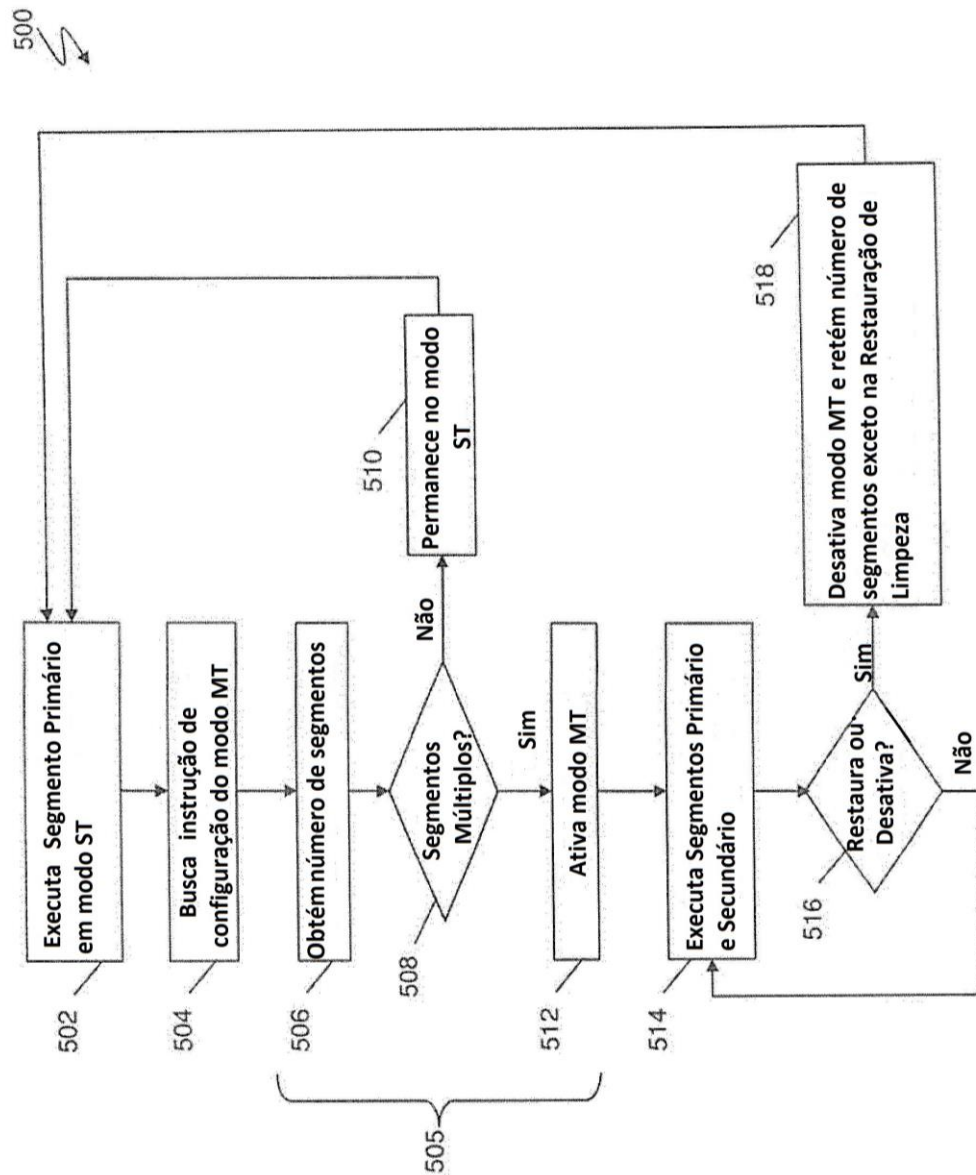


FIGURA 05

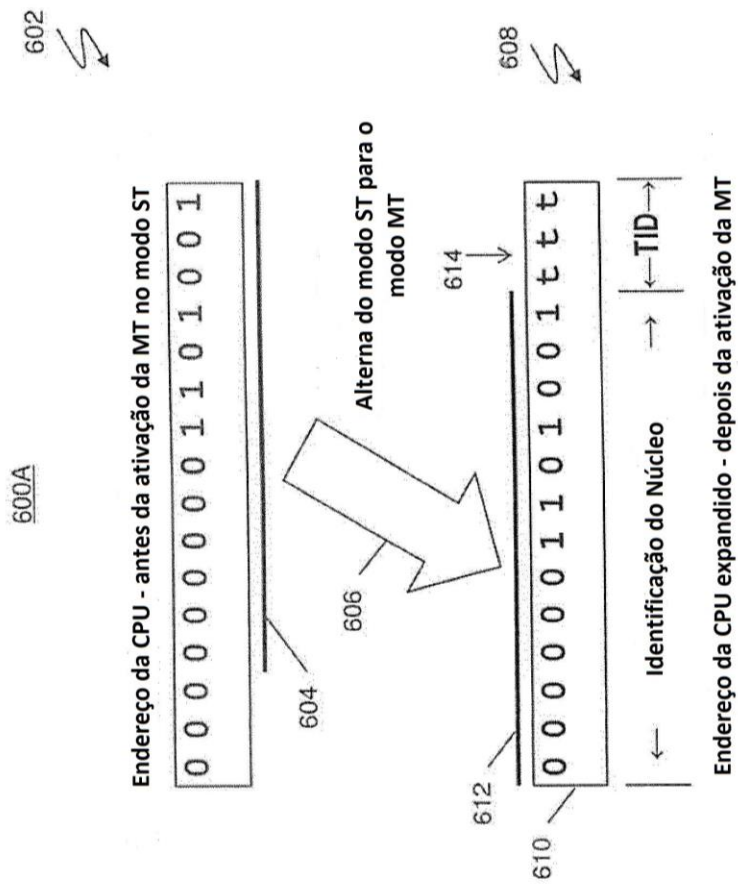


FIGURA 06A

600B

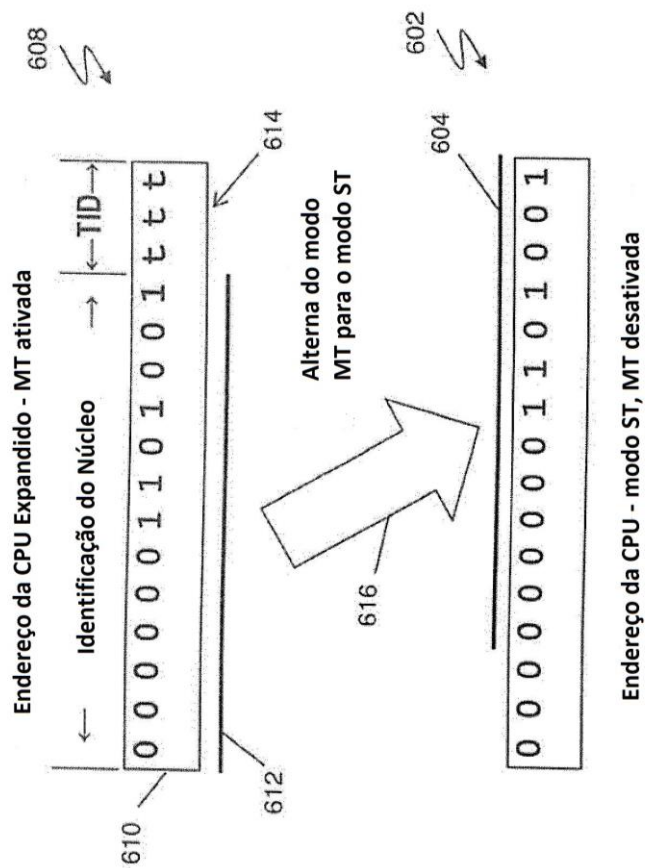


FIGURA 06B

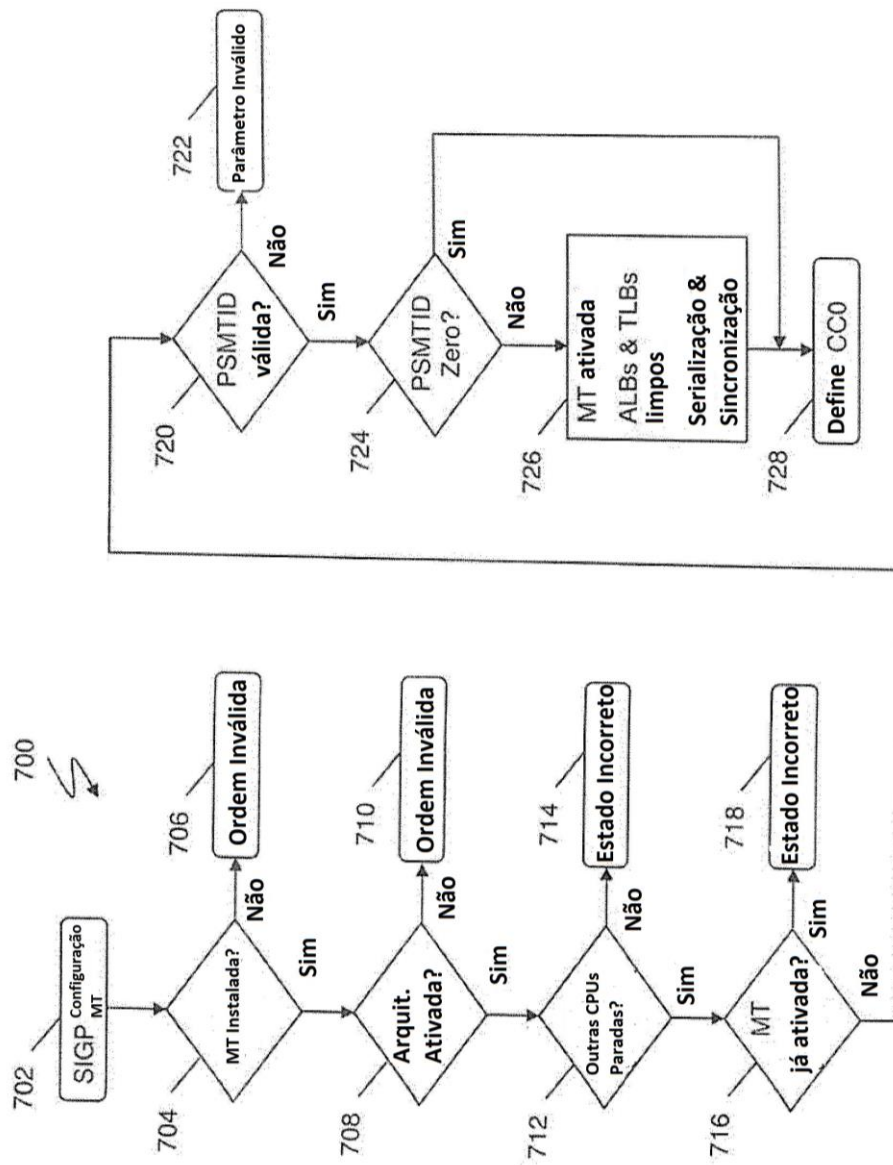


FIGURA 07

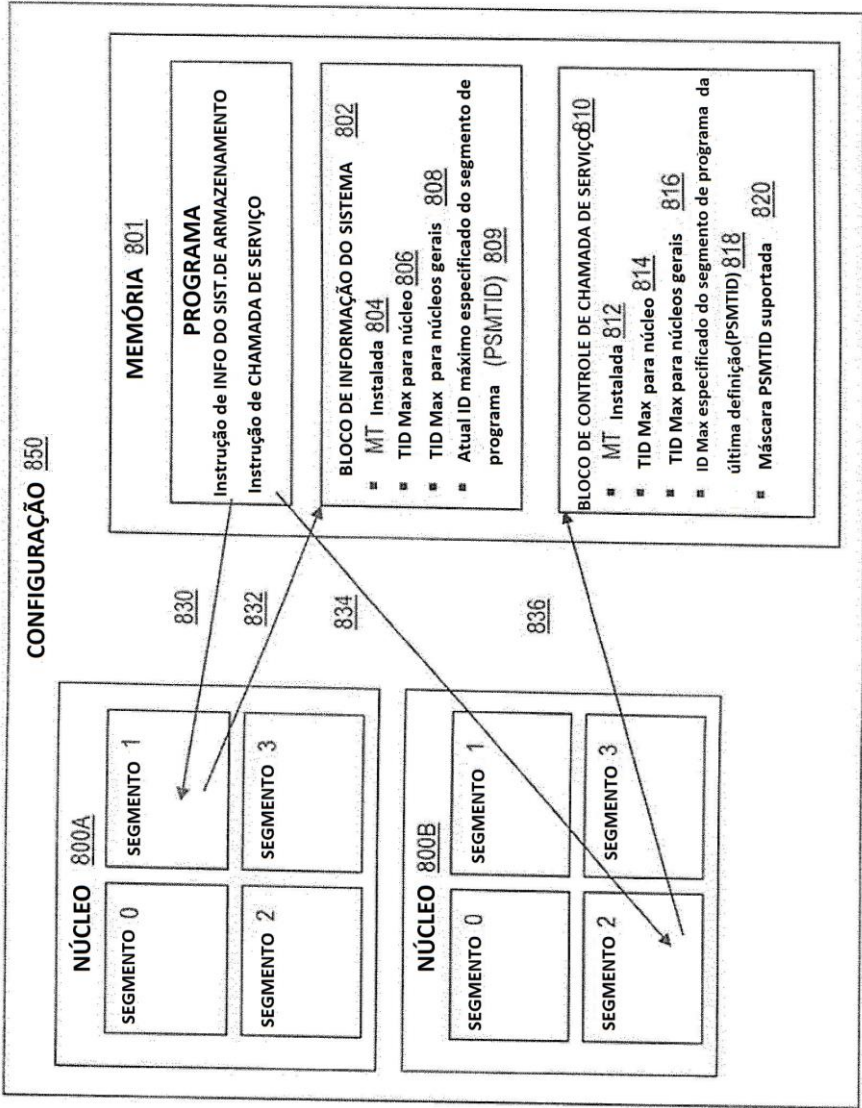


FIGURA 08

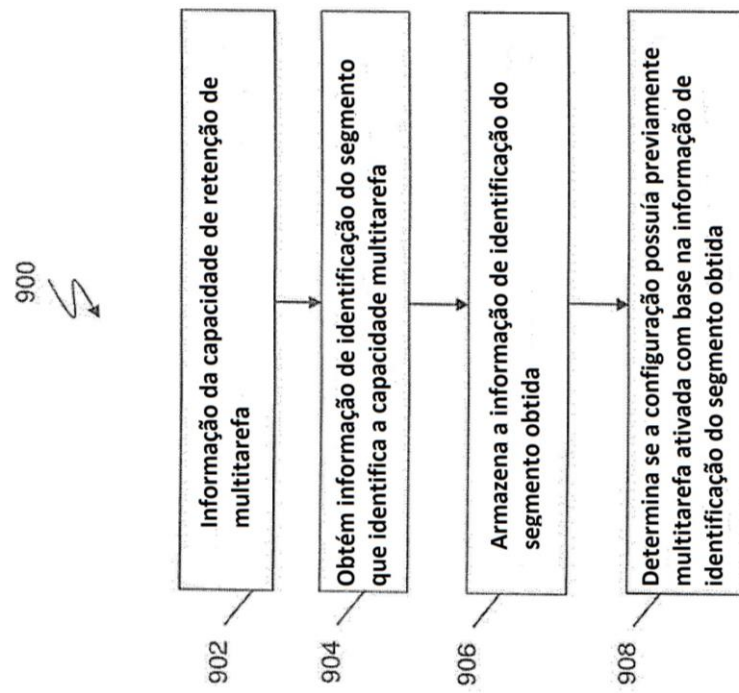


FIGURA 09

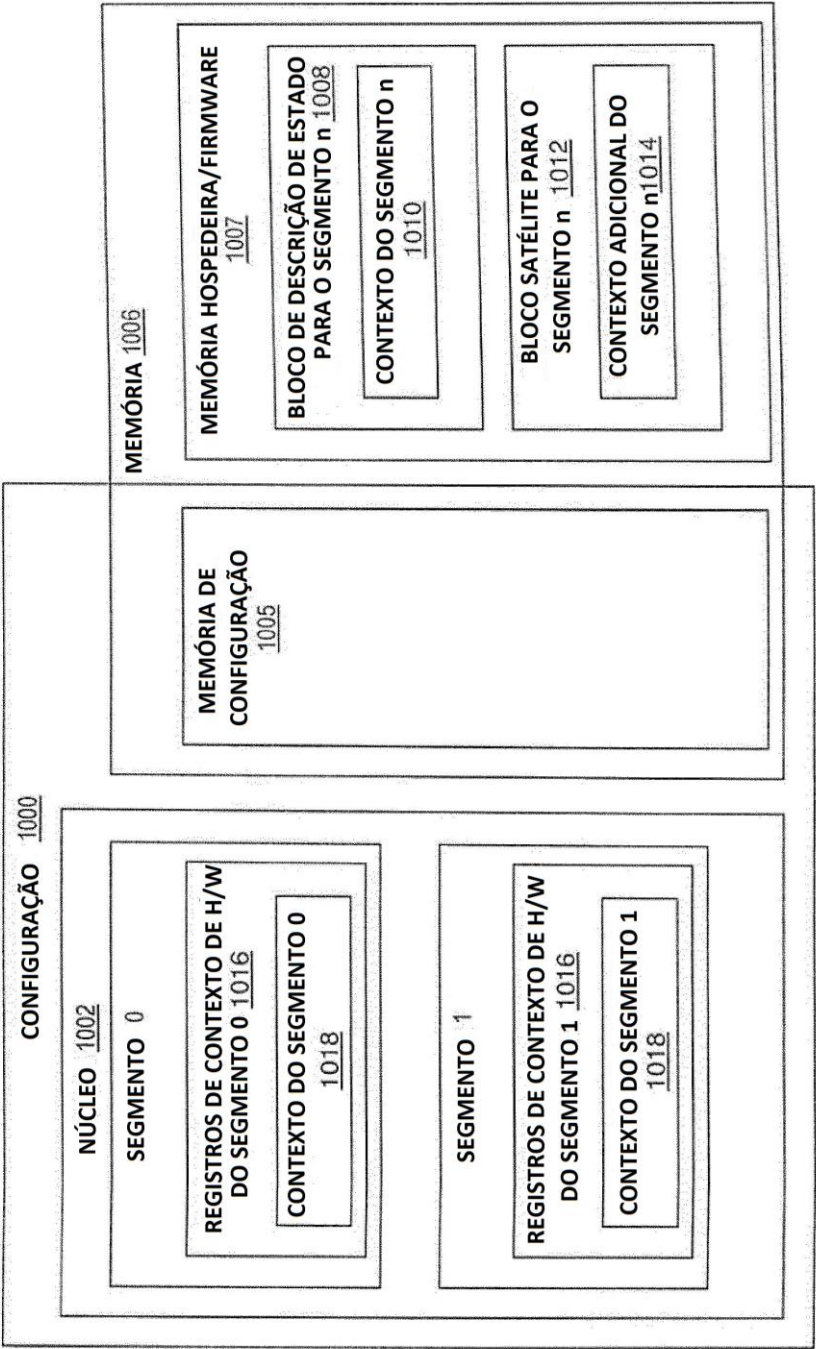


FIGURA 10

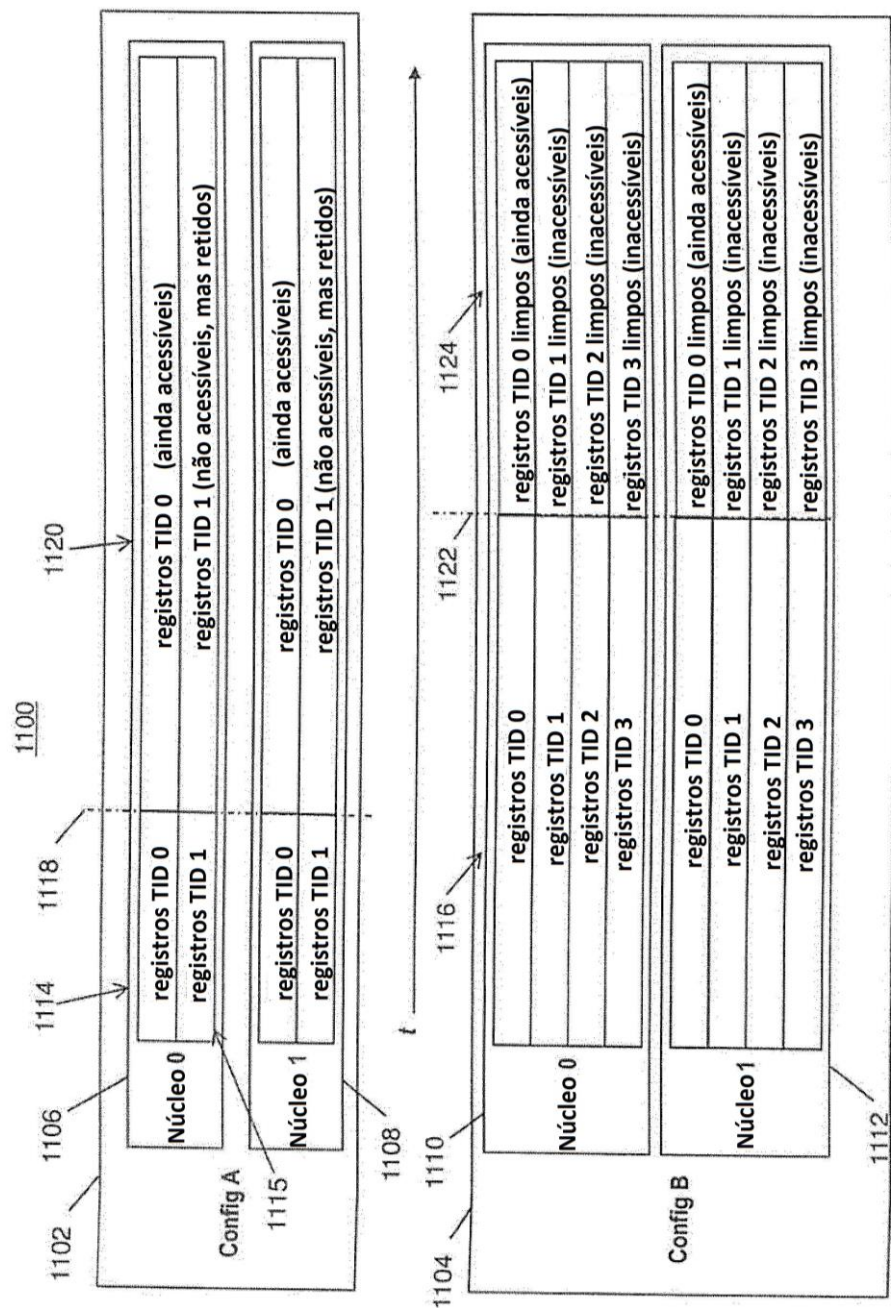


FIGURA 11

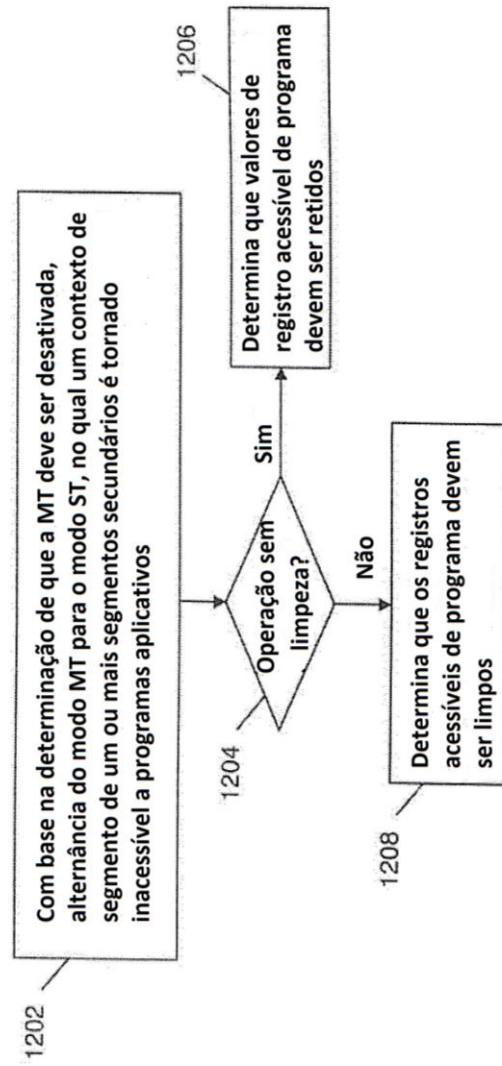
1200
↘

FIGURA 12

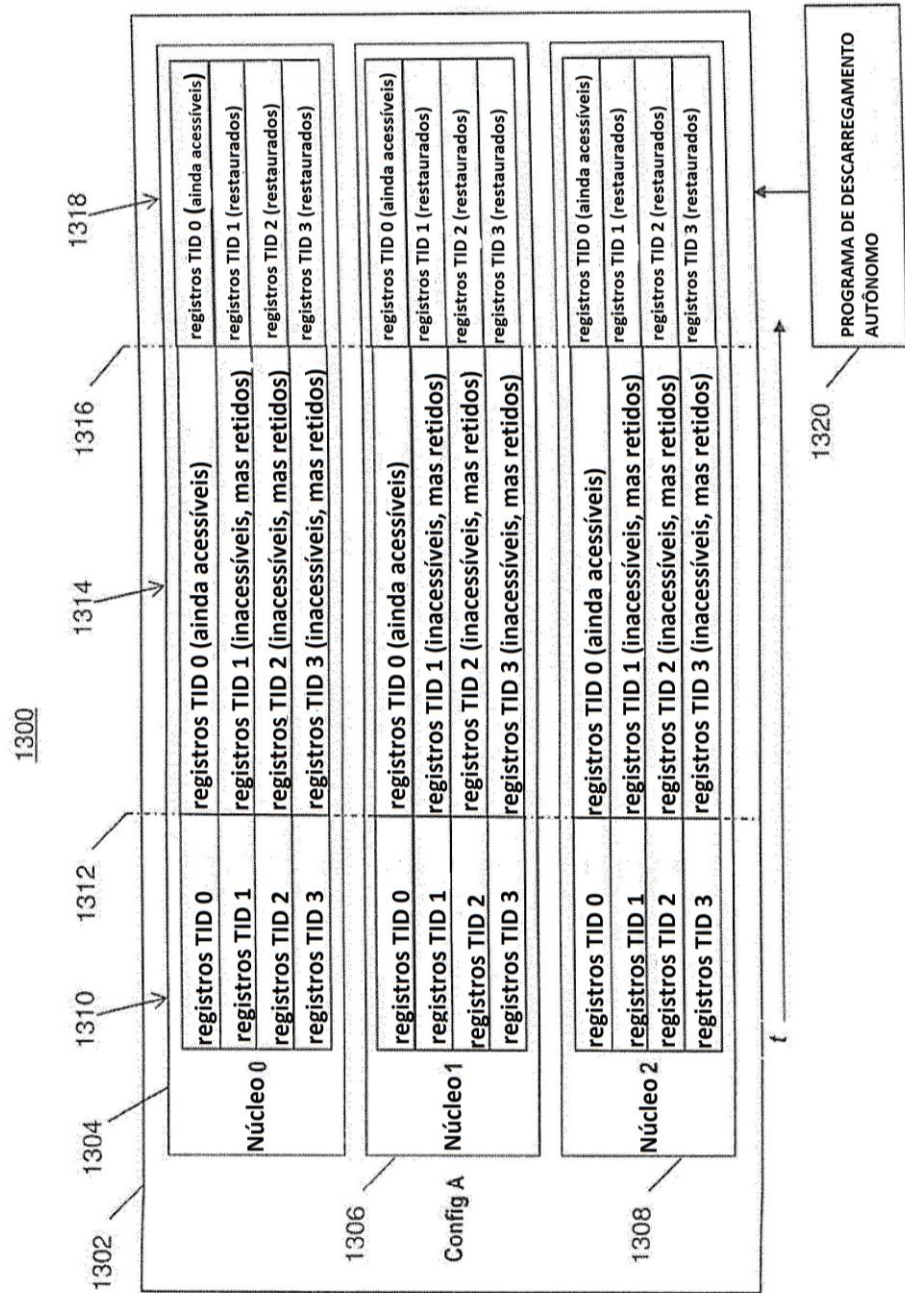


FIGURA 13

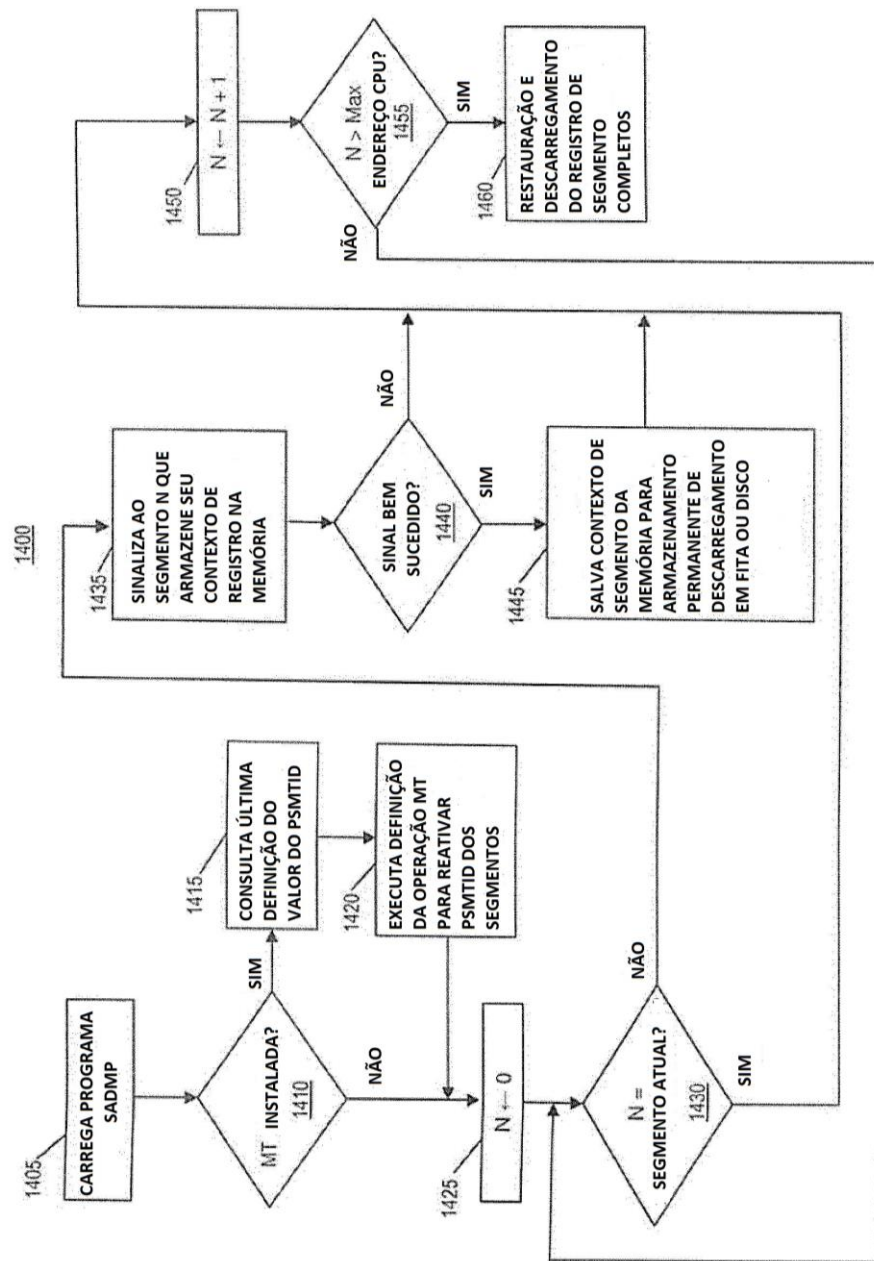


FIGURA 14

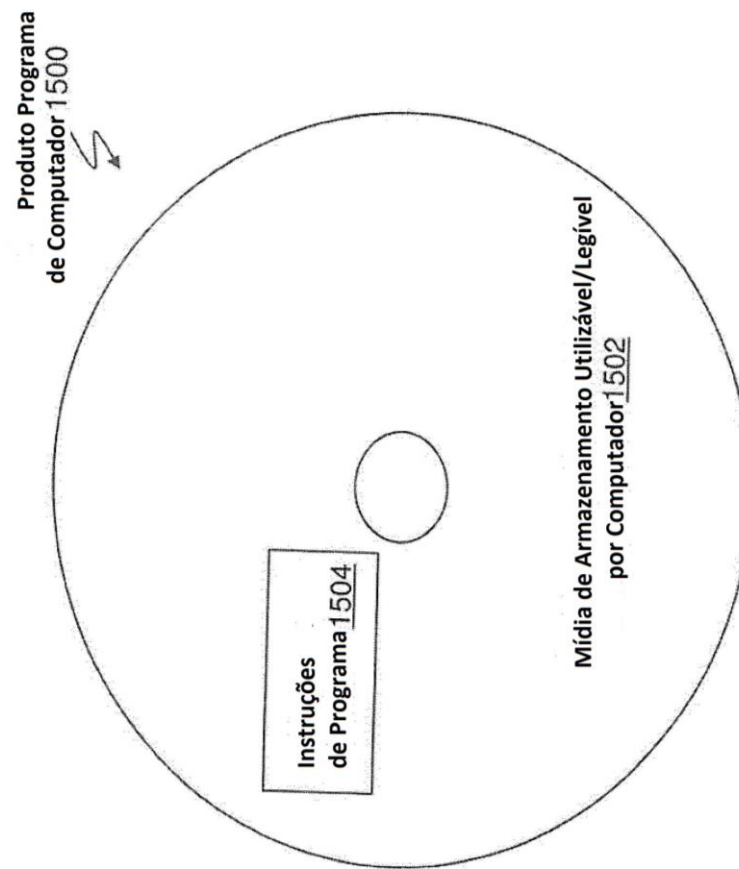


FIGURA 15