



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년05월24일  
 (11) 등록번호 10-1739709  
 (24) 등록일자 2017년05월18일

- (51) 국제특허분류(Int. Cl.)  
 HO1L 27/02 (2006.01) G06F 17/50 (2006.01)  
 HO1L 23/48 (2006.01) HO1L 27/118 (2006.01)
- (52) CPC특허분류  
 HO1L 27/0207 (2013.01)  
 G06F 17/5054 (2013.01)
- (21) 출원번호 10-2016-7005477(분할)
- (22) 출원일자(국제) 2009년07월02일  
 심사청구일자 2016년02월29일
- (85) 번역문제출일자 2016년02월29일
- (65) 공개번호 10-2016-0031041
- (43) 공개일자 2016년03월21일
- (62) 원출원 특허 10-2011-7003546  
 원출원일자(국제) 2009년07월02일  
 심사청구일자 2014년07월02일
- (86) 국제출원번호 PCT/US2009/049580
- (87) 국제공개번호 WO 2010/008948  
 국제공개일자 2010년01월21일
- (30) 우선권주장  
 61/081,370 2008년07월16일 미국(US)  
 12/497,052 2009년07월02일 미국(US)
- (56) 선행기술조사문헌  
 US20070210391 A1  
 US7205191 B2

- (73) 특허권자  
 텔라 이노베이션스, 인코포레이티드  
 미국 95032 캘리포니아주 로스 가토스 알베르토  
 웨이 485 스위트 115
- (72) 발명자  
 칸트 조나단 알  
 미국 95008 캘리포니아주 캠벨 캠벨 테크놀로지  
 파크웨이 655 스위트 150  
 베커 스코트 티  
 미국 95008 캘리포니아주 캠벨 캠벨 테크놀로지  
 파크웨이 655 스위트 150  
 간디 드루밀  
 미국 95008 캘리포니아주 캠벨 캠벨 테크놀로지  
 파크웨이 655 스위트 150
- (74) 대리인  
 특허법인코리아나

전체 청구항 수 : 총 11 항

심사관 : 이우찬

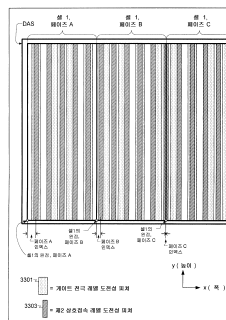
**(54) 발명의 명칭 동적 어레이 아키텍처에서의 셀 페이징과 배치를 위한 방법 및 그 구현**

**(57) 요약**

제 1 가상 그레이트 (grate) 에 따라 레이아웃 피쳐들이 배치되는 제 1 칩 레벨과, 제 2 가상 그레이트에 따라 레이아웃 피쳐들이 배치되는 제 2 칩 레벨을 갖는 로직 블록 영역을 포함하도록 반도체 칩이 정의된다. 제 1 및 제 2 가상 그레이트들 사이에 유리 공간 관계가 존재한다. 다수의 셀들은 로직 블록 영역 내에 배치된다.

(뒷면에 계속)

**대표도** - 도7



다수의 셀들의 각각은 다수의 셀 페이지들 중 적절한 하나의 셀 페이지에 따라 정의된다. 적절한 셀 페이지는 소정의 배치된 셀의 제 1 및 제 2 칩 레벨에서의 레이아웃 피쳐들이 소정의 배치된 셀 내에 위치한 제 1 및 제 2 가상 그레이트들과 정렬되게 한다.

(52) CPC특허분류

*G06F 17/5068* (2013.01)

*G06F 17/5072* (2013.01)

*H01L 23/48* (2013.01)

*H01L 27/11803* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

반도체 칩의 지정된 영역 내에 셀들의 배치를 가능하게 하는 상이한 셀 페이즈의 셀 변형물들을 정의하기 위한 방법으로서,

- a) 상기 반도체 칩의 지정된 영역에 대한 페이즈 공간을 식별하는 단계로서, 상기 페이즈 공간은 상기 반도체 칩의 지정된 영역 내에서 유리 공간 관계 (rational spatial relationship) 를 갖는 2개의 가상 그레이트들의 연속적인 정렬 위치들 사이에서 수직으로 연장하는 거리로서 정의되는 상기 페이즈 공간을 식별하는 단계;
- b) 상기 페이즈 공간의 좌측 에지와 셀의 좌측 경계부를 정렬시키는 단계;
- c) 상기 페이즈 공간의 좌측 에지와 정렬된 상기 셀의 좌측 경계부에 있어서, 상기 셀의 좌측 경계부에 대한 2개의 가상 그레이트들의 위치들에 기초하여 상기 셀의 제 1 페이즈를 정의하는 단계;
- d) 상기 셀의 제 1 페이즈를 셀 라이브러리에 저장하는 단계;
- e) 상기 셀의 좌측 경계부를 상기 페이즈 공간에 걸친 현재 위치에서 상기 페이즈 공간 내의 상기 셀의 좌측 경계부의 다음의 가능한 위치로 이동시키는 단계;
- f) 상기 다음의 가능한 위치와 정렬된 상기 셀의 좌측 경계부에 있어서, 상기 셀의 좌측 경계부에 대한 상기 2개의 가상 그레이트들의 위치들에 기초하여 상기 셀의 다음 페이즈를 정의하는 단계;
- g) 상기 셀의 상기 다음 페이즈를 상기 셀 라이브러리에 저장하는 단계; 및
- h) 상기 페이즈 공간 내의 상기 셀의 좌측 경계부의 각각의 가능한 위치에 대해, 상기 e) 내지 g) 의 단계들을 반복하는 단계를 포함하며,

상기 2 개의 가상 그레이트들 사이의 상기 유리 공간 관계는, 상기 2 개의 가상 그레이트들이 공통으로 배향되고, 상기 반도체 칩 상의 공통 공간 위치에 인텍싱되며, 유리수로 정의된 가상 그레이트 피치들의 비율을 갖는 것을 나타내는, 상이한 셀 페이즈의 셀 변형물들을 정의하기 위한 방법.

#### 청구항 2

제 1 항에 있어서,

상기 2 개의 가상 그레이트들의 각각은 상기 반도체 칩의 지정된 영역에서 각각의 칩 레벨에 걸쳐 연장하는 각 세트의 등간격 평행 가상 라인들에 의해 정의되는, 상이한 셀 페이즈의 셀 변형물들을 정의하기 위한 방법.

#### 청구항 3

제 1 항에 있어서,

상기 셀의 소정의 페이즈는 상기 셀의 소정의 페이즈가 요구되는 상기 반도체 칩의 지정된 영역에서 배치를 위해 정의된 상기 셀의 변형물을 나타내며, 상기 셀의 각 페이즈는 상기 셀과 연관된 동일한 로직 기능을 수행하도록 정의되는, 상이한 셀 페이즈의 셀 변형물들을 정의하기 위한 방법.

#### 청구항 4

제 1 항에 있어서,

상기 셀의 각 페이즈는 상기 페이즈 공간을 정의하는 상기 2개의 가상 그레이트들 각각에 대한 각 인덱스 값을 포함하는 인덱스 값들의 세트에 의해 정의되고, 상기 셀의 특정 페이즈에서의 특정 가상 그레이트에 대한 인덱스 값은 상기 페이즈 공간 내의 상기 특정 가상 그레이트의 최근방의 가상 라인과 상기 셀의 좌측 경계부 사이에서 수직으로 측정된 거리로서 정의되는, 상이한 셀 페이즈의 셀 변형물들을 정의하기 위한 방법.

#### 청구항 5

제 1 항에 있어서,

상기 페이지 공간 내의 상기 셀의 좌측 경계부의 가능한 위치들의 세트는 상기 페이지 공간 내의 상기 2개의 가상 그레이트들 중 하나에 대한 각각의 허용 가능한 셀 경계부 위치를 포함하는, 상이한 셀 페이지의 셀 변형물들을 정의하기 위한 방법.

**청구항 6**

제 1 항에 있어서,

상기 2개의 가상 그레이트들 중 제 1 가상 그레이트는 상기 반도체 칩의 게이트 레벨에 대해 정의되고, 상기 2개의 가상 그레이트들 중 제 2 가상 그레이트는 상기 반도체 칩의 제 2 상호접속 레벨에 대해 정의되는, 상이한 셀 페이지의 셀 변형물들을 정의하기 위한 방법.

**청구항 7**

제 6 항에 있어서,

상기 제 1 가상 그레이트와 상기 제 2 가상 그레이트 사이의 상기 유리 공간 관계는 상기 제 2 상호접속 레벨과 상기 게이트 레벨 사이의 가상 그레이트 피치 비율이 3/4인 것에 의해 정의되는, 상이한 셀 페이지의 셀 변형물들을 정의하기 위한 방법.

**청구항 8**

제 1 항에 있어서,

상기 셀 라이브러리는 컴퓨터 판독가능 매체 상의 디지털 포맷에 저장되는, 상이한 셀 페이지의 셀 변형물들을 정의하기 위한 방법.

**청구항 9**

컴퓨터 판독가능 저장 매체로서,

디지털 포맷에 저장된 셀 라이브러리를 포함하고,

상기 셀 라이브러리는, 소정의 셀의 상이한 페이지들에 대응하는 복수의 셀 레이아웃을 포함하고,

상기 소정의 셀은 레이아웃 피치들이 가상 그레이트에 따라 배치된 적어도 하나의 칩 레벨을 포함하고, 상기 가상 그레이트는 상기 셀 레이아웃에 걸쳐 연장하는 등간격 평행한 가상 라인들의 세트에 의해 정의되고, 상기 소정의 셀의 각각의 상이한 페이지는, 상기 소정의 셀의 좌측 경계부와 상기 소정의 셀의 좌측 경계부와 최근방에 있는 상기 가상 그레이트의 가상 라인 사이에서 수직으로 연장하는 거리에 의해 정의되는, 컴퓨터 판독가능 저장 매체.

**청구항 10**

제 9 항에 있어서,

상기 가상 그레이트에 따라 배치된 임의의 소정의 레이아웃 피치는 상기 가상 그레이트의 소정의 가상 라인에 인접한 이웃하는 가상 라인들 사이에서 폭방향으로 그리고 상기 소정의 가상 라인을 따라 길이 방향으로 연장하는 피치 레이아웃 채널 내에 정의되는, 컴퓨터 판독가능 저장 매체.

**청구항 11**

제 10 항에 있어서,

소정의 피치 레이아웃 채널 내에 정의된 각각의 레이아웃 피치는 임의의 다른 피치 레이아웃 채널 내에 정의된 임의의 다른 레이아웃 피치와 물리적으로 콘택하는 것이 방지되는, 컴퓨터 판독가능 저장 매체.

**발명의 설명**

**배경 기술**

[0001] 최신 반도체 칩 ("칩") 설계에 있어서, 표준 셀들은 특정 로직 기능을 정의하기 위해 칩 상에 배치된다. 칩 상에 임의로 배치되는 경우 각각의 표준 셀이 제조가능하게 되는 것을 보장하기 위해, 각각의 표준 셀은 인접 도전성 피쳐들 사이의 설계 룰 (DR) 간격 (spacing) 요건의 1/2과 동등하게 크기가 정해진 에지 제거 존 (edge exclusion zone) 을 갖도록 정의된다. 이러한 방식으로, 임의의 2개의 표준 셀들이 서로 바로 옆에 배치되는 경우, 인터페이스링 경계부에서의 결합된 제거 존은 인접 도전성 피쳐들 사이의 적어도 DR 간격 요건과 동등하게 될 것이다. 이로써, 제거 존은 피쳐들이 셀-투-셀 인터페이스 문제들에 영향을 미치지 않으면서 표준 셀 내에서 임의로 배치되는 것을 가능하게 한다. 그러나, 많은 표준 셀들이 칩 상에 함께 배치되는 경우, 표준 셀들과 연관된 에지 제거 존들은 결합하여 고가의 많은 칩 영역을 점유할 수 있다.

[0002] 상술한 것을 고려하여, 특히 셀들이 제약된 레이아웃 아키텍처에 따라 정의되는 경우, 칩 영역 및 라우팅 리소스들이 가장 효율적으로 사용될 수 있도록 셀 레이아웃 및 배치를 최적화하는 것이 관점이다.

**발명의 내용**

**과제의 해결 수단**

[0003] 일 실시형태에 있어서, 반도체 칩이 개시된다. 반도체 칩은 로직 블록 영역을 포함한다. 로직 블록 영역은 레이아웃 피쳐들이 제 1 가상 그레이드 (grate) 에 따라 배치되는 제 1 칩 레벨을 포함한다. 또한, 로직 블록 영역은 제 2 가상 그레이드에 따라 레이아웃 피쳐들이 배치되는 제 2 칩 레벨을 포함한다. 제 1 및 제 2 가상 그레이드들 사이에 유리 공간 관계 (rational spatial relationship) 가 존재한다. 다수의 셀들은 로직 블록 영역 내에 배치된다. 다수의 셀들의 각각은 다수의 셀 페이지들 중 적절한 하나의 셀 페이지에 따라 정의된다. 적절한 셀 페이지는 소정의 배치된 셀의 제 1 및 제 2 칩 레벨에서의 레이아웃 피쳐들이 소정의 배치된 셀 내에 위치한 제 1 및 제 2 가상 그레이드들과 정렬되게 한다.

[0004] 다른 실시형태에 있어서, 반도체 칩의 지정된 영역 내에 셀들의 배치를 가능하게 하는 상이한 셀 페이지의 셀 변형물들을 정의하는 방법이 개시된다. 그 방법은 반도체 칩의 지정된 영역에 대해 페이지 공간을 식별하기 위한 동작을 포함한다. 페이지 공간은 반도체 칩의 지정된 영역 내에서 유리 공간 관계를 갖는 2 개의 가상 그레이드들 사이의 동일한 관계의 연속적인 발생들 사이에서 수직으로 연장하는 거리로서 정의된다. 또한, 그 방법은 페이지 공간의 좌측 에지와 서브젝트 셀의 좌측 경계부를 정렬시키기 위한 동작을 포함한다. 페이지 공간의 좌측 에지와 정렬된 서브젝트 셀의 좌측 경계부에 있어서, 서브젝트 셀의 좌측 경계부에 대한 2 개의 가상 그레이드들의 위치들에 기초하여 서브젝트 셀의 제 1 페이지를 정의하기 위해 동작이 수행된다. 서브젝트 셀의 제 1 페이지는 셀 라이브러리에 저장된다. 그 방법은 서브젝트 셀의 좌측 경계부를 페이지 공간에 걸친 현재 위치에서 페이지 공간 내의 서브젝트 셀의 좌측 경계부의 다음의 가능한 위치로 이동시키기 위한 동작을 포함한다. 다음의 가능한 위치와 정렬된 서브젝트 셀의 좌측 경계부에 있어서, 서브젝트 셀의 경계부에 대한 2 개의 가상 그레이드들의 위치들에 기초하여 서브젝트 셀의 다음 페이지를 정의하기 위한 동작이 수행된다. 서브젝트 셀의 다음 페이지는 셀 라이브러리에 저장된다. 그 방법은 서브젝트 셀의 좌측 경계부를 페이지 공간 내의 가능한 위치들의 각각으로 이동시키고, 페이지 공간 내의 서브젝트 셀의 좌측 경계부의 각각의 가능한 위치에서 서브젝트 셀의 상이한 페이지를 정의하고 저장하는 것으로 지속된다.

[0005] 다른 실시형태에 있어서, 반도체 칩의 지정된 영역 내에 셀을 배치하기 위한 방법이 개시된다. 그 방법은 반도체 칩의 지정된 영역 내의 2개의 페이지된 칩 레벨들 각각에 대해 각각의 가상 그레이드들을 정의하기 위한 동작을 포함한다. 2개의 페이지된 칩 레벨들의 가상 그레이드들은 유리 공간 관계를 갖도록 정의된다. 또한, 그 방법은 반도체 칩의 지정된 영역 내에서 셀들을 배치하기 위한 동작을 포함한다. 그 방법은 반도체 칩의 지정된 영역 내의 각각의 배치된 셀에 대해 요구되는 셀 페이지를 결정하기 위한 동작을 더 포함한다. 반도체 칩의 지정된 영역 내의 각각의 배치된 셀에 대해, 요구된 셀 페이지를 갖는 배치된 셀의 변형물을 치환하도록 동작이 수행되어, 배치된 셀의 치환된 변형물 내의 2개의 페이지된 칩 레벨들의 각각에서의 레이아웃 피쳐들은 2개의 페이지된 칩 레벨들의 가상 그레이드들과 정렬한다.

[0006] 일 실시형태에 있어서, 컴퓨터 판독가능 저장 매체는 디지털 포맷에 기록된 반도체 칩 레이아웃을 포함하도록 개시된다. 반도체 칩 레이아웃은 제 1 가상 그레이드에 따라 레이아웃 피쳐들이 배치되는 제 1 칩 레벨을 포함하는 로직 블록 영역을 포함한다. 또한, 반도체 칩 레이아웃은 제 2 가상 그레이드에 따라 레이아웃 피쳐들이 배치되는 제 2 칩 레벨을 포함한다. 제 1 및 제 2 가상 그레이드들 사이에 유리 공간 관계가 존재한다. 반도체 칩 레이아웃은 로직 블록 영역 내에 배치된 다수의 셀들을 더 포함한다. 다수의 셀들의 각각은 다수의 셀 페이지들 중 적절한 하나의 셀 페이지에 따라 정의된다. 다수의 셀 페이지들 중 적절한 하

나의 셀 페이지는 소정의 배치된 셀의 제 1 및 제 2 칩 레벨에서의 레이아웃 피쳐들이 소정의 배치된 셀 내에 위치되는 제 1 및 제 2 가상 그레이트들과 정렬되게 한다.

[0007] 일 실시형태에 있어서, 컴퓨터 관독가능 저장 매체 상의 디지털 포맷에 저장된 셀 라이브러리가 개시된다. 셀 라이브러리는 소정의 셀의 상이한 페이지에 대응하는 복수의 셀 레이아웃들을 포함한다. 소정의 셀은 가상 그레이트에 따라 레이아웃 피쳐들이 배치되는 적어도 하나의 칩 레벨을 포함한다. 가상 그레이트는 셀 레이아웃에 걸쳐 연장하는 평행한 등간격 (equally spaced) 가상 라인들의 세트에 의해 정의된다. 소정의 셀의 각각의 상이한 페이지는 가상 그레이트의 최근방의 가상 라인과 기준 셀 경계부 사이에서의 상이한 간격에 의해 정의된다.

[0008] 본 발명의 다른 목적 및 이점들은 본 발명의 예시로서 도시하는 첨부 도면들과 함께 취해지는 다음의 상세한 설명으로부터 더욱 명백해질 것이다.

**도면의 간단한 설명**

[0009] 도 1a는 본 발명의 일 실시형태에 따라, 로직 블록을 포함하도록 정의된 반도체 칩을 나타내는 도면이다.

도 1b는 본 발명의 일 실시형태에 따라, 로직 블록에서의 셀들의 배치를 나타내는 도면이다.

도 2a는 본 발명의 일 실시형태에 따라, 그 상부에 정의된 2개의 별도의 가상 그레이트를 갖는 반도체 칩의 로직 블록 영역을 나타내는 도면이다.

도 2b는 본 발명의 일 실시형태에 따라 로직 블록의 좌측 하부 코너에서 원점(origin)에 인덱싱되는, 게이트 레벨 및 M2 레벨 가상 그레이트에 관한 예시적인 로직 블록을 나타내는 도면이다.

도 2c는 본 발명의 일 실시형태에 따라, 로직 블록 내의 다양한 셀 배치를 위해 요구된 셀 페이지에 기초하여 각 셀에 대해 치환된 적절한 셀 변형물에 의한, 도 2b의 셀 배치를 나타내는 도면이다.

도 3a 내지 도 3h는 본 발명의 일 실시형태에 따라, 도 2a의 로직 블록에 배치된 셀에 대해 존재할 수도 있는 상이한 셀 페이지들을 나타내는 도면들이다.

도 3i 내지 도 3p는 본 발명의 일 실시형태에 따라, 가상 그레이트들이 서로 정확하게 정렬하지 않으면서 서로 페이지되는 상이한 셀 페이지를 나타내는 도면들이다.

도 4는 본 발명의 일 실시형태에 따라, 각 셀에 대해 도시된 예시적인 게이트 레벨 및 M2 레벨 레이아웃 형상을 갖는, 도 2c의 로직 블록의 로우(Row) 1을 나타내는 도면이다.

도 5는 본 발명의 일 실시형태에 따라, 동적 어레이 아키텍처에 의해 정의된 반도체 칩 상의 영역 내에 셀들의 배치를 가능하게 하도록 상이한 셀 페이지의 셀 변형물들을 정의하는 방법의 플로우차트를 나타내는 도면이다.

도 6은 본 발명의 일 실시형태에 따라, 동적 어레이 아키텍처에 의해 정의된 반도체 칩의 일 부분 내에 셀들을 배치하는 방법의 플로우차트를 나타내는 도면이다.

도 7은 본 발명의 일 실시형태에 따라, DAS 내에 정의된 인접하게 배치된 로직 셀들의 제 2 상호접속 레벨에서의 상이한 페이지의 일 예를 나타내는 도면이다.

도 8은 본 발명의 일 실시형태에 따라, 동적 어레이 아키텍처 내에 정의된 가상 라인들의 일 예를 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

[0010] 다음의 설명에 있어서, 다수의 특정 상세들은 본 발명의 완전한 이해를 제공하기 위해 설명된다. 그러나, 이러한 특정 상세들의 일부 또는 전부 없이도 본 발명이 실시될 수 있는 것은 당업자에게 자명할 것이다. 다른 예시들에 있어서, 주지된 공정 동작들은 본 발명을 불필요하게 모호하게 하지 않게 하기 위해 상세하게 설명되지 않는다.

[0011] 도 1a는 본 발명의 실시 형태에 따라, 로직 블록 (103) 을 포함하도록 정의된 반도체 칩 ("칩", 101) 을 나타내는 도면이다. 로직 블록 (103) 은 칩 (101)의 실리콘 기판 상에 정의된 멀티 레벨 구조 형태의 집적 회로 디바이스들을 포함한다. 기판 레벨에서, 확산 영역들을 갖는 트랜지스터 디바이스들이 형성된다. 후속 레벨들에 있어서, 상호접속 금속 라인들은 패터닝되어 트랜지스터들에 전기적으로 접속되어 원하는 집적 회로 디바이스를 정의한다. 또한, 패터닝된 도전성 층들은 유전체 재료에 의해 다른 도전성 층들과 절연된다.

칩 (101) 의 각 레벨 내에 확산 영역들, 트랜지스터 디바이스들, 금속 라인들, 상호접속 등을 정의하는데 사용되는 구조적 피쳐들은, 특정 레이아웃에 따라 정의된다.      부가적으로, 칩 (101) 의 소정 레벨에 대한 글로벌 레이아웃은, 각 레이아웃 영역이 소정의 로직 구성과 연관되어 있는 많은 소형 레이아웃 영역들로 분리될 수도 있다.      게다가, 칩 (101) 의 소정의 수직 컬럼 (column) 내의 칩 (101) 멀티 레벨들 내의 레이아웃 영역들은 셀로서 지칭되는 로직 유닛을 형성하도록 함께 집적될 수 있다.

[0012]      본 명세서에서 언급되는 바와 같이, 셀은 로직 기능의 축약을 나타내며, 로직 기능을 구현하기 위한 하부 레벨 집적 회로 레이아웃들을 캡슐화한다.      소정의 로직 기능은 복수의 셀 변형물들에 의해 표현될 수 있음을 이해해야 하며, 여기서 셀 변형물들은 피쳐 크기, 성능 및 프로세스 보상 기술 (process compensation technique; PCT) 처리에 의해 구별될 수도 있다.      예를 들어, 소정의 로직 기능에 대한 복수의 셀 변형물들은 전력 소모, 신호 타이밍, 전류 누설, 칩 영역, OPC (optical proximity correction), RET (reticle enhancement technology) 등에 의해 구별될 수도 있다.      또한, 셀의 로직 기능을 구현하는데 요구되는 바와 같이, 각각의 셀 디스크립션 (description) 은 칩의 연관된 수직 컬럼 내에 칩의 각 레벨에 셀에 대한 레이아웃들을 포함하는 것임을 이해해야 한다.      보다 구체적으로, 셀 디스크립션은 기판 레벨 업으로부터 특정 상호접속 레벨을 통해 연장하는 칩의 각 레벨에서의 셀에 대한 레이아웃들을 포함한다.

[0013]      일 실시형태에 있어서, 로직 블록 (103) 은 로직 블록 (103) 내의 로우들에 다양한 로직 기능의 다수의 셀들을 배치함으로써 정의된다.      예를 들어, 다수의 셀들 (A-Z) 이 로직 블록 (103) 내에서 사용하기에 유용한지를 고려하는데, 여기서 각 셀들 (A-Z) 은 상이한 로직 기능을 수행하기 위해 정의된다.      이 예시적인 실시형태에 있어서, 로직 블록 (103) 은 도 1b에 나타난 바와 같이, 로직 블록 (103) 의 로우1 내지 로우10 내의 셀들 (A-Z) 의 배치에 의해 정의될 수도 있다.      이 예시적인 실시형태에 있어서, 소정의 로우에 걸쳐서 좌측에서 우측까지 측정되는 셀들의 폭은 셀에서 셀까지 변화할 수 있다.      그러나, 소정의 로우 내에서 수직으로 측정되는 셀들의 높이는 셀에서 셀까지 실질적으로 동일하며, 이에 의해 로직 블록 (103) 이 일치하는 높이로 인접하여 정의된 셀들의 로우들에 의해 점유될 수 있게 한다.      또한, 일부 실시형태에 있어서, 셀들의 높이는 로우에서 로우까지 및/또는 로우 내에서 변화할 수도 있다.

[0014]      동적 어레이 아키텍처는, 레이아웃 피쳐들이 셀의 다수의 레벨들에서, 즉 칩 (101)과 같은 반도체 칩의 다수의 레벨들에서 규칙적인 간격의 가상 그레이트 (또는 규칙적인 간격의 가상 그리드) 를 따라 정의되는, 반도체 디바이스 설계 패러다임을 나타낸다.      가상 그레이트는 소정의 칩 영역에서 소정 레벨에 걸쳐 연장하는 등간격 평행 가상 라인들의 세트에 의해 정의된다.      가상 그레이트의 인접 가상 라인들 사이에서 수직으로 측정되는, 등간격은 가상 그레이트 피쳐로서 정의된다.      예를 들어, 도 2a는 본 발명의 일 실시형태에 따라 그 상부에 정의된 2개의 별개의 가상 그레이트들을 갖는 칩 (101) 의 로직 블록 (103) 영역을 나타낸다.      보다 상세하게, 하나의 가상 그레이트는 칩 (101) 의 그레이트 레벨에 대해 로직 블록 (103) 위에 정의되고, 다른 가상 그레이트는 칩 (101) 의 제 2 상호접속 레벨 (M2 레벨) 에 대해 로직 블록 (103) 위에 정의된다.

[0015]      일 실시형태에 있어서, 소정 레벨의 가상 그레이트는 인접 레벨의 가상 그레이트에 실질적으로 수직이 되도록 배향된다.      예를 들어, 일 실시형태에 있어서, 제 1 상호접속 레벨 (M1 레벨) (미도시)에 대한 가상 그레이트는 게이트 레벨 및 M2 레벨 가상 그레이트 모두에 대해 수직인 방향으로 연장한다.      그러나, 일부 실시형태에 있어서, 소정 레벨의 가상 그레이트는 인접 레벨의 가상 그레이트에 대해 평행하거나 수직으로 배향될 수도 있음을 이해해야 한다.

[0016]      일 실시형태에 있어서, 칩의 다양한 레벨 내의 각 가상 그레이트는 단일 좌표 시스템의 원점에 인텍싱된다.      이에 따라, 좌표 시스템은 칩의 다양한 레벨 내의 가상 그레이트들 사이의 공간 관계의 제어를 가능하게 한다.      예를 들어, 도 2a의 예시적인 실시형태에 있어서, 게이트 레벨 및 M2 레벨 가상 그레이트들의 각각은 좌표 시스템의 원점 (0, 0) 에 인텍싱되는데, 여기서 원점 (0, 0) 은 칩 (101) 상의 로직 블록 (103) 영역의 좌측 하부 코너에 위치된다.      좌표 시스템의 원점 (0, 0) 이 칩 (101) 상의 임의의 위치에 위치될 수 있고, 또한 셀들이 배치될 수 있는 로직 블록의 특정 위치 (예를 들어, 로직 블록 (103)의 하부 좌측 코너) 에 위치될 것이 요구되는 것은 아님을 이해해야 한다.      또한, 가상 그레이트의 소정 공간 위치로의 인텍싱은 가상 그레이트가 가상 라인들 중 하나가 소정의 공간 위치를 통과하도록 정의되는 것을 의미함을 이해해야 한다.

[0017]      칩의 다양한 레벨들에서의 가상 그레이트들 사이의 공간 관계는 본질적으로 임의의 많은 방식으로 정의될 수 있다.      그러나, 공통으로 배향된 (즉, 칩에 걸쳐 연장 방향이 평행) 가상 그레이트들 사이의 공간 관계는 유리수로 정의될 수 있어서, 가상 그레이트들이 특정 공간 주파수에서 서로 정렬한다.      특히, 동일한 좌표 시스템의 원점에 인텍싱되는 임의의 2개의 가상 그레이트들에 대해, 가상 그레이트 피쳐들의 비율이 유리수로 정의

될 수 있어서, 그 2개의 가상 그레이트들은 특정 공간 주파수에서 정렬한다. 예를 들어, 도 2a는 M2 레벨 및 게이트 레벨 가상 그레이트들 사이의 공간 관계가 M2 레벨 대 게이트 레벨 가상 그레이트 피치 비율이 4/3으로 정의된 것을 나타낸다. 이로써, M2 레벨 및 게이트 레벨 가상 그레이트들은 원점 (0, 0)에 대해 4번째 게이트 레벨 가상 그레이트 마다에서 서로 정렬한다. 공통으로 배향되고, 공통 공간 위치에 인텍싱되며, 유리수로 정의된 가상 그레이트 피치들의 비율을 갖는, 2개의 가상 그레이트들은 유리 공간 관계를 갖는 것으로 고려된다.

[0018] 도 8은 본 발명의 일 실시형태에 따라, 동적 어레이 아키텍처 내에 정의된 가상 라인들 (801A ~ 801E)의 일 예를 나타낸다. 가상 라인들 (801A ~ 801E)은 특정 피치 (807)와 동등한 그 사이의 수직 간격을 갖으며, 평행 방식으로 레이아웃에 걸쳐 연장한다. 예시를 위한 목적으로, 상보형 확산 영역들 (803 및 805)이 도 8에 도시된다. 확산 영역들 (803 및 805)는 게이트 레벨 아래의 확산 레벨에서 정의된다는 것을 이해해야 한다. 또한, 확산 영역들 (803 및 805)은 예시로서 제공되며 동적 어레이 아키텍처와 관련된 확산 레벨 내에서 확산 영역 크기, 형상 및/또는 배치에 대한 임의의 한정을 나타내는 것이 아님을 이해해야 한다.

[0019] 동적 어레이 아키텍처 내에서, 피쳐 레이아웃 채널은 소정의 가상 라인에 인접 가상 라인들 사이에서 연장하도록 소정의 가상 라인에 관하여 정의된다. 예를 들어, 피쳐 레이아웃 채널들 (801A-1 내지 801E-1)은 각각 가상 라인들 (801A 내지 801E)에 관하여 정의된다. 각 가상 라인은 대응하는 피쳐 레이아웃 채널을 가짐을 이해해야 한다. 또한, 규정된 레이아웃 간격의 에지에 인접하여, 예를 들어 셀 경계부에 인접하여 위치한 가상 라인들에 대하여, 대응하는 피쳐 레이아웃 채널은, 피쳐 레이아웃 채널들 (801A-1 및 801E-1)에 의해 도시된 바와 같이, 규정된 레이아웃 간격 외측에 가상 라인이 존재하는 경우와 같이 연장한다. 각 피쳐 레이아웃 채널은 그 대응하는 가상 라인의 전체 길이를 따라 연장하도록 정의된다는 것을 또한 이해해야 한다.

[0020] 또한, 도 8은 가상 라인들 (801A 내지 801E)에 각각 대응하는 피쳐 레이아웃 채널들 (801A-1 내지 801E-1)에 따라 정의된 다수의 예시적인 레이아웃 피쳐들 (809~823)을 나타낸다. 동적 어레이 아키텍처 내에서, 소정의 가상 라인과 연관된 레이아웃 피쳐들은 가상 라인과 연관된 피쳐 레이아웃 채널 내에 정의된다. 또한, 인접 가상 라인들과 연관된 피쳐 레이아웃 채널들 내에 정의된 레이아웃 피쳐들 사이에서 물리적 접촉이 방지된다.

[0021] 근접 레이아웃 피쳐는 회로의 활성부를 정의하는 부분과 회로의 일 부분을 정의하지 않는 부분을 모두 포함할 수 있다. 예를 들어, 게이트 레벨에 있어서, 근접 레이아웃 피쳐는 하부 칩 레벨의 유전체 영역과 확산 영역 모두에 통해 연장할 수 있다. 일 실시형태에 있어서, 트랜지스터의 게이트 전극을 형성하는 게이트 레벨 레이아웃 피쳐의 각 부분은 소정의 가상 라인에 실질적으로 중심이 있도록 위치된다. 또한, 이 실시형태에 있어서, 트랜지스터의 게이트 전극을 형성하지 않는 게이트 레벨 레이아웃 피쳐의 부분들은 소정의 가상 라인과 연관된 피쳐 레이아웃 채널 내에 위치될 수 있다. 이에 따라, 소정의 게이트 레벨 레이아웃 피쳐의 게이트 전극 부분들이 소정의 피쳐 레이아웃 채널에 대응하는 가상 라인에 중심이 있는 한, 그리고 소정의 게이트 레벨 레이아웃 피쳐가 인접 피쳐 레이아웃 채널들에서의 다른 게이트 레벨 레이아웃 피쳐와 관련된 설계 룰 간격 요건들을 따르는 한, 소정의 게이트 레벨 레이아웃 피쳐는 본질적으로 피쳐 레이아웃 채널 내의 어디에나 정의될 수 있다.

[0022] 도 8에 나타난 바와 같이, 레이아웃 피쳐 (809)는 가상 라인 (801A)과 연관된 피쳐 레이아웃 채널 (801A-1) 내에 정의된다. 레이아웃 피쳐들 (809)의 일 부분들은 실질적으로 가상 라인 (801A)에 중심이 있다. 또한, 레이아웃 피쳐 (809)의 다른 부분들은 인접 피쳐 레이아웃 채널 (801B-1) 내에 정의된 레이아웃 피쳐들 (811 및 813)에 대해 설계 룰 간격 요건들을 유지한다. 유사하게, 레이아웃 피쳐들 (811 ~ 823)은 그들 각각의 피쳐 레이아웃 채널 내에 정의되고, 그들 각각의 피쳐 레이아웃 채널에 대응하는 가상 라인에 실질적으로 중심이 있는 부분들을 포함한다. 또한, 각 레이아웃 피쳐들 (811 ~ 823)은 인접 피쳐 레이아웃 채널들 내에 정의된 레이아웃 피쳐들에 의해 설계 룰 간격 요건들을 유지하며, 인접 피쳐 레이아웃 채널들 내에 정의된 임의의 다른 레이아웃 피쳐와의 물리적 콘택을 회피한다.

[0023] 도 8의 예시의 피쳐 레이아웃 채널들 (801A-1 내지 801E-1)에 의해 도시된 바와 같이, 각 피쳐 레이아웃 채널은 소정의 가상 라인과 연관되며, 소정의 가상 라인을 따라 그리고 소정의 가상 라인으로부터 레이아웃 경계부 외측의 가상 라인 또는 인접 가상 라인 중 어느 하나에 가장 가까운 가상 라인까지 각각 반대 방향에서 외측으로 수직하게 연장하는 레이아웃 영역에 대응한다. 또한, 각 레이아웃 피쳐는 서로 접한 피쳐 레이아웃 채널 내에 정의된 또 다른 레이아웃 피쳐와 물리적으로 콘택하지 않으면서 그 피쳐 레이아웃 채널 내에 정의된다.

[0024] 일부 레이아웃 피쳐들은 그 길이를 따라 임의의 다수의 위치들에 정의된 하나 이상의 콘택 헤드 부분들을 가질



수도 있다. 소정의 레이아웃 피처의 콘택 헤드 부분은 콘택 구조를 수용하기에 충분한 크기의 폭과 높이를 갖는 레이아웃 피처의 세그먼트로서 정의되는데, 여기서 "폭"은 소정의 레이아웃 피처의 가상 라인에 수직인 방향으로 기판에 걸쳐 정의되며, "높이"는 소정의 레이아웃 피처의 가상 라인에 평행한 방향으로 기판에 걸쳐 정의된다. 레이아웃 피처의 콘택 헤드는, 위에서 볼 때, 정사각형 또는 직사각형을 포함하는 실질적으로 임의의 레이아웃 형상으로 정의될 수 있음을 이해해야 한다. 또한, 레이아웃 요건들 및 회로 설계에 따라, 레이아웃 피처의 소정의 콘택 헤드 부분은 그 위에 정의된 콘택을 가질 수도 있고 가지지 않을 수도 있다.

[0025] 일 실시형태에 있어서, 레이아웃 피처들은 제조 및 설계 프로세스에 대해 정확하게 예측되고 최적화될 수 있는, 한정된 수의 제어된 레이아웃 형상 투 형상 (shape-to-shape) 리소그래피 상호작용을 제공하기 위해 정의된다.

이 실시형태에 있어서, 레이아웃 피처들은 높은 가능성에 의해 정확하게 예측되고 완화될 수 없는 레이아웃 내에서 불리한 리소그래피 상호작용을 도입하게 되는 레이아웃 형상 투 형상 공간 관계들을 회피하도록 정의된다. 그러나, 피처 레이아웃 채널들 내에서의 레이아웃 피처들의 방향 변화들은 대응하는 리소그래피 상호작용들이 예측가능하고 관리가능한 경우 수용될 수 있다는 것을 이해해야 한다.

[0026] 일 실시형태에 있어서, 소정 레벨의 각 레이아웃 피처는 소정 레벨과 연관된 가상 그레이트의 가상 라인들 중 하나의 라인에 실질적으로 중심을 두고 있다. 레이아웃 피처의 중심 라인과 가상 그레이트의 특정 라인 사이의 정렬에 있어서의 편차가 충분히 작은 경우, 레이아웃 피처의 중심 라인과 가상 그레이트의 라인 사이의 실제 정렬로 달성될 수 있게 되는 것으로부터 제조 프로세스 윈도우를 감소시키지 않도록 레이아웃 피처가 실질적으로 가상 그레이트의 특정 라인에 중심을 두도록 고려된다. 이에 따라, 본 실시형태에 있어서, 유리 공간 관계의 가상 그레이트들에 따라 상이한 칩 레벨에 배치되는 레이아웃 피처들은 유리 공간 관계에 의해 정의된 공간 주파수에서 정렬될 것이다. 일 실시형태에 있어서, 상기 언급한 제조 프로세스 윈도우는 레이아웃 피처의 수용가능한 충실도 (fidelity)를 산출하는 노광 및 포커스의 리소그래피 도메인에 의해 정의된다. 일 실시형태에 있어서, 레이아웃 피처의 충실도는 레이아웃 피처의 특징적인 디멘션에 의해 정의된다.

[0027] 동적 어레이 아키텍처에 있어서, 제조된 (as-fabricated) 레이아웃 피처의 수직 단면 형상에 있어서의 변화들은, 수직 단면 형상에서의 변화가 제조 관점으로부터 예측가능하고 소정의 레이아웃 피처 또는 이웃하는 레이아웃 피처들의 제조에 악영향을 미치지 않는 정도까지 허용될 수 있다. 이와 관련하여, 수직 단면 형상은 칩의 기판 및 레이아웃 피처의 중심 라인 모두에 수직인 평면에 제조된 레이아웃 피처의 절단에 대응한다. 제조된 레이아웃 피처의 수직 단면에서의 그 길이에 따른 변화는 그 길이에 따른 레이아웃 피처의 폭의 변화에 대응할 수 있다. 이에 따라, 폭 변화가 제조 관점으로부터 예측가능하고 레이아웃 피처 또는 이웃하는 레이아웃 피처의 제조에 악영향을 미치지 않는 한, 동적 어레이 아키텍처는 또한 제조된 레이아웃 피처의 그 길이에 따른 폭의 변화를 수용한다.

[0028] 부가적으로, 소정의 레벨 내의 상이한 레이아웃 피처들은 동일한 폭 또는 상이한 폭들을 갖도록 설계될 수 있다. 또한, 소정의 가상 그레이트의 인접 라인들을 따라 정의된 다수의 레이아웃 피처들의 폭은 다수의 레이아웃 피처들이 서로 콘택하여 다수의 레이아웃 피처들의 폭들의 합과 같은 폭을 갖는 단일 레이아웃 피처를 형성하도록 설계될 수 있다.

[0029] 동적 어레이 아키텍처에 따라 정의된 소정의 레벨 내에서, 인접하여 공동 정렬된 선 형상의 레이아웃 피처들의 근접 종단들은 실질적으로 균일한 갭으로 서로 이격될 수도 있다. 보다 상세하게, 가상 그레이트의 공통 라인을 따라 정의된 선 형상의 레이아웃 피처들의 인접 종단들은 종단 갭에 의해 분리되고, 가상 그레이트와 연관된 레벨 내의 그러한 종단 갭들은 실질적으로 균일한 거리에 걸쳐도록 정의될 수도 있다. 부가적으로, 일 실시형태에 있어서, 종단 갭들의 크기는 선 형상의 레이아웃 피처로 소정 레벨의 파일링을 최적화하도록 제조 프로세스 능력 내에서 최소화된다.

[0030] 또한, 동적 어레이 아키텍처에 있어서, 레벨은 임의의 수의 레이아웃 피처들에 의해 점유되는 임의의 수의 가상 그레이트 라인을 갖도록 정의될 수 있다. 일 실시형태에 있어서, 소정의 레벨은 그 가상 그레이트의 모든 라인들이 적어도 하나의 레이아웃 피처에 의해 점유되도록 정의될 수 있다. 다른 실시형태에 있어서, 소정의 레벨은 그 가상 그레이트의 일부 라인들이 적어도 하나의 레이아웃 피처에 의해 점유되고 그 가상 그레이트의 다른 라인들은 비어 있도록, 즉 임의의 레이아웃 피처들에 의해 점유되지 않도록 정의될 수 있다. 또한, 소정의 레벨에 있어서, 연속적으로 인접하는 가상 그레이트 라인들의 임의의 수는 비어있는 상태로 남겨질 수 있다. 또한, 소정 레벨에 있어서의 레이아웃 피처들에 의한 가상 그레이트 라인의 점유 대 공석은 소정의 레벨에 걸친 패턴 또는 반복 패턴에 따라 정의될 수도 있다.

[0031] 부가적으로, 동적 어레이 아키텍처 내에서, 비아들 및 콘택들은 다양한 레벨에서의 다수의 레이아웃 피처들을

상호접속하도록 정의되어 다수의 기능성 전자 디바이스들, 예를 들어 트랜지스터들 및 전자 회로들을 형성한다.

비아들 및 콘택들에 대한 레이아웃 피쳐들은 가상 그리드에 정렬될 수 있는데, 여기서 이러한 가상 그리드의 사양은 비아들 및 콘택들이 연결될 다양한 레벨들과 연관된 가상 그레이트들의 사양들의 함수이다. 이로써, 다양한 레벨들에서의 다수의 레이아웃 피쳐들은 전자 회로의 기능성 컴포넌트들을 형성한다. 부가적으로, 다양한 레벨들 내의 레이아웃 피쳐들의 일부는 전자 회로에 대해 비 기능성일 수도 있지만 그럼에도 불구하고 이웃하는 레이아웃 피쳐들의 제조를 강화하도록 제조된다.

[0032] 반도체 디바이스의 레이아웃 피쳐들이 리소그래피 제조 프로세스에 있어서의 레이아웃 피쳐들을 렌더링하는데 사용되는 광의 파장보다 작게 크기가 정해지는 경우에도, 동적 레이아웃 아키텍처는 높은 기능성으로 반도체 디바이스 제조능력의 정확한 예측을 가능하게 하도록 정의된다는 것을 이해하여야 한다. 다수의 셀의 레벨들에 있어서 규칙적인 간격의 그레이트 (또는 규칙적인 간격의 그리드) 상에 레이아웃 피쳐를 배치함으로써 동적 어레이 아키텍처가 정의되어, 셀의 소정 레벨에서의 레이아웃 피쳐들이 그 피쳐 레이아웃 채널 내에 한정되고, 그리고 인접 피쳐 레이아웃 채널들에서의 레이아웃 피쳐들은 서로 물리적으로 콘택하지 않는다는 것을 이해해야 한다. 또한, 동적 어레이 아키텍처는 하나 이상의 칩 레벨에 적용될 수 있다는 것을 이해해야 한다. 예를 들어, 일 실시형태에 있어서, 단지 칩의 게이트 레벨만이 동적 어레이 아키텍처에 따라 정의된다. 다른 실시형태에 있어서, 게이트 레벨 및 하나 이상의 상호접속 레벨들이 동적 어레이 아키텍처에 따라 정의된다.

[0033] 도 1b를 다시 참조하면, 예시적인 로직 블록이 로우들 (1-10) 내의 셀들 (A-Z) 의 배치에 의해 정의된다. 도 2b는 로직 블록 (103)의 하부 좌측 코너에서 원점 (0,0) 에 인덱싱되는 게이트 레벨 및 M2 레벨 가상 그레이트들에 관한 예시적인 로직 블록 (103) 을 나타내는 도면이다. 동적 어레이 아키텍처의 일 실시형태에 있어서, 각 셀들 (A-Z) 이 로직 블록 (103) 내에 배치가능하게 되도록 하기 위해, 각 셀들 (A-Z) 은 로직 블록 (103) 의 게이트 레벨 및 M2 레벨 가상 그레이트들의 사용에 기초하여 정의되어야 한다. 그러나, 셀이 로직 블록 (103) 내에 어디에 배치되는 지에 따라, 게이트 레벨 및 M2 레벨 가상 그레이트들의 위치는 셀의 경계부 내에서 그리고 셀의 경계부에 대해 변화할 수도 있다. 예를 들어, 셀의 좌측 경계부와 셀 내의 최근방의 가상 그레이트 라인 사이의 거리는 로직 블록 (103) 에서의 셀의 상이한 위치들 사이에서 변화할 수 있다. 유사하게, 셀의 좌측 경계부와 그 셀 내의 최근방의 M2 레벨 가상 그레이트 라인 사이의 거리는 로직 블록 (103) 에서의 소정의 셀의 상이한 위치들 사이에서 변화할 수 있다.

[0034] 로직 블록 (103) 내에 배치된 각 셀은 로직 블록 (103) 의 게이트 레벨 및 M2 레벨 가상 그레이트들과 정렬된 셀 기반 게이트 레벨 및 M2 레벨 가상 그레이트를 가져야 한다. 로직 블록 (103)의 게이트 레벨 및 M2 레벨 가상 그레이트들의 위치는 소정의 셀이 로직 블록 (103)에서 어디에 배치되는 것에 따라 소정의 셀 내에서 변화할 수 있기 때문에, 로직 블록 (103) 에서의 배치를 허용할 수 있는 소정의 셀의 상이한 버전들을 갖는 것이 필요하므로, 소정의 셀의 적어도 하나의 버전은 로직 블록 (103) 의 게이트 레벨 및 M2 레벨 가상 그레이트들과 각각 정렬하는 게이트 레벨 및 M2 레벨 가상 그레이트들을 갖도록 정의된다.

[0035] 일반적으로 말하면, 각 셀은 가상 그레이트 피치 또는 가상 그레이트 피치의 1/2 중 어느 하나의 정수배인 폭을 갖도록 정의되어, 인접 가상 그레이트 라인들 사이의 중간점 또는 가상 그레이트 라인 중 어느 하나에 대한 셀 경계부의 정렬을 가능하게 한다. 일 실시형태에 있어서, 각 셀은 게이트 레벨 가상 그레이트 피치의 1/2의 정수배인 폭을 갖도록 정의된다. 다른 실시형태에 있어서, 각 셀은 게이트 레벨 가상 그레이트 피치의 정수배인 폭을 갖도록 정의된다. 부가적으로, 각 셀은 그 좌측 경계부가 인접 게이트 레벨 가상 그레이트 라인들 사이의 중간점 또는 게이트 레벨 가상 그레이트 라인 중 어느 하나와 정렬되도록 로직 블록 (103) 내에 배치될 수 있다. 이에 따라, 셀 폭이 게이트 레벨 가상 그레이트 피치의 1/2의 정수배인 경우, 우측 셀 경계부는 또한 인접 게이트 레벨 가상 그레이트 라인들 사이의 중간점 또는 게이트 레벨 가상 그레이트 라인 중 어느 하나와 정렬될 것이다. 논의를 쉽게 하기 위해, 그 좌측 셀 경계부가 인접 게이트 레벨 가상 그레이트 라인들 사이의 중간점 또는 게이트 레벨 가상 그레이트 라인 중 어느 하나와 정렬되도록 하는 셀의 배치는 게이트 레벨 가상 그레이트 절반 피치 상의 셀의 배치로서 언급된다.

[0036] 게이트 레벨 및 M2 레벨 가상 그레이트들 사이의 유리 공간 관계와 조합하여 게이트 레벨 가상 그레이트 절반 피치 상의 셀들의 배치는 소정의 셀에 대한 한정된 수의 레이아웃 변형물들의 생성을 가능하게 하여, 소정 셀에 대한 적절한 레이아웃 변형물은 로직 블록 (103) 에서 소정의 셀이 어디에 배치되는 지에 따라, 소정의 셀 내에서 발생할 수도 있는 게이트 레벨 및 M2 레벨 가상 그레이트 배치들의 각각의 가능한 조합에 이용가능하다. 이와 관련하여, 소정의 셀에 대한 각각의 레이아웃 변형물은 셀 페이지를 정의하는데, 여기서 각각의 셀 페이지는 소정의 셀의 기준 경계부와 관련된, 예를 들어 소정 셀의 좌측 경계부와 관련된 소정의 셀 내의 게이트 레

벨 및 M2 레벨 가상 그레이트 배치들의 상이한 조합에 의해 정의된다.

- [0037] 상술한 실시형태에 있어서, 각 셀의 폭은 게이트 레벨 가상 그레이트 절반 피치의 정수배이지만, 반드시 M2 레벨 가상 그레이트의 피치의 정수배인 것은 아니다. 이에 따라, 좌측 및 우측 셀 경계부들이 게이트 레벨 가상 그레이트와 정렬하게 되더라도, 좌측 및 우측 셀 경계부들은 M2 레벨 가상 그레이트와 항상 정렬하지 않을 수도 있다. 그러나, 본 명세서에서 설명되는 셀 페이징 방법들은 M2 레벨 가상 그레이트 상의 활성 M2 레벨 레이아웃 형상들의 배치를 허용한다. 이에 따라, 동적 어레이 아키텍처와 관련하여 본 명세서에서 설명되는 셀 페이징 및 셀 배치 방법들은, 하나의 M2 레벨 레이아웃 형상으로 2개의 인접 M2 레벨 가상 그레이트 라인들을 소모하도록, 인접 M2 레벨 가상 그레이트 라인들 사이에 배치된 M2 레벨 레이아웃 형상을 갖지 않음으로써 라우팅 리소스들의 최적화를 제공한다.
- [0038] 도 3a 내지 도 3h는 다음의 조건들 하에서 배치되는 셀에 대해 존재할 수도 있는 상이한 셀 페이즈를 도시한다 :
- [0039] 1. M2 레벨 및 게이트 레벨 가상 그레이트 사이의 유리 공간 관계가 M2 레벨 대 게이트 레벨 가상 그레이트 피치 비율이 4/3으로 정의되는 동적 어레이 아키텍처에 따라 정의된 로직 블록에 셀이 배치된다;
- [0040] \*2. 게이트 레벨 가상 그레이트 절반 피치 상에 셀이 배치된다; 그리고
- [0041] 3. 셀 폭은 게이트 레벨 가상 그레이트 피치의 1/2의 정수배이다.
- [0042] 도 3a 내지 도 3h에 도시된 셀 페이징 원리는, 셀 페이징과 연관된 로직 블록의 가상 그레이트가 공통 공간 위치에 인덱싱되는 한, 임의의 유리 공간 관계 (즉, M2 대 게이트 피치 비율이 4/3 이상) 를 갖는 공통으로 배향된 칩 레벨들 (즉, 도시된 게이트 및 M2 레벨들 이상) 의 임의의 조합에 적용될 수 있다.
- [0043] 도 3a는 셀 (300) 의 제 1 페이즈 (ph1) 를 나타낸다. 셀 (300) 은 좌측 셀 경계부 (301) 를 포함한다. 셀 (300) 은 공통으로 배향된 실선들로 표현되는 게이트 레벨 가상 그레이트와 공통으로 배향된 점선들로 표현되는 M2 레벨 가상 그레이트에 의해 정의된다. M2 레벨 및 게이트 레벨 그레이트들 사이의 피치 비율은 4/3이다. 이에 따라, M2 레벨 및 게이트 레벨 가상 그레이트가 4번째 게이트 레벨 가상 그레이트 라인 마다에서 서로 정렬하게 된다. 게이트 레벨과 M2 레벨 가상 그레이트들의 정렬 사이의 게이트 레벨 가상 그레이트 라인들의 개수는 페이즈 공간 (303) 을 정의한다. 일반적으로 말하면, 페이즈 공간은 유리 공간 관계를 갖는 2개의 가상 그레이트들 사이의 동일한 관계의 연속적인 발생들 사이에서 수직으로 연장하는 거리로서 정의된다. 도 3a 내지 도 3h의 예시적인 실시형태에 있어서, 유리 공간 관계를 갖는 2개의 가상 그레이트들 사이의 동일한 관계의 연속적인 발생은 유리 공간 관계를 갖는 2개의 가상 그레이트들의 연속적인 정렬에 대응한다.
- [0044] 각각의 셀 페이즈는 페이즈 공간 (303) 내의 좌측 셀 경계부 (301) (예를 들어, 기준 셀 경계부) 의 상이한 허용 위치와 연관된다. 도 3a 내지 도 3h의 예에 있어서, 좌측 셀 경계부 (301) 는 게이트 레벨 가상 그레이트 절반 피치 상에 배치될 수 있다. 이에 따라, 좌측 셀 경계부 (301) 는 페이즈 공간 (303) 내의 각 게이트 레벨 가상 그레이트 라인 상에, 그리고 페이즈 공간 (303) 내의 인접 게이트 레벨 가상 그레이트 라인들 사이의 중간점에서 배치될 수 있다. 따라서, 페이즈 공간 (303) 이 4개의 게이트 레벨 가상 그레이트 피치들을 커버하기 때문에, 그리고 셀이 게이트 레벨 가상 그레이트 절반 피치 상에 배치될 수 있기 때문에, 가능한 셀 페이즈들의 개수는 8이다. 도 3a 내지 도 3h에 있어서, 8개의 가능한 셀 페이즈 각각에 대한 좌측 셀 경계부 (301) 의 위치는 각각의 화살표로 라벨링된 ph1-ph8 에 의해 식별된다. 게이트 레벨 및 M2 레벨 가상 그레이트들은 로직 블록 (103) 과 연관되기 때문에, 그들 각각의 위치는 좌측 셀 경계부가 8개의 가능한 페이즈 (ph1-ph8) 를 통해 이동될 때, 도 3a 내지 도 3h의 각각에서 변화없이 유지된다.
- [0045] 도 3a 내지 도 3h의 8개의 가능한 셀 페이즈가 예시적인 실시형태의 특정 사양들의 결과라는 것을 이해해야 한다. 예를 들어, 다른 실시형태에 있어서, 페이즈 공간 (303) 이 4개의 게이트 레벨 가상 그레이트 피치들을 커버하였지만 셀은 단지 게이트 레벨 가상 그레이트 (전체) 피치 상에만 배치될 수 있었을 경우, 가능한 셀 페이즈의 개수는 8개 대신 4개가 되며, 도 3a 내지 도 3h에 나타낸 바와 같은 셀 페이즈 (ph1, ph3, ph5, ph7) 에 대응하게 된다.
- [0046] 일반적으로 말하면, 셀 페이즈는 페이징과 연관된 칩 레벨들 각각에 대한 인덱스 값들의 조합에 의해 정의된다. 셀 페이즈를 정의하는데 사용되는 소정의 칩 레벨에 대한 인덱스 값은 소정의 칩 레벨의 가상 그레이트의 최근방의 가상 라인과 셀의 좌측 경계부 사이에서 수직으로 측정된 거리를 나타낸다. 소정의 셀의 각각의 페이

징된 칩 레벨은 대응하는 인덱스 값을 갖는다는 것을 이해해야 한다. 또한, 셀의 페이지징된 칩 레벨은 셀의 적어도 하나의 다른 칩 레벨의 가상 그레이드와 유리 공간 관계를 갖는 가상 그레이드에 의해 정의된 셀의 임의의 칩 레벨이라는 것을 이해해야 한다. 또한, 앞서 논의한 바와 같이, 공통 공간 위치에 인덱싱되고 유리수로 정의된 가상 그레이드 피치들의 비율의 갖는, 공통으로 배향된 가상 그레이드들에 의해 2개의 칩 레벨들 각각이 정의되는 경우, 유리 공간 관계는 2개의 칩 레벨들 사이에 존재한다. 도 3a 내지 도 3h의 예시적인 실시형태에 있어서, 각각의 셀 페이즈 (ph1-ph8) 는 인덱스 값들 : 1)  $G_{index}$ , 및 2)  $M2_{index}$  에 의해 정의되며, 여기서  $G_{index}$  는 게이트 레벨에 대한 인덱스 값이고,  $M2_{index}$  는 M2 레벨에 대한 인덱스 값이다. 도 3a 내지 도 3h 에 나타난 바와 같이, 각 페이즈는  $G_{index}$  와  $M2_{index}$  값들의 특유의 조합에 의해 정의된다.

[0047] 도 3a 내지 도 3h에 의해 도시된 셀 페이지징 예는 2개의 가상 그레이드들이 유리 공간 관계에 따라 서로 주기적으로 정렬하도록 인덱싱되는 가상 그레이드 페이지징 관계에 기초한다. 그러나, 일부 실시 형태들에 있어서, 가상 그레이드들은 실제로 서로 정렬하지 않고 서로 페이지징될 수 있다는 것을 이해해야 한다. 예를 들어, 도 3i 내지 도 3p는 M2 레벨 및 게이트 레벨 가상 그레이드들 사이의 피치 비율이 4/3이고, M2 레벨 가상 그레이드가 게이트 레벨 가상 그레이드와 오프셋 관계에서 인덱싱되어, M2 레벨 및 게이트 레벨 가상 그레이드들이 임의의 페이즈에서 서로 정렬하지 않는, 다른 실시 형태를 도시한다. 또한, 도 3a 내지 도 3h에 대하여 설명된 동일한 개념은 또한 도 3i 내지 도 3p에도 적용된다. 일반적으로 말하면, 도 3i 내지 도 3p에서의 페이즈 공간 (303') 은 페이지징된 가상 그레이드들 사이에서 동일한 관계의 연장하는 연속적인 발생들 사이의 영역을 통해 정의된다. 특히, 페이즈 (ph1') 에서 게이트 레벨에 대한 인덱스 값은  $G_{index} = 0$ 으로 주어지고, M2 레벨에 대한 인덱스 값은  $M2_{index} = (1/6)*G_{pitch}$ 로 주어진다. 이에 따라, 페이즈 공간 (303') 은 페이즈 (ph1) 가 재발생하는 위치, 즉  $G_{index} = 0$ 이고  $M2_{index} = (1/6)*G_{pitch}$  인 위치로 연장한다. 논의를 쉽게 하기 위해, 본 명세서에서의 설명의 나머지는 도 3a 내지 도 3h에 도시된 바와 같은 페이지징을 참조하여 제공된다.

[0048] 일 실시형태에 있어서, 셀 라이브러리는 동적 어레이 아키텍처에 따라 정의된 다수의 상이한 셀들을 포함하도록 컴파일되며, 또한 특정 칩 레벨들 사이의 특정 유리 공간 관계들에 기초하여 정의된다. 예를 들어, 도 2a 및 도 2b의 로직 블록 (103) 실시 형태에 대하여, 셀 라이브러리는 셀들 (A-Z) 을 포함하도록 컴파일될 수 있는데, 여기서 셀들 (A-Z) 의 각각은 동적 어레이 아키텍처에 따라 정의되고, 또한 M2 레벨 및 게이트 레벨의 가상 그레이드 피치들 사이의 유리 공간 관계가 4/3 인 것에 기초하여 정의된다. 라이브러리에서의 각 셀의 게이트 레벨 및 M2 레벨 레이어아웃들이 로직 블록 (103) 의 게이트 레벨 및 M2 레벨 가상 그레이드들과 정렬될 수 있는 것을 보장하기 위해, 로직 블록 내의 셀 배치에 관계없이, 셀 라이브러리는 각각의 가능한 셀 페이즈에 각각 대응하는 각 셀의 변형물들을 포함하여야 한다. 이에 따라, 도 2a 및 도 2b의 실시 형태에 대하여, 셀 라이브러리는 셀들 (A-Z) 각각에 대해 8개의 상이한 셀 변형물들 (각 셀 페이즈에 대해 하나) 을 포함하여야 한다. 셀 페이즈들 (1 내지 8) 에 대한 셀들 (A-Z) 의 변형물들은 A-ph1, A-ph2, ... Z-ph7, Z-ph8 로서 정의될 수도 있다.

[0049] 일 실시형태에 있어서, 셀들은 도 2b에 나타난 바와 같이, 셀 페이지징에 관계없이 로직 블록 (103) 내에 먼저 배치될 수도 있다. 그 후, 각각의 배치된 셀은, 로직 블록 (103) 의 게이트 레벨 및 M2 레벨 가상 그레이드들에 대해, 로직 블록 (103) 에서의 그 정확한 위치에 기초하여 필요한 셀 페이즈에 대응하는 적절한 변형물에 의해 대체될 수 있다. 다른 실시형태에 있어서, 필요한 셀 페이지징에 대응하는 적절한 셀 변형물들은, 셀들이 초기에 로직 블록 (103) 에 배치되는 경우에 결정될 수 있다. 도 2c는 로직 블록 (103) 내의 다양한 셀 배치들에 대해 요구되는 셀 페이지징에 기초하여 각 셀에 대해 치환된 적절한 셀 변형물들에 의한 도 2b의 셀 배치를 나타낸다.

[0050] 앞서 논의한 바와 같이, 각 셀은 페이지징된 칩 레벨에 대한 인덱스 값들의 조합에 의해 정의된다. 이에 따라, 소정의 셀 배치에 사용될 적절한 셀 페이즈를 결정하기 위해, 배치된 셀의 페이지징된 칩 레벨들에 대한 인덱스 값들이 계산된다. 그 후, 배치된 셀의 페이지징된 칩 레벨에 대한 계산된 인덱스 값들은 매칭 셀 페이즈를 식별하기 위해 다양한 셀 페이즈들의 인덱스 값들과 비교된다. 그 후, 배치된 셀의 매칭 셀 페이즈가 배치된 셀에 대해 치환된다.

[0051] 예를 들어, 도 2b의 실시 형태에 있어서, 각각의 셀 페이즈는 게이트 레벨 인덱스 값 ( $G_{index}$ ) 과 M2 레벨 인덱스 값 ( $M2_{index}$ ) 의 조합에 의해 정의된다. 이에 따라, 소정의 셀 배치에 사용될 적절한 셀 페이즈를 결정하기 위해, 배치된 셀에 대한  $G_{index}$  및  $M2_{index}$  값들이 계산된다. 그 다음, 배치된 셀에 대한 계산된  $G_{index}$  및

$M2_{index}$  값들은 매칭 셀 페이지를 식별하기 위해 다양한 셀 페이지의  $G_{index}$  및  $M2_{index}$  값들과 비교된다. 그 후, 배치된 셀의 매칭 셀 페이지는 원래의 배치된 셀에 대해 치환된다.

[0052] 추가적 설명을 위해, 서브젝트 셀로서 도 2b의 로직 블록 (103)에서 로우1의 가장 좌측에 배치된 셀 (A)을 고려한다. 서브젝트 셀의  $G_{index}$  값이 0이 되도록, 즉 좌측 셀 경계부 (301)가 게이트 레벨 가상 그레이트와 정렬되도록 계산된다. 서브젝트 셀의  $M2_{index}$  값이 0이 되도록, 즉 좌측 셀 경계부 (301)가 M2 레벨 가상 그레이트와 정렬되도록 계산된다. 서브젝트 셀의 계산된 인덱스 값들 ( $G_{pitch} = 0$  및  $M2_{index} = 0$ )은 도 3a에 나타난 바와 같이 셀 페이지 (1)의 인덱스 값과 매칭한다. 이에 따라, 셀 페이지 (1)가 도 2c의 로우1에서 대응하는 셀 (A-ph1)로 표시된 바와 같은 서브젝트 셀에 대해 사용되어야 한다.

[0053] 추가적 설명을 위해, 서브젝트 셀로서 도 2b의 로직 블록 (103)에서 로우4의 가장 우측에 배치된 셀 (U)을 고려한다. 서브젝트 셀의  $G_{index}$  값은  $((1/2)*G_{pitch})$ 가 되도록 계산되며, 여기서  $G_{pitch}$ 는 게이트 레벨 가상 그레이트 피치이다. 서브젝트 셀의  $M2_{index}$  값은  $((1/6)*G_{pitch})$ 가 되도록 계산된다. 서브젝트 셀의 계산된 인덱스 값 ( $G_{index} = ((1/2)*G_{pitch})$  및  $M2_{index} = ((1/6)*G_{pitch})$ )은 도 3f에 나타난 바와 같이, 셀 페이지 (6)의 인덱스 값들과 매칭한다. 이에 따라, 셀 페이지 (6)는 도 2c의 로우 (4)에서 대응 셀 (U-ph6)로 표시된 바와 같은 서브젝트 셀에 대해 사용되어야 한다.

[0054] 도 4는 각 셀에 대해 도시된 예시적인 게이트 레벨 및 M 레벨 레이아웃 형상들에 의한 도 2c의 로직 블록 (103)의 로우1을 나타낸다. 로우1에서의 각 셀에 대한 적절한 셀 페이지의 사양으로 인해, 각 셀의 게이트 레벨 레이아웃 형상들은 로직 블록 (103)의 게이트 레벨 가상 그레이트와 정렬하고, 각 셀의 M2 레벨 레이아웃 형상들은 로직 블록 (103)의 M2 레벨 가상 그레이트와 정렬하는 것을 알 수 있다.

[0055] M2 레벨 대 게이트 레벨의 유리 공간 관계와 관련하여 본 명세서에서 설명된 셀 페이지징 방법들은 임의의 복수의 칩 레벨들에 동등하게 적용될 수 있다. 부가적으로 임의의 2개의 칩 레벨들 사이의 유리 공간 관계는 본질적으로 2개의 칩 레벨들 사이의 임의의 가상 그레이트 피치 비율에 기초할 수 있다. 예를 들어, 도 2a 내지 도 4의 예시적인 실시 형태들이 M2 레벨 대 게이트 레벨의 피치 비율이 4/3인 것에 기초하였지만, 다른 실시 형태들에 있어서 M2 레벨 대 게이트 레벨 피치 비율은 3/2, 5/3, 5/4, 2/3, 3/5, 4/5 등일 수도 있다.

[0056] 본 명세서에 설명된 셀 페이지징 방법들은 동적 어레이 아키텍처에 대한 고수 (adherence)를 포함하지 않으면서, 소정의 칩 영역, 예를 들어 로직 블록 (103) 내에서 셀들의 최대 패키징을 제공한다는 것을 알아야 한다. 즉, 본 명세서에서 설명된 셀 페이지징 방법들은, 셀들의 페이지징된 칩 레벨들 내의 레이아웃 형상들이 페이지징된 칩 레벨들의 가상 그레이트들과 정렬하는 것을 보장하면서, 셀들이 소정의 칩 영역 내의 셀 경계부 대 셀 경계부에 배치될 수 있도록 허용한다. 이에 따라, 본 명세서에서 설명된 셀 페이지징 방법들은 셀의 폭을 확장하기 위한 필요성을 완화시켜 복수의 가상 그레이트들에 셀 내의 레이아웃 피쳐들의 정렬을 수용함으로써, 동적 어레이 아키텍처의 사용과 관련된 최적화된 칩 영역 사용을 제공한다. 부가적으로, 본 명세서에서 설명된 셀 페이지징 방법들은 인접하여 배치된 셀들 사이의 점유되지 않은 칩 영역을 남기기 위한 필요성을 완화시켜 가상 그레이트들에 셀 내의 레이아웃 피쳐들의 정렬을 수용함으로써, 동적 어레이 아키텍처의 사용과 관련된 최적화된 칩 영역 사용을 제공한다.

[0057] 도 5는 본 발명의 일 실시형태에 따라, 동적 어레이 아키텍처에 따라 정의된 반도체 칩의 영역 내에 셀들의 배치를 가능하게 하기 위해 상이한 페이지의 셀 변형물들을 정의하기 위한 방법의 플로우 차트를 나타내는 도면이다. 반도체 칩 상의 영역은 반도체 칩의 전체 영역 보다 실질적으로 더 작은 영역에 대응할 수도 있다는 것을 이해해야 한다. 그 방법은 페이지징된 칩 레벨들의 가상 그레이트들 사이의 유리 공간 관계에 기초하여 페이지 공간을 식별하기 위한 동작 (501)을 포함한다. 페이지징된 칩 레벨들의 가상 그레이트들은 반도체 칩의 영역을 정의하기 위해 사용되는 동적 어레이 아키텍처의 부분을 나타낸다. 앞서 논의한 바와 같이, 페이지 공간은 유리 공간 관계를 갖는 2개의 가상 그레이트들의 연속적인 정렬 위치들 사이에서 수직으로 연장하는 거리로서 정의된다. 예를 들어, 제 1 및 제 2 가상 그레이트들은 유리 공간 관계를 가져서 제 1 가상 그레이트의 4번째 가상 라인 마다에서 제 1 및 제 2 가상 그레이트가 정렬하면, 페이지 공간은 제 1 및 제 2 가상 그레이트들의 연속적인 정렬들 사이에서 연장하는 제 1 가상 그레이트의 피치의 4배의 거리에 걸쳐진다.

[0058] 그 방법은 서브젝트 셀의 좌측 경계부가 페이지 공간의 좌측 에지와 정렬되는 동작 (503)으로 이어진다. 이에 따라, 동작 (503) 다음에, 서브젝트 셀의 좌측 경계부가 페이지징된 칩 레벨들의 각각의 가상 그레이트의 가상 라인과 동시에 정렬된다. 도 3a는 셀 (300)의 좌측 경계부와 페이지 공간 (303)의 좌측 에지 사이에서

의 정렬의 예를 나타낸다. 즉, 도 3a의 예에 있어서, 셀 (300)의 좌측 경계부 (301)는 페이징된 칩 레벨들 (즉, 게이트 레벨 및 M2 레벨)의 각각의 가상 그레이트의 가상 라인과 동시에 정렬된다.

[0059] 페이즈 공간의 좌측 에지와 정렬된 서브젝트 셀의 좌측 경계부에 의해, 그 방법은 좌측 셀 경계부에 대해 페이징된 칩 레벨들의 가상 그레이트들의 위치들에 기초하여 서브젝트 셀의 제 1 페이즈를 정의하기 위한 동작 (505)으로 이어진다. 서브젝트 셀의 제 1 페이즈는 소정의 셀의 제 1 페이즈가 필요한 위치에서 반도체 칩 상의 배치를 위해 적합한 서브젝트 셀의 제 1 변형물을 나타낸다. 서브젝트 셀의 제 1 페이즈는 각각의 페이징된 칩 레벨에 대한 인덱스 값에 의해 특징화될 수 있는데, 여기서 소정의 페이징된 칩 레벨에 대한 인덱스 값은 페이즈 공간 내의 소정의 칩 레벨의 가상 그레이트의 최근방의 가상 라인과 셀의 좌측 경계부 사이에서 수직으로 측정된 거리로서 정의된다. 도 3a 내지 도 3h는 게이트 및 M2, 페이징된 칩 레벨들에 대한 대응 인덱스 값들 ( $G_{index}$  및  $M2_{index}$ )을 나타낸다. 동작 (505)은 향후의 리콜 및 사용을 위해 셀 라이브러리에 서브젝트 셀의 제 1 페이즈의 저장을 포함한다. 일 실시형태에 있어서, 셀 라이브러리는 컴퓨터 판독 가능 매체 상의 디지털 포맷에 저장된다.

[0060] 동작 (505) 다음에, 그 방법은 셀의 좌측 경계부가 그 현재 위치로부터 페이즈 공간을 통해 페이즈 공간 내의 셀의 좌측 경계부 다음 가능한 위치로 이동되는 동작 (507)으로 진행된다. 셀의 좌측 경계부가 페이즈 공간 내에서 페이징된 칩 레벨의 가상 그레이트를 이동시키지 않으면서 동작 (507)에서의 페이즈 공간에 걸쳐 이동된다는 것을 이해해야 한다. 도 3b는 셀의 좌측 경계부 (301)가 그 의 현재 위치 (즉 도 3a에서의 그 현재 위치)로부터 페이즈 공간 (303) 내의 셀의 좌측 경계부의 다음 가능한 위치 (ph2)로 이동하는 일 예를 나타낸다.

[0061] 반도체 칩의 영역에 대한 특정 동적 어레이 아키텍처 실시형태가 게이트 레벨 가상 그레이트 절반 피치의 정수배인 셀 폭들을 허용한다면, 페이즈 공간 내의 좌측 셀 경계부의 가능한 위치들은 페이즈 공간 내의 각각의 게이트 레벨 가상 그레이트에 그리고 페이즈 공간 내의 각각의 인접 쌍의 게이트 레벨 가상 그레이트 라인들 사이의 각 중간점에 대응한다. 이 상태는 도 3a 내지 도 3h에 예시되어 있다. 반도체 칩의 영역에 대한 특정 동적 어레이 아키텍처 실시 형태가 단지 게이트 레벨 가상 그레이트 (전체) 피치의 정수배인 셀 폭들만을 허용하는 경우, 페이즈 공간 내의 좌측 셀 경계부의 가능한 위치들은 페이즈 공간 내의 인접 쌍의 게이트 레벨 가상 그레이트 라인들 사이의 중간점 또는 게이트 레벨 가상 그레이트 라인 중 어느 하나에 대응한다.

[0062] 셀 페이즈 내의 셀의 좌측 경계부의 다음의 가능한 위치와 정렬된 서브젝트 셀의 좌측 경계부에 의해, 그 방법은 좌측 셀 경계부에 대해 페이징된 칩 레벨들의 가상 그레이트들의 위치에 기초하여 서브젝트 셀의 다음 페이즈를 정의하기 위해 동작 (509)으로 이어진다. 이러한 서브젝트 셀의 다음 페이즈는, 소정 셀의 이러한 다음 페이즈가 필요한 위치에서 반도체 칩 상에 배치하기에 적합한 서브젝트 셀의 다른 변형물을 나타낸다. 또한, 서브젝트 셀의 이러한 다음 페이즈는 각각의 페이징된 칩 레벨에 대한 인덱스 값들에 의해 정의될 수 있다. 동작 (509)은 향후 리콜 및 사용을 위해 셀 라이브러리에 서브젝트 셀의 이러한 다음 페이즈의 저장을 포함한다.

[0063] 그 후, 그 방법은 셀의 좌측 경계부의 다른 가능한 위치가 페이즈 공간 내에 존재하는지를 결정하기 위해 결정 동작 (511)으로 진행된다. 셀의 좌측 경계부의 다른 가능한 위치가 페이즈 공간 내에 존재한다면, 그 방법은 동작 (507)으로 다시 되돌아간다. 그러나, 셀의 좌측 경계부의 다른 가능한 위치가 페이즈 공간 내에 존재하지 않는다면, 그 방법은 종료한다. 도 5의 방법을 완료한 다음에, 셀 라이브러리는 동적 어레이 아키텍처의 페이징된 칩 레벨들에 따라 정의된 반도체 칩 상의 영역 내에서 발생할 수도 있는 각각의 가능한 셀 페이즈에 대한 서브젝트 셀의 변형물을 포함하게 된다.

[0064] 도 6은 본 발명의 일 실시형태에 따라, 동적 어레이 아키텍처에 따라 정의된 반도체 칩의 부분 내에 셀들을 배치하는 방법의 플로우차트를 나타내는 도면이다. 그 방법은 반도체 칩의 부분 내에서 2개의 페이징된 칩 레벨들 각각에 대한 각각의 가상 그레이트들을 정의하기 위한 동작 (601)을 포함한다. 그 2개의 페이징된 칩 레벨들은 유리 공간 관계를 갖도록 정의된다. 앞서 논의된 바와 같이, 공통으로 배향되고 공통 공간 위치에 인덱싱되며 유리수로 정의된 가상 그레이트 피치들의 비율을 갖는 2개의 가상 그레이트들은 유리 공간 관계를 갖도록 고려된다. 일 실시형태에 있어서, 2개의 페이징된 칩 레벨들은 게이트 레벨 및 제 2 상호접속 레벨에 대응한다. 그러나, 다른 실시형태들에 있어서, 2개의 페이징된 칩 레벨들은 임의의 2개의 칩 레벨들에 대응할 수 있다는 것을 이해해야 한다.

[0065] 그 후, 그 방법은 칩의 부분 내에 셀들을 배치하기 위한 동작 (603)으로 진행된다. 일 실시형태에 있어서, 2개의 페이징된 칩 레벨들은 칩의 부분의 하부 좌측 코너에 인덱싱되며, 셀들은 칩의 부분에 걸쳐 좌측에서 우

측으로 연장하는 로우들에 배치된다. 또한, 일 실시형태에 있어서, 셀들은, 2개의 페이지된 칩 레벨들의 가상 그레이트들과 공통으로 배향되는 경계부가 더 작은 가상 그레이트 피치를 갖는 페이지된 칩 레벨의 가상 그레이트의 절반 피치와 정렬하도록 배치될 수 있다.

[0066] 그 다음, 그 방법은 동작 (603)에서 배치된 각 셀에 대해 필요한 셀 페이지를 결정하기 위한 동작 (605) 으로 진행된다. 일 실시형태에 있어서, 소정의 셀에 대해 필요한 셀 페이지는 배치된 셀 내에서 페이지된 칩 레벨들에 대한 인덱스 값들에 의해 식별된다. 또한, 배치된 셀 내의 소정의 페이지된 칩 레벨에 대한 인덱스 값은 배치된 셀의 좌측 경계부와 배치된 셀 내의 소정의 페이지된 칩 레벨의 가상 그레이트의 최근방의 가상 라인, 즉 셀의 좌측 경계부의 우측에 있는 소정의 페이지된 칩 레벨 가상 그레이트의 최근방의 가상 라인 사이에서 수직으로 측정된 거리로서 정의된다. 각각의 배치된 셀의 페이지된 칩에 대한 계산된 인덱스 값들은 셀 라이브러리 내의 동일 배치된 셀의 변형물들의 대응 인덱스 값들과 비교되어 필요한 셀 페이지를 갖는 동일 배치된 셀의 특정 변형물을 식별할 수 있다. 그 후, 동작 (607) 은 배치된 셀에 대하여 필요한 셀 페이지를 갖는 배치된 셀의 특정 변형물로의 전환을 수행함으로써, 각각의 배치된 셀의 페이지된 칩 레벨에서의 레이아웃 피쳐들이 반도체 칩의 부분에 걸쳐 정의된 페이지된 칩 레벨의 가상 그레이트와 정렬하게 한다.

[0067] 상기에 기초하여, 일 실시형태에 있어서, 반도체 칩은 로직 블록 영역을 포함하도록 정의된다. 로직 블록 영역은 레이아웃 피쳐들이 제 1 가상 그레이트에 따라 배치되는 제 1 칩 레벨을 포함한다. 또한, 로직 블록 영역은 레이아웃 피쳐들이 제 2 가상 그레이트에 따라 배치되는 제 2 칩 레벨을 포함한다. 제 1 및 제 2 가상 그레이트들 사이에 유리 공간 관계가 존재한다. 다수의 셀들은 로직 블록 영역 내에 배치된다. 다수의 셀들의 각각은 다수의 셀 페이지들 중 적절한 하나의 셀 페이지에 따라 정의된다. 적절한 셀 페이지는 소정의 배치된 셀의 제 1 및 제 2 칩 레벨들에서의 레이아웃 피쳐들이 소정의 배치된 셀 내에 위치한 제 1 및 제 2 가상 그레이트와 정렬되게 한다. 다수의 셀 페이지들 중 어느 하나에 따라 정의된 소정의 셀은 소정의 셀과 연관된 동일한 로직 기능을 수행하도록 정의된다는 것을 이해해야 한다. 게다가, 일 실시형태에 있어서, 다양한 셀 페이지에 대응하여 소정의 셀의 각 변형물을 정의하여, 유사한 전기적 특성들을 갖도록 하는 것이 관점인 것이다. 또한, 일 실시형태에 있어서, 다수의 셀들 중 일부는 제 1 및 제 2 가상 그레이트들의 가상 라인들에 평행한 셀 경계부를 따라 실질적으로 중심에 있는 방식으로 제 1 칩 레벨 또는 제 2 칩 레벨 중 어느 하나에 배치된 적어도 하나의 레이아웃 피쳐를 포함한다.

[0068] 일 실시형태에 있어서, 다수의 셀들은 로직 블록 내의 로우들에 배치되어, 인터페이싱 셀 경계부들이 함께 정렬된다. 또한, 일 실시형태에 있어서, 다수의 셀들의 각 높이는 균일하다. 다수의 셀들의 각 높이는 제 1 및 제 2 가상 그레이트들의 가상 라인들에 평행한 방향에서 측정된다. 부가적으로, 일 실시형태에 있어서, 다수의 셀들의 각 폭은 제 1 가상 그레이트의 피치의 정수배이며, (제 1 가상 그레이트의 가상 라인들에 평행한) 각각의 배치된 셀의 각 경계부는 제 1 가상 그레이트의 가상 라인과 정렬된다. 다른 실시형태에 있어서, 다수의 셀들의 각 폭은 제 1 가상 그레이트의 피치의 정수배이고, (제 1 가상 그레이트의 가상 라인에 평행한) 각각의 배치된 셀의 각 경계부는 제 1 가상 그레이트의 인접 가상 라인들 사이의 중간점과 정렬된다. 또 다른 실시 형태에 있어서, 다수의 셀 들의 각 폭은 제 1 가상 그레이트의 피치의 1/2의 정수배이고, (제 1 가상 그레이트의 가상 라인들에 평행한) 각각의 배치된 셀의 각 경계부는 제 1 가상 그레이트의 인접 가상 라인들 사이의 중간점 또는 제 1 가상 그레이트의 가상 라인 중 어느 하나와 정렬된다.

[0069] 부가적으로, 상술한 실시형태들은 소정의 로직 블록 내에 배치된 각 셀을 페이지하는 맥락에서 논의되었지만, 대안의 실시 형태에 있어서, 본 명세서에서 설명되는 셀 페이지 방법들은 페이지되지 않은 로직 블록 좌측에서의 셀들의 나머지에 대해, 소정의 로직 블록 내에 배치된 셀들의 일 부분에 적용될 수도 있다는 것을 이해해야 한다. 예를 들어, 소정의 로직 블록에서의 제 1 그룹의 셀들은 동적 어레이 아키텍처에 따라 정의되고, 배치될 때, 적절한 페이지를 사용하며, 소정의 로직 블록에서의 제 2 그룹의 셀들은 페이지를 사용하지 않는 다른 아키텍처 (즉, 비동적 어레이 아키텍처) 에 의해 정의되는 경우, 제 1 그룹의 셀들은 본 명세서에서 개시된 방법들에 따라 배치되고 페이지되며 제 2 그룹의 셀들은 페이지되지 않은 채로 남겨질 수 있다.

[0070] 동적 어레이 섹션 (DAS; dynamic array section) 은, 세분의 각각 수직으로 기술된 레벨에 존재하는 피쳐들을 세트에 따라 그 세분에서의 다른 피쳐들을 고려하여 정의되는 동적 어레이 아키텍처의 세분으로서 정의되는데, 여기서 룰들은 세분의 소정의 레벨에서의 피쳐들 사이 및 세분의 개별 레벨에서의 피쳐들 사이의 관계들을 지배하도록 설정된다. DAS는 임의의 형상 및 크기의 기관 영역을 점유하도록 정의될 수 있다. 또한, DAS는 기관 위의 임의의 형상 및 크기의 영역을 점유하도록 정의될 수 있다.

[0071] 또한, 공동 계류중인 US 특허 출원 제 12/013,342 호에서 논의된 바와 같이, 로직 레벨의 소정의 레벨에서, 즉

DAS 포함 로직 셀의 소정 레벨에서의 도전성 피쳐들은 로직 셀의 원점에 대해 인텍싱될 수 있다. 예를 들어, 소정의 레벨에서의 로직 셀의 원점은 기판의 평면에 수직인 방향에서 볼 때 로직 셀의 하부 좌측 코너에 위치되도록 고려된다. 로직 셀 폭들이 변화할 수 있기 때문에, 폭 방향에서의 로직 셀 경계부는 소정의 DAS 레벨 내의 도전성 피쳐 피치 또는 절반 피치 상에 항상 떨어지지 않을 수도 있다. 이에 따라, 소정의 DAS 레벨의 가상 그레이트에 대한 로직 셀의 원점에 따라, 로직 셀의 소정의 DAS 레벨에서의 도전성 피쳐들은 로직 셀이 칩 상에 배치될 때 소정의 DAS 레벨의 가상 그레이트와 정렬시키기 위해 로직 셀 원점에 대해 이동되어야 할 필요가 있을 수도 있다. 상기 논의된 바와 같이, 로직 셀의 원점에 대해 로직 셀의 소정의 레벨에서의 도전성 피쳐들의 이동은 페이징이라 칭한다. 이에 따라, 페이징은 로직 셀의 원점의 위치에 따라, 소정의 칩 레벨에 대한 DAS의 가상 그레이트에 로직 셀의 소정의 레벨에서의 도전성 피쳐들의 정렬을 제공한다. 예를 들어, 게이트 전극 가상 그레이트가 로직 셀 경계부들에 걸쳐 연장하는 경우, 페이징은 제 2 상호접속 레벨 가상 그레이트에 대한 소정의 로직 셀에서의 제 2 상호접속 레벨 도전성 피쳐들의 정렬을 유지할 필요가 있을 수도 있다.

[0072] 도 7은 본 발명의 일 실시형태에 따라, DAS 내에 정의된 인접하여 배치된 로직 셀들의 제 2 상호접속 레벨에서의 상이한 페이징들의 일 예를 나타내는 도면이다. 도 7은 공동 계류중인 US 특허출원 제 12/013,342 호의 도 33에 대응한다. 도 7은 DAS에 있어서 서로 인접하여 배치된 3개의 예시적인 셀들 (셀 1, 페이지 A; 셀 1, 페이지 B; 및 셀 1, 페이지 C)를 나타낸다. 이에 따라, 3개의 셀들의 각각은 DAS의 각 레벨에서 가상 그레이트를 공유한다. 페이징 개념의 설명을 용이하게 하기 위해, 각 셀의 제 2 상호접속 레벨 도전성 피쳐들 (3303)이 각 셀의 게이트 전극 레벨 도전성 피쳐들 (3301) 위에 겹쳐진 것을 나타낸다. 폭 방향에서의 셀 경계부들은 게이트 전극 절반 피치 상에 떨어진다.

[0073] 셀 페이징 원리를 설명하기 위해 도 2a 내지 도 4의 예들에서 사용된 바와 같이 M2 레벨 대 게이트 레벨 가상 그레이트 피치가 4/3인 것은, 상이한 칩 레벨들 사이에 적용될 수 있는 많은 가능한 가상 그레이터 피치 비율들 중 하나의 예인 것임을 이해해야 한다. 예를 들어, 도 7의 예시적인 실시형태에 있어서, M2 레벨 대 게이트 레벨 가상 그레이트 피치 비율이 3/4인 것이 사용되어, 4의 제 2 상호접속 레벨 도전성 피쳐 피치들이 3의 게이트 전극 레벨 도전성 피쳐 피치들마다 제공된다.

[0074] 각 셀의 원점은 셀의 하부 좌측 코너에 상주하도록 도시된다. 제 2 상호접속 레벨에 대한 셀 1의 각 페이징은 셀의 원점에 제 2 상호접속 레벨 도전성 피쳐들을 인텍싱함으로써 정의된다. 도 7의 예에 나타난 바와 같이, 인텍스, 즉 원점에 대한 제 2 상호접속 레벨 도전성 피쳐들의 간격은, 페이지 A, B 및 C의 각각에 대해 연속하여 감소된다. 적절한 페이지를 갖도록 각 로직 셀의 각 레벨을 정의함으로써, 소정의 DAS 레벨 내의 다양한 로직 셀들 내에 정의된 도전성 피쳐들이 소정의 DAS 레벨과 연관된 공통 가상 그레이트에 정렬될 수 있도록 공통 DAS에서 서로에 대해 다음의 로직 셀을 배치하는 것이 가능하다. 부가적으로, 일 실시형태에 있어서 DAS 내의 인접 셀들은 하나 이상의 DAS 레벨들에서 도전성 피쳐들을 공유하도록 정의되고 배치될 수 있다는 것을 이해해야 한다. 예를 들어, 도 7에서의 셀 1의 페이지 B 및 C 인스턴스들은 제 2 상호접속 레벨 도전성 피쳐들을 공유하는 것으로서 도시된다.

[0075] \*일부 실시형태들에 있어서, 동적 어레이 아키텍처 제한에 대해 자유로운 다른 칩 레벨들의 부분들을 덮으면서, 단지 하나의 칩 레벨의 일 부분에만 동적 어레이 아키텍처가 적용될 수도 있다. 예를 들어, 일 실시형태에 있어서, 게이트 전극은 동적 어레이 아키텍처를 따르도록 정의되고, 더 높은 상호접속 레벨들은 자유로운 방식, 즉 비동적 어레이 방식에 의해 정의된다. 이 실시형태에 있어서, 게이트 전극 레벨은 앞서 논의된 바와 같이 가상 그레이트와, 게이트 전극 레벨 도전성 피쳐들이 정의된 그 대응 피쳐 레이아웃 채널들에 의해 정의된다. 또한, 이 실시형태에 있어서, 비동적 어레이의 더 높은 상호접속 레벨들의 레이아웃 피쳐들은 가상 그레이트 및 연관된 피쳐 레이아웃 채널들에 대해 자유로울 수 있다. 예를 들어, 이 특정 실시형태에 있어서, 게이트 전극 레벨 위의 임의의 상호접속 레벨에서의 레이아웃 피쳐들은 임의의 2차원적으로 형상화된 레이아웃 피쳐들을 형성하도록 밴드들을 포함할 수 있다.

[0076] 상기 언급된 실시형태에 대안적인 것으로서, 복수의 칩 레벨들이 동적 어레이 아키텍처에 따라 정의되는 다른 실시형태들이 존재할 수 있다. 본 명세서에서 개시된 페이징 기술들은, 동적 어레이 아키텍처에 따라 정의되는 다수의 칩 레벨들에 관계없이, 동적 어레이 아키텍처를 사용하는 임의의 실시형태에 동등하게 적용가능하다는 것을 이해해야 한다.

[0077] 본 명세서에서 개시된 셀 페이징 기술들은 컴퓨터 판독가능 매체 상의 디지털 포맷과 같은 유형의 폼에 저장되



는 레이아웃에 정의될 수 있다는 것을 이해해야 한다. 예를 들어, 본 명세서에 개시된 셀 페이징 레이아웃들은 하나 이상의 셀들의 라이브러리들로부터 선택가능한, 하나 이상의 셀들의 레이아웃 데이터 파일에 저장될 수 있다. 레이아웃 데이터 파일은 GDS II (Graphic Data System) 데이터베이스 파일, OASIS (Open Artwork System Interchange Standard) 데이터베이스 파일, 또는 반도체 디바이스 레이아웃들을 저장하고 통신하기에 적합한 임의의 다른 유형의 데이터 파일 포맷으로서 포맷될 수 있다. 또한, 셀 페이징 기술들을 이용하는 멀티 레벨 레이아웃들은 대형 반도체 디바이스의 멀티 레벨 레이아웃 내에 포함될 수 있다. 대형 반도체 디바이스의 멀티 레벨 레이아웃은 또한 상기 식별된 것과 같은 레이아웃 데이터 파일의 형태로 저장될 수 있다.

[0078] 또한, 본 명세서에서 설명된 발명은 컴퓨터 판독가능 매체 상의 컴퓨터 판독 코드로서 포함될 수 있다. 예를 들어, 컴퓨터 판독 가능 코드는 셀 페이징 기술들을 포함하는 하나 이상의 레이아웃들이 저장되는 레이아웃 데이터 파일을 포함할 수 있다. 또한, 컴퓨터 판독가능 코드는 하나 이상의 레이아웃 라이브러리들 및/또는 그 내부에 정의된 셀 페이징 기술들을 이용하는 레이아웃을 포함하는 셀들을 선택하기 위한 프로그램 명령들을 포함할 수 있다. 레이아웃 라이브러리들 및/또는 셀들은 또한 컴퓨터 판독가능 매체 상의 디지털 포맷에 저장될 수 있다.

[0079] 본 명세서에서 언급된 컴퓨터 판독가능 매체는 이후에 컴퓨터 시스템에 의해 판독될 수 있는 데이터를 저장할 수 있는 임의의 데이터 저장 디바이스이다. 컴퓨터 판독가능 매체의 예들은 하드 드라이브, NAS (network attached storage), 판독전용 메모리(read-only memory), 랜덤 액세스 메모리(random-access memory), CD-ROM, CD-R, CD-RW, 마그네틱 테이프( magnetic tapes) 및 다른 광학 및 비광학 데이터 저장 디바이스를 포함한다. 또한, 컴퓨터 판독가능 매체는 커플링된 컴퓨터 시스템의 네트워크를 통해 분포되어 분포된 방식으로 컴퓨터 판독가능 코드가 저장되고 실행될 수 있다.

[0080] 본 발명의 부분을 형성하는 본 명세서에서 설명되는 임의의 동작들은 유용한 머신 동작들이다. 또한, 본 발명은 이들 동작들을 수행하기 위한 디바이스 또는 장치와 관련된다. 그 장치는 특수 목적 컴퓨터와 같이 필요한 목적을 위해 특별히 구성될 수도 있다. 특수 목적 컴퓨터로서 정의되는 경우, 컴퓨터는 특수 목적을 위해서도 동작할 수 있으면서 특수 목적의 부분이 아닌 다른 프로세싱, 프로그램 실행 또는 루틴들을 또한 수행할 수 있다. 또한, 그 동작들은 네트워크를 통해 획득된 또는 컴퓨터 메모리, 캐시에 저장된 하나 이상의 컴퓨터 프로그램들에 의해 선택적으로 활성화되고 구성되는 범용 컴퓨터에 의해 처리될 수도 있다. 데이터가 네트워크를 통해 획득되는 경우, 그 데이터는 아마도 네트워크 상의 다른 컴퓨터들, 예를 들어 리소스들을 컴퓨팅하는 클라우드에 의해 처리되었을 것이다.

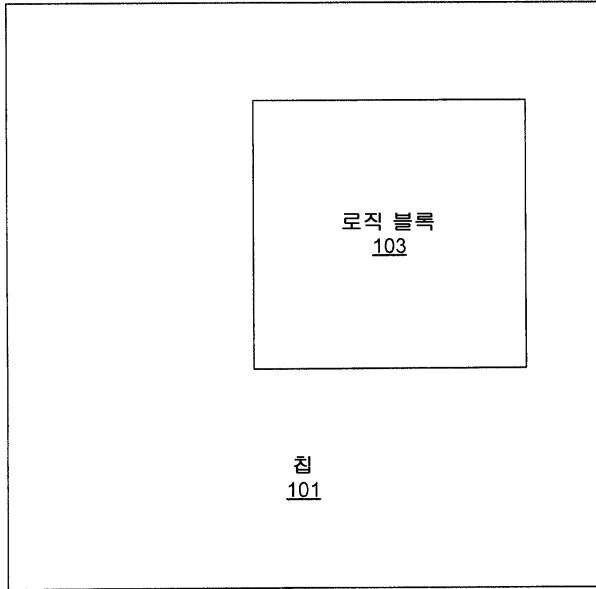
[0081] 또한, 본 발명의 실시형태들은 하나의 상태에서 다른 상태로 데이터를 변환시키는 머신으로서 정의될 수 있다. 그 데이터는, 전자 신호 및 전기적 조정 데이터로서 나타낼 수 있는 물품을 나타낼 수도 있다. 몇몇 경우에 있어서, 그 변환된 데이터는, 데이터의 변환으로부터 야기되는 물리적 객체를 나타내는 디스플레이 상에 시각적으로 묘사될 수 있다. 그 변환된 데이터는 일반적으로 저장소에 저장될 수 있고, 또는 물리적 및 유형의 객체의 묘사 또는 구성을 가능하게 하는 특정 포맷들에 저장될 수 있다. 일부 실시형태들에 있어서, 조정은 프로세서에 의해 수행될 수 있다. 그러한 예로서, 프로세서는 하나의 것에서 다른 것으로 데이터를 변환시킨다. 또한, 그 방법들은 네트워크를 통해 접속될 수 있는 하나 이상의 머신들 또는 프로세서들에 의해 처리될 수 있다. 각 머신은 하나의 상태 또는 하나의 것에서 다른 것으로 데이터를 변환시킬 수 있으며 또한 데이터를 처리할 수 있고, 저장소에 데이터를 저장할 수 있으며, 네트워크를 통해 데이터를 송신할 수 있으며, 그 결과를 디스플레이하거나 또는 그 결과를 다른 머신과 통신할 수 있다.

[0082] 본 명세서에서 개시된 셀 페이징 실시형태들은 반도체 디바이스 또는 칩의 부분으로서 제조될 수 있다는 것을 또한 이해해야 한다. 집적 회로, 메모리 셀 등과 같은 반도체 디바이스의 제조에 있어서, 일련의 제조 동작들은 반도체 웨이퍼 상에 피쳐들을 정의하기 위해 수행된다. 웨이퍼는 실리콘 기판 상에 정의된 멀티 레벨 구조들 형태의 집적 회로 디바이스들을 포함한다. 기판 레벨에서, 확산 영역들을 갖는 트랜지스터 디바이스들이 형성된다. 후속 레벨에서, 상호접속 금속화 라인들이 패터닝되고 전기적으로 트랜지스터 디바이스들에 접속되어 원하는 집적 회로 디바이스를 정의한다. 또한, 패터닝된 도전성 층들은 유전체 재료에 의해 다른 도전성 층들과 절연된다.

[0083] 본 발명은 몇몇 실시형태들에 의해 설명되었지만, 당업자가 명세서를 계속 읽고 도면을 연구하면 다양한 변형물, 부가물, 치환물 및 그 등가물을 실현하게 될 것이라는 것을 이해해야 한다. 이에 따라, 본 발명은 본 발명의 진정한 사상 및 범위 내에 포함되는 모든 그러한 변형물, 부가물, 치환물 및 등가물을 포함하려는 것으로 의도된다.

도면

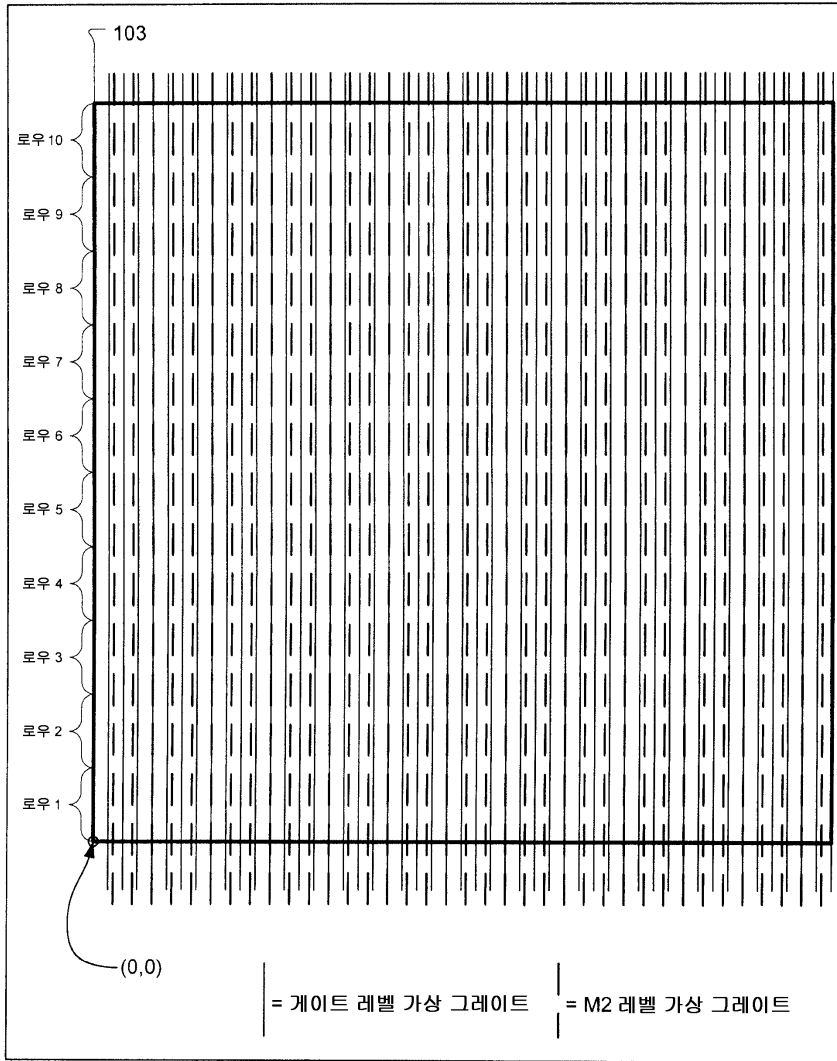
도면1a



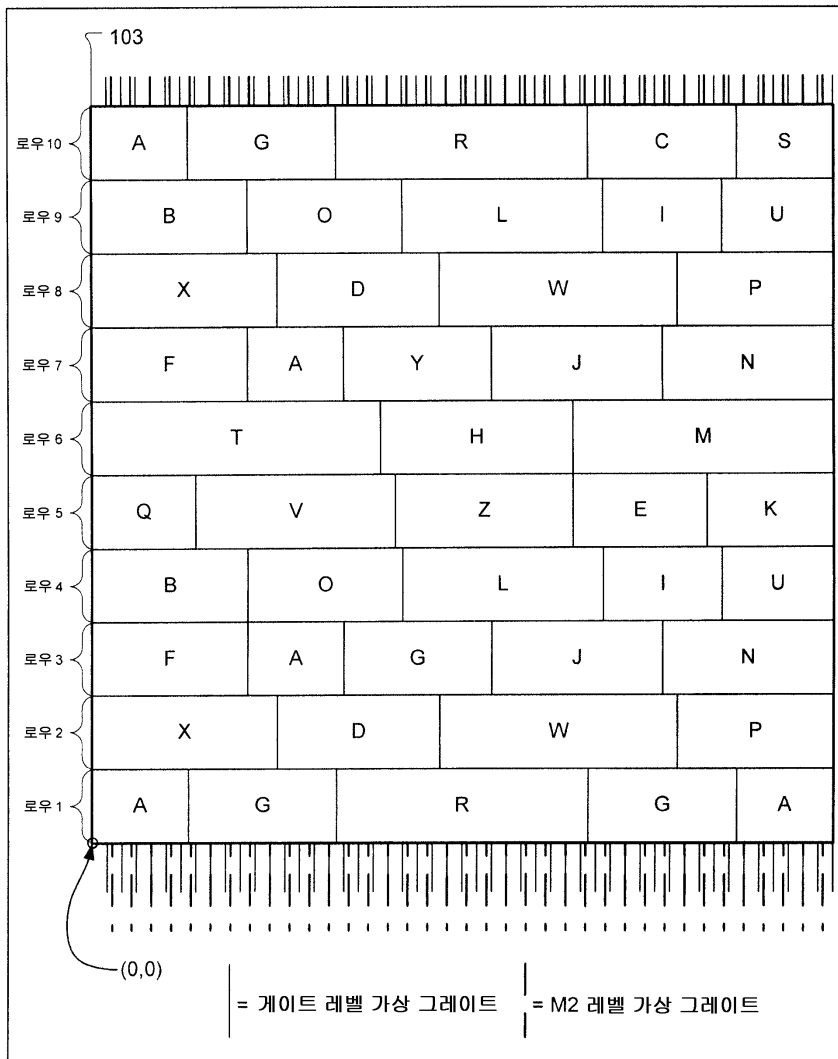
도면1b

|       |   |   |   |   |   |
|-------|---|---|---|---|---|
| 103   |   |   |   |   |   |
| 로우 10 | A | G | R | C | S |
| 로우 9  | B | O | L | I | U |
| 로우 8  | X | D | W | P |   |
| 로우 7  | F | A | Y | J | N |
| 로우 6  | T |   | H | M |   |
| 로우 5  | Q | V | Z | E | K |
| 로우 4  | B | O | L | I | U |
| 로우 3  | F | A | G | J | N |
| 로우 2  | X | D | W | P |   |
| 로우 1  | A | G | R | G | A |

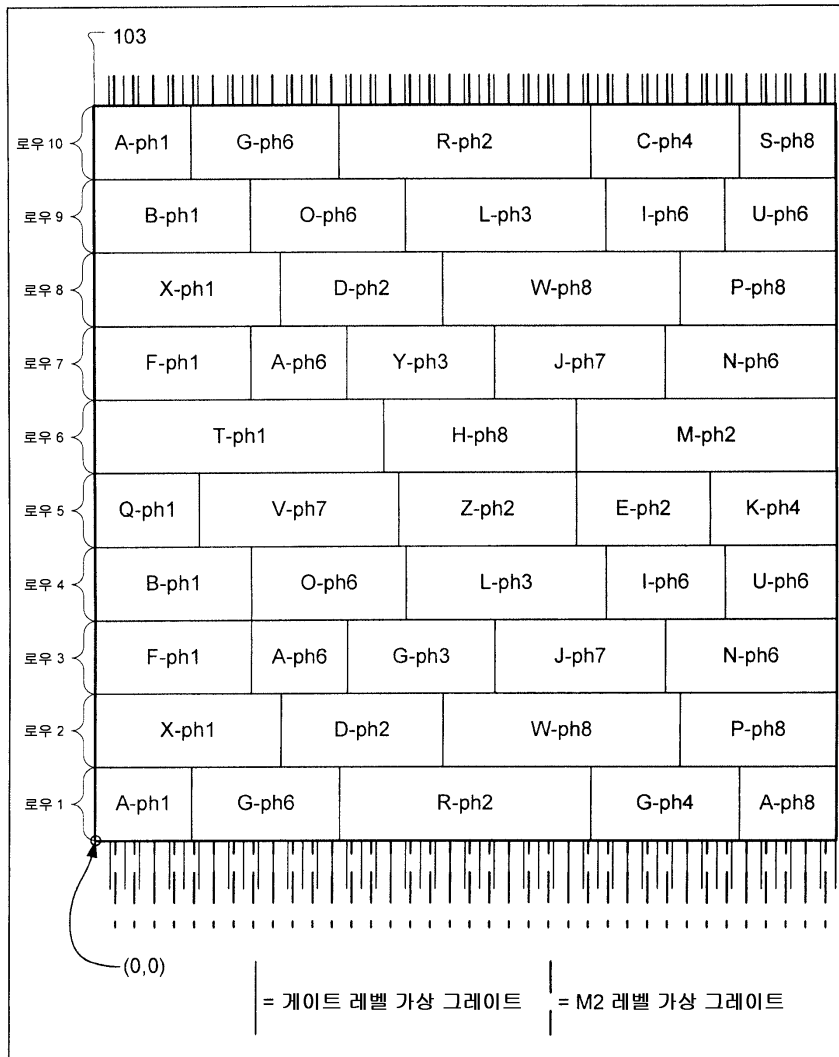
도면2a



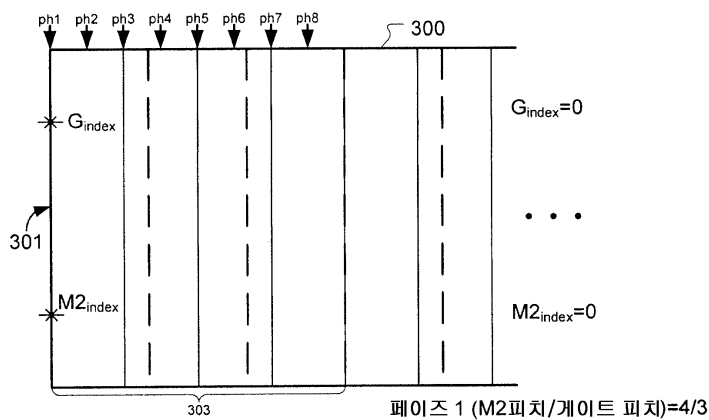
도면2b



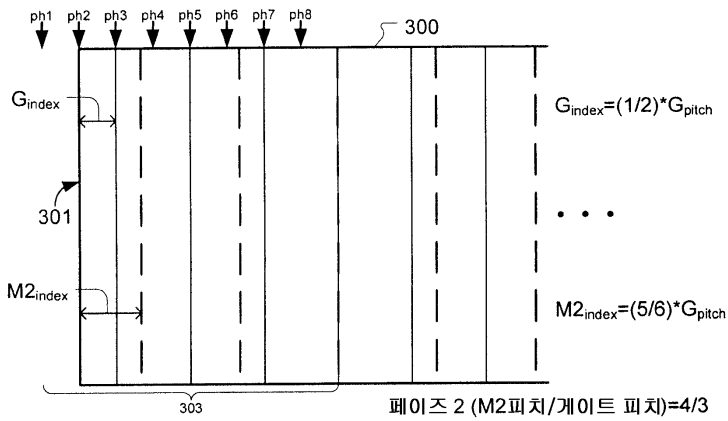
도면2c



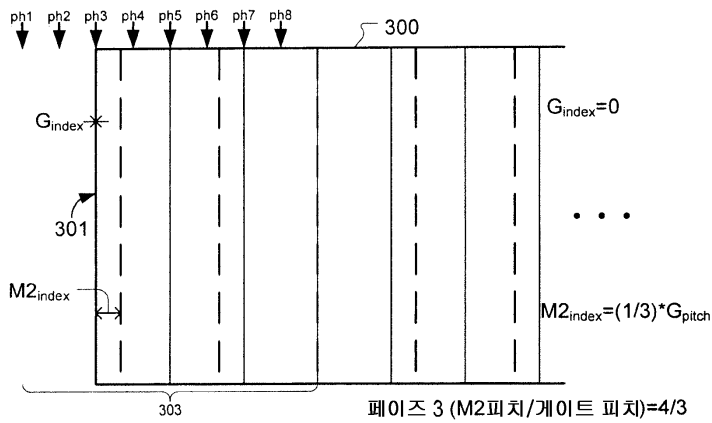
도면3a



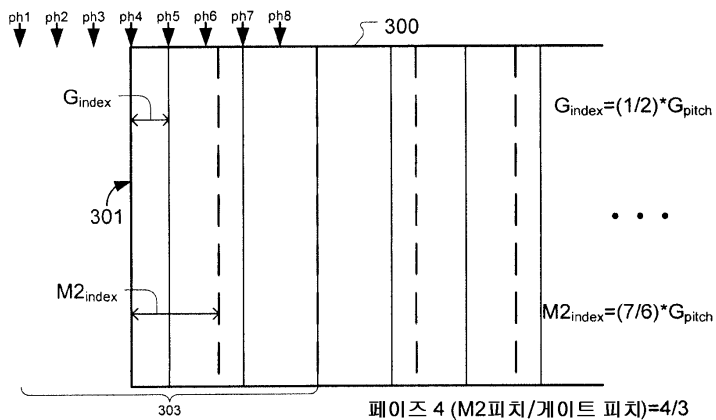
도면3b



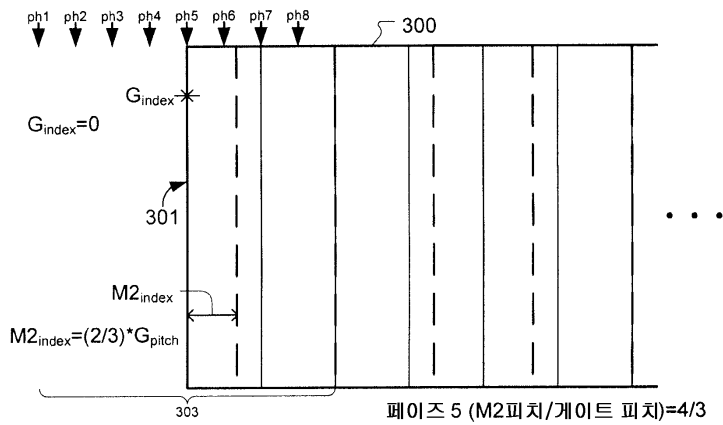
도면3c



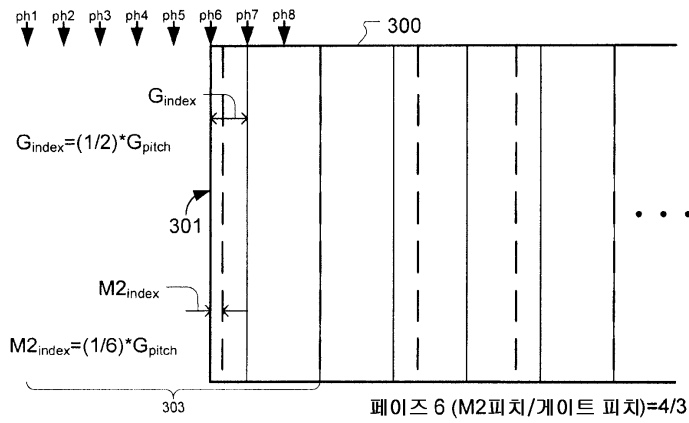
도면3d



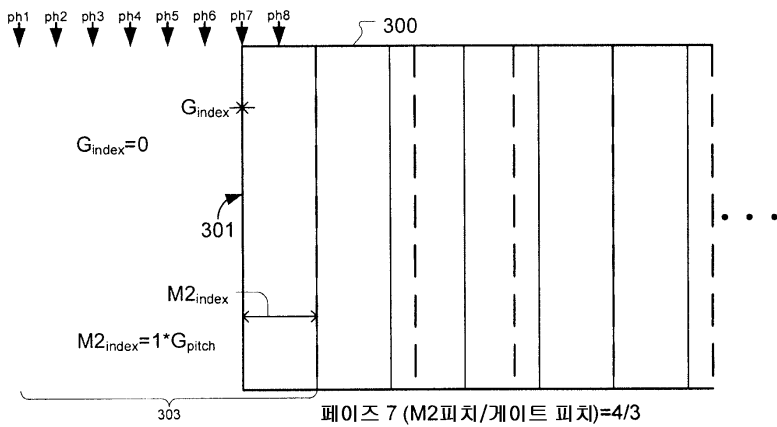
도면3e



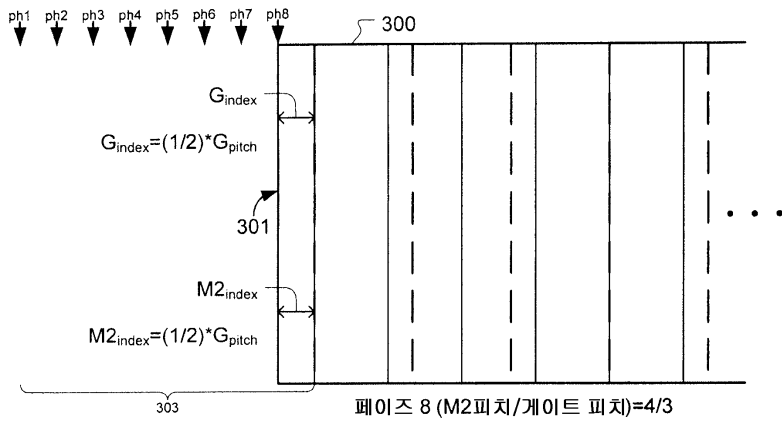
도면3f



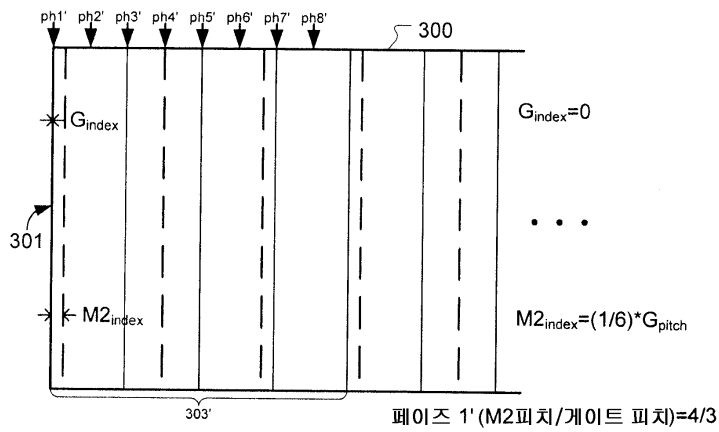
도면3g



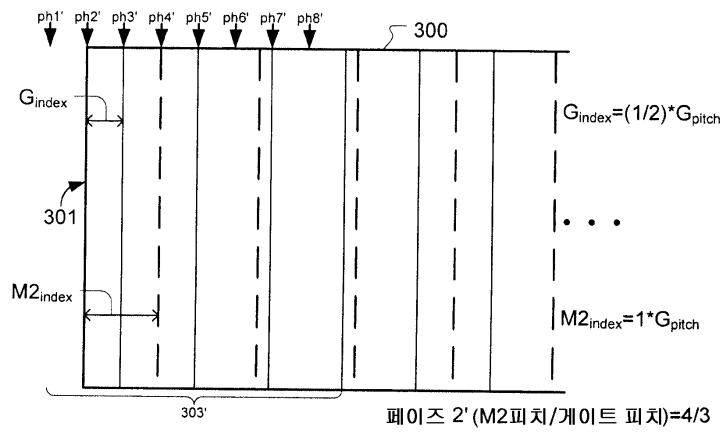
도면3h



도면3i

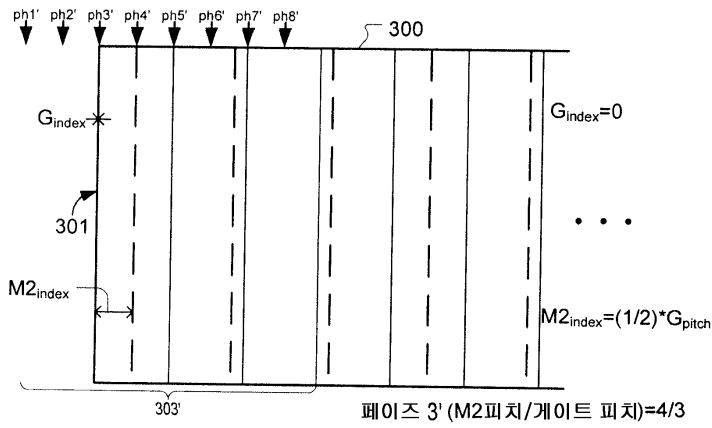


도면3j

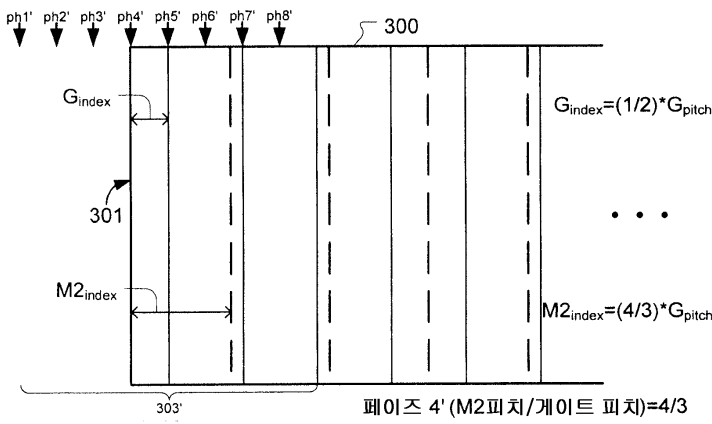




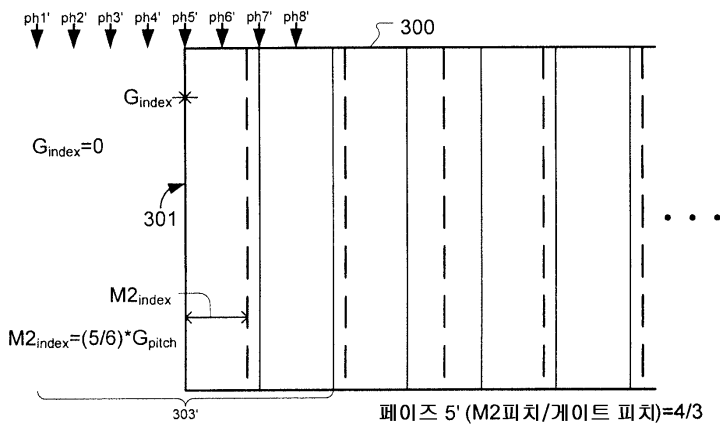
도면3k



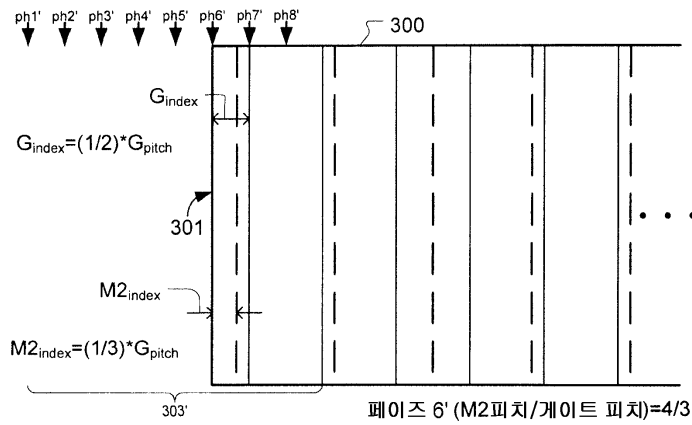
도면3l



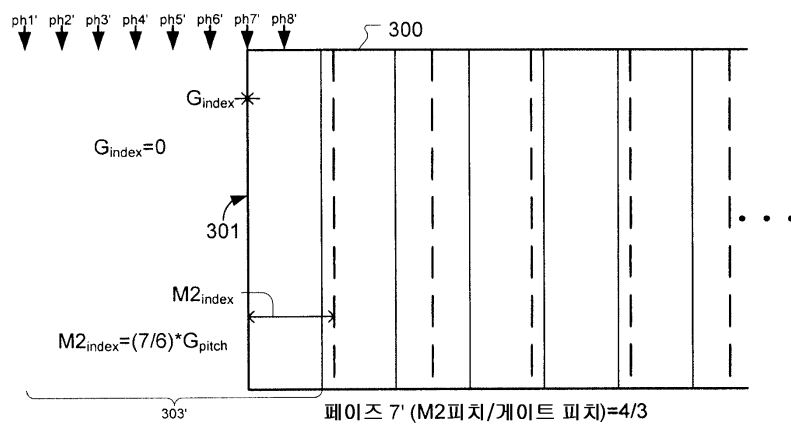
도면3m



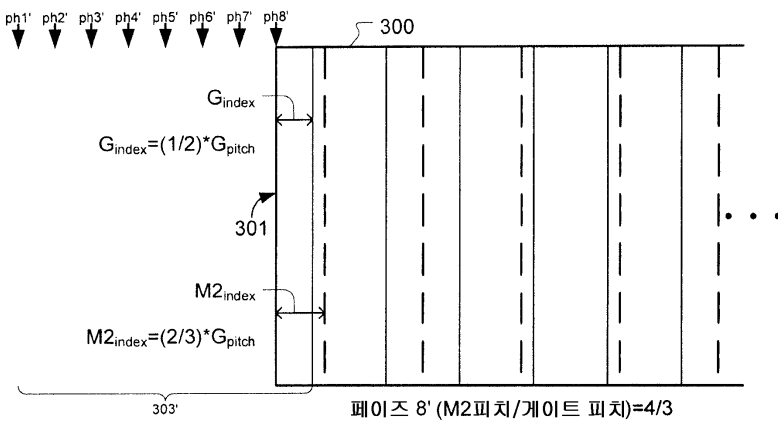
도면3n



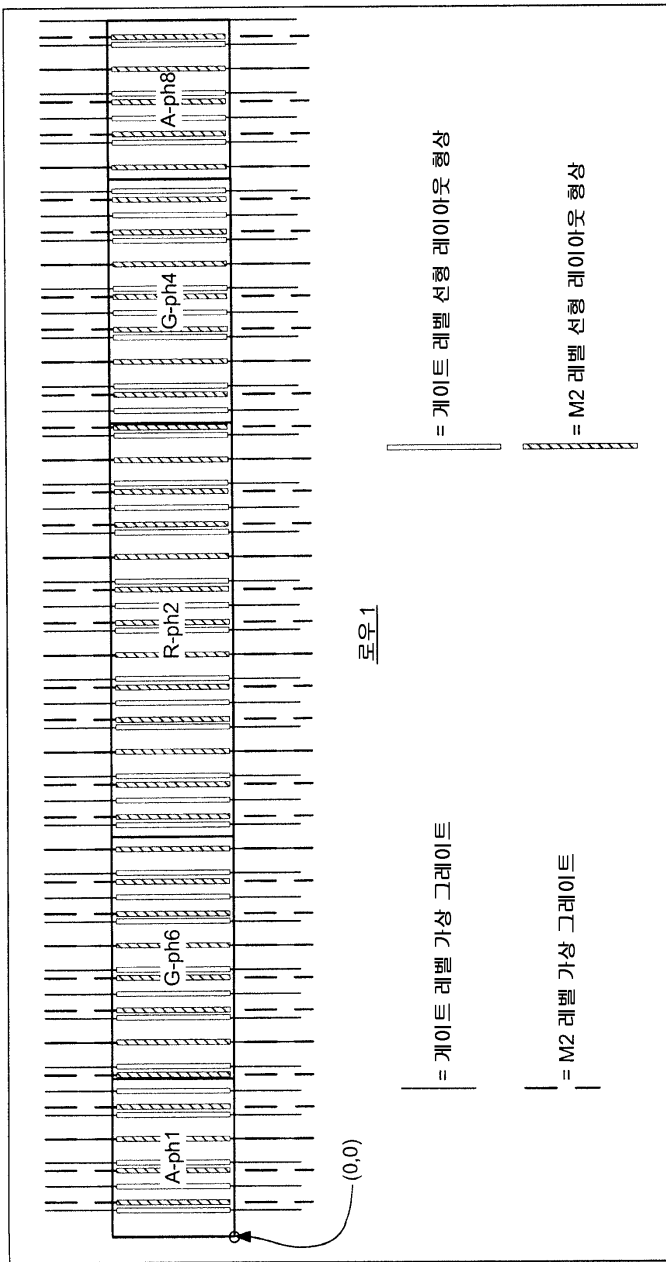
도면3o



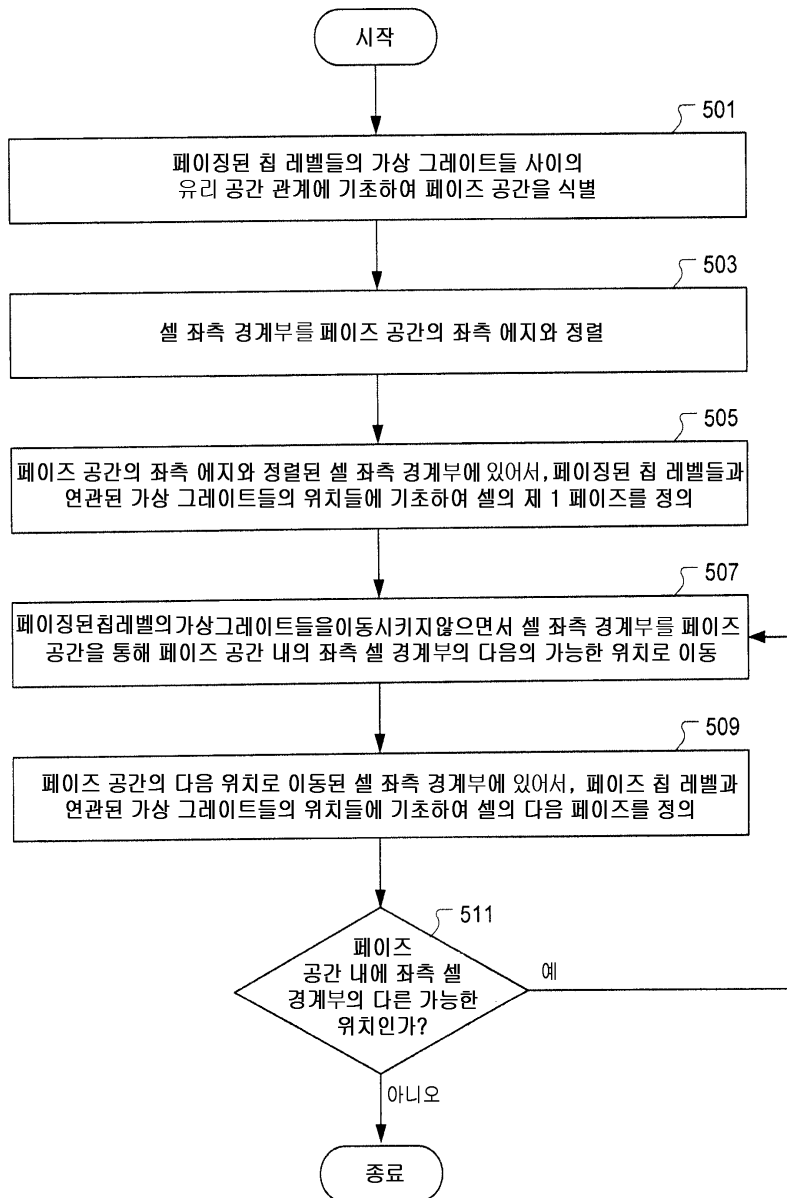
도면3p



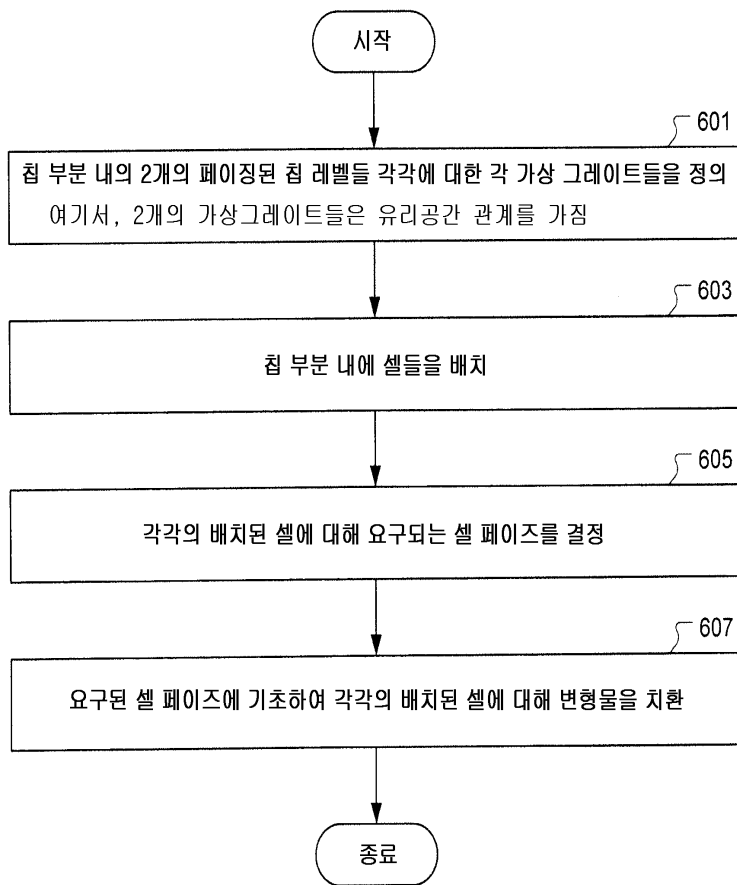
도면4



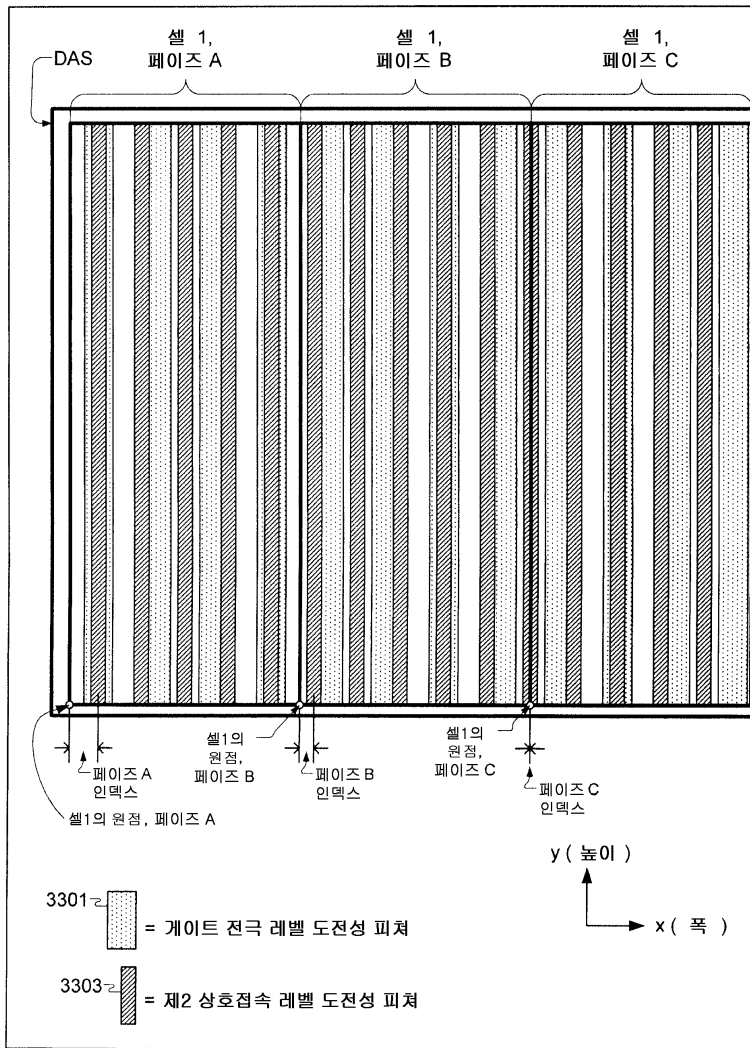
도면5



도면6



도면7



도면8

