

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年2月7日(07.02.2019)



(10) 国際公開番号

WO 2019/026440 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 27/088 (2006.01)
H01L 21/822 (2006.01) H01L 29/78 (2006.01)
H01L 27/04 (2006.01) H01L 29/786 (2006.01)
H01L 27/06 (2006.01)

LUTIONS CORPORATION) [JP/JP]; 〒2430014
神奈川県厚木市旭町四丁目14番
1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2018/022960

(22) 国際出願日: 2018年6月15日(15.06.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-149097 2017年8月1日(01.08.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SO-

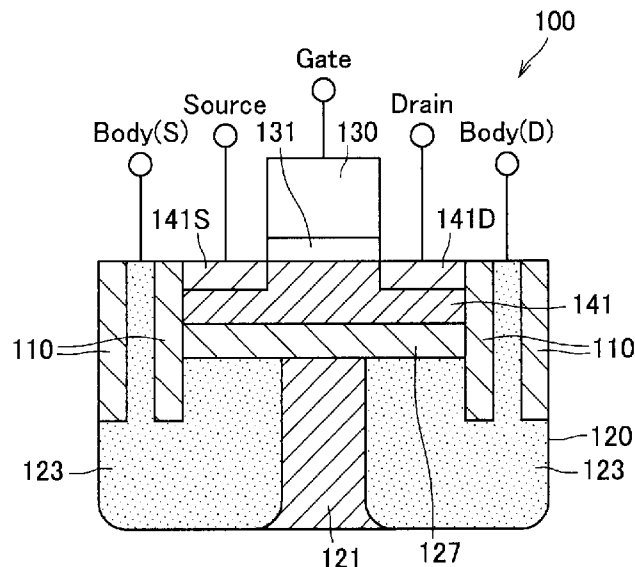
(72) 発明者: 深作 克彦 (FUKASAKU, Katsuhiko);
〒2430014 神奈川県厚木市旭町四丁目14
番1号 ソニーセミコンダクタソリューシ
ョンズ株式会社内 Kanagawa (JP).

(74) 代理人: 亀谷 美明, 外 (KAMEYA, Yoshiaki et
al.); 〒1600004 東京都新宿区四谷3-1-
3 第一富澤ビル はづき国際特許事務
所 四谷オフィス Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: TRANSISTOR AND ELECTRONIC APPARATUS

(54) 発明の名称: トランジスタ及び電子機器



(57) Abstract: [Problem] To provide an electronic apparatus and a transistor, the characteristics of which are easily controlled. [Solution] A transistor comprising: a semiconductor substrate including conductive impurities; an element separation layer disposed from the surface towards the inner side of the semiconductor substrate, and defining an element region; a buried insulating layer disposed in the semiconductor substrate in the element region; a gate electrode disposed on the semiconductor substrate via a gate insulating film so as to cross the element region; and a drain region and a source region that are respectively disposed in opposing regions across the gate electrode in the element region, wherein the concentration or the polarity of the conductive impurities in the semiconductor substrate in an edge region at least including the edge of the gate electrode on the drain region side is different from the concentration or the polarity of the conductive impurities in the semiconductor substrate in a central region including the central portion of the gate electrode.

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: 【課題】特性の制御が容易なトランジスタ及び電子機器を提供する。【解決手段】導電型不純物を含む半導体基板と、前記半導体基板の表面から内部に向かって設けられ、素子領域を画定する素子分離層と、前記素子領域の前記半導体基板の内部に設けられた埋込絶縁層と、前記素子領域を横断して、前記半導体基板の上にゲート絶縁膜を介して設けられたゲート電極と、前記素子領域の前記ゲート電極を挟んで対向する領域に設けられたドレイン領域及びソース領域と、を備え、前記ゲート電極の前記ドレイン領域側の端部を少なくとも含む端部領域における前記半導体基板の前記導電型不純物の濃度又は極性は、前記ゲート電極の中央部を含む中央領域における前記半導体基板の前記導電型不純物の濃度又は極性と異なる、トランジスタ。

明 細 書

発明の名称： トランジスタ及び電子機器

技術分野

[0001] 本開示は、トランジスタ及び電子機器に関する。

背景技術

[0002] 近年、集積回路内の電界効果トランジスタでは、高性能化及び微細化が進んでいる。

[0003] 一方で、微細化によってチャネル長が縮小した電界効果トランジスタでは、短チャネル効果によって、非動作時に流れる電流（いわゆる、オフステート・リーク電流）が大きくなってしまう。これは、チャネル長が短くなることで、チャネル領域に存在するキャリアがソース領域及びドレイン領域の空乏層からも影響を受けるようになるため、ゲート電圧の印加の有無にかかわらず、ドレイン電流が流れやすくなってしまうためである。

[0004] そのため、例えば、シリコン基板の内部に、BOX（Buried Oxide）層と呼ばれる絶縁膜を挟み込んだSOI（Silicon On Insulator）基板の採用が検討されている。SOI基板では、ソース領域、ドレイン領域及びチャネル領域が形成されるSOI層と、基板本体とが絶縁膜であるBOX層によって分離されるため、空乏層による影響を抑制し、オフステート・リーク電流を低減することができる。

[0005] 例えば、下記の特許文献1には、SOI基板の上の電界効果トランジスタによって構成されたESD（electro-Static Discharge）保護素子が開示されている。

先行技術文献

特許文献

[0006] 特許文献1：特開2010-212588号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、特許文献 1 に開示された ESD 保護素子は、製造コストを低減することを目的としているため、トランジスタ特性の制御については十分な検討が行われていなかった。

[0008] そこで、本開示に係る技術は、上記事情に鑑みて生み出されたものである。本開示では、特性の制御が容易な、新規かつ改良されたトランジスタ及び電子機器を提案する。

課題を解決するための手段

[0009] 本開示によれば、導電型不純物を含む半導体基板と、前記半導体基板の表面から内部に向かって設けられ、素子領域を画定する素子分離層と、前記素子領域の前記半導体基板の内部に設けられた埋込絶縁層と、前記素子領域を横断して、前記半導体基板の上にゲート絶縁膜を介して設けられたゲート電極と、前記素子領域の前記ゲート電極を挟んで対向する領域に設けられたドレイン領域及びソース領域と、を備え、前記ゲート電極の前記ドレイン領域側の端部を少なくとも含む端部領域における前記半導体基板の前記導電型不純物の濃度又は極性は、前記ゲート電極の中央部を含む中央領域における前記半導体基板の前記導電型不純物の濃度又は極性と異なる、トランジスタが提供される。

[0010] また、本開示によれば、導電型不純物を含む半導体基板と、前記半導体基板の表面から内部に向かって設けられ、素子領域を画定する素子分離層と、前記素子領域の前記半導体基板の内部に設けられた埋込絶縁層と、前記素子領域を横断して、前記半導体基板の上にゲート絶縁膜を介して設けられたゲート電極と、前記素子領域の前記ゲート電極を挟んで対向する領域に設けられたドレイン領域及びソース領域と、を備え、前記ゲート電極の前記ドレイン領域側の端部を少なくとも含む端部領域における前記半導体基板の前記導電型不純物の濃度又は極性は、前記ゲート電極の中央部を含む中央領域における前記半導体基板の前記導電型不純物の濃度又は極性と異なるトランジスタを含む回路、を備える、電子機器が提供される。

[0011] 本開示によれば、埋込絶縁層以下の半導体基板に含まれる導電不純物の極

性又は濃度をチャンネルの中央領域と端部領域とで変更することによって、トランジスタのスレッシュホールド電圧を局所的に制御することが可能である。これにより、本開示によれば、トランジスタ全体でのスレッシュホールド電圧を高めつつ、GIDL (Gate Induced Drain Leakage) 電流の増加を抑制することが可能である。

発明の効果

[0012] 以上説明したように本開示によれば、トランジスタの特性を容易に制御することが可能である。

[0013] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0014] [図1]トランジスタのゲート電極に印加される電圧と、トランジスタのドレイン電極に流れる電流との関係を示すグラフ図である。

[図2A]本開示の一実施形態に係るトランジスタの断面構成を示す模式的な縦断面図である。

[図2B]図2Aで示すトランジスタの平面構成を示す平面図である。

[図2C]中央領域及び端部領域が設けられる領域と、ゲート電極、ソース領域及びドレイン領域との位置関係を示す縦断面図である。

[図3]同実施形態に係るトランジスタを模式的に示した鳥瞰図である。

[図4]同実施形態に係るトランジスタの製造方法の一工程を説明する模式的な縦断面図である。

[図5]同実施形態に係るトランジスタの製造方法の一工程を説明する模式的な縦断面図である。

[図6]同実施形態に係るトランジスタの製造方法の一工程を説明する模式的な縦断面図である。

[図7]同実施形態に係るトランジスタの製造方法の一工程を説明する模式的な縦断面図である。

[図8]同実施形態に係るトランジスタの製造方法の一工程を説明する模式的な縦断面図である。

[図9]同実施形態に係るトランジスタの製造方法の一工程を説明する模式的な縦断面図である。

[図10]同実施形態に係るトランジスタの製造方法の一工程を説明する模式的な縦断面図である。

[図11]同実施形態に係るトランジスタの製造方法の一工程を説明する模式的な縦断面図である。

[図12]同実施形態に係るトランジスタの製造方法の一工程を説明する模式的な縦断面図である。

[図13]同実施形態に係るトランジスタの製造方法の一工程を説明する模式的な縦断面図である。

[図14]同実施形態に係るトランジスタが適用され得るESD保護回路の一例を示す回路図である。

[図15A]同実施形態に係るトランジスタが適用され得る電子機器の一例を示す外観図である。

[図15B]同実施形態に係るトランジスタが適用され得る電子機器の一例を示す外観図である。

[図15C]同実施形態に係るトランジスタが適用され得る電子機器の一例を示す外観図である。

発明を実施するための形態

[0015] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0016] なお、以下の説明にて参照する各図面では、説明の便宜上、一部の構成部材の大きさを誇張して表現している場合がある。したがって、各図面において図示される構成部材同士の相対的な大きさは、必ずしも実際の構成部材同

士の大小関係を正確に表現するものではない。また、以下の説明では、基板又は層が積層される方向を上方向と表すことがある。

[0017] なお、説明は以下の順序で行うものとする。

1. 本開示の一実施形態

1. 1. トランジスタの特性

1. 2. トランジスタの構成

1. 3. トランジスタに印加されるバイアス

1. 4. トランジスタの製造方法

2. 適用例

2. 1. ESD保護素子への適用

2. 2. 電子機器への適用

3. まとめ

[0018] <1. 本開示の一実施形態>

(1. 1. トランジスタの特性)

まず、図1を参照して、本開示の一実施形態に係るトランジスタの特性について説明する。図1は、トランジスタのゲート電極に印加される電圧 (V_g) と、トランジスタのドレイン電極に流れる電流 (I_d) との関係を示すグラフ図である。

[0019] 近年、スマートフォン、タブレット端末及びラップトップなどのポータブル機器が広く普及している。これらのポータブル機器では、稼働時間を延長するために、搭載される各種回路の消費電力を低減することが求められている。例えば、非動作時のトランジスタに流れるリーク電流（オフステート・リーク電流、又はオフ電流ともいう）をより小さくすることが求められている。

[0020] ここで、トランジスタのオフ電流を低減するためには、例えば、トランジスタの動作閾値であるスレッシュホールド電圧 (V_{th}) を制御することが考えられる。すなわち、図1に示すように、トランジスタのスレッシュホールド電圧を高くすることで、オフ電流 ($I_{off} @ V_g = 0V$) を低減することができる。

[0021] 具体的には、スレッシュヨルド電圧 (V_{th}) は、下記の式 1 にて与えられる。

[0022] [数1]

$$V_{th} = V_{fb} + 2\psi_b + 4\sqrt{(4\epsilon_{si} \cdot q \cdot Na \cdot \psi_b)/C_{ox}} \quad \dots \text{式 1}$$

[0023] 式 1 において、 V_{fb} はフラットバンド電圧 (単位は V) であり、右辺第 2 項 ($2\psi_b$) はフェルミポテンシャルと真性ポテンシャルとの差分 (単位は V) である。 ϵ_{si} はシリコンの誘電率であり、 q は電荷 (単位は C) である。 Na はトランジスタが形成される半導体基板の不純物濃度 (単位は m^{-3}) であり、 C_{ox} はゲート絶縁膜の容量 (単位は F) である。

[0024] また、式 1 におけるフラットバンド電圧 (V_{fb}) は、下記の式 2 によって表される。

[0025] [数2]

$$V_{fb} = \phi_g - \phi_s + q/C_{ox} \quad \dots \text{式 2}$$

[0026] 式 2 において、 ϕ_g はゲート電極の仕事関数であり、 ϕ_s はトランジスタが形成される半導体基板の仕事関数である。

[0027] したがって、上記の式 1 によれば、フラットバンド電圧 V_{fb} 及び半導体基板の不純物濃度 Na を高くすることによって、トランジスタのスレッシュヨルド電圧 (V_{th}) を高くし、トランジスタのオフ電流を低減することが可能であることがわかる。また、式 2 によれば、フラットバンド電圧 V_{fb} は、ゲート電極の仕事関数 ϕ_g を増加させることによって、高くすることが可能であることがわかる。

[0028] しかし、ゲート電極の仕事関数 ϕ_g を増加させた場合、ドレイン電位と、ゲート電極に印加される電圧との差が大きくなるため、チャネル内部で電界が急激に変化することになる。そのため、ゲート電極の端部でゲート電界起因リーク (Gate Induced Drain Leakage: GIDL) 電流が増加してしまう。したがって、トランジスタのオフ電流を低減さ

せるためには、トランジスタのスレッシュホールド電圧 (V_{th}) を高くしつつ、かつ GDL 電流の増加も抑制することが重要である。具体的には、トランジスタ全体のスレッシュホールド電圧を高くしつつ、ゲート電極の端部でのドレイン電位と、ゲート電極に印加される電圧との差を小さくすることが求められる。

[0029] 本開示に係る技術は、上記事情に鑑みてなされたものである。本開示は、 GDL 電流の増加を抑制しつつ、トランジスタのスレッシュホールド電圧（閾値電圧）を高くすることによって、オフ電流がより低減されたトランジスタを提供するものである。

[0030] (1. 2. トランジスタの構成)

以下では、図 2 A 及び図 2 B を参照して、本実施形態に係るトランジスタの構成について説明する。図 2 A は、本実施形態に係るトランジスタの断面構成を示す模式的な縦断面図である。図 2 B は、図 2 A で示すトランジスタの平面構成を示す平面図である。

[0031] 図 2 A 及び図 2 B に示すように、本実施形態に係るトランジスタ 100 は、中央領域 121 及び端部領域 123 を含む半導体基板 120 と、素子分離層 110 と、埋込絶縁層 127 と、ソース領域 141 S 及びドレイン領域 141 D が設けられた素子領域層 141 と、ゲート絶縁膜 131 と、ゲート電極 130 と、を備える。

[0032] 本実施形態に係るトランジスタ 100 が設けられる基板は、例えば、半導体基板 120 の内部に埋込絶縁層 127 が設けられ、埋込絶縁層 127 の上にさらに半導体からなる素子領域層 141 が設けられた、いわゆる SOI 基板である。

[0033] 半導体基板 120 は、導電型不純物を含み、トランジスタ 100 等の半導体装置が構成される基板である。半導体基板 120 は、例えば、多結晶、単結晶又はアモルファスのシリコン (Si) で形成された基板であってもよい。または、半導体基板 120 は、例えば、ゲルマニウム (Ge)、ガリウムヒ素 ($GaAs$)、窒化ガリウム (GaN) 又はシリコンカーバイド (SiC)

C)等の化合物半導体で形成された基板であってもよい。さらには、半導体基板120は、サファイア等の半導体以外の材料によって形成された基板にシリコン(Si)等の半導体を成膜した基板であってもよい。

[0034] 半導体基板120に含まれる導電型不純物は、例えば、ホウ素(B)又はアルミニウム(Al)などのp型不純物であってもよく、リン(P)又はヒ素(As)などのn型不純物であってもよい。

[0035] ここで、半導体基板120は、含有される導電型不純物の濃度及び極性によって、中央領域121及び端部領域123に分けられる。中央領域121及び端部領域123は、含有される導電型不純物の濃度及び極性が互いに異なるため、中央領域121及び端部領域123の上部のチャネル領域の仕事関数を局所的に制御することができる。チャネル領域の仕事関数を局所的に変化させることによって、ゲート絶縁膜131内の電界分布を変化させることができるため、トランジスタ100の局所的なスレッシュホールド電圧を変化させることができる。中央領域121及び端部領域123が形成される領域は、例えば、埋込絶縁層127よりも深い領域である。

[0036] なお、トランジスタ100の局所的なスレッシュホールド電圧とは、トランジスタ100がドレイン領域141Dからソース領域141Sにかけて複数のトランジスタを直列に接続したものであると仮想的に考えた場合の1トランジスタのスレッシュホールド電圧を表す。

[0037] 例えば、素子領域層141が第1導電型(例えば、p型)である場合、中央領域121を第1導電型(例えば、p型)とし、端部領域123を第2導電型(例えば、n型)としてもよい。この構成によれば、中央領域121の上部のチャネル領域の仕事関数を低下させ、トランジスタ100全体でのスレッシュホールド電圧を上昇させることができる。また、端部領域123の上部のチャネル領域の仕事関数を上昇させることで、端部領域123の上部のチャネル領域と、ゲート電極との仕事関数の差を小さくし、トランジスタ100の端部領域での局所的なスレッシュホールド電圧を低下させることができる。したがって、トランジスタ100は、GIDL電流の増加を抑制しつつ、ス

レッシュヨルド電圧を高くすることができるため、オフ電流をより低減することができる。

[0038] または、素子領域層 1 4 1 が第 1 導電型（例えば、p 型）である場合、中央領域 1 2 1 及び端部領域 1 2 3 を第 1 導電型（例えば、p 型）とし、該第 1 導電型不純物の濃度を異ならせることでも、上記と同様の効果を得ることが可能である。例えば、中央領域 1 2 1 の第 1 導電型不純物の濃度を端部領域 1 2 3 の第 1 導電型不純物の濃度よりも高くしてもよい。この構成によれば、中央領域 1 2 1 の上部のチャネル領域では、端部領域 1 2 3 の上部のチャネル領域よりも仕事関数を大きく低下させることができる。したがって、トランジスタ 1 0 0 全体でのスレッシュヨルド電圧を上昇させつつ、トランジスタ 1 0 0 の端部領域 1 2 3 での局所的なスレッシュヨルド電圧の上昇を抑制することができるため、トランジスタ 1 0 0 は、G I D L 電流の増加を抑制することができる。

[0039] さらに、素子領域層 1 4 1 が第 1 導電型（例えば、p 型）である場合、中央領域 1 2 1 及び端部領域 1 2 3 を第 2 導電型（例えば、n 型）とし、該第 2 導電型不純物の濃度を異ならせることでも、上記と同様の効果を得ることが可能である。例えば、中央領域 1 2 1 の第 2 導電型不純物の濃度を端部領域 1 2 3 の第 2 導電型不純物の濃度よりも低くしてもよい。この構成によれば、中央領域 1 2 1 の上部のチャネル領域では、端部領域 1 2 3 の上部のチャネル領域よりもゲート電極 1 3 0 と、チャネル領域との仕事関数の差が大きくなる。したがって、トランジスタ 1 0 0 の端部領域 1 2 3 での局所的なスレッシュヨルド電圧の上昇を抑制し、G I D L 電流の増加を抑制しつつ、トランジスタ 1 0 0 全体でのスレッシュヨルド電圧を上昇させることができる。

[0040] なお、第 1 導電型が n 型であり、第 2 導電型が p 型である場合についても、上述したように、中央領域 1 2 1 及び端部領域 1 2 3 の上部のチャネル領域の仕事関数を局所的に制御することで、トランジスタ 1 0 0 の特性を制御することが可能である。中央領域 1 2 1 及び端部領域 1 2 3 の各々が設けら

れる具体的な領域については後述する。

[0041] 中央領域 1 2 1 及び端部領域 1 2 3 には、それぞれ電位（バイアスとも称される）を印加することも可能である。このような場合、中央領域 1 2 1 及び端部領域 1 2 3 は、それぞれ半導体基板 1 2 0 の表面に露出する領域を有するように設けられ、該露出領域に電位線が接続されていてもよい。例えば、図 2 B に示すように、半導体基板 1 2 0 の表面に露出した中央領域 1 2 1 及び端部領域 1 2 3 には、それぞれ電位を印加可能な電位線が接続されてもよい。すなわち、ドレイン側の端部領域 1 2 3 には、電位線 B o d y (D) が電氣的に接続されてもよく、ソース側の端部領域 1 2 3 には、電位線 B o d y (S) が電氣的に接続されてもよい。さらに、図示しないが、中央領域 1 2 1 には、電位線 B o d y (C h) が電氣的に接続されてもよい。

[0042] 素子分離層 1 1 0 は、絶縁性材料で形成され、半導体基板 1 2 0 の表面から内部に向かって設けられる。素子分離層 1 1 0 は、半導体基板 1 2 0 の素子領域層 1 4 1 を素子ごとに離隔することで、半導体基板 1 2 0 に設けられるトランジスタ 1 0 0 の各々を電氣的に絶縁する。例えば、素子分離層 1 1 0 は、素子領域層 1 4 1 の周囲を囲む平面領域に設けられてもよい。なお、中央領域 1 2 1 及び端部領域 1 2 3 に電位（バイアス）が印加される場合、素子分離層 1 1 0 は、中央領域 1 2 1 及び端部領域 1 2 3 の各々を半導体基板 1 2 0 の表面に露出させる開口を有するように設けられる。これによれば、素子分離層 1 1 0 は、中央領域 1 2 1 及び端部領域 1 2 3 の各々を電位線と接続させることができる。

[0043] 素子分離層 1 1 0 は、後述する埋込絶縁層 1 2 7 が設けられた深さよりも深い領域まで形成されてもよい。この構成によれば、素子分離層 1 1 0 及び埋込絶縁層 1 2 7 は、素子領域層 1 4 1 と、半導体基板 1 2 0 の中央領域 1 2 1 及び端部領域 1 2 3 が設けられる基板本体とを離隔することができる。これにより、素子領域層 1 4 1 において、ソース領域 1 4 1 S 及びドレイン領域 1 4 1 D の空乏層による影響を抑制することができるため、トランジスタ 1 0 0 のオフ電流を低減することができる。

[0044] 例えば、素子分離層110は、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、または酸窒化シリコン(SiON)などの絶縁性の無機酸窒化物で形成されてもよい。具体的には、素子分離層110は、STI(Shallow Trench Isolation)法を用いて、素子領域を画定する所定の領域の半導体基板120の一部をエッチング等で除去した後、エッチングにて形成された開口を酸化シリコン(SiO_x)で埋め込むことで形成することができる。または、素子分離層110は、LOCOS(Local Oxidation of Silicon)法を用いて、素子領域を画定する所定の領域の半導体基板120を熱酸化によって酸化物に変換することで形成することも可能である。

[0045] 埋込絶縁層127は、素子分離層110によって画定された領域の半導体基板120の内部に設けられる。埋込絶縁層127は、いわゆるSOI基板のBOX層として機能し、素子領域層141と、半導体基板120の基板本体とを離隔することで、トランジスタ100の寄生容量、並びにソース領域141S及びドレイン領域141Dから延びる空乏層の影響等を低減することができる。

[0046] 埋込絶縁層127は、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、または酸窒化シリコン(SiON)などの絶縁性の無機酸窒化物で形成されてもよい。具体的には、埋込絶縁層127を含むSOI基板は、半導体基板120の基板本体の上に、埋込絶縁層127及び素子領域層141を順次成膜することで形成されてもよい。または、埋込絶縁層127を含むSOI基板は、半導体基板120の所定の内部領域を熱酸化によって酸化物に変換することで形成されてもよい。

[0047] SOI基板は、埋込絶縁層127が設けられる深さ(すなわち、素子領域層141の厚さ)によって、いわゆるFDSOI(Fully Depleted Silicon On Insulator)基板、及びPD(Partially Depleted Silicon On Insulator)基板に分けられるが、半導体基板120は、FDSOI基板及び

PDSOI基板のいずれであってもよい。なお、本実施形態では、上述したように半導体基板120は、シリコン以外の化合物半導体を用いても形成され得る。したがって、SOI基板という表現は、半導体基板120をシリコン基板に限定するものではないことは言うまでもない。

[0048] 素子領域層141は、素子分離層110によって画定された領域の埋込絶縁層127の上に設けられ、導電型不純物を含む半導体で構成される。具体的には、素子領域層141は、半導体基板120と同じ材質で形成されてもよい。例えば、素子領域層141は、多結晶、単結晶又はアモルファスのシリコン(Si)、または、ゲルマニウム(Ge)、ガリウムヒ素(GaAs)、窒化ガリウム(GaN)又はシリコンカーバイド(SiC)等の化合物半導体で形成されてもよい。

[0049] 素子領域層141には、素子領域層141が含む導電型不純物とは極性が異なる導電型不純物を含むソース領域141S及びドレイン領域141Dが設けられる。また、ソース領域141S及びドレイン領域141Dに挟まれる領域の上に、ゲート絶縁膜131を介してゲート電極130が設けられることによって、トランジスタ100が構成される。

[0050] ソース領域141S及びドレイン領域141Dは、素子領域層141に設けられ、素子領域層141と異なる導電型不純物を含む領域である。具体的には、ソース領域141S及びドレイン領域141Dは、ゲート電極130及びゲート絶縁膜131を挟んで対向する素子領域層141の領域に、素子領域層141と異なる導電型不純物を導入することで形成されてもよい。例えば、素子領域層141が第1導電型不純物を含む場合、ソース領域141S及びドレイン領域141Dは、第2導電型不純物を導入することで形成されてもよい。

[0051] 第1導電型不純物は、例えば、ホウ素(B)又はアルミニウム(Al)などのp型不純物であり、第2導電型不純物は、例えば、リン(P)又はヒ素(As)などのn型不純物であってもよい。または、逆に、第1導電型不純物は、例えば、リン(P)又はヒ素(As)などのn型不純物であり、第2

導電型不純物は、例えば、ホウ素（B）又はアルミニウム（Al）などのp型不純物であってもよい。

[0052] ソース領域141S及びドレイン領域141Dは、ソース（Source）又はドレイン（Drain）ノードと電氣的に接続されることで、トランジスタ100のソース端子又はドレイン端子として機能する。なお、ゲート電極130を挟んで形成されたソース領域141S及びドレイン領域141Dは、いずれがソース領域又はドレイン領域として機能してもよく、これらは任意に変更可能である。ただし、ドレイン領域141D側には、上述したように端部領域123が設けられる。

[0053] ゲート絶縁膜131は、素子領域層141が設けられた領域を横断するように、半導体基板120の上に設けられる。ゲート絶縁膜131は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）又は酸窒化シリコン（SiON）などの無機酸窒化物で形成されてもよく、酸化ハフニウム（HfO₂）等の誘電体材料又は強誘電体材料によって形成されてもよい。

[0054] ゲート電極130は、ゲート絶縁膜131の上に設けられる。具体的には、ゲート電極130は、素子領域層141が設けられた領域を横断するように、ゲート絶縁膜131を介して半導体基板120の上に設けられる。ゲート電極130は、ゲート（Gate）ノードと電氣的に接続されることで、トランジスタ100のゲート端子として機能する。

[0055] 例えば、ゲート電極130は、ポリシリコン等にて形成されてもよく、チタン（Ti）、モリブデン（Mo）、タンタル（Ta）、タングステン（W）、ニオブ（Nb）、ニッケル（Ni）、ジルコニウム（Zr）、金（Au）、銀（Ag）、アルミニウム（Al）若しくは銅（Cu）等の金属、又はこれらの合金若しくは金属化合物にて形成されてもよい。または、ゲート電極130は、上述した材料からなる層を複数種積層した多層構造にて形成されてもよい。このような多層構造によれば、ゲート電極130は、配線抵抗等を低下させたり、仕事関数をより精密に制御したりすることが可能である。

- [0056] ここで、図2Cを参照して、中央領域121及び端部領域123が設けられる領域について、説明する。図2Cは、中央領域121及び端部領域123が設けられる領域と、ゲート電極130、ソース領域141S及びドレイン領域141Dとの位置関係を示す縦断面図である。
- [0057] 図2Cに示すように、端部領域123は、ゲート電極130及びゲート絶縁膜131が設けられた領域（チャネル領域とも称する）のソース領域141S及びドレイン領域141D側の端部145の下の半導体基板120の領域に設けられる。中央領域121は、ゲート電極130及びゲート絶縁膜131が設けられた領域の中央部143の下の半導体基板120の領域に設けられる。
- [0058] 具体的には、チャネル領域の端部145とは、ソース領域141S又はドレイン領域141Dからチャネル領域に向かって等電位面が広がっている領域を表す。換言すると、チャネル領域の端部145は、同世代のトランジスタ100においてLDD（Lightly Doped Drain）が形成される領域と同様の領域を表す。かかるLDDが形成される領域は、例えば、シミュレーションなどによって推定することも可能である。一方、チャネル領域の中央部143は、ゲート電極130及びゲート絶縁膜131が設けられた領域から、上記のチャネル領域の端部145を除いた領域を表す。
- [0059] より具体的には、チャネル領域の端部145は、ゲート電極130及びゲート絶縁膜131が設けられた領域（すなわち、チャネル領域）の全長のうち端部側の5%～15%の範囲としてもよく、端部側の5%～10%の範囲としてもよい。例えば、チャネル領域の全長が300nmである場合、チャネル領域の端部145の長さは、おおよそ20nm～50nmとしてもよい。この場合、チャネル領域の中央部143の長さは、約200nm～260nmとなる。
- [0060] 本実施形態に係るトランジスタ100において、GIDL電流は、ドレイン電位と、ゲート電極130に印加される電圧との差が大きくなることによって増加する。そのため、端部領域123は、少なくとも、ゲート電極13

0及びゲート絶縁膜131が設けられた領域のドレイン領域141D側の端部145の下に設けられていればよく、ソース領域141S側の端部145の下に設けられていなくともよい。

[0061] ただし、トランジスタ100では、ソース領域141S及びドレイン領域141Dを含む各構成がゲート電極130を挟んで線対称に設けられることで、トランジスタ100の製造をより容易に行うことができる。したがって、端部領域123は、ゲート電極130及びゲート絶縁膜131が設けられた領域のソース領域141S側の端部145の下に設けられていてもよい。このような場合、トランジスタ100の製造をより容易に行うことができる。

[0062] (1. 3. トランジスタに印加されるバイアス)

続いて、図3を参照して、本実施形態に係るトランジスタ100に印加されるバイアスについて説明する。図3は、本実施形態に係るトランジスタ100を模式的に示した鳥瞰図である。なお、図3で示す各構成は、図2A～図2Cで説明した各構成と同様であるからここでの説明は省略する。

[0063] 図3に示すように、ソース領域141S側及びドレイン領域141D側の端部領域123は、それぞれ半導体基板120の表面に露出しており、それぞれ電位線Body(D)及び電位線Body(S)と電氣的に接続されている。また、中央領域121も、半導体基板120の表面に露出しており、電位線Body(Ch)と電氣的に接続されている。

[0064] 本実施形態に係るトランジスタ100では、これらの電位線Body(D)、電位線Body(S)及び電位線Body(Ch)を用いて、中央領域121及び端部領域123にそれぞれバイアスを印加することによって、オフ電流をより低減することが可能である。

[0065] 具体的には、電位線Body(D)及び電位線Body(Ch)を用いて、ドレイン領域141D側の端部領域123に、中央領域121よりも高い電位のバイアスを印加してもよい。これによれば、トランジスタ100の中央領域121の上の局所的なスレッショルド電圧を、ドレイン領域141D

側の端部領域 1 2 3 の上の局所的なスレッシュホールド電圧よりもより高く制御することができる。

[0066] 例えば、トランジスタ 1 0 0 の中央領域 1 2 1 に負の電位のバイアス（バックバイアスとも称される）を印加し、ドレイン領域 1 4 1 D 側の端部領域 1 2 3 に正の電位のバイアス（フォワードバイアスとも称される）を印加してもよい。このような場合、バイアスの電位の絶対値を大きくすることなく、中央領域 1 2 1 に印加される電圧と、ドレイン領域 1 4 1 D 側の端部領域 1 2 3 に印加される電圧との差を大きくすることができる。これによれば、印加するバイアスの電位を生成するための回路を別途設けることなく、内部回路で生成される電位を用いて半導体基板 1 2 0 にバイアスを印加することができる。

[0067] 中央領域 1 2 1 に印加される電位 $V_b(ch)$ と、ドレイン領域 1 4 1 D 側の端部領域 1 2 3 に印加される電位 $V_b(d)$ との組み合わせは、例えば、以下の表 1 で示される組み合わせであってもよい。

[0068] [表1]

(表 1)

	$V_b(ch)$ [V]	$V_b(d)$ [V]
組み合わせ例 1	-1	0
組み合わせ例 2	-2	0
組み合わせ例 3	-1	+1
組み合わせ例 4	-2	+1
組み合わせ例 5	-2	+2

[0069] なお、電位線 Body (S) によってソース領域 1 4 1 S 側の端部領域 1 2 3 に印加される電位は、特に限定されない。ソース領域 1 4 1 S 側の端部領域 1 2 3 に印加される電位は、例えば、グランド電位であってもよい。

[0070] (1. 4. トランジスタの製造方法)

次に、図 4 ～図 1 3 を参照して、本実施形態に係るトランジスタ 1 0 0 の製造方法について説明する。図 4 ～図 1 3 は、本実施形態に係るトランジスタ 1 0 0 の製造方法の各工程を説明する模式的な縦断面図である。

[0071] 以下では、トランジスタ100がn型トランジスタである場合の製造方法について説明する。トランジスタ100がp型トランジスタである場合の製造方法は、導入する導電型不純物の極性が反対となる以外は、n型トランジスタの場合と実質的にほぼ同様であるため、ここでの説明は省略する。

[0072] まず、図4に示すように、半導体基板120の上に埋込絶縁層127及び半導体層140が成膜されたSOI基板を用意する。具体的には、シリコンからなる半導体基板120の上に SiO_x からなる埋込絶縁層127が約30nm成膜され、埋込絶縁層127の上にシリコンが約10nm成膜されることで形成されたSOI基板を用意する。

[0073] 続いて、図5に示すように、フォトレジスト151を半導体層140の上に成膜し、成膜したフォトレジスト151をリソグラフィ等によってパターンニングする。具体的には、素子領域層141が形成される領域が覆われ、素子分離層110が形成される領域が露出されるように、半導体層140の上に成膜したフォトレジスト151をリソグラフィ等によってパターンニングする。

[0074] 次に、図6に示すように、フォトレジスト151をマスクとして、半導体層140、埋込絶縁層127及び半導体基板120をエッチングし、開口111を形成する。エッチングされた開口111の深さは、例えば、半導体層140の表面から200nmとしてもよい。

[0075] 続いて、図7に示すように、フォトレジスト151を除去した後、開口111を絶縁体で埋め込み、素子分離層110を形成する。具体的には、フォトレジスト151を除去した後、 SiO_x 等を半導体層140の全面に成膜し、CMP (Chemical Mechanical Polishing) によって半導体層140が露出するまで平坦化することで、素子分離層110を形成する。

[0076] その後、図8に示すように、フォトレジスト153を半導体層140及び素子分離層110の上に成膜し、成膜したフォトレジスト153をリソグラフィ等によってパターンニングする。具体的には、素子分離層110及び素子

分離層 110 で囲われた領域（すなわち、後段の工程にて素子領域 141 となる領域）がフォトリソスト 151 によって覆われるように、フォトリソスト 153 をリソグラフィ等によってパターニングする。

[0077] 次に、図 9 に示すように、フォトリソスト 153 をマスクとして、半導体層 140、埋込絶縁層 127 及び半導体基板 120 をエッチングする。エッチングの深さは、例えば、素子分離層 110 が形成された深さよりも浅くしてもよい。

[0078] 続いて、図 10 に示すように、フォトリソスト 153 を除去する。

[0079] その後、図 11 に示すように、フォトリソスト 155 をマスクとして、半導体基板 120 にイオン注入を行うことで、端部領域 123 を形成する。具体的には、半導体層 140 の中央を覆うように、成膜したフォトリソスト 155 をリソグラフィ等にてパターニングする。その後、パターニングしたフォトリソスト 155 をマスクとして、リン（P）などの n 型導電型不純物を 200 kV にて $1.3 \times 10^{13} \text{ cm}^{-2}$ の濃度で半導体基板 120 に注入することで、端部領域 123 を形成する。

[0080] 次に、図 12 に示すように、フォトリソスト 157 をマスクとして、半導体基板 120 にイオン注入を行うことで、中央領域 121 を形成する。具体的には、半導体層 140 の中央を開口するように、成膜したフォトリソスト 157 をリソグラフィ等にてパターニングする。その後、パターニングしたフォトリソスト 157 をマスクとして、ホウ素（B）などの p 型導電型不純物を 100 kV にて $1.5 \times 10^{13} \text{ cm}^{-2}$ の濃度で半導体基板 120 に注入することで、中央領域 121 を形成する。なお、中央領域 121 を形成するフォトリソスト 157 の開口の幅は、例えば、240 nm 程度としてもよい。

[0081] さらに、図 13 に示すように、フォトリソスト 157 を除去した後、素子領域層 141 を形成する。その後、ゲート絶縁膜 131 及びゲート電極 130 を形成し、ソース領域 141S 及びドレイン領域 141D を形成する。具体的には、素子領域層 141 は、半導体層 140 にホウ素（B）などの p 型

導電型不純物を導入することで形成することができる。ゲート絶縁膜 131 は、 SiO_x などを成膜し、パターニングすることで形成することができる。ゲート電極 130 は、チタン (Ti)、モリブデン (Mo) 及びタンタル (Ta) などの金属材料又はポリシリコンなどを成膜し、パターニングすることで形成することができる。また、ソース領域 141S 及びドレイン領域 141D は、ゲート電極 130 及びゲート絶縁膜 131 をマスクに用いて、素子領域層 141 にリン (P) などの n 型導電型不純物を導入することで形成することができる。

[0082] ここで、ゲート絶縁膜 131 及びゲート電極 130 が形成される領域の幅は、中央領域 121 を含み、かつ端部領域 123 と重なるように、300nm 程度としてもよい。このような場合、ゲート絶縁膜 131 及びゲート電極 130 が形成された領域は、ソース領域 141S 側及びドレイン領域 141D 側の各々で、端部領域 123 と 30nm ずつ重なることになる。

[0083] なお、端部領域 123 への電位線の接続は、エッチングにて露出した端部領域 123 から行うことができる。中央領域 121 への電位線の接続は、ゲート電極 130 の奥行き側に設けられた図示しない中央領域 121 の露出面から行うことができる。

[0084] 以上の工程を経ることによって、本実施形態に係るトランジスタ 100 を形成することができる。

[0085] <2. 適用例>

(2. 1. ESD 保護回路への適用)

本開示の一実施形態に係るトランジスタ 100 は、例えば、内部回路の静電気 (Electro-Static Discharge: ESD) による破壊を防止する ESD 保護回路内のトランジスタに適用することができる。図 14 を参照して、本実施形態に係るトランジスタ 100 が適用され得る ESD 保護回路の例について説明する。図 14 は、本実施形態に係るトランジスタ 100 が適用され得る ESD 保護回路の一例を示す回路図である。

[0086] 図 14 に示すように、ESD 保護回路 10 は、ESD サージから内部回路

15を保護するための回路である。ESD保護回路10は、電源配線1及びグランド配線2の間に、抵抗素子11と、容量素子12と、CMOSインバータ13と、クランプトランジスタ14とを備える。なお、電源配線1には、電源電圧V_{dd}が供給される。一方、グランド配線2は、グランド端子に接続されることでグランド電位V_{ss}となる。

[0087] 抵抗素子11は、具体的には、ポリシリコン等の材料で形成された抵抗素子などであってもよい。例えば、抵抗素子11として、ポリシリコンで形成されたMOSトランジスタのゲート電極を用いることができる。抵抗素子11の抵抗値は、抵抗素子11の素子の大きさによって制御することが可能である。

[0088] 容量素子12は、具体的には、バイアス依存性の低い容量素子であってもよい。例えば、容量素子12は、MOSトランジスタのゲート絶縁膜を誘電体とするキャパシタ、又は配線層間の絶縁膜を誘電体とするキャパシタなどを用いることができる。容量素子12の容量値は、容量素子12の素子の大きさによって制御することが可能である。

[0089] 抵抗素子11の抵抗値及び容量素子12の容量値は、ESD保護回路10の用途、及び想定するESDサージ電流のモデルを考慮して、抵抗素子11及び容量素子12からなるRC直列回路の時定数が所望の値となるように設計される。抵抗素子11の抵抗値は、例えば、1000Ω～10MΩの範囲で適宜設計されることができ、容量素子12の抵抗値は、例えば、1pF～10pFの範囲で適宜設計されることができ。

[0090] 例えば、ESDサージ電流のモデルとして、HBM (Human Body Model) を想定する場合、RC直列回路は、目安として1μ秒程度の時定数にて設計される。このような場合、抵抗素子11の抵抗値(R)を1MΩとし、容量素子12の容量値(C)を1pFとすることで、RC直列回路の時定数を $R \times C = 1\text{M}\Omega \times 1\text{pF} = 1\mu\text{秒}$ と設計することができる。

[0091] CMOSインバータ13では、抵抗素子11と容量素子12との間の接続点の電位(電圧信号)が入力され、反転した入力電位がクランプトランジス

タ 1 4 のゲートに出力される。

[0092] クランプトランジスタ 1 4 では、ドレインが電源配線 1 と接続され、ソースがグランド配線 2 に接続され、ゲートが CMOS インバータ 1 3 の出力に接続される。したがって、クランプトランジスタ 1 4 のオンオフ制御は、CMOS インバータ 1 3 からの出力信号（電圧信号）により行われる。また、クランプトランジスタ 1 4 のドレインは、ウェルと接続される。なお、クランプトランジスタ 1 4 は、本実施形態に係るトランジスタ 1 0 0 にて構成されてもよい。

[0093] また、上述したように、例えば、クランプトランジスタ 1 4 には、バックバイアスが印加されてもよい。具体的には、クランプトランジスタ 1 4 のドレイン側の端部領域 1 2 3 には、正の電位の基板電位 $V_b(d)$ が印加されていてもよく、クランプトランジスタ 1 4 の中央領域 1 2 1 には、負の電位の基板電位 $V_b(ch)$ が印加されていてもよい。なお、クランプトランジスタ 1 4 のソース側の端部領域 1 2 3 は、グランド配線 2 と接続されることで、グランド電位 V_{ss} が基板電位 $V_b(s)$ として印加されてもよい。

[0094] ここで、ESD サージ（高電圧パルス）が ESD 保護回路 1 0 に印加された場合、抵抗素子 1 1 及び容量素子 1 2 で構成される RC 直列回路に貫通電流が流れ、CMOS インバータ 1 3 の入力端の電圧レベルが「High」レベルから「Low」レベルに変化する。ここで、クランプトランジスタ 1 4 のゲートには、「Low」レベルを反転させた「High」レベルの電圧信号が CMOS インバータ 1 3 の出力端から印加される。これにより、クランプトランジスタ 1 4 がオン状態（導通状態）となるため、クランプトランジスタ 1 4 のドレイン－ソース間に ESD サージ電流が流れ、該 ESD サージ電流はグランド配線 2 に放出される。

[0095] 以上の動作により、ESD 保護回路 1 0 は、内部回路 1 5 を ESD サージ電流から保護することができる。ESD 保護回路 1 0 に含まれるクランプトランジスタ 1 4 は、ESD サージ電流が発生した場合にオン状態となるため、待機時にはオフ状態を維持する。そのため、本実施形態に係るトランジス

タ１００をクランプトランジスタ１４に適用し、オフ電流を低減させることによって、ＥＳＤ保護回路１０の待機時の消費電力を低減させることができる。

[0096] （２．２．電子機器への適用）

本開示の一実施形態に係るトランジスタ１００は、種々の電子機器に搭載される回路内の素子に適用することができる。続いて、図１５Ａ～図１５Ｃを参照して、本実施形態に係るトランジスタ１００が適用され得る電子機器の例について説明する。図１５Ａ～図１５Ｃは、本実施形態に係るトランジスタ１００が適用され得る電子機器の一例を示す外観図である。

[0097] 例えば、本実施形態に係るトランジスタ１００は、スマートフォンなどの電子機器に搭載される回路内の素子に適用することができる。具体的には、図１５Ａに示すように、スマートフォン９００は、各種情報を表示する表示部９０１と、ユーザによる操作入力を受け付けるボタン等から構成される操作部９０３と、を備える。ここで、スマートフォン９００の各種動作を制御する制御回路内の素子には、本実施形態に係るトランジスタ１００が適用されてもよい。

[0098] 例えば、本実施形態に係るトランジスタ１００は、デジタルカメラなどの電子機器に搭載される回路内の素子に適用することができる。具体的には、図１５Ｂ及び図１５Ｃに示すように、デジタルカメラ９１０は、本体部（カメラボディ）９１１と、交換式のレンズユニット９１３と、撮影時にユーザによって把持されるグリップ部９１５と、各種情報を表示するモニタ部９１７と、撮影時にユーザによって観察されるスルー画を表示するＥＶＦ（Electronic View Finder）９１９と、を備える。なお、図１５Ｂは、デジタルカメラ９１０を前方（すなわち、被写体側）から眺めた外観図であり、図１５Ｃは、デジタルカメラ９１０を後方（すなわち、撮影者側）から眺めた外観図である。ここで、デジタルカメラ９１０の各種動作を制御する制御回路内の素子には、本実施形態に係るトランジスタ１００が適用されてもよい。

[0099] なお、本実施形態に係るトランジスタ１００が適用される電子機器は、上記例示に限定されない。本実施形態に係るトランジスタ１００は、あらゆる分野の電子機器に搭載される回路内の素子に適用することが可能である。このような電子機器としては、例えば、眼鏡型ウェアラブルデバイス、ＨＭＤ（Head Mounted Display）、テレビジョン装置、電子ブック、ＰＤＡ（Personal Digital Assistant）、ノート型パーソナルコンピュータ、ビデオカメラ又はゲーム機器等を例示することができる。

[0100] <３．まとめ>

以上にて説明したように、本開示の一実施形態に係るトランジスタ１００は、埋込絶縁層１２７の下の半導体基板１２０に含まれる導電型不純物の極性又は濃度を制御することによって、トランジスタ１００の局所的なスレッショルド電圧を制御することができる。これにより、トランジスタ１００は、ＧＩＤＬ電流の増加を抑制しつつ、トランジスタ１００全体のスレッショルド電圧を高くし、オフ電流を低減させる所望のトランジスタ特性を得ることが可能である

[0101] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0102] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0103] なお、以下のような構成も本開示の技術的範囲に属する。

(１)

導電型不純物を含む半導体基板と、

前記半導体基板の表面から内部に向かって設けられ、素子領域を画定する素子分離層と、

前記素子領域の前記半導体基板の内部に設けられた埋込絶縁層と、

前記素子領域を横断して、前記半導体基板の上にゲート絶縁膜を介して設けられたゲート電極と、

前記素子領域の前記ゲート電極を挟んで対向する領域に設けられたドレイン領域及びソース領域と、

を備え、

前記ゲート電極の前記ドレイン領域側の端部を少なくとも含む端部領域における前記半導体基板の前記導電型不純物の濃度又は極性は、前記ゲート電極の中央部を含む中央領域における前記半導体基板の前記導電型不純物の濃度又は極性と異なる、トランジスタ。

(2)

前記端部領域及び前記中央領域における前記半導体基板の前記導電型不純物の極性は、同極性であり、

前記中央領域における前記半導体基板の前記導電型不純物の濃度は、前記端部領域における前記半導体基板の前記導電型不純物の濃度よりも高い、前記(1)に記載のトランジスタ。

(3)

前記中央領域における前記半導体基板の前記導電型不純物の極性は、前記端部領域における前記半導体基板の前記導電型不純物の極性と逆極性である、前記(1)に記載のトランジスタ。

(4)

前記端部領域は、前記中央領域よりも高い電位を印加可能な電位線と電氣的に接続される、前記(3)に記載のトランジスタ。

(5)

前記中央領域は、負の電位を印加可能な電位線と電氣的に接続される、前

記（４）に記載のトランジスタ。

（６）

前記素子分離層は、前記半導体基板の前記埋込絶縁層が設けられた深さよりも深い領域まで設けられる、前記（１）～（５）のいずれか一項に記載のトランジスタ。

（７）

前記端部領域及び前記中央領域における前記半導体基板の前記導電型不純物の濃度及び極性は、前記埋込絶縁層が設けられた領域よりも深い領域において異なる、前記（６）に記載のトランジスタ。

（８）

前記端部領域は、前記ゲート電極の前記ソース領域側の端部をさらに含む、前記（１）～（７）のいずれか一項に記載のトランジスタ。

（９）

前記トランジスタは、前記ゲート電極を挟んで線対称に構成される、前記（８）に記載のトランジスタ。

（１０）

前記トランジスタは、保護素子を構成する回路に設けられる、前記（１）～（９）のいずれか一項に記載のトランジスタ。

（１１）

導電型不純物を含む半導体基板と、前記半導体基板の表面から内部に向かって設けられ、素子領域を画定する素子分離層と、前記素子領域の前記半導体基板の内部に設けられた埋込絶縁層と、前記素子領域を横断して、前記半導体基板の上にゲート絶縁膜を介して設けられたゲート電極と、前記素子領域の前記ゲート電極を挟んで対向する領域に設けられたドレイン領域及びソース領域と、を備え、前記ゲート電極の前記ドレイン領域側の端部を少なくとも含む端部領域における前記半導体基板の前記導電型不純物の濃度又は極性は、前記ゲート電極の中央部を含む中央領域における前記半導体基板の前記導電型不純物の濃度又は極性と異なるトランジスタを含む回路、

を備える、電子機器。

符号の説明

[0104]	1	電源配線
	2	グラウンド配線
	1 0	保護回路
	1 1	抵抗素子
	1 2	容量素子
	1 3	インバータ
	1 4	クランプトランジスタ
	1 5	内部回路
	1 0 0	トランジスタ
	1 1 0	素子分離層
	1 2 0	半導体基板
	1 2 1	中央領域
	1 2 3	端部領域
	1 2 7	埋込絶縁層
	1 3 0	ゲート電極
	1 3 1	ゲート絶縁膜
	1 4 1	素子領域層
	1 4 1 D	ドレイン領域
	1 4 1 S	ソース領域

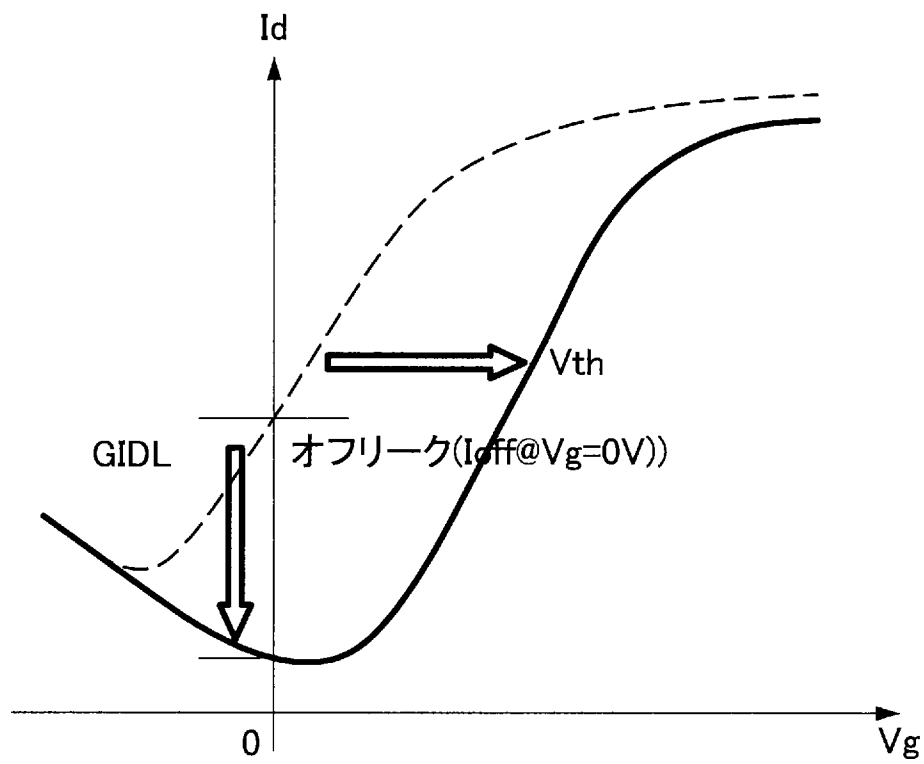
請求の範囲

- [請求項1] 導電型不純物を含む半導体基板と、
前記半導体基板の表面から内部に向かって設けられ、素子領域を画定する素子分離層と、
前記素子領域の前記半導体基板の内部に設けられた埋込絶縁層と、
前記素子領域を横断して、前記半導体基板の上にゲート絶縁膜を介して設けられたゲート電極と、
前記素子領域の前記ゲート電極を挟んで対向する領域に設けられたドレイン領域及びソース領域と、
を備え、
前記ゲート電極の前記ドレイン領域側の端部を少なくとも含む端部領域における前記半導体基板の前記導電型不純物の濃度又は極性は、前記ゲート電極の中央部を含む中央領域における前記半導体基板の前記導電型不純物の濃度又は極性と異なる、トランジスタ。
- [請求項2] 前記端部領域及び前記中央領域における前記半導体基板の前記導電型不純物の極性は、同極性であり、
前記中央領域における前記半導体基板の前記導電型不純物の濃度は、前記端部領域における前記半導体基板の前記導電型不純物の濃度よりも高い、請求項1に記載のトランジスタ。
- [請求項3] 前記中央領域における前記半導体基板の前記導電型不純物の極性は、前記端部領域における前記半導体基板の前記導電型不純物の極性と逆極性である、請求項1に記載のトランジスタ。
- [請求項4] 前記端部領域は、前記中央領域よりも高い電位を印加可能な電位線と電気的に接続される、請求項3に記載のトランジスタ。
- [請求項5] 前記中央領域は、負の電位を印加可能な電位線と電気的に接続される、請求項4に記載のトランジスタ。
- [請求項6] 前記素子分離層は、前記半導体基板の前記埋込絶縁層が設けられた深さよりも深い領域まで設けられる、請求項1に記載のトランジスタ

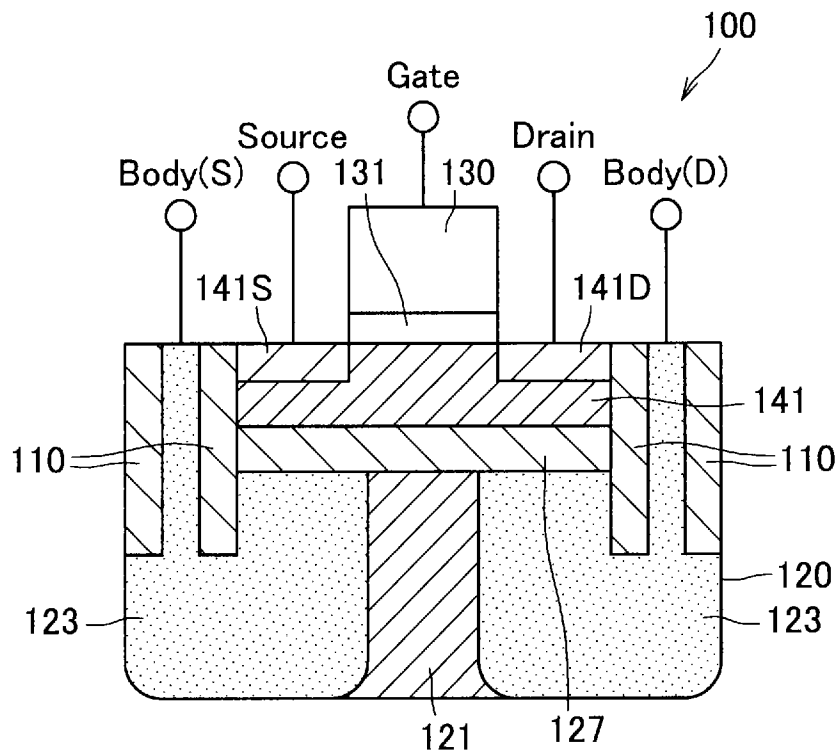
。

- [請求項7] 前記端部領域及び前記中央領域における前記半導体基板の前記導電型不純物の濃度及び極性は、前記埋込絶縁層が設けられた領域よりも深い領域において異なる、請求項6に記載のトランジスタ。
- [請求項8] 前記端部領域は、前記ゲート電極の前記ソース領域側の端部をさらに含む、請求項1に記載のトランジスタ。
- [請求項9] 前記トランジスタは、前記ゲート電極を挟んで線対称に構成される、請求項8に記載のトランジスタ。
- [請求項10] 前記トランジスタは、保護素子を構成する回路に設けられる、請求項1に記載のトランジスタ。
- [請求項11] 導電型不純物を含む半導体基板と、前記半導体基板の表面から内部に向かって設けられ、素子領域を画定する素子分離層と、前記素子領域の前記半導体基板の内部に設けられた埋込絶縁層と、前記素子領域を横断して、前記半導体基板の上にゲート絶縁膜を介して設けられたゲート電極と、前記素子領域の前記ゲート電極を挟んで対向する領域に設けられたドレイン領域及びソース領域と、を備え、前記ゲート電極の前記ドレイン領域側の端部を少なくとも含む端部領域における前記半導体基板の前記導電型不純物の濃度又は極性は、前記ゲート電極の中央部を含む中央領域における前記半導体基板の前記導電型不純物の濃度又は極性と異なるトランジスタを含む回路、を備える、電子機器。

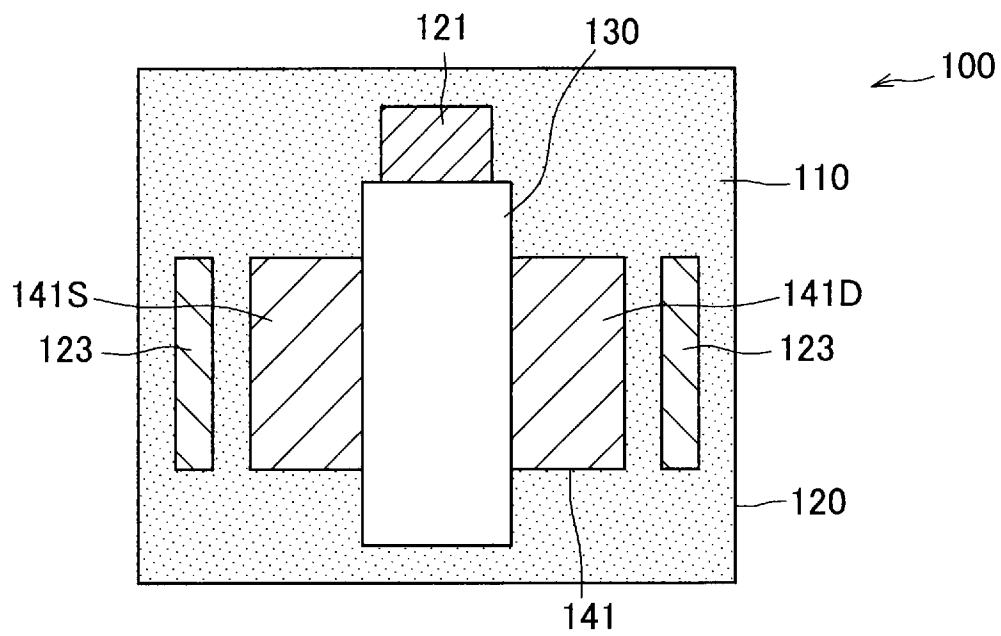
[図1]



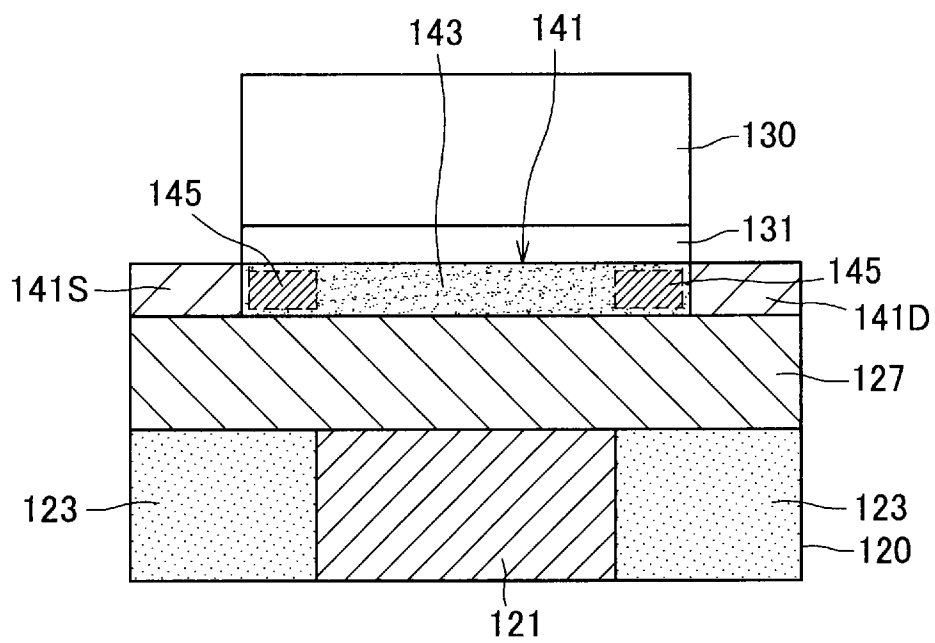
[図2A]



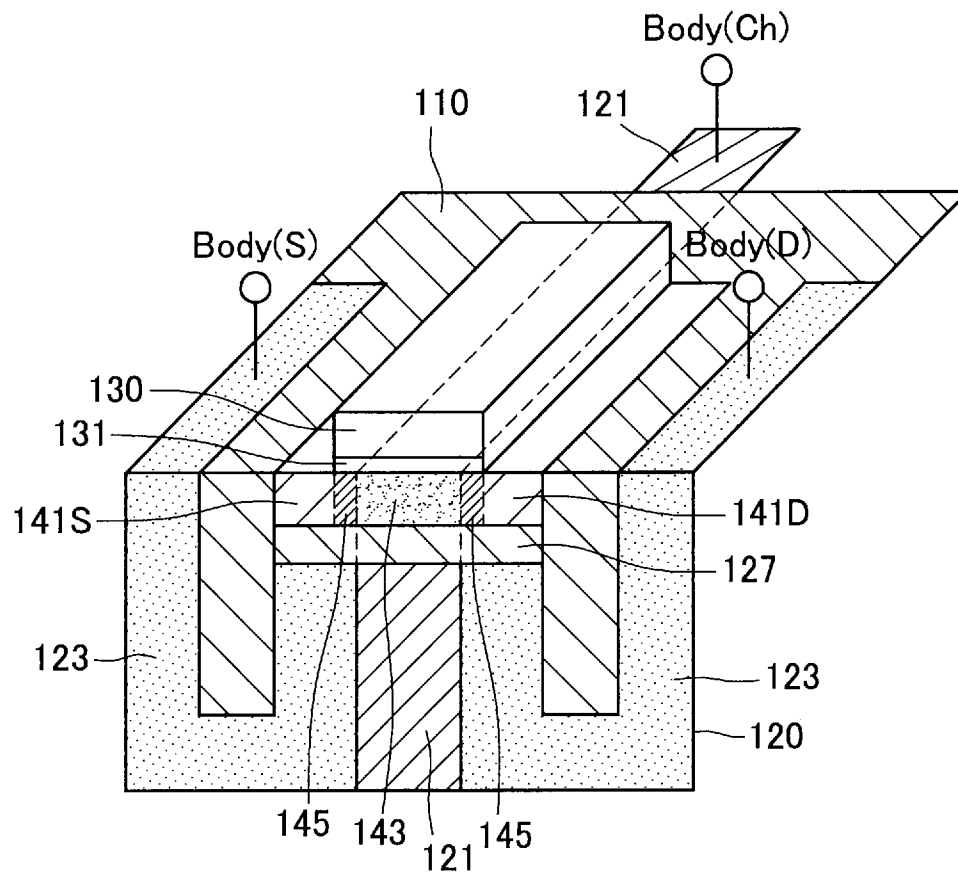
[図2B]



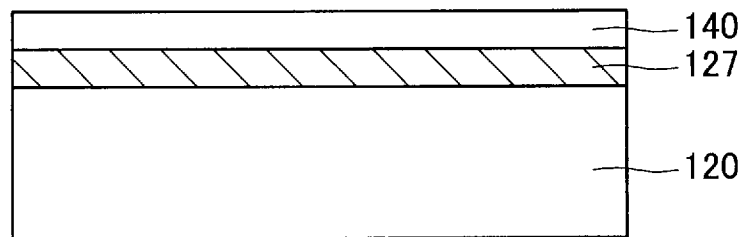
[図2C]



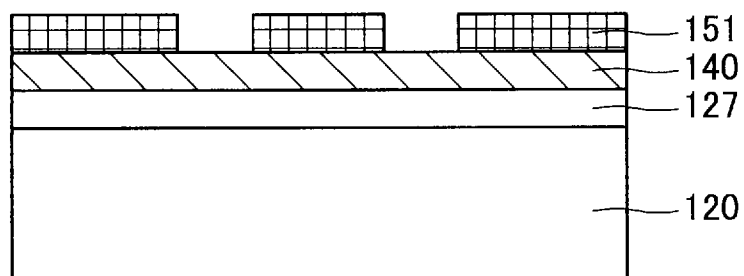
[図3]



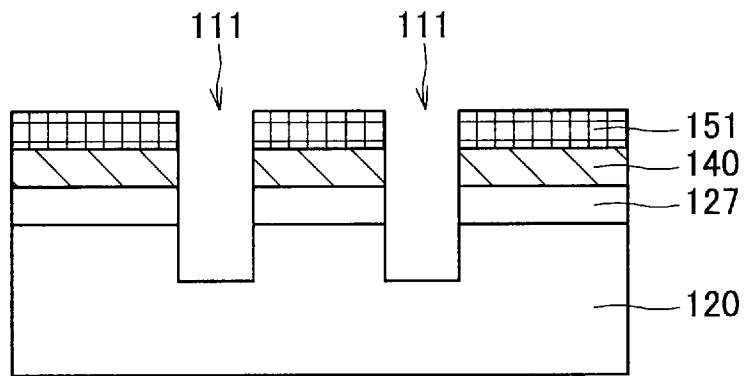
[図4]



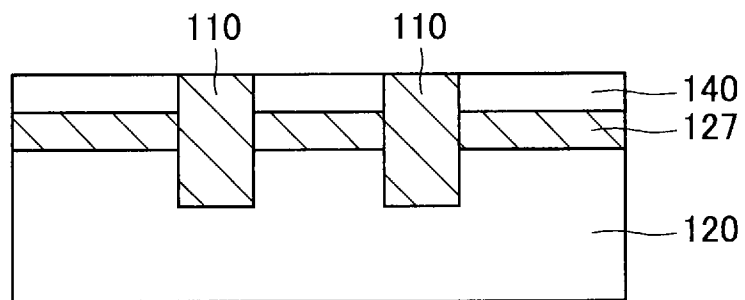
[図5]



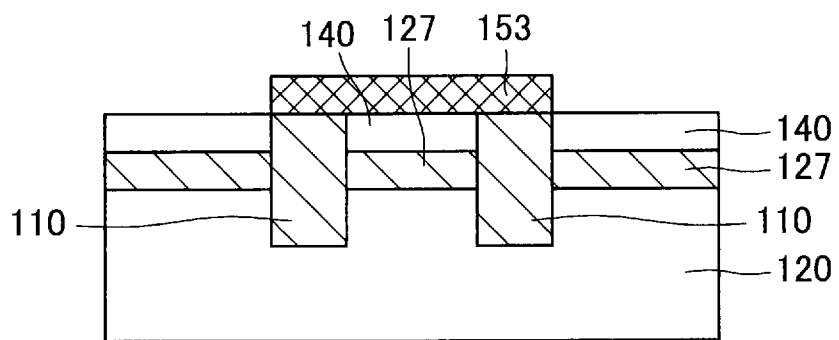
[図6]



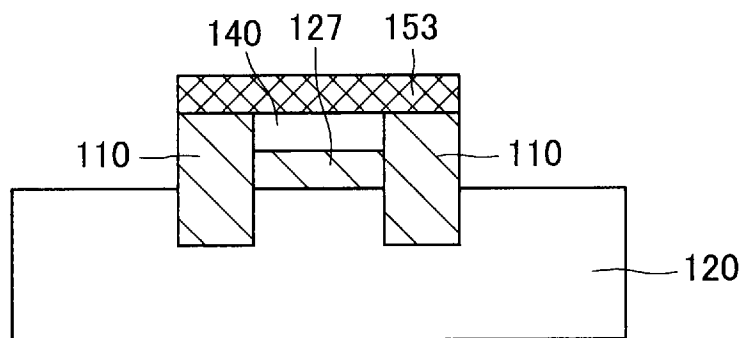
[図7]



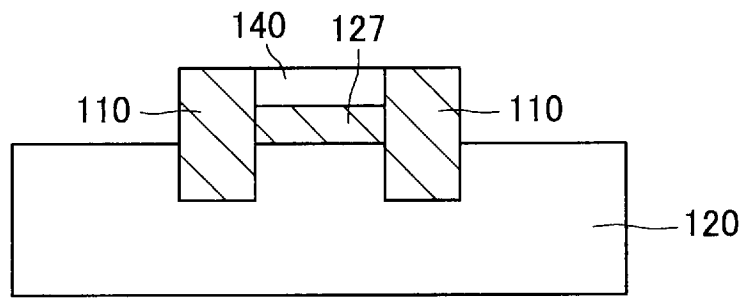
[図8]



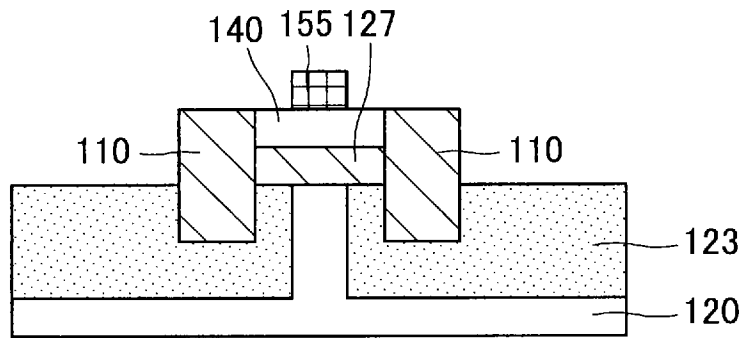
[図9]



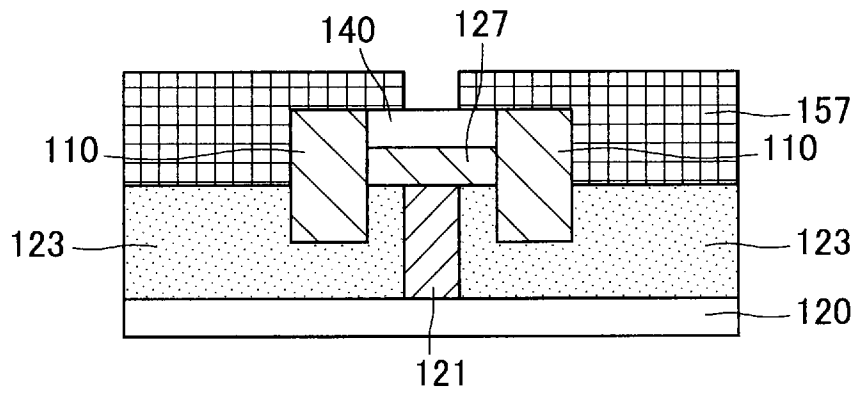
[図10]



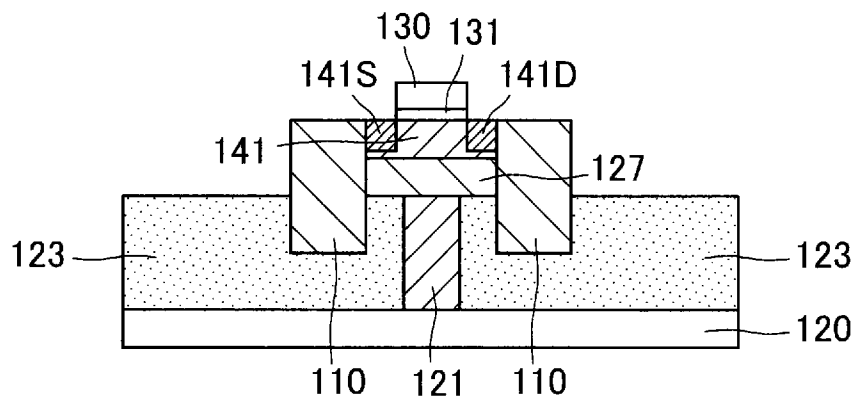
[図11]

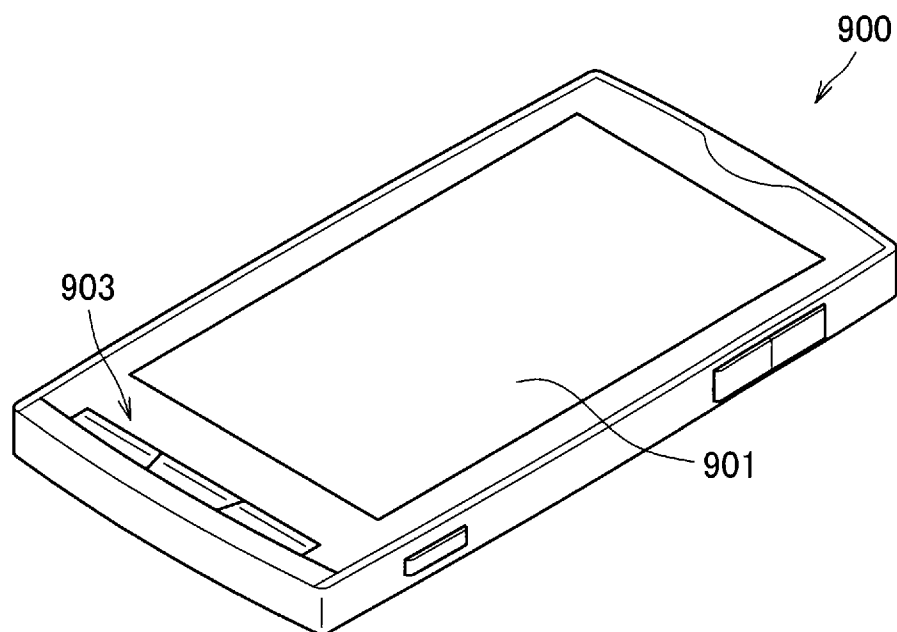
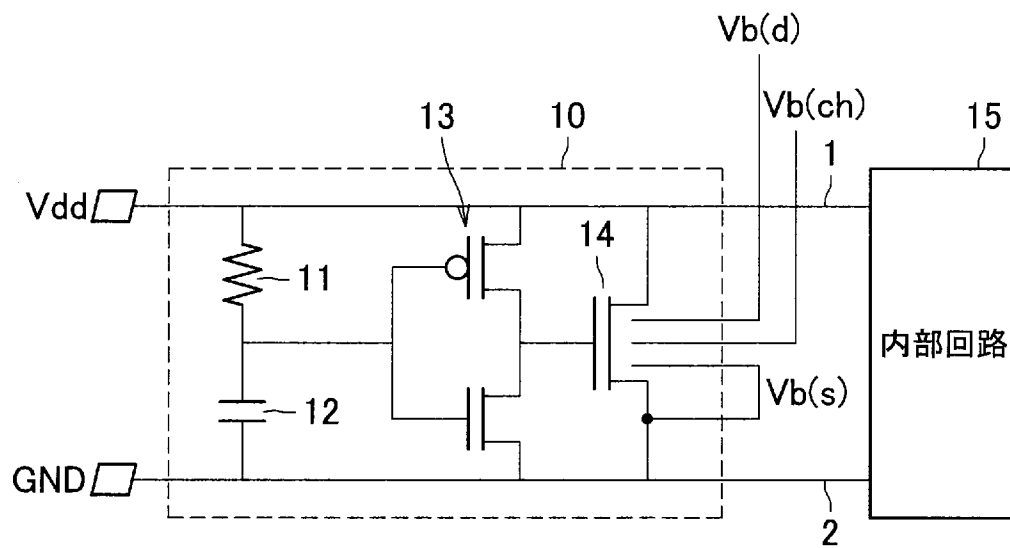


[図12]

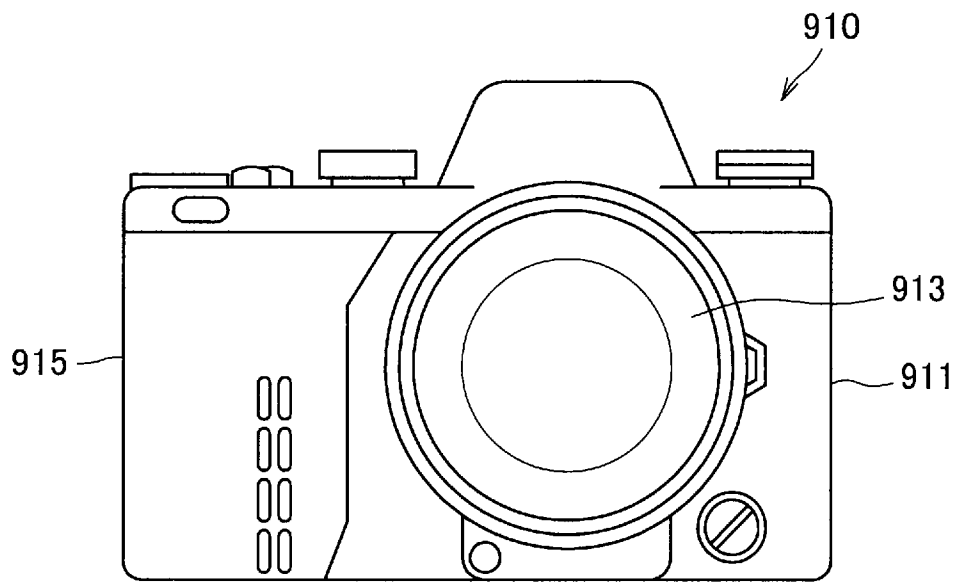


[図13]

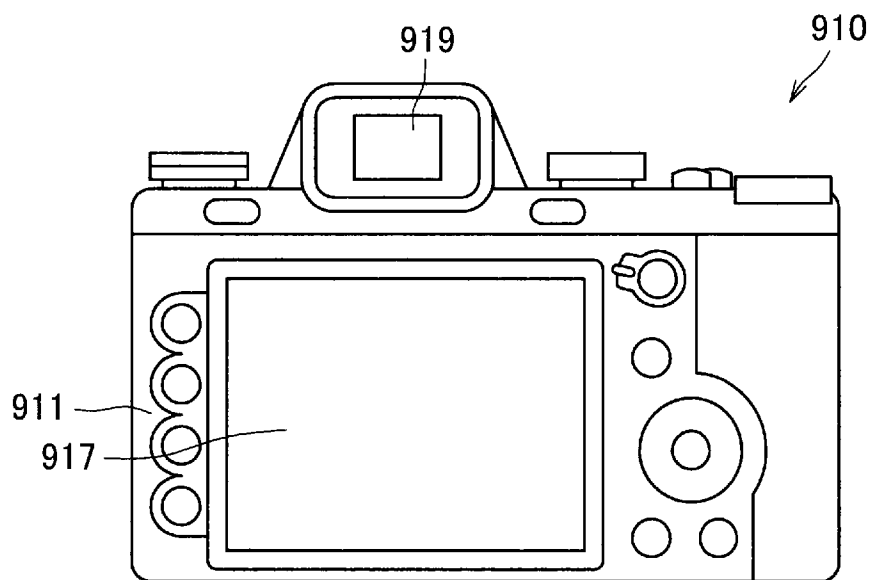




[図15B]



[図15C]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/022960

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, H01L21/822, H01L27/04, H01L27/06, H01L27/088, H01L29/78, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-191760 A (RENESAS ELECTRONICS CORP.) 26 September 2013 (Family: none)	1-11
A	US 2015/0132862 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 14 May 2015 (Family: none)	1-11
A	JP 2000-196089 A (TOSHIBA CORPORATION) 14 July 2000 (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
28.08.2018

Date of mailing of the international search report
11.09.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/022960

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-135140 A (RENESAS TECHNOLOGY CORP.) 18 June 2009 & US 2009/0134468 A1	1-11
A	WO 2007/004535 A1 (RENESAS TECHNOLOGY CORP.) 11 January 2007 & US 2010/0084709 A1	1-11
A	JP 2005-19799 A (FUJITSU LIMITED) 20 January 2005 (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i,
H01L27/088(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/822, H01L27/04, H01L27/06, H01L27/088, H01L29/78, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-191760 A（ルネサスエレクトロニクス株式会社） 2013.09.26,（ファミリーなし）	1-11
A	US 2015/0132862 A1（INTERNATIONAL BUSINESS MACHINES CORPORATION）2015.05.14,（ファミリーなし）	1-11
A	JP 2000-196089 A（株式会社東芝）2000.07.14, （ファミリーなし）	1-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

28.08.2018

国際調査報告の発送日

11.09.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9355

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-135140 A (株式会社ルネサステクノロジ) 2009. 06. 18, & US 2009/0134468 A1	1-11
A	WO 2007/004535 A1 (株式会社ルネサステクノロジ) 2007. 01. 11, & US 2010/0084709 A1	1-11
A	JP 2005-19799 A (富士通株式会社) 2005. 01. 20, (ファミリーなし)	1-11