

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/76

H01L 21/31 H01L 21/205

C30B 25/02



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 98121348.0

[43] 授权公告日 2003 年 3 月 19 日

[11] 授权公告号 CN 1103497C

[22] 申请日 1998.10.15 [21] 申请号 98121348.0

[30] 优先权

[32] 1997.10.16 [33] US [31] 951827

[71] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 杰克·奥恩·楚

哈里德·泽尔丁·伊斯梅尔

基姆·杨·李

約翰·阿尔布里奇特·奥特

[56] 参考文献

CN86108395 1987.09.16 H01L21/76

US4692996 1987.09.15 H01L21/306

US5670412 1997.09.23 H01L21/76

审查员 郭 强

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

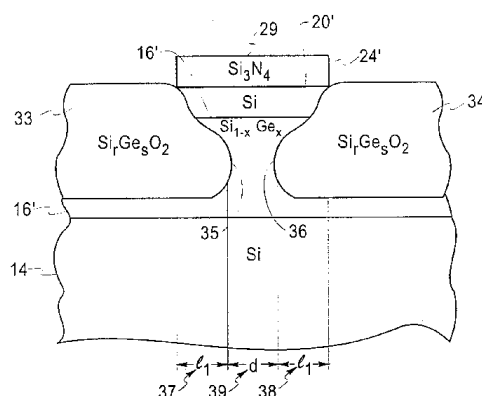
代理人 王永刚

权利要求书 4 页 说明书 6 页 附图 6 页

[54] 发明名称 使用局部选择氧化在绝缘体上形成的体硅和应变硅

[57] 摘要

一种形成单晶半导体层下掩埋氧化区的方法，包括形成氧化速率与具有较快氧化速率的下层不同的外延层和通过掩模内的开口氧化这些层的步骤。可以形成多个氧化物隔离的 FET。本发明减少了源/漏寄生电容和短沟道效应，同时通过选择性氧化半导体层隔离 FET 并消除了 FET 的浮体效应。



ISSN 1008-4274

1. 一种在单晶半导体层的区域下形成掩埋氧化区的方法, 包括步骤:
选择单晶硅衬底,

在所述衬底的上表面上形成由 $\text{Si}_{1-x}\text{Ge}_x$ 或 $(\text{Si}_{(1-x)}\text{Ge}_x)_a\text{C}_{1-a}$ 构成的第一外延层, 所述第一外延层具有第一氧化速率,

在所述第一外延层上形成含硅的第二外延层, 所述第二外延层具有小于所述第一氧化速率的第二氧化速率,

在所述第二外延层上形成掩模,

构图所述掩模以在所述掩模内形成掩模开口, 以及

通过所述掩模开口氧化所述第二外延层和所述第一外延层, 由此在所述第一和第二外延层内形成氧化区, 且所述氧化区的一部分代替了所述第二外延层下的那部分所述第一外延层。

2. 根据权利要求1的方法, 特征在于所述氧化步骤继续一段时间形成所述氧化区, 且所述氧化区的所述部分在所述第二外延层下延伸预定距离。

3. 根据权利要求2的方法, 特征在于还包括使两个掩模开口分开定位的步骤, 以在所述第二外延层下提供由预定距离隔开的所述氧化区的两个各自的部分。

4. 根据权利要求1的方法, 特征在于所述掩模开口中的一个沿路径延伸形成掩模图形。

5. 根据权利要求4的方法, 特征在于所述掩模图形选自由矩形、方形和圆形组成的组中。

6. 根据权利要求1的方法, 特征在于所述掩模开口使所述掩模形成分别为对应于有源 MOS 器件尺寸的多个矩形。

7. 根据权利要求6的方法, 特征在于所述掩模形成的所述多个矩形为 $1\mu\text{m} \times 1\mu\text{m}$ 以下。

8. 根据权利要求6的方法, 特征在于所述氧化步骤继续一段时间以在所述未氧化的第一外延层的所述各矩形的中心内留下有限的面积。

9. 根据权利要求8的方法, 特征在于还包括在所述第二外延层内形成源和漏区以限定出所述第一外延层的所述有限面积上两者之间的沟道以避免FET的浮体效应的步骤。

10. 根据权利要求9的方法, 特征在于还包括在所述沟道上形成栅介质和栅电极以便形成所述FET的步骤。

11. 根据权利要求8的方法, 特征在于还包括在所述氧化区上所述源和漏区内形成欧姆接触离子注入由此减少寄生结电容的步骤。

12. 根据权利要求1的方法, 特征在于所述氧化步骤包括在700℃到800℃温度范围内的湿热氧化。

13. 根据权利要求1的方法, 特征在于所述氧化步骤包括在650℃到800℃温度范围内的高压氧化(HIPOX)。

14. 根据权利要求1的方法, 特征在于还包括除去由所述氧化步骤形成的部分所述氧化物的步骤。

15. 根据权利要求14的方法, 特征在于还包括基本上除去由所述氧化步骤形成的全部所述氧化物的步骤。

16. 根据权利要求14的方法, 特征在于还包括所述除去步骤后继续所述氧化步骤的步骤。

17. 根据权利要求16的方法, 特征在于还包括重复多次所述除去和氧化步骤的步骤。

18. 根据权利要求1的方法, 特征在于所述形成掩模的步骤包括形成氮化硅层的步骤。

19. 根据权利要求1的方法, 特征在于形成所述第一外延层的所述步骤包括形成渐变组分的层。

20. 根据权利要求19的方法, 特征在于形成所述第一外延层的所述步骤包括形成具有晶格参数大于所述第二层的晶格参数的上表面的层, 以提供所述第二层内的抗拉应变。

21. 根据权利要求1的方法, 特征在于形成所述第一外延层的所述步骤包括生长所述第一外延层直到其晶格常数弛豫到大于要形成的所述第二外延层的晶格常数的步骤, 由此在抗拉应变下形成所述第二外延层时具有

高电子和空穴迁移率。

22. 根据权利要求1的方法, 特征在于所述氧化步骤继续一段时间形成所述氧化区向下延伸到所述衬底内。

23. 根据权利要求1的方法, 特征在于还包括用硼掺杂所述第一外延层的区域以促进氧化速率的步骤。

24. 根据权利要求1的方法, 特征在于所述第一外延层 Ge 的组分渐变以促进氧化速率。

25. 一种电子器件形成于其中的结构, 包括:

单晶硅衬底,

第一外延层, 位于所述衬底的上表面上, 由 $\text{Si}_{1-x}\text{Ge}_x$ 或 $(\text{Si}_{1-x}\text{Ge}_x)_a\text{C}_{1-a}$ 构成,

所述第一外延层上含硅的第二单晶层, 以及

第一和第二氧化区相互分开, 每个所述第一和第二氧化区在所述第二单晶层下所述第一外延层内延伸。

26. 根据权利要求25的结构, 特征在于所述第一和第二氧化区形成在所述第一外延层和所述第二单晶层内。

27. 根据权利要求25的结构, 特征在于所述第一和第二氧化区在所述第一外延层内分隔开 0.01 到 $0.5\mu\text{m}$ 的范围。

28. 根据权利要求25的结构, 特征在于所述第一和第二氧化区包围部分所述第二单晶层。

29. 根据权利要求28的结构, 特征在于所述第二单晶层的所述包围部分在它的上表面形成选自矩形、方形和圆形组成的组中的形状。

30. 根据权利要求29的结构, 特征在于还包括多个所述第二单晶层的所述包围部分, 每个所述第一层的所述包围部分小于 $1\mu\text{m} \times 1\mu\text{m}$ 。

31. 根据权利要求28的结构, 特征在于所述第一和第二氧化区之间的所述第一外延层在所述第二单晶层的所述包围部分下面并与之接触。

32. 根据权利要求25的结构, 特征在于所述第一外延层包括 Ge 的组分渐变层。

33. 根据权利要求25的结构, 特征在于所述第一外延层包括硼掺杂。

34. 根据权利要求 25 的结构, 特征在于由于所述第一外延层的上表面的晶格参数, 所述第二单晶层处于应力变形。

35. 根据权利要求 25 的结构, 特征在于所述第一和二氧化区延伸穿过所述第一外延层进入所述衬底。

36. 根据权利要求 25 的结构, 特征在于还包括所述第二单晶层内分隔开的源和漏区, 分别向下延伸到所述第一和二氧化区的上表面, 限定出所述第二单晶层内的沟道。

37. 根据权利要求 36 的结构, 特征在于还包括所述沟道上的介质和所述介质上的栅电极以形成场效应晶体管。

38. 根据权利要求 37 的结构, 特征在于还包括与所述源和漏的欧姆接触, 延伸到所述第一和二氧化区的上表面。

39. 根据权利要求 37 的结构, 特征在于所述沟道处于应力变形。

40. 根据权利要求 37 的结构, 特征在于所述第一外延层具有对应于所述第二单晶层内所述沟道晶格应变的 Ge 的渐变组分。

41. 根据权利要求 37 的结构, 特征在于所述第一外延层弛豫。

42. 根据权利要求 37 的结构, 特征在于所述第二单晶层与所述第一外延层相当。

43. 根据权利要求 37 的结构, 特征在于还包括分别为 n 型和 p 型的多个所述场效应晶体管。

44. 根据权利要求 43 的结构, 特征在于还包括形成互补金属氧化物半导体 (CMOS) 电路的互连布线。

使用局部选择氧化在绝缘体上形成 的体硅和应变硅

技术领域

本发明涉及在绝缘体上或与之邻接形成体或应变的 Si/SiGe 层区域，特别涉及局部选择氧化 SiGe 形成用于器件应用的半导体区下的绝缘区，器件的应用例如互补金属氧化物半导体（CMOS）场效应晶体管（FET）、调制掺杂场效应晶体管（MODFET）、动态随机存取存储器（DRAM）、混合的 DRAM 和 CMOS、静态随机存取存储器（SRAM）、BiCMOS、rf 等。

背景技术

在硅半导体技术中，获得绝缘衬底的唯一方式是借助绝缘体上的硅（SOI）、蓝宝石上硅（SOS）、或者腐蚀或重新粘接以获得 SOI。在 CMOS 和高速 FET 中使用绝缘衬底的主要优点是减少了寄生结电容和短沟道效应，由此增加了器件的速度性能。所有以上方法的一个主要问题是绝缘体覆盖了整个晶片，因此覆盖了包括下面的欧姆接触和 FET 沟道的整个器件区。整个晶片上的掩埋氧化物导致公知的‘浮体’问题，因为半导体衬底相对于沟道浮动。该问题负面地影响了阈值电压控制和电路工作。以上解决方案的另一问题是它们比常规的体硅衬底昂贵得多。此外，没有简单的方式获得具有较高电子和空穴传输特性的绝缘体上的应变硅。

发明内容

本发明的目的在于以低成本提供没有“浮体”缺陷的掩埋氧化物形成方法。

本发明的另一目的是提供具有高电子和空穴传输特性的绝缘体上应变硅结构。

根据本发明，在单晶半导体层的区域下形成掩埋氧化区的方法包括以下步骤：选择单晶硅衬底，在具有第一氧化速率的衬底上表面上形成不变

或渐变的 SiGe 的第一外延层。该层可以是应变的或弛豫 (relaxed) 的 SiGe 或晶格匹配的 SiGeC。然后在具有小于第一氧化速率的第二氧化速率的第一层上形成含硅的第二外延层，在第二层上形成掩模，构图掩模以在掩模内形成开口，通过掩模开口氧化第二层和第一层，由此形成具有代替部分或所有第二层下的第一层的部分的氧化区。

本发明还提供形成 FET，它的沟道位于第一层剩余部分之上的第二层内。

通过使用本发明，可消除绝缘体覆盖整个晶片所导致的“浮体”缺陷，可有效抑制加工成本，并且本发明的绝缘体上应变硅结构能够获得较高的电子和空穴传输性能。

当结合附图研究本发明下面的详细说明时，本发明的这些和其它特点、目的和优点将变得显而易见。

附图说明

图 1 和 2 为示出实施本发明步骤的叠层结构的剖面图。

图 3 为示出本发明的一个实施例氧化步骤后沿图 2 的线 3-3 截取的剖面图。

图 4 为在不同的温度和环境硅的氧化速率与硼浓度的曲线图。

图 5 为图 3 示出的实施例的所制备样品的 TEM；以及

图 6 为本发明第二实施例的截面图，示出多个 FET。

图 7 为去除氧化步骤期间形成的氧化物的附加步骤的层结构截面图。

图 8 为示出氧化的附加步骤的剖面图。

具体实施方式

参考图 1，显示的叠层结构 12 的截面图示出了初始工艺步骤。首先，选择单晶半导体衬底 14，可以为 Si、SiGe 等。接下来，在衬底 14 的上表面 15 上形成不变或渐变的 $\text{Si}_{1-x}\text{Ge}_x$ 或 $(\text{Si}_{1-x}\text{Ge}_x)_a\text{C}_{1-a}$ 的外延层 16。为说明生长含硅膜的 UHV-CVD 方法，参考 B.S. Meyerson 的 US 专利 No.5,298,452，于 1994 年 3 月 29 日发表，题目为“Method and Apparatus for Low Temperature, Low Pressure Chemical Vapor Deposition of Epitaxial Silicon Layers”，在这里引入做参考。外延层 16 具有的 Ge 的 X

含量在 0.15 到 0.25 范围内。外延层 16 具有在特定温度和环境的热氧化第一速率。环境可以包括氧气、水蒸气和/或 HCl。即使在层 14 和 16 具有不同的晶格常数的位置，也需要外延生长不变或渐变组分的外延层 16，并选择具有第一热氧化速率。将外延层 16 的厚度调节到低于或高于临界厚度以分别提供应变的或弛豫的层。为了说明 SiGe 的弛豫层的形成，参考 F. K. LeGoues 和 B.S. Meyerson 的 US 专利 No.5,659,187，于 1997 年 8 月 19 日发表，题目为“Low Defect Density/Arbitrary Lattice Constant Heteroepitaxial Layers”，在这里引入做参考。

接下来 Si 或 $\text{Si}_{1-Y}\text{Ge}_Y$ 的外延层 20 形成在外延层 16 的上表面 17 上。外延层 20 具有不变或渐变的 Ge 含量 Y，其中 Y 小于 X，并且可以为零。选择层 20 的组分以便层 20 具有小于层 16 的氧化速率的第二氧化速率，并具有需要的电特性。

接下来，将掩模 24 形成在层 20 的上表面 21 上。掩模 24 可以是氮化硅或如慢氧化或抗氧化材料的其它材料或已为氧化物的材料的覆盖层。氮化硅为优选材料，因为相对于氧化物即二氧化硅可以被选择性地除去。构图掩模 24 形成如图 2 所示的开口 26。开口 26 可以沿路径或图形延伸以形成图 2 所示的掩模图形 29 或多个掩模图形 30。掩模图形 30 可以形成为矩形、方形和/或圆形。通过开口 26 的图形也可以形成其它形状。掩模图形 30 可以为尺寸为 $1\mu\text{m} \times 1\mu\text{m}$ 以下的多个矩形和/或方形。可以选择掩模图形和尺寸以便接纳完全由氧化物环绕的 Si 或 SiGe 的单独区域上的一个器件，SiGe 的剩余部分与衬底 14 接触或者 SiGe 完全不与衬底 14 接触。

接下来，叠层结构 12 放置在氧化环境中，在某温度下通过开口 26 氧化外延层 16 和 20，因此氧化了掩模图形 30 的周边。根据 SiGe 中 Ge 的三维组分的分布，层 16 和 20 中硼的三维掺杂的分布和氧化时间，形成氧化物 33 和 34 如图 3 所示，氧化物 33 和 34 终止于中止层 16' 内或延伸穿过层 16' 并终止在衬底 14 内。氧化环境可以为水蒸气、氧气和/或盐酸中的湿热氧化，温度范围从 700°C ~ 950°C ，优选在 700°C 到 800°C 的范围。例如在 750°C ，Si 的氧化速率在 $0.5\sim 1\text{nm/min}$ 的范围。具有 7%Ge 的 SiGe 氧化速率约 3.5 nm/min 。具有 16%Ge 的 SiGe 氧化速率约 5.2 nm/min 。具有 53.5%Ge

的 SiGe 氧化速率约 44nm/min。具有 76.6%Ge 的 SiGe 氧化速率约 66nm/min。有关 SiGe 的氧化速率与温度的函数关系以及用于快速热干和湿氧化 (RTO) 的组分的函数关系的更多数据, 可以参考 U. Konig 和 J. Hersener 的出版物, 题目为 “Needs of Low Thermal Budget Processing in SiGe Technology”, Solid State Phenomena, 卷 47-48 (1996) 17-32 页, 由瑞士的 Scitec Publications 出版。

图 3 为通过图 2 所示的开口 26 氧化掩模 29 的边缘周围的外延层 16 和 20 后沿图 2 的线 3-3 的剖面图。如图 3 所示, 除了掩模图形 29 以下, 外延层 20 完全由氧化区 33 和 34 消耗。开口 26 下的外延层 16 几乎或全部消耗, 并在层 20' 下层 16 内横向延伸。形成的氧化物为 $\text{Si}_r\text{Ge}_s\text{O}_2$, 其中 r 和 s 为 0 到 2 范围内的值, 取决于层 16 内 Ge 含量与厚度的函数关系和氧化条件。

氧化物 33 和 34 在层 16 内层 20' 下延伸, 其中层 16' 的氧化速率大于层 20' 的氧化速率, 层 20' 的氧化速率由 SiGe 中 Ge 的渐变和硼的掺杂分布 (如果存在的话) 控制。可以掺杂硼达到 10^{21} 原子/cc 以增强 SiGe 的氧化。锗的量提供了氧化速率的相应增加。硼的量提供了如图 4 所示的氧化速率的相应增加。在图 4 中, 纵坐标代表氧化速率 (埃/min), 横坐标代表硼浓度 (cm^{-3})。曲线 41 显示出在 700℃ 氧气中 1 个大气压力下硅氧化速率与硼浓度的函数关系。曲线 42 显示出在 600℃ 氧气和水蒸气中 10 个大气压力也称做高压氧化 (HIPOX) 下硅氧化速率与硼浓度的函数关系。曲线 43 显示出在 700℃ 氧气和水蒸气中 10 个大气压力下硅氧化速率与硼浓度的函数关系。HIPOX 可以发生在含氧的环境中在 1 到 20 个大气压力范围内的压力, 通常为 12 个大气压力。Ge 和 B 的存在提供了氧化速率的累积增加。由此层 16 内 SiGe 中 Ge 组分的三维分布和层 14、16 和 20 中硼浓度的三维分布提供了作为时间函数的氧化物 33 和 34 的周边表面或前缘 35 和 36 的预定分布。箭头 37 和 38 示出了在掩模图形 29 下延伸的氧化物 33 和 34 的各自长度 l_1 和 l_2 。相对于掩模图形 29 层 20' 也被氧化, 但由于较低的氧化速率在掩模图形 29 下延伸少得多。对于 Si 和 SiGe 层的氧化, 所得氧化材料的厚度如图 3 所示增加 (没有按比例)。

通过继续与时间成函数关系的一个或多个温度的氧化步骤, 可以确定

或控制 l_1 和 l_2 , 在层 16 和 20 的生长平面内对于不变组分 l_1 和 l_2 相等。同样可以确定或控制箭头 39 示出的间距 d 。间距 d 允许层 20' 通过层 16' 与衬底 14 欧姆接触, 以控制在层 20' 内形成的场效应晶体管本体上的电压, 由此可以防止由堆积的电荷造成的浮体效应。一般来说, 间距 d 小于 FET 的栅长度。当层 20' 与衬底 14 电隔离间距 d 为零的情况下, 氧化物 33 和 34 可以结合在一起。

图 5 为图 3 实施例的制备样品的透射电子显微镜 (TEM) 图。图 5 的显示与图 3 中基本上对应。在图 5 中, l_1 和 l_2 约 $0.17\mu\text{m}$ 。间距 d 约 $0.15\mu\text{m}$ 。掩模图形 29 的宽度为 $0.5\mu\text{m}$ 。在图 5 中, 使用了图 3 中器件的相同参考数字, 并相对于图 3 引入了相同的材料。

图 6 为 FET52 和 53 的剖面图。在图 6 中, 与图 3 所示的相同结构元件使用了相同的参考数字。去除可以为氮化硅的掩模图形 29 (未显示)。如二氧化硅的栅介质 56 可以形成在分别用于晶体管 52 和 53 的层 20' 上。多晶硅层可以形成在栅介质 56 上并构图形成分别用于晶体管 52 和 53 的栅电极 57。使用栅电极 57, 可以通过离子注入形成源区 60 和漏区 61, 形成延伸到氧化物 32、33 和 34 上表面的欧姆接触注入。在形成自对准欧姆接触注入之前, 在栅电极 57 的侧壁上形成栅侧壁间隔层 (未显示)。由于延伸到氧化物 32、33 和 34 的欧姆接触, 与层 16' 的寄生结电容减少, 是由于除了不存在 p-n 结, 与 Si 相比氧化物的介质常数低三倍。对于 $0.13\mu\text{m}$ 的沟道宽度, 源区 60 和漏区 61 的寄生结电容小于 $0.02\text{fF}/\mu\text{m}^2$ 。通过定出源区 60 和漏区 61 下氧化物 32、33 和 34 的位置, 随着漏偏压增加, 可以防止耗尽区延伸进入沟道内, 短沟道效应减少。FET52 可以为 n 型并且 FET53 可以为 p 型形成 CMOS 电路。通过在离子注入期间划分出保留用于相反掺杂剂的其它 FET, 每个 FET 源和漏可以用合适的掺杂剂掺杂。CMOS 电路在本领域已公知, 其中一个 FET 的漏区通过引线 66 连接到另一个 FET 的源区形成输出。栅电极通过引线 67 连接起来形成输入。地和电源电压通过引线 68 和 69 连接到各 FET 的剩余源和漏。

图 7 为除了氧化物 33 和 34 除去之外与图 3 所示的结构类似的层叠结构 70 的剖面图。通过如用缓冲的 HF 腐蚀除去氧化物 33 和 34。

除去氧化物 33 和 34 之后，露出的层 14、16' 和 20' 暴露到氧化环境，重新开始层 16' 的氧化，并根据氧化速率氧化较小程度的层 14 和 20'。氧化物 33 和 34 起阻止或降低层 16' 氧化的作用。由此除去氧化物 33 和 34，加速了层 16' 的氧化。

图 8 为衬底 14 和层 16' 和 20' 进一步氧化为所示的氧化区 77 和 78 后层叠结构 74 的剖面图。

去除氧化物和在氧化环境中氧化层叠结构的步骤重复多次。形成需要的结构后，可以使用如硅氧化物的介质填充在除去氧化物形成的空隙中。可以使用化学机械工艺形成平面的上表面用于进一步的处理以形成有用的半导体器件。

在图 7 和 8 中，与图 3 的器件对应的结构使用了相同的参考数字。

虽然已介绍和示出了在单晶半导体层的区域下形成掩埋氧化区的工艺，该半导体层与衬底和亚微米沟道长度的 FET 结构的欧姆接触应变或弛豫，用于器件和电路应用例如 CMOS、MODFET、DRAM、SRAM、rf、BiCMOS 和混合的 DRAM 和 CMOS，在不脱离仅由附带的权利要求书的范围限定的本发明的广阔范围，本领域的技术人员显然可以做出修改和变形。

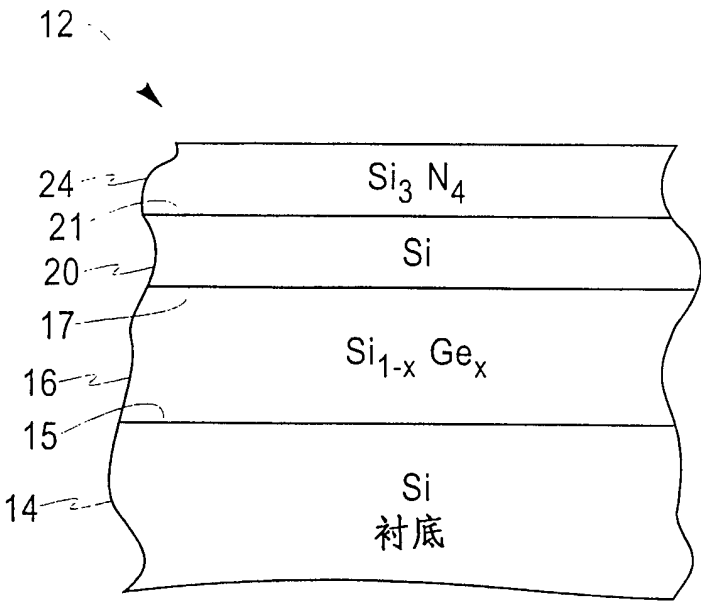


图1

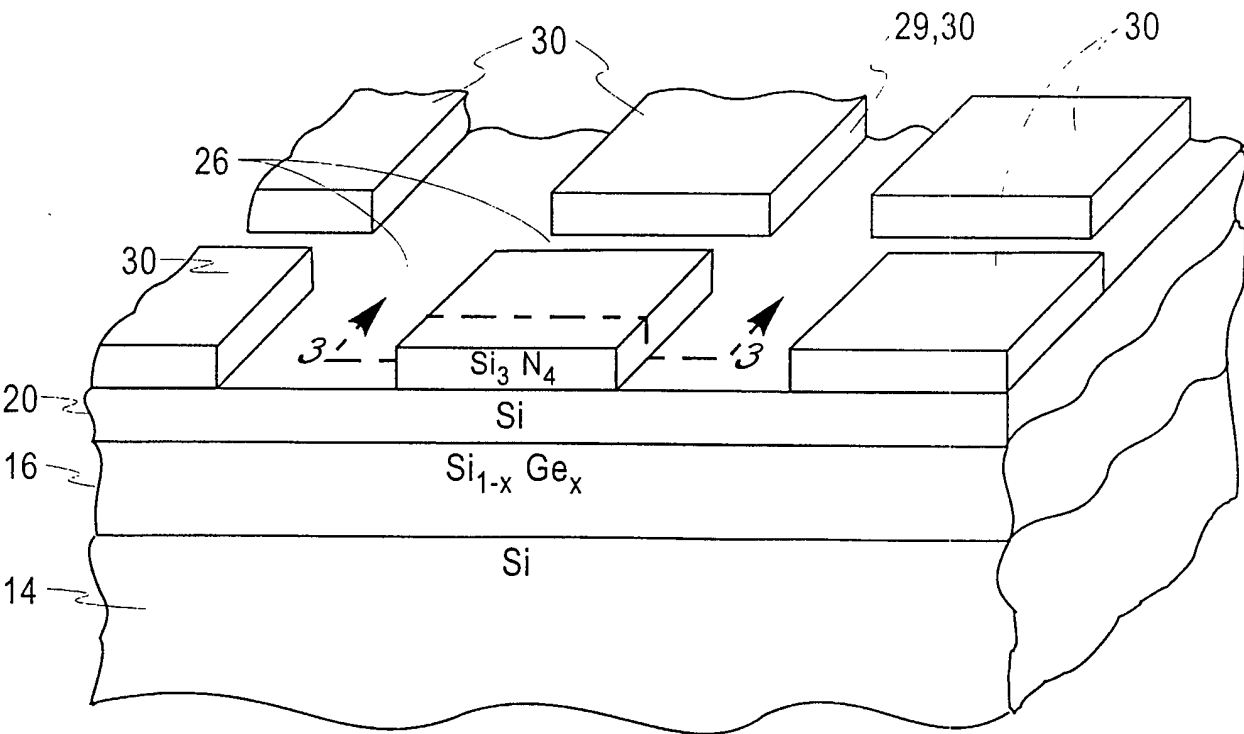


图2

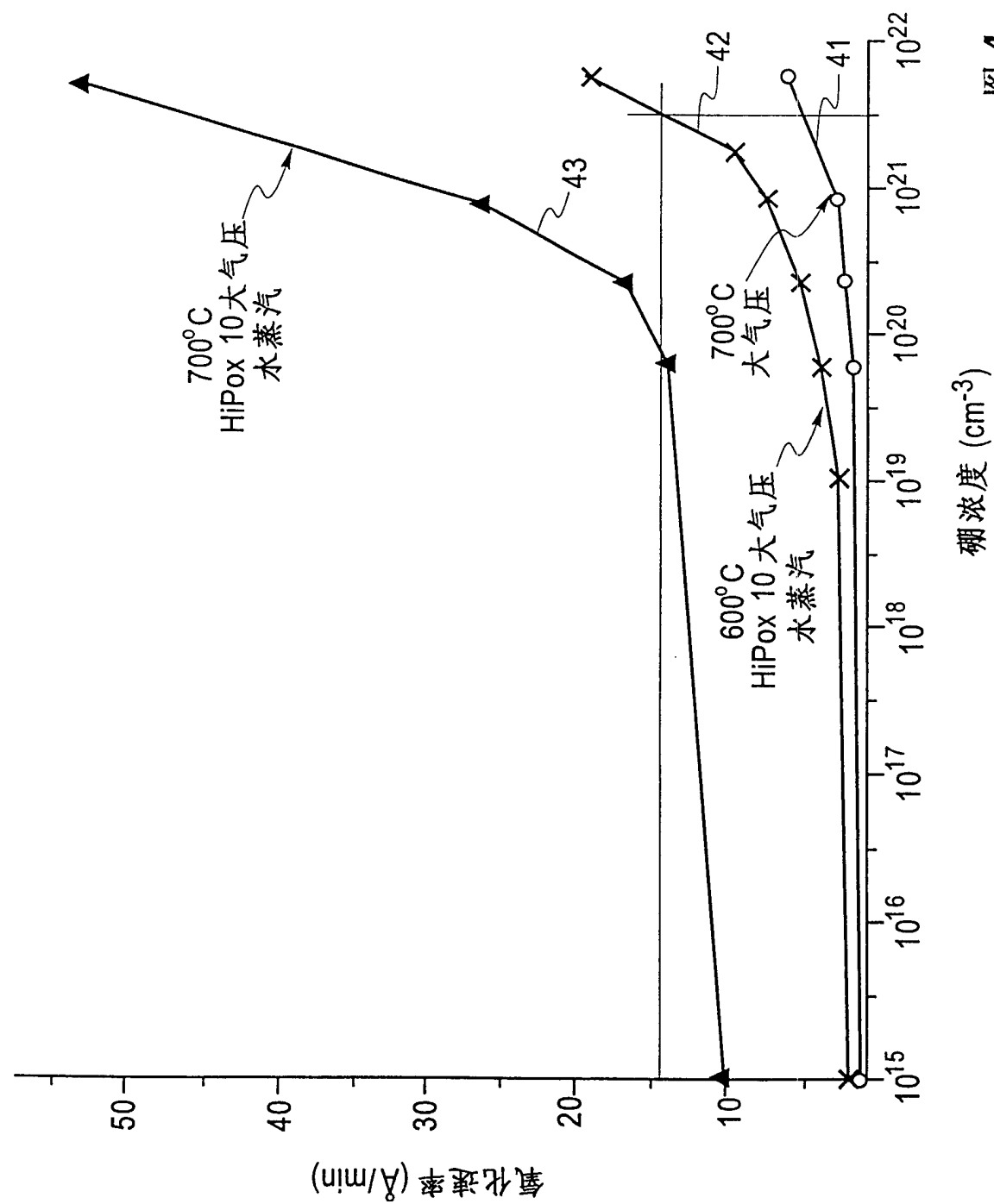


图 4

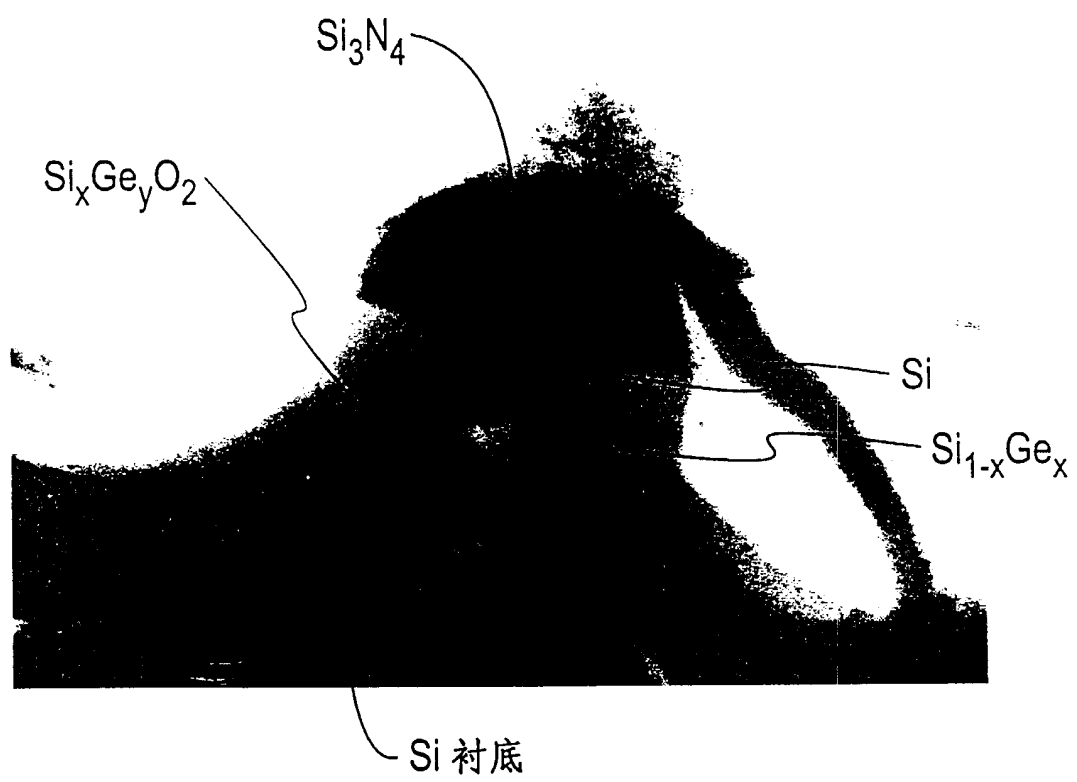


图5

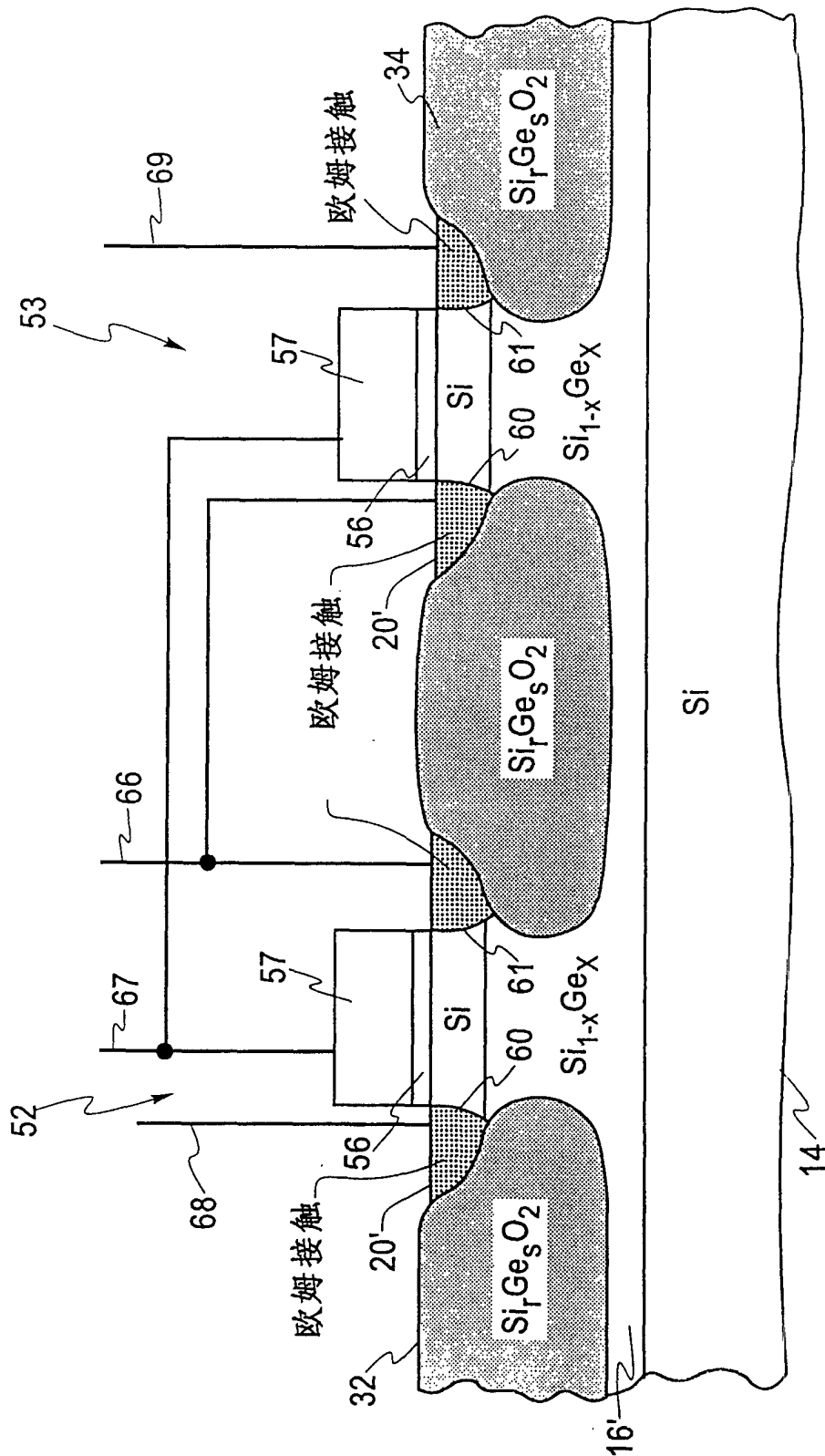
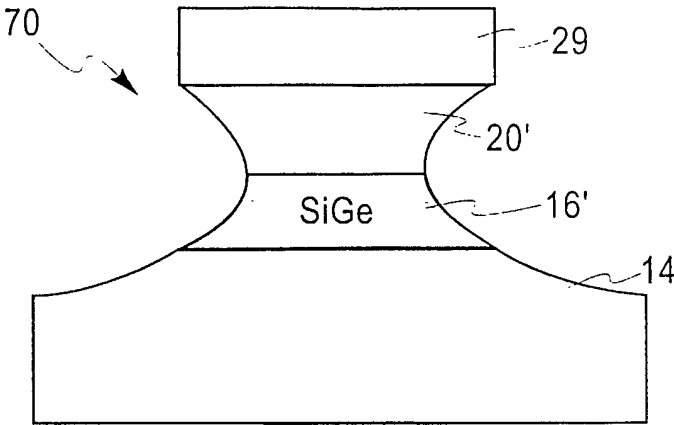
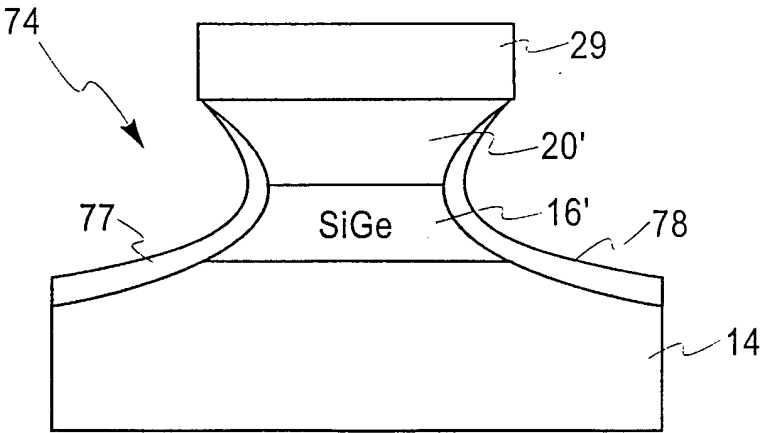


图 6



氧化腐蚀
图 7



在 750°C下的第二湿氧化
图 8