

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月28日(28.06.2018)



(10) 国際公開番号

WO 2018/116457 A1

(51) 国際特許分類:

H01L 27/04 (2006.01) H01L 27/06 (2006.01)
H01L 21/822 (2006.01) H01L 27/088 (2006.01)
H01L 21/8234 (2006.01) H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2016/088450

(22) 国際出願日: 2016年12月22日(22.12.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

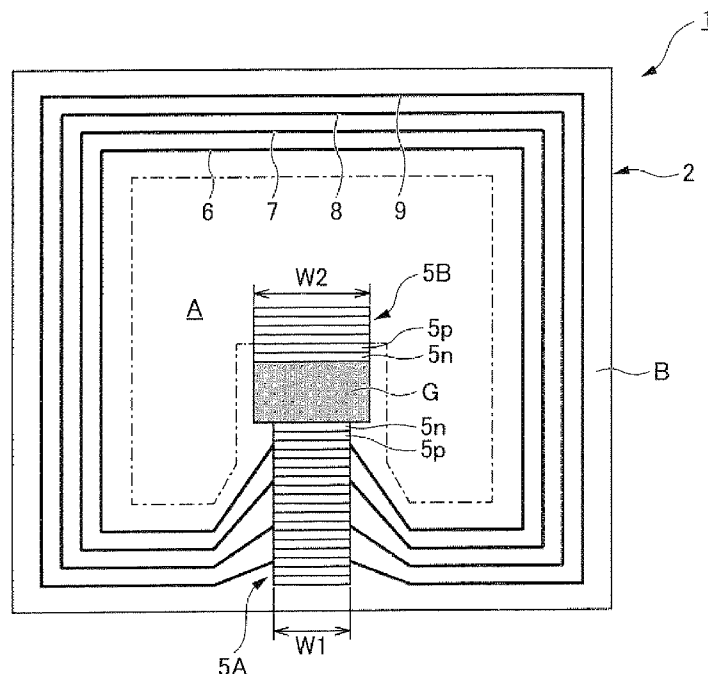
(71) 出願人: 新 電 元 工 業 株 式 会 社 (SHIN-DENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).

(72) 発明者: 小谷 涼平(KOTANI Ryohei); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 松原 寿樹(MATSUBARA Toshiki); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 石塚 信隆(ISHIZUKA Nobutaka); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 三川 雅人(MIKAWA Masato); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 押野 浩(OSHINO Hiroshi); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).

(74) 代理人: 永井 浩之, 外(NAGAI Hiroshi et al.); 〒1000005 東京都千代田区丸の内1丁目

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: [Problem] To prevent a semiconductor switch to be turned on in a reverse-bias-applied state. [Solution] The invention comprises: a semiconductor switch SW provided with a collector electrode C, an emitter electrode E, and a gate electrode G; a zener diode 5A having one end electrically connected to the collector electrode C and the other end electrically connected to the gate electrode G, and configured in such a manner that an N-type semiconductor layer and a P-type semiconductor layer are disposed adjacent to one another; and a zener diode 5B having one end electrically



6 番 6 号 日 本 生 命 丸 の 内 ビ ル 協 和 特
許法律事務所 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

connected to the gate electrode G and the other end electrically connected to the emitter electrode E, and configured in such a manner that an N-type semiconductor layer and a P-type semiconductor layer are disposed adjacent to one another. The zener diode 5A and the zener diode 5B are configured in such a manner that, in a reverse-bias-applied state, the voltage of the gate electrode G does not rise to the ON threshold voltage of the semiconductor switch SW.

(57) 要約: 【課題】逆バイアス印加状態において半導体スイッチがオンすることを防止する。【解決手段】コレクタ電極C、エミッタ電極Eおよびゲート電極Gを有する半導体スイッチSWと、一端がコレクタ電極Cに電氣的に接続され、他端がゲート電極Gに電氣的に接続され、N型半導体層とP型半導体層とが交互に隣接配置されたものとして構成されたツェナーダイオード5Aと、一端がゲート電極Gに電氣的に接続され、他端がエミッタ電極Eに電氣的に接続され、N型半導体層とP型半導体層とが交互に隣接配置されたものとして構成されたツェナーダイオード5Bとを備え、逆バイアス印加状態においてゲート電極Gの電圧が半導体スイッチSWのオン閾値電圧まで上昇しないようにツェナーダイオード5Aおよびツェナーダイオード5Bが構成されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、より詳しくは、半導体スイッチおよびツェナーダイオードを有する半導体装置に関する。

背景技術

[0002] 従来、いわゆるMOS（Metal-Oxide-Semiconductor）構造を含む半導体スイッチを有する半導体装置が知られている。この半導体装置において、ツェナーダイオードが過電圧保護用に設けられることがある。ツェナーダイオードは、N型半導体層とP型半導体層とが隣接配置されたものとして構成される。

[0003] 例えば、半導体スイッチが絶縁ゲートバイポーラトランジスタ（Insulated Gate Bipolar Transistor: IGBT）の場合、コレクタ電極とゲート電極の間に第1のツェナーダイオードが設けられ、ゲート電極とエミッタ電極の間にも第2のツェナーダイオードが設けられる。第1のツェナーダイオードと第2のツェナーダイオードは直列接続される。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-111304号公報

発明の概要

発明が解決しようとする課題

[0005] 上記のように、過電圧保護用に第1および第2のツェナーダイオードが設けられた半導体装置では、所望の耐圧を満たすために、逆バイアス印加状態において半導体スイッチがオンしないことが求められる。ここで、「逆バイアス印加状態」とは、半導体スイッチの第1主電極が高電位に接続され、第2主電極が低電位に接続され、且つ制御電極にオフ信号が入力された状態の

ことをいう。半導体スイッチが I G B T の場合、第 1 主電極はコレクタ電極であり、第 2 主電極はエミッタ電極であり、制御電極はゲート電極である。オフ信号は、オン閾値電圧未満の電圧である。

[0006] しかしながら、逆バイアス印加状態では、第 1 主電極と第 2 主電極の間に印加される高電圧により、直列接続された第 1 のツェナーダイオードおよび第 2 のツェナーダイオードにリーク電流が流れる。このリーク電流により、第 1 主電極と第 2 主電極間に印加された高電圧が分圧されて、制御電極の電圧が意図せず、オン閾値電圧以上となってしまう。その結果、半導体スイッチがオンになるおそれがある。

[0007] 本発明は、上記の技術的認識に基づいてなされたものであり、逆バイアス印加状態において半導体スイッチがオンすることを防止できる半導体装置を提供することを目的とする。

課題を解決するための手段

[0008] 本発明に係る半導体装置は、
高電位に接続される第 1 主電極、低電位に接続される第 2 主電極、および制御電極を有する半導体スイッチと、
一端が前記第 1 主電極に電氣的に接続され、他端が前記制御電極に電氣的に接続され、N 型半導体層と P 型半導体層とが交互に隣接配置されたものとして構成された第 1 のツェナーダイオードと、
一端が前記制御電極に電氣的に接続され、他端が前記第 2 主電極に電氣的に接続され、N 型半導体層と P 型半導体層とが交互に隣接配置されたものとして構成された第 2 のツェナーダイオードと、を備え、
前記第 1 主電極が高電位に接続され、前記第 2 主電極が低電位に接続され且つ前記制御電極に前記半導体スイッチのオフ信号が入力された逆バイアス印加状態において、前記制御電極の電圧が前記半導体スイッチのオン閾値電圧まで上昇しないように、前記第 1 のツェナーダイオードおよび前記第 2 のツェナーダイオードが構成されていることを特徴とする。

[0009] また、前記半導体装置において、

前記第1のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層との接合面積は、前記第2のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層との接合面積よりも小さくてもよい。

[0010] また、前記半導体装置において、

前記第1のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層の幅は、前記第2のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層の幅よりも短くてもよい。

[0011] また、前記半導体装置において、

前記第1のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層の厚さは、前記第2のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層の厚さよりも薄くてもよい。

[0012] また、前記半導体装置において、

前記第2のツェナーダイオードに並列接続され、前記第2のツェナーダイオードとともに集積形成された集積抵抗が設けられていてもよい。

[0013] また、前記半導体装置において、

前記第2のツェナーダイオードを構成する複数の前記N型半導体層のうち、前記P型半導体層で挟まれたN型半導体層は、前記第2のツェナーダイオードの全幅にわたって形成されておらず、前記第2のツェナーダイオードの長さ方向に隣り合うP型半導体層同士が繋がっていてもよい。

[0014] また、前記半導体装置において、

前記第2のツェナーダイオードを構成するP型半導体層は、平面視して蛇行するように形成されていてもよい。

[0015] また、前記半導体装置において、

前記P型半導体層で挟まれたN型半導体層の先端は、平面視して円弧状に丸められていてもよい。

[0016] また、前記半導体装置において、

前記隣り合うP型半導体層の接続領域には、前記P型半導体層よりも低抵抗のP型半導体層が設けられていてもよい。

- [0017] また、前記半導体装置において、
前記低抵抗のP型半導体層は、前記N型半導体層の先端部を囲うように形成されていてもよい。
- [0018] また、前記半導体装置において、
前記低抵抗のP型半導体層は、前記第2のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層間のPN接合に形成される空乏層の外側に設けられていてもよい。
- [0019] また、前記半導体装置において、
前記第2のツェナーダイオードの幅方向両端において、前記第2のツェナーダイオードの長さ方向に隣り合うP型半導体層同士が繋がっていてもよい。
- [0020] また、前記半導体装置において、
前記第2のツェナーダイオードをその長さ方向にみて、前記N型半導体層の数が前記第2のツェナーダイオードの幅方向について異なってもよい。
- [0021] また、前記半導体装置において、
前記第2のツェナーダイオードのその長さ方向にみて、前記N型半導体層の数が前記第2のツェナーダイオードの幅方向について同じであってもよい。
- [0022] また、前記半導体装置において、
前記第2のツェナーダイオードを構成する前記N型半導体層は、半導体層にN型不純物を導入したものとして構成され、前記半導体層の全厚にわたって形成されていないようにしてもよい。
- [0023] また、前記半導体装置において、
前記第1のツェナーダイオードを構成する前記P型半導体層のP型不純物の濃度は、前記第1のツェナーダイオードを構成する前記N型半導体層のN型不純物の濃度より低く、かつ、前記第2のツェナーダイオードを構成する前記P型半導体層のP型不純物の濃度は、前記第2のツェナーダイオードを構成する前記N型半導体層のN型不純物の濃度より低く、

前記第1のツェナーダイオードを構成する、連続するN型半導体層、P型半導体層およびN型半導体層により構成される第1のNPN型バイポーラトランジスタの電流増幅率は、前記第2のツェナーダイオードを構成する、連続するN型半導体層、P型半導体層およびN型半導体層により構成される第2のNPN型バイポーラトランジスタの電流増幅率よりも小さいようにしてもよい。

[0024] また、前記半導体装置において、

前記第1のNPN型バイポーラトランジスタの前記P型半導体層は、前記第2のNPN型バイポーラトランジスタの前記P型半導体層よりも長くてもよい。

[0025] また、前記半導体装置において、

前記第1のNPN型バイポーラトランジスタの前記P型半導体層の不純物濃度は、前記第2のNPN型バイポーラトランジスタの前記P型半導体層の不純物濃度よりも高くてもよい。

発明の効果

[0026] 本発明によれば、逆バイアス印加状態における制御電極の電圧がオン閾値電圧に達しないようにすることで、逆バイアス印加状態において半導体スイッチがオンすることを防止できる。

図面の簡単な説明

[0027] [図1]本発明の第1の実施形態に係る半導体装置の概略的な構成図である。

[図2]第1の実施形態に係る半導体装置の平面図である。

[図3]ツェナーダイオード5A（5B）の一部斜視図である。

[図4]第1の実施形態に係る半導体装置の半導体スイッチの電流－電圧特性を示す図である。

[図5]第2の実施形態に係る半導体装置のツェナーダイオードの平面図である。

[図6]本発明の第3の実施形態に係る半導体装置の概略的な構成図である。

[図7]第3の実施形態に係る半導体装置の、第1の例に係るツェナーダイオー

ド５Ｂの平面図である。

[図８]第３の実施形態に係る半導体装置の、第２の例に係るツェナーダイオード５Ｂの平面図である。

[図９]第３の実施形態に係る半導体装置の、第３の例に係るツェナーダイオード５Ｂの平面図である。

[図１０]図９の領域Ｌ１を拡大した平面図である。

[図１１]第３の実施形態に係る半導体装置の、第４の例に係るツェナーダイオード５Ｂの平面図である。

[図１２]図１１の領域Ｌ２を拡大した平面図である。

[図１３]第３の実施形態に係る半導体装置の、第５の例に係るツェナーダイオード５Ｂの平面図である。

[図１４]第３の実施形態に係る半導体装置の、第６の例に係るツェナーダイオード５Ｂの平面図である。

[図１５]第３の実施形態に係る半導体装置の、第７の例に係るツェナーダイオード５Ｂの平面図である。

[図１６]第４の実施形態に係る半導体装置の、第１の例に係るツェナーダイオード５Ｂの断面図である。

[図１７]第４の実施形態に係る半導体装置の、第２の例に係るツェナーダイオード５Ｂの断面図である。

[図１８]第４の実施形態に係る半導体装置の、第３の例に係るツェナーダイオード５Ｂの断面図である。

[図１９]実施形態に係る点火装置１００の概略的な構成図である。

発明を実施するための形態

[0028] 以下、図面を参照しつつ本発明の実施形態について説明する。なお、各図において同等の機能を有する構成要素には同一の符号を付す。

[0029] (第１の実施形態)

図１～図４を参照して、本発明の第１の実施形態に係る半導体装置について説明する。

[0030] 第1の実施形態に係る半導体装置1は、図1に示すように、半導体スイッチSWと、ツェナーダイオード5A（第1のツェナーダイオード）と、ツェナーダイオード5B（第2のツェナーダイオード）とを備える。

[0031] 半導体スイッチSWは、高電位に接続される第1主電極、低電位に接続される第2主電極、および制御電極を有する。半導体スイッチSWは、MOS構造を有し、本実施形態では、絶縁ゲートバイポーラトランジスタ（IGBT）である。第1主電極がコレクタ電極Cであり、第2主電極がエミッタ電極Eであり、制御電極がゲート電極Gである。コレクタ電極Cは高電位（例えば400V）に接続され、エミッタ電極Eは低電位（例えばグランド）に接続される。ゲート電極Gは、マイクロプロセッサ等からなる制御部（図示せず）に接続される。

[0032] なお、半導体スイッチSWは、IGBTに限らず、MOS構造を有する他の半導体スイッチでもよい。例えば、半導体スイッチSWは、電界効果トランジスタ（MOS Field Effect Transistor: MOSFET）でもよい。半導体スイッチSWがN型MOSFETの場合、高電位に接続される第1主電極はドレイン電極であり、低電位に接続される第2主電極はソース電極である。

[0033] ツェナーダイオード5Aとツェナーダイオード5Bは、図1に示すように、直列接続されている。ツェナーダイオード5Aおよび5Bは、複数のツェナーダイオード素子が逆方向に直列接続されたものであり、過電圧保護ダイオードとして機能する。図1に示すように、ツェナーダイオード5Aは、一端がコレクタ電極Cに電氣的に接続され、他端がゲート電極Gに電氣的に接続されている。ツェナーダイオード5Bは、一端がゲート電極Gに電氣的に接続され、他端がエミッタ電極Eに電氣的に接続されている。

[0034] 逆バイアス印加状態において、オフ状態の半導体スイッチSWに流れる電流は十分小さいので、ツェナーダイオード5Aに流れるリーク電流はツェナーダイオード5Bに流れるリーク電流にほぼ等しい。

[0035] 次に、半導体装置1の具体的構成について説明する。半導体装置1では、

導電性の半導体基板 2 の上面と下面との間に主電流が流れる。なお、半導体基板 2 は、例えばシリコン基板であるが、その他の半導体基板（S i C 基板、G a N 基板等）であってもよい。また、半導体基板 2 の導電型は、本実施形態では N 型であるが、これに限定されない。

[0036] 半導体基板 2 の上面には、図 2 に示すように、主電流が流れる活性領域 A と、この活性領域 A を取り囲む耐圧領域 B とが設けられている。耐圧領域 B は、半導体基板 2 の周縁部を含む。ここで、「周縁部」は、半導体基板 2 の側面を含む、半導体基板 2 の周縁部分のことである。半導体基板 2 の上面側には、ゲート電極 G のほか、活性領域 A に形成されたエミッタ電極 E（図示せず）が設けられている。また、半導体基板 2 の下面側には、コレクタ電極 C（図示せず）が設けられている。

[0037] 図 2 に示すように、ツェナーダイオード 5 A および 5 B は、半導体基板 2 の上面に配置されている。本実施形態では、ツェナーダイオード 5 A の幅 W 1 は、ツェナーダイオード 5 B の幅 W 2 よりも短い。なお、ツェナーダイオード 5 A および 5 B が配置される位置は、図 2 に示す位置に限られるものではない。

[0038] 半導体基板 2 の耐圧領域 B には、図 2 に示すように、I G B T の耐圧特性を安定させるため、導体部 6, 7, 8, 9 が設けられている。導体部 6, 7, 8, 9 は、例えばポリシリコンまたはアルミニウム等の導電性材料からなる。導体部 6, 7, 8, 9 は、耐圧領域 B に沿って活性領域 A を取り囲むように形成され、ツェナーダイオード 5 A の所定の部位にそれぞれ電氣的に接続されている。なお、導体部 6, 7, 8, 9 の接続先の半導体層は、導体部と同じ導電型の半導体層である。また、導体部の本数は 4 本に限るものではなく、任意の本数でよい。

[0039] 次に、ツェナーダイオード 5 A（5 B）の具体的構成について説明する。図 3 に示すように、ツェナーダイオード 5 A は、N 型半導体層 5 n と P 型半導体層 5 p とが、長さ方向に沿って、交互に隣接配置されたものとして構成されている。ツェナーダイオード 5 B についても同様である。ただし、ツェ

ナーダイオード5 Bは、要求される耐圧がツェナーダイオード5 Aよりも低いため、ツェナーダイオード5 Bに含まれる半導体層の数はツェナーダイオード5 Aよりも少ない。

[0040] 図3に示すように、N型半導体層5 nとP型半導体層5 pは、絶縁膜4の上に形成されている。この絶縁膜4は、半導体基板2の上面に形成されている。例えば、絶縁膜4はシリコン酸化膜(SiO_2 膜)であり、より具体的にはフィールド酸化膜である。絶縁膜4の厚さは、例えば200 nm~2000 nmである。

[0041] ツェナーダイオード5 Aおよび5 Bは、例えば次のようにして形成される。まず、絶縁膜4上にポリシリコン層を形成する。ポリシリコン層の厚さは、例えば100 nm~1000 nmである。次に、形成されたポリシリコン層にP型不純物(ボロン等)を導入してP型半導体領域を形成する。P型半導体層5 pのP型不純物の濃度は、例えば $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。その後、選択的イオン注入法等を用いてP型半導体領域の所定領域にのみN型不純物(リン等)を導入してN型半導体層5 nを形成する。N型半導体層5 nが形成されなかったP型半導体領域はP型半導体層5 pとなる。

[0042] なお、N型半導体層5 nのN型不純物の濃度は、例えば $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。このようにツェナーダイオード5 A、5 Bにおいて、P型半導体層5 pにおけるP型不純物の濃度は、N型半導体層5 nにおけるN型不純物の濃度より低い。

[0043] ツェナーダイオード5 Aおよび5 Bは、逆バイアス印加状態において、ゲート電極Gの電圧が半導体スイッチSWのオン閾値電圧まで上昇しないように構成されている。具体的には、第1の実施形態においては、ツェナーダイオード5 Aを構成するN型半導体層5 nとP型半導体層5 pとの接合面積は、ツェナーダイオード5 Bを構成するN型半導体層5 nとP型半導体層5 pとの接合面積よりも小さい。これにより、逆バイアス印加状態においてツェナーダイオード5 Aを流れるリーク電流を減らす。ツェナーダイオード5 A

のリーク電流が減少することで、ツェナーダイオード5Bのリーク電流も減少するため、ツェナーダイオード5Bでの電圧降下が抑制される。すなわち、半導体スイッチSWの制御電極の電圧の上昇を抑制する。

[0044] ここで、制御電極の電圧の上昇抑制について、図4を参照して説明する。図4において、横軸の電圧は、ゲート電極Gとエミッタ電極Eとの間（以下、単に「ゲートーエミッタ間」という。）のツェナーダイオード5Bに加わる電圧 V_{GE} 、またはコレクターゲート間のツェナーダイオード5Aに加わる電圧 V_{CG} である。縦軸の電流は、ゲートーエミッタ間のツェナーダイオード5Bに流れる電流 I_{GE} 、またはコレクターゲート間のツェナーダイオード5Aに流れる電流 I_{CG} である。電流 I_{CG}' は、従来の構成（すなわち、コレクターゲート間のツェナーダイオードの接合面積が、ゲートーエミッタ間のツェナーダイオードと同じ）における、コレクターゲート間のツェナーダイオードに流れる電流である。電圧 V_1 は、半導体スイッチSWがオンするときの電圧である。 I_1 は、電圧 V_1 に対応するゲートーエミッタ間の電流である。電圧 V_2 は、半導体装置1の所望の耐電圧（例えば400V）である。 I_2 は、電圧 V_2 に対応するコレクターゲート間の電流である。

[0045] 図4に示すように、従来構成の場合、逆バイアス印加状態において、電圧 V_2 に対応する電流 I_3 は、電流 I_1 よりも大きくなる。前述のように、逆バイアス印加状態において、ツェナーダイオード5Aに流れるリーク電流は、ツェナーダイオード5Bに流れるリーク電流にほぼ等しい。よって、ゲートーエミッタ間の電圧は、半導体スイッチSWのオン閾値電圧以上となり、半導体スイッチSWはオンしてしまう。

[0046] これに対し、本実施形態の場合、逆バイアス印加状態において、ツェナーダイオード5Aを流れる電流 I_{CG} は、従来構成の場合の電流 I_{CG}' に比べて低下する。これにより、図4に示すように、電圧 V_2 に対応する電流 I_2 は、電流 I_1 よりも小さくなる。すなわち、コレクターエミッタ間に所望の耐電圧を印加したときにツェナーダイオード5Aに流れるリーク電流（この電流はツェナーダイオード5Bに流れるリーク電流に等しい。）が、ゲート電極の

電圧がオン閾値電圧に達する際にツェナーダイオード5 Bに流れるリーク電流よりも小さくなる。

[0047] よって、逆バイアス印加状態において、ゲートーエミッタ間の電圧は、半導体スイッチSWのオン閾値電圧未満となり、半導体スイッチSWはオンしない。このように、第1の実施形態によれば、逆バイアス印加状態において半導体スイッチSWが誤ってオンすることを防止できる。

[0048] ツェナーダイオード5 A、5 Bの接合面積の調整方法として、半導体層の幅を調整する方法と、半導体層の厚さを調整する方法とがある。ここで、「半導体層の幅」とは、N型半導体層およびP型半導体層の隣接配置方向（すなわち、図3の「長さ方向」）と直交する方向（すなわち、図3の「幅方向」）の長さのことである。

[0049] 半導体層の幅を調整する場合、ツェナーダイオード5 Aを構成するN型半導体層5 nとP型半導体層5 pの幅が、ツェナーダイオード5 Bを構成するN型半導体層5 nとP型半導体層5 pの幅よりも短いようにする。本実施形態では、図2に示すように、ツェナーダイオード5 Aの幅W1は、ツェナーダイオード5 Bの幅W2よりも短い。

[0050] 半導体層の厚さを調整する場合、ツェナーダイオード5 Aを構成するN型半導体層5 nとP型半導体層5 pの厚さは、ツェナーダイオード5 Bを構成するN型半導体層5 nとP型半導体層5 pの厚さよりも薄くする。

[0051] 上記のように、第1の実施形態では、ツェナーダイオード5 Aを構成するN型半導体層5 nとP型半導体層5 pとの接合面積は、ツェナーダイオード5 Bを構成するN型半導体層5 nとP型半導体層5 pとの接合面積よりも小さい。これにより、ツェナーダイオード5 Aのリーク電流を減らし、ツェナーダイオード5 Bでの電圧降下を抑制する。

[0052] よって、第1の実施形態によれば、逆バイアス印加状態において半導体スイッチSWが誤ってオンすることを防止できる。

[0053] （第2の実施形態）

次に、図5を参照して、本発明の第2の実施形態に係る半導体装置について

て説明する。第2の実施形態では、ゲートーエミッタ間のツェナーダイオード5BをNPN型バイポーラトランジスタとみなし、このトランジスタの電流増幅率を上げることでゲートーエミッタ間のリーク電流を増加させてゲート電圧の上昇を抑制する。以下、第1の実施形態との相違点を中心に、第2の実施形態について説明する。

[0054] 第2の実施形態に係る半導体装置は、第1の実施形態の半導体装置1と同様に、半導体スイッチSWと、ツェナーダイオード5Aと、ツェナーダイオード5Bとを備える。

[0055] 前述のように、ツェナーダイオード5A、5Bを構成するP型半導体層5pのP型不純物の濃度は、N型半導体層5nのN型不純物の濃度より低い。したがって、図5に示すように、連続するN型半導体層5n、P型半導体層5pおよびN型半導体層5nはNPNトランジスタを構成しているとみることが可能である。

[0056] そして、第2の実施形態では、ツェナーダイオード5Aを構成する、連続するN型半導体層5n、P型半導体層5pおよびN型半導体層5nにより構成される第1のNPN型バイポーラトランジスタの電流増幅率(hFE)が、ツェナーダイオード5Bを構成する、連続するN型半導体層5n、P型半導体層5pおよびN型半導体層5nにより構成される第2のNPN型バイポーラトランジスタの電流増幅率よりも小さい。これにより、ツェナーダイオード5Bは低抵抗になることから、ツェナーダイオード5Bにおける電圧降下（すなわち、ゲート電圧の上昇）が抑制される。その結果、逆バイアス印加状態において、ゲートーエミッタ間の電圧は、半導体スイッチSWのオン閾値電圧未満となり、半導体スイッチSWはオンしないようにすることができる。

[0057] NPN型バイポーラトランジスタの電流増幅率の調整方法として、ベース領域となるP型半導体層5pの長さを調整する方法と、当該P型半導体層5pのP型不純物濃度を調整する方法とがある。

[0058] P型半導体層5pの長さを調整する場合、第1のNPN型バイポーラトラ

ンジスタのP型半導体層5 pが、第2のNPN型バイポーラトランジスタのP型半導体層5 pよりも長いようにする。なお、ここでいう「P型半導体層5 pの長さ」とは、ツェナーダイオード5 A、5 Bの長さ方向の長さである。

[0059] P型半導体層5 pのP型不純物濃度を調整する場合、第1のNPN型バイポーラトランジスタのP型半導体層5 pの不純物濃度が、第2のNPN型バイポーラトランジスタのP型半導体層5 pの不純物濃度よりも高いようにする。

[0060] 上記のように、第2の実施形態では、ツェナーダイオード5 Bの抵抗を低下させることでゲート電圧の上昇を抑制する。よって、第2の実施形態によれば、逆バイアス印加状態において半導体スイッチSWが誤ってオンすることを防止できる。

[0061] (第3の実施形態)

次に、図6～図15を参照して、本発明の第3の実施形態に係る半導体装置について説明する。第3の実施形態では、ツェナーダイオード5 Bに並列接続された集積抵抗を設けて、ゲートーエミッタ間のリーク電流を増加させてゲート電圧の上昇を抑制する。

[0062] 第3の実施形態に係る半導体装置1 Aは、図6に示すように、半導体スイッチSWと、ツェナーダイオード5 Aと、ツェナーダイオード5 Bと、ツェナーダイオード5 Bに並列接続された集積抵抗Rとを備える。集積抵抗Rは、後述するようにツェナーダイオード5 Bに並列接続され、ツェナーダイオード5 Bとともに集積形成（一体形成）されている。換言すれば、集積抵抗Rは外付けの抵抗ではない。

[0063] 本実施形態では、ツェナーダイオード5 Bを構成する複数のN型半導体層5 nのうち、P型半導体層5 pで挟まれたN型半導体層5 nは、ツェナーダイオード5 Bの全幅にわたって形成されていない。そして、ツェナーダイオード5 Bの長さ方向に隣り合うP型半導体層5 p同士が繋がっている。これにより、N型半導体層5 nよりも高抵抗のP型半導体層5 pによって集積抵

抗Rが分散的に形成される。以下、複数の具体例を挙げて説明する。

[0064] 図7に示す例では、ツェナーダイオード5Bを構成するP型半導体層5pは、平面視して蛇行するように形成されている。これにより、ツェナーダイオードの特性と、抵抗特性との両方を得ることができる。

また、図8に示すように、P型半導体層5pで挟まれたN型半導体層5nの先端は、平面視して円弧状に丸められていてもよい。これにより、N型半導体層5nの先端部における電流集中を緩和することができる。

[0065] また、図9に示すように、隣り合うP型半導体層5pの接続領域には、P型半導体層5pよりも低抵抗のP型半導体層5ppが設けられてもよい。P型半導体層5ppのP型不純物濃度は、P型半導体層5pよりも高い。これにより、P型半導体層5pで挟まれたN型半導体層5nの先端近傍に流れる電流を抑制することができる。なお、この場合、図10に示すように、低抵抗のP型半導体層5ppは、ツェナーダイオード5Bを構成するN型半導体層5nとP型半導体層5p間のPN接合に形成される空乏層DLの外側に設けられている。すなわち、ツェナーダイオードの特性を妨げないように、P型半導体層5ppは空乏層DLに達しないように設けることが好ましい。

[0066] また、図11に示すように、低抵抗のP型半導体層5ppは、N型半導体層5nの先端部を囲うように形成されてもよい。これにより、N型半導体層5nの先端部における電流集中をさらに抑制することができる。なお、この場合、図11に示すように、P型半導体層5ppとN型半導体層5nとの間の距離がほぼ一定になるように、P型半導体層5ppの内側の境界形状をN型半導体層5nの先端部の形状に合わせることが好ましい。これにより、N型半導体層5nの先端部における電流集中をより効果的に抑制することができる。

[0067] また、図12に示すように、低抵抗のP型半導体層5ppは、ツェナーダイオード5Bを構成するN型半導体層5nとP型半導体層5p間のPN接合に形成される空乏層DLの外側に設けられていることが好ましい。すなわち、ツェナーダイオードの特性を妨げないように、P型半導体層5ppは空乏

層DLに達しないように設けることが好ましい。

[0068] 上記の例のほか、第3の実施形態として以下のような例も考えられる。

[0069] 例えば、図13に示すように、ツェナーダイオード5Bの幅方向両端において、ツェナーダイオード5Bの長さ方向に隣り合うP型半導体層5p同士が繋がっていてもよい。換言すれば、N型半導体層5nはP型半導体層5pに取り囲まれるように設けられてもよい。これにより、ツェナーダイオードの両端に抵抗を設けることができ、集積抵抗Rの抵抗面積を広くすることができる。

[0070] また、ツェナーダイオード5Bにおいて、その中に含まれる複数のツェナーダイオード素子を分割配置してもよい。例えば、ツェナーダイオード5Bをその長さ方向にみて、N型半導体層5nの数が異なるようにしてもよい。すなわち、図14に示すように、ツェナーダイオード5Bの幅方向に見て、幅方向領域WR1, WR5, WR9に含まれるN型半導体層5nの数は3個であり、幅方向領域WR3, WR7に含まれるN型半導体層5nの数は4個であり、幅方向領域WR2, WR4, WR6, WR8に含まれるN型半導体層5nの数は5個である。このようにツェナーダイオード素子をツェナーダイオード5Bの幅方向に分割配置することで、電流集中を抑制することができる。

[0071] あるいは、ツェナーダイオード5Bのその長さ方向にみて、N型半導体層5nの数がツェナーダイオード5Bの幅方向について同じであるようにしてもよい。例えば、図15に示すように、幅方向領域WR1~WR13のいずれの領域についても、ツェナーダイオード5Bの幅方向に見てN型半導体層5nが所定数（本例では5個）含まれるようにしてもよい。このようにツェナーダイオード素子を幅方向に分割配置することで、幅方向に分散して電流が流れることになり、電流集中を抑制することができる。

[0072] 以上説明したように、第3の実施形態では、ツェナーダイオード5Bに並列接続された集積抵抗Rをツェナーダイオード5Bの平面構造により分散的に形成する。これにより、ゲートーエミッタ間のリーク電流を増加させてゲ

ート電圧の上昇を抑制する。よって、第3の実施形態によれば、逆バイアス印加状態において半導体スイッチSWが誤ってオンすることを防止できる。

[0073] さらに、第3の実施形態では、集積抵抗Rがツェナーダイオード5B内に一体形成されているため、半導体装置1Aが形成された半導体チップ内にツェナーダイオード5Bと独立して抵抗を形成する（すなわち、パターン抵抗を形成する）場合に比べて、抵抗設置面積を削減することができる。その結果、半導体装置を小型化したり、あるいは半導体スイッチSWの活性領域Aの面積を拡大することができる。

[0074] （第4の実施形態）

次に、図16～図18を参照して、本発明の第4の実施形態に係る半導体装置について説明する。第4の実施形態では、第3の実施形態と同様に、ツェナーダイオード5Bに並列接続された集積抵抗を設けて、ゲートエミッタ間のリーク電流を増加させてゲート電圧の上昇を抑制する。ただし、集積抵抗をツェナーダイオード5Bの断面構造を利用して形成する点で第3の実施形態と異なる。以下、第3の実施形態との相違点を中心に第4の実施形態について説明する。

[0075] 第4の実施形態に係る半導体装置は、第3の実施形態の半導体装置1Aと同様に、半導体スイッチSWと、ツェナーダイオード5Aと、ツェナーダイオード5Bと、ツェナーダイオード5Bに並列接続された集積抵抗Rとを備える。

[0076] 第4の実施形態において、ツェナーダイオード5Bを構成するN型半導体層5nは、半導体層にN型不純物を導入したものとして構成されるが、当該半導体層の全厚にわたって形成されていない。半導体層の厚さ方向に見てN型半導体層5nが形成されない領域は、半導体層の上層領域または下層領域である。なお、上層領域および下層領域の両方にN型半導体層5nが形成されなくてもよい。以下、各々の場合の具体例について図面を参照して説明する。

[0077] 図16の例では、N型半導体層5nは、ツェナーダイオード5Bの半導体

層の上面から途中まで形成されており、半導体層の下層領域に P 型半導体層 5 p が存在する。この P 型半導体層 5 p が集積抵抗 R を構成する。N 型半導体層 5 n の形成領域の調整は、例えば、選択的イオン注入時の N 型不純物の加速電圧や、アニール温度を調整することにより行う。

[0078] 図 1 7 の例では、N 型半導体層 5 n は、ツェナーダイオード 5 B の半導体層の途中から下面（半導体層と絶縁膜 4 の境界）まで形成されており、半導体層の上層領域に P 型半導体層 5 p が存在する。この P 型半導体層 5 p が集積抵抗 R を構成する。

[0079] 図 1 8 の例では、N 型半導体層 5 n は、ツェナーダイオード 5 B の半導体層の厚さ方向中央部分に形成されており、半導体層の上層領域と下層領域の両方に P 型半導体層 5 p が存在する。この P 型半導体層 5 p が集積抵抗 R を構成する。

[0080] 上記のように、第 4 の実施形態では、ツェナーダイオード 5 B を厚さ方向に見て、半導体層の上層領域および／または下層領域において、当該 N 型半導体層 5 n を挟んで隣り合う P 型半導体層 5 p 同士を接続する P 型抵抗層が集積抵抗 R を構成する。すなわち、ツェナーダイオード 5 B に並列接続された集積抵抗 R をツェナーダイオード 5 B の断面構造により分散的に形成する。これにより、ゲートーエミッタ間のリーク電流を増加させてゲート電圧の上昇を抑制する。よって、第 4 の実施形態によれば、逆バイアス印加状態において半導体スイッチ SW が誤ってオンすることを防止できる。

[0081] さらに、第 4 の実施形態では、集積抵抗 R がツェナーダイオード 5 B 内に一体形成されているため、半導体チップ内にツェナーダイオード 5 B と独立して抵抗を形成する（すなわち、パターン抵抗を形成する）場合に比べて、抵抗設置面積を削減することができる。その結果、半導体装置を小型化したり、あるいは半導体スイッチ SW の活性領域 A の面積を拡大することができる。

[0082] （点火装置）

次に、図 1 9 を参照して、本発明に係る半導体装置を用いた点火装置につ

いて説明する。この点火装置は、バイクや自動車等の車両の内燃機関に適用され、点火プラグに高電圧を印加し放電させることで内燃機関の混合気を点火する。

[0083] 図19に示す内燃機関駆動システムは、点火装置100と、交流発電機(ACG)210と、電源装置230と、バッテリー240と、スイッチ250と、ピックアップコイル260と、イグニッションコイル270と、点火プラグ280とを備えている。点火装置100は、いわゆるフルトランジスタ式の点火装置である。

[0084] 交流発電機210は、内燃機関により駆動されて発電する発電機である。より詳しくは、交流発電機210は、内燃機関の回転に同期して回転駆動されることにより発電し、交流電圧を出力する。この交流発電機210の回転子には、突状のリラクタ(図示せず)が設けられている。交流発電機210の回転子が回転し、リラクタがピックアップコイル260近傍を通過することにより、ピックアップコイル260にパルス電圧が発生する。

[0085] 交流発電機210から供給された交流電圧は電源装置230に供給される。この電源装置230は、交流発電機210から供給された交流電圧を整流し、電圧を調整して出力する。バッテリー240は、電源装置230から出力される直流電圧により充電される。バッテリー240の電圧は、スイッチ250を介して点火装置100に供給される。

[0086] イグニッションコイル270は、一次側コイル270aおよび二次側コイル270bを有する。一次側コイル270aの一端および二次側コイル270bの一端はいずれも、点火装置100のダイオードD1のカソードに接続されている。一次側コイル270aの他端は点火装置100の半導体装置1(半導体スイッチSW)のコレクタ電極に接続されている。二次側コイル270bの他端は点火プラグ280に接続されている。

[0087] 点火プラグ280は、対向する一对の電極を有し、二次側コイル270bの他端と接地との間に設けられている。この点火プラグ280は、二次側コイル270bに発生する電圧により電極間の間隙に火花放電を発生して、内

燃機関の燃料室内の混合気を点火する。

[0088] 次に、点火装置１００の構成について詳しく説明する。

[0089] 点火装置１００は、図１９に示すように、ダイオードＤ１と、コンデンサＣ１と、半導体装置１Ａ（半導体スイッチＳＷ）と、パルス検出部１２０と、制御部１３０と、内部電源回路１４０と、を有している。なお、点火装置１００は、半導体装置１Ａに代えて、半導体装置１を有してもよい。

[0090] ダイオードＤ１はスイッチ２５０と内部電源回路１４０との間に設けられている。スイッチ２５０がオンした状態において、バッテリー２４０の出力電圧は、スイッチ２５０を介してダイオードＤ１のアノードに供給される。コンデンサＣ１は、ダイオードＤ１のカソードと接地との間に接続されている。ダイオードＤ１とコンデンサＣ１は、点火装置１００への入力電圧を平滑化する平滑回路として機能する。

[0091] 半導体装置１の半導体スイッチＳＷは、コレクタ電極がイグニッションコイル２７０の一次側コイル２７０ａに接続され、エミッタ電極が接地され、ゲート電極が制御部１３０に接続されている。この半導体スイッチＳＷは、制御部１３０から出力される制御信号によりオンまたはオフに制御される。

[0092] パルス検出部１２０は、ピックアップコイル２６０に接続されており、ピックアップコイル２６０が出力したパルスを受信する。制御部１３０は、パルス検出部１２０により検出されたパルスに基づいて半導体スイッチＳＷをオンまたはオフすることにより、内燃機関の点火制御を行う。なお、制御部１３０は、例えばマイクロコンピュータにより構成される。内部電源回路１４０は、入力した直流電圧を制御部１３０の動作電圧に調節して出力する。

[0093] 上記のように、本実施形態によれば、半導体装置１の半導体スイッチＳＷには、ゲート－エミッタ間の抵抗として、外付けの抵抗を取り付けたり、半導体スイッチＳＷが形成された半導体チップにパターン抵抗を形成することなく、半導体スイッチＳＷの誤動作を防止可能な点火装置１００を提供することができる。

[0094] 上記の記載に基づいて、当業者であれば、本発明の追加の効果や種々の変

形を想到できるかもしれないが、本発明の態様は、上述した個々の実施形態に限定されるものではない。異なる実施形態にわたる構成要素を適宜組み合わせてもよい。特許請求の範囲に規定された内容及びその均等物から導き出される本発明の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更及び部分的削除が可能である。

符号の説明

- [0095] 1, 1 A, 半導体装置
- 2 半導体基板
- 4 絶縁膜
- 5 A, 5 B ツェナーダイオード
- 5 n N型半導体層
- 5 n h 電流集中緩和部
- 5 p P型半導体層
- 5 p p (低抵抗の) P型半導体層
- 6, 7, 8, 9 導体部
- 1 0 0 点火装置
- A 活性領域
- B 耐圧領域
- C コレクタ電極
- D L 空乏層
- E エミッタ電極
- G ゲート電極
- L 1, L 2 領域
- R 集積抵抗
- S W 半導体スイッチ
- W 1, W 2 幅
- W R 1 ~ W R 1 3 幅方向領域

請求の範囲

- [請求項1] 高電位に接続される第1主電極、低電位に接続される第2主電極、および制御電極を有する半導体スイッチと、
- 一端が前記第1主電極に電氣的に接続され、他端が前記制御電極に電氣的に接続され、N型半導体層とP型半導体層とが交互に隣接配置されたものとして構成された第1のツェナーダイオードと、
- 一端が前記制御電極に電氣的に接続され、他端が前記第2主電極に電氣的に接続され、N型半導体層とP型半導体層とが交互に隣接配置されたものとして構成された第2のツェナーダイオードと、を備え、
- 前記第1主電極が高電位に接続され、前記第2主電極が低電位に接続され且つ前記制御電極に前記半導体スイッチのオフ信号が入力された逆バイアス印加状態において、前記制御電極の電圧が前記半導体スイッチのオン閾値電圧まで上昇しないように、前記第1のツェナーダイオードおよび前記第2のツェナーダイオードが構成されていることを特徴とする半導体装置。
- [請求項2] 前記第1のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層との接合面積は、前記第2のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層との接合面積よりも小さいことを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第1のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層の幅は、前記第2のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層の幅よりも短いことを特徴とする請求項2に記載の半導体装置。
- [請求項4] 前記第1のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層の厚さは、前記第2のツェナーダイオードを構成する前記N型半導体層と前記P型半導体層の厚さよりも薄いことを特徴とする請求項2に記載の半導体装置。
- [請求項5] 前記第2のツェナーダイオードに並列接続され、前記第2のツェナ

ーダイオードとともに集積形成された集積抵抗が設けられていることを特徴とする請求項 1 に記載の半導体装置。

[請求項6] 前記第 2 のツェナーダイオードを構成する複数の前記 N 型半導体層のうち、前記 P 型半導体層で挟まれた N 型半導体層は、前記第 2 のツェナーダイオードの全幅にわたって形成されておらず、前記第 2 のツェナーダイオードの長さ方向に隣り合う P 型半導体層同士が繋がっていることを特徴とする請求項 5 に記載の半導体装置。

[請求項7] 前記第 2 のツェナーダイオードを構成する P 型半導体層は、平面視して蛇行するように形成されていることを特徴とする請求項 6 に記載の半導体装置。

[請求項8] 前記 P 型半導体層で挟まれた N 型半導体層の先端は、平面視して円弧状に丸められていることを特徴とする請求項 7 に記載の半導体装置。

[請求項9] 前記隣り合う P 型半導体層の接続領域には、前記 P 型半導体層よりも低抵抗の P 型半導体層が設けられていることを特徴とする請求項 7 に記載の半導体装置。

[請求項10] 前記低抵抗の P 型半導体層は、前記 N 型半導体層の先端部を囲うように形成されていることを特徴とする請求項 9 に記載の半導体装置。

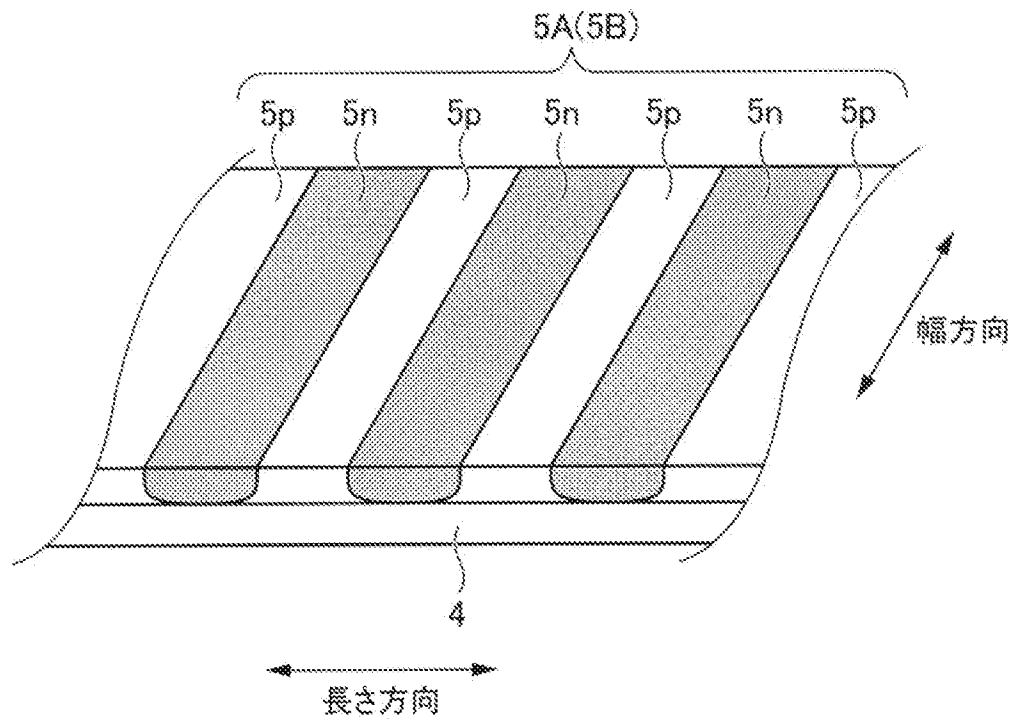
[請求項11] 前記低抵抗の P 型半導体層は、前記第 2 のツェナーダイオードを構成する前記 N 型半導体層と前記 P 型半導体層間の P N 接合に形成される空乏層の外側に設けられていることを特徴とする請求項 9 に記載の半導体装置。

[請求項12] 前記第 2 のツェナーダイオードの幅方向両端において、前記第 2 のツェナーダイオードの長さ方向に隣り合う P 型半導体層同士が繋がっていることを特徴とする請求項 6 に記載の半導体装置。

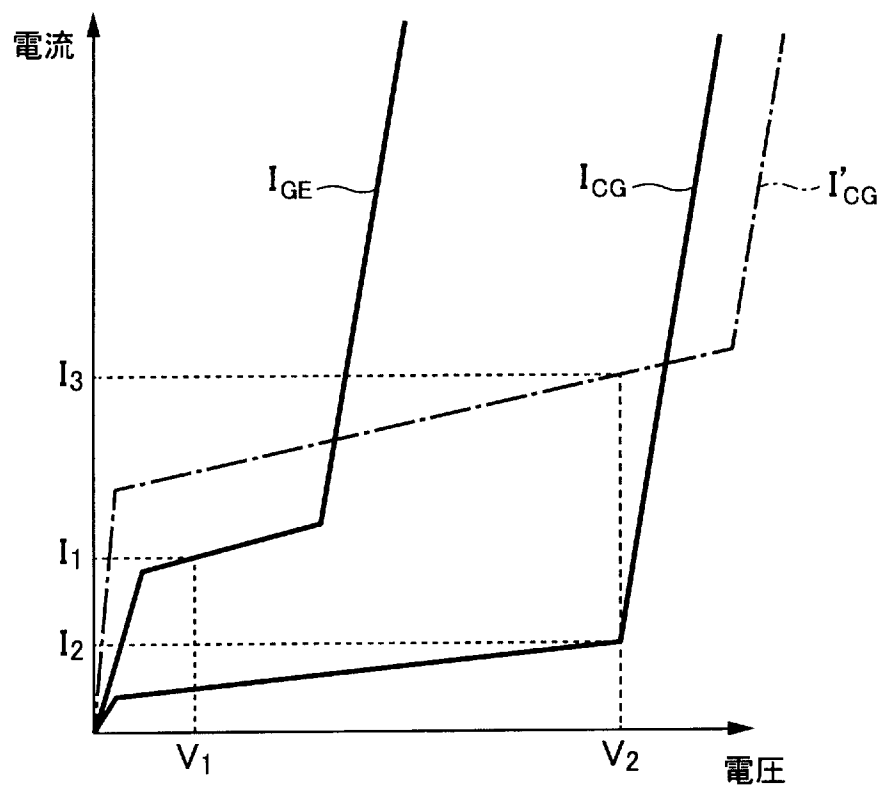
[請求項13] 前記第 2 のツェナーダイオードをその長さ方向にみて、前記 N 型半導体層の数が前記第 2 のツェナーダイオードの幅方向について異なることを特徴とする請求項 6 に記載の半導体装置。

- [請求項14] 前記第2のツェナーダイオードのその長さ方向にみて、前記N型半導体層の数が前記第2のツェナーダイオードの幅方向について同じであることを特徴とする請求項6に記載の半導体装置。
- [請求項15] 前記第2のツェナーダイオードを構成する前記N型半導体層は、半導体層にN型不純物を導入したものとして構成され、前記半導体層の全厚にわたって形成されていないことを特徴とする請求項5に記載の半導体装置。
- [請求項16] 前記第1のツェナーダイオードを構成する前記P型半導体層のP型不純物の濃度は、前記第1のツェナーダイオードを構成する前記N型半導体層のN型不純物の濃度より低く、かつ、前記第2のツェナーダイオードを構成する前記P型半導体層のP型不純物の濃度は、前記第2のツェナーダイオードを構成する前記N型半導体層のN型不純物の濃度より低く、
- 前記第1のツェナーダイオードを構成する、連続するN型半導体層、P型半導体層およびN型半導体層により構成される第1のNPN型バイポーラトランジスタの電流増幅率は、前記第2のツェナーダイオードを構成する、連続するN型半導体層、P型半導体層およびN型半導体層により構成される第2のNPN型バイポーラトランジスタの電流増幅率よりも小さいことを特徴とする請求項1に記載の半導体装置。
- [請求項17] 前記第1のNPN型バイポーラトランジスタの前記P型半導体層は、前記第2のNPN型バイポーラトランジスタの前記P型半導体層よりも長いことを特徴とする請求項16に記載の半導体装置。
- [請求項18] 前記第1のNPN型バイポーラトランジスタの前記P型半導体層の不純物濃度は、前記第2のNPN型バイポーラトランジスタの前記P型半導体層の不純物濃度よりも高いことを特徴とする請求項16に記載の半導体装置。

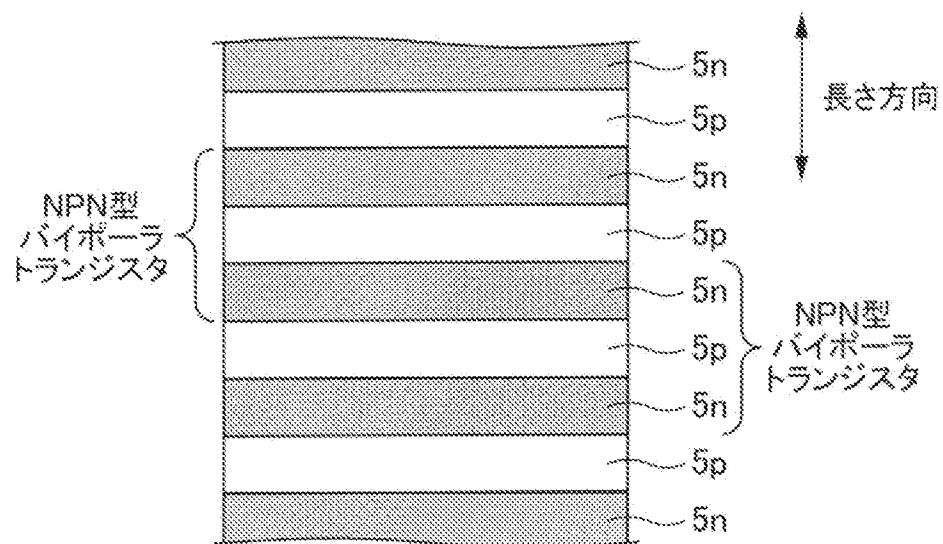
[図3]



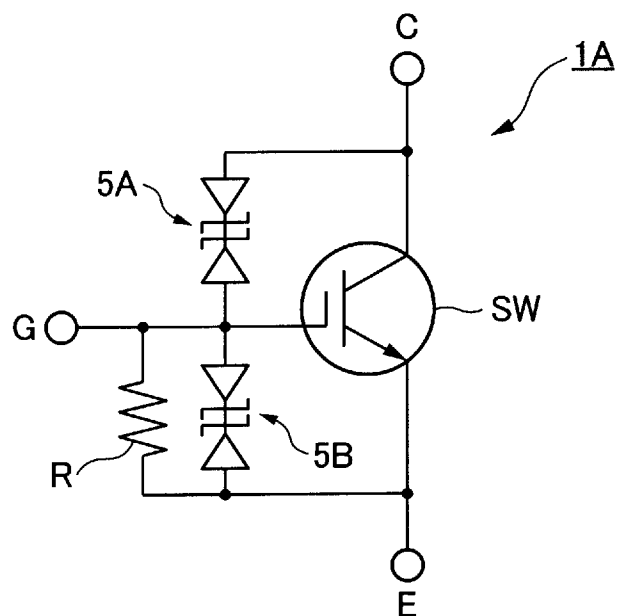
[図4]



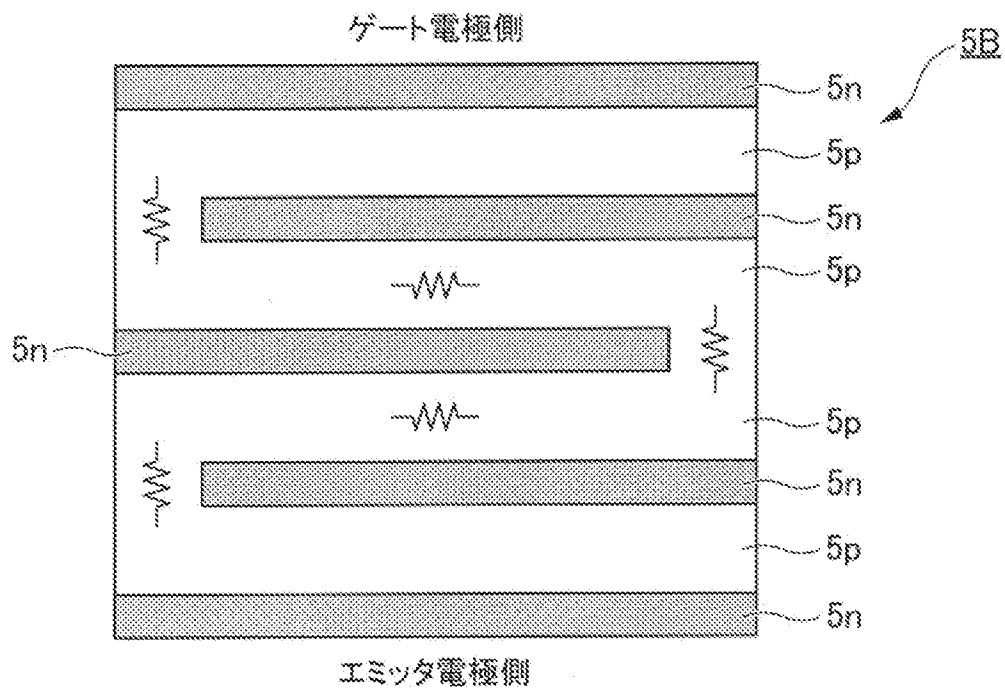
[図5]



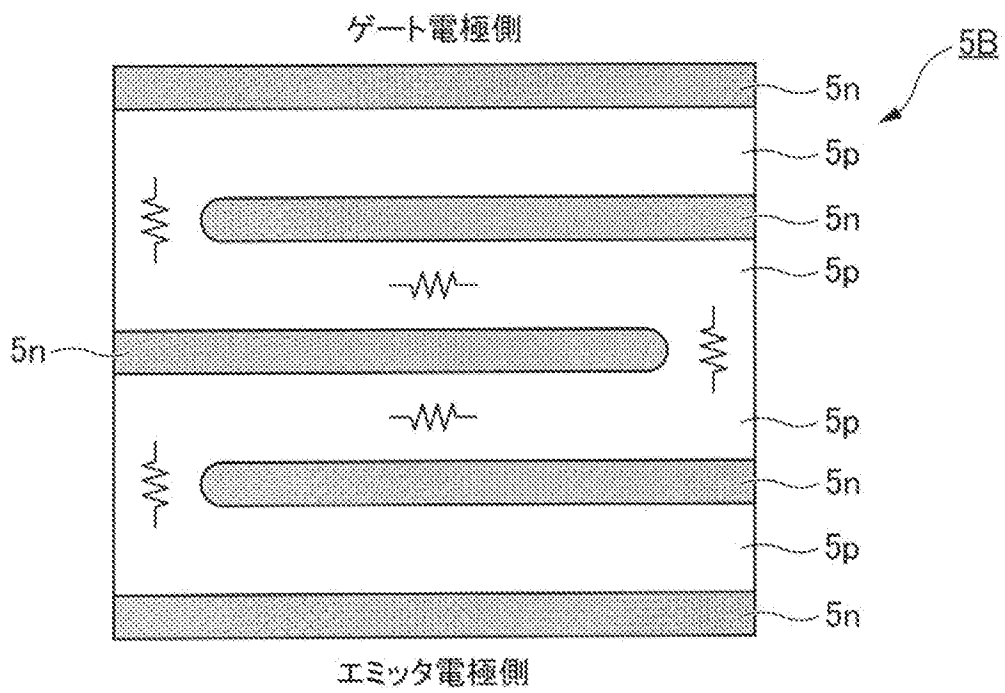
[図6]



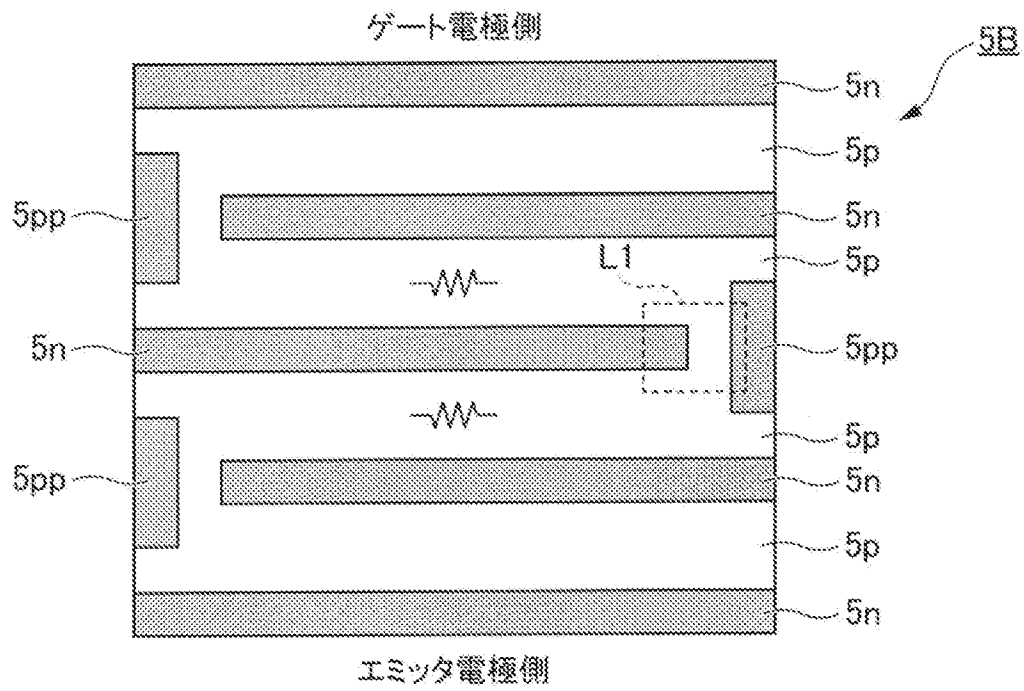
[図7]



[図8]



[図9]



[図10]

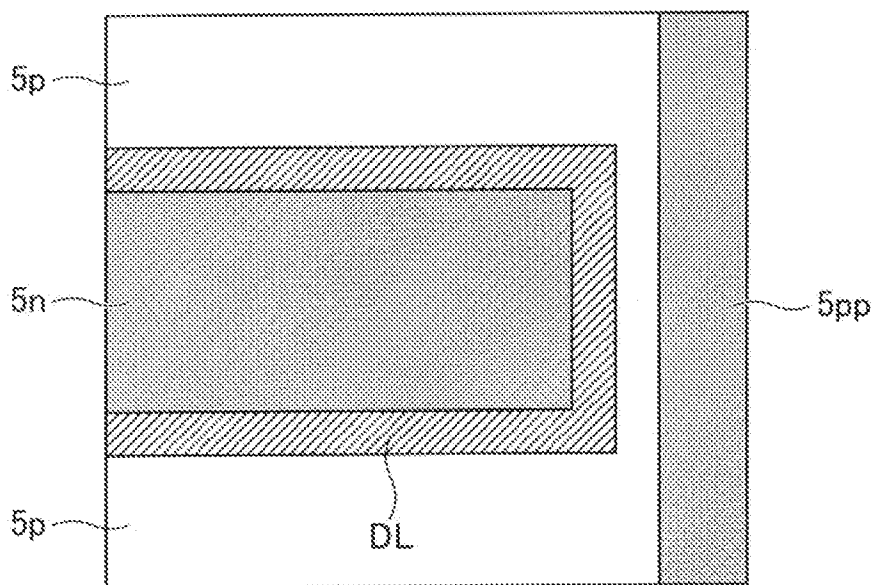
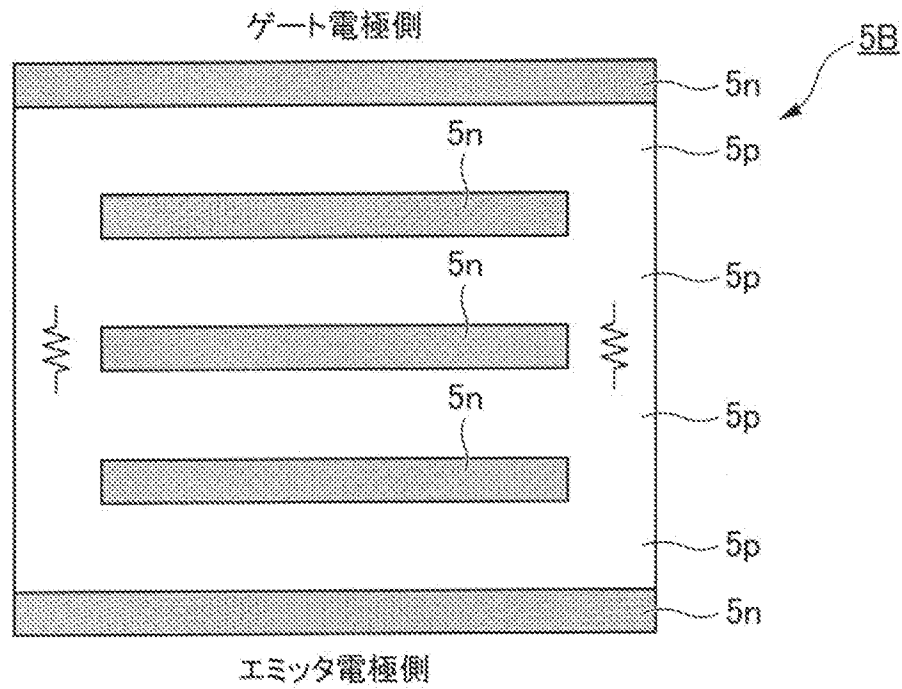
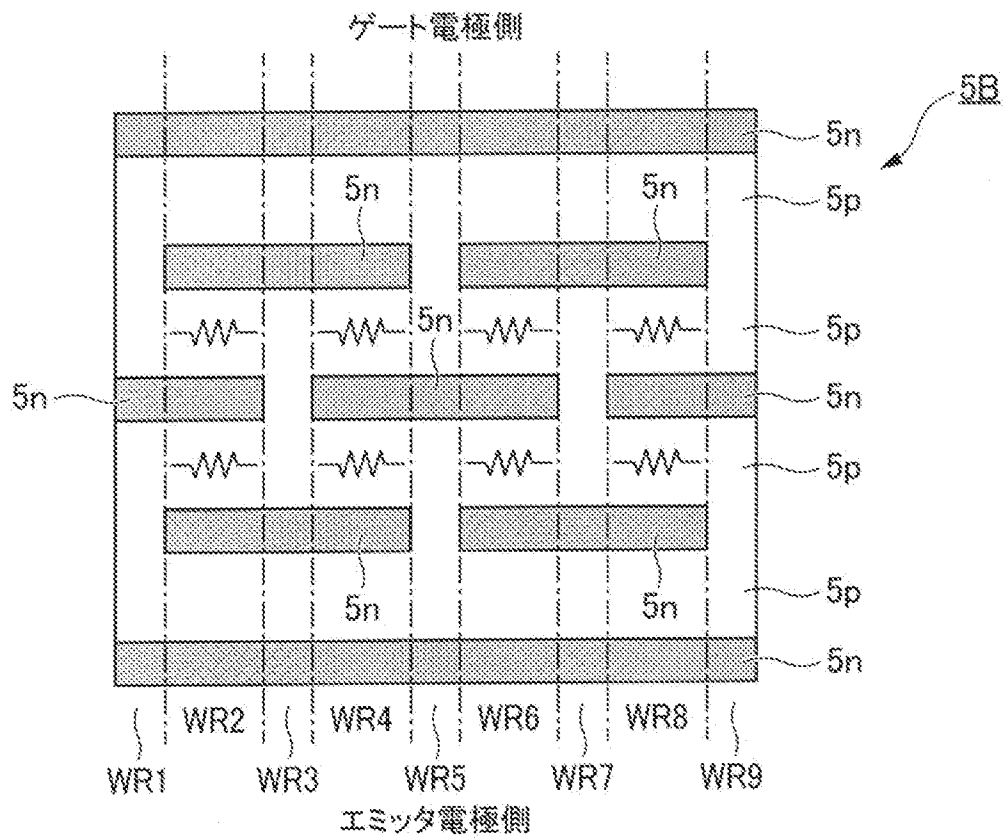


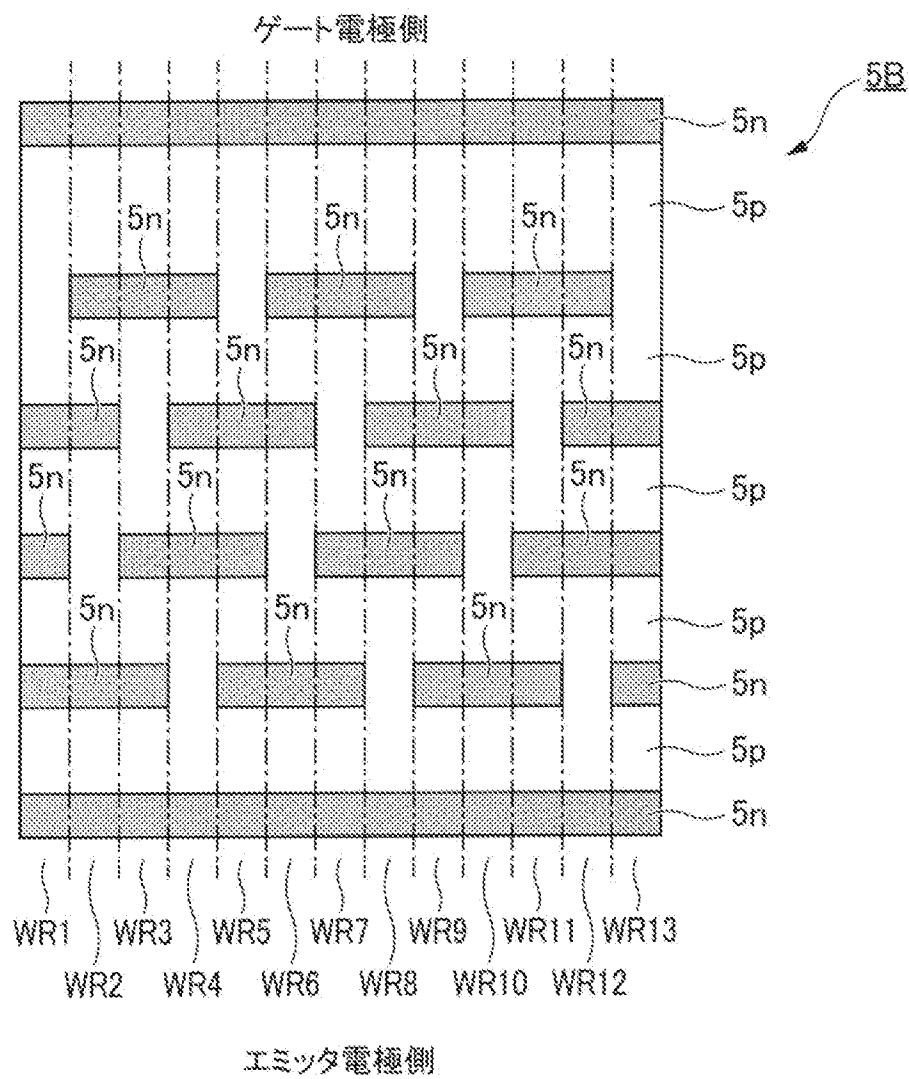
Fig. 5 is a cross-sectional view of a semiconductor device. It shows a central region 5n, a surrounding layer 5p, and a deep layer 5pp. A dashed line DL is shown within the central region 5n.

[図13]

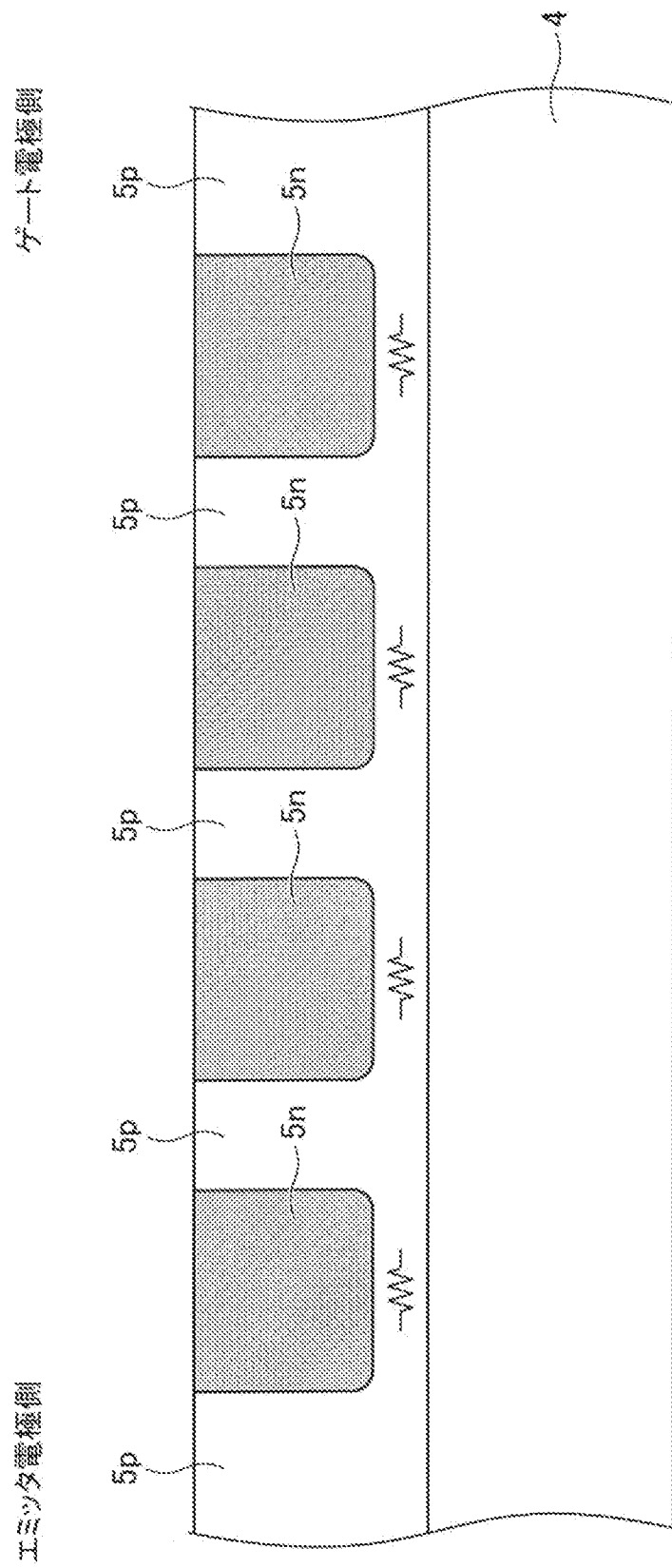


[図14]

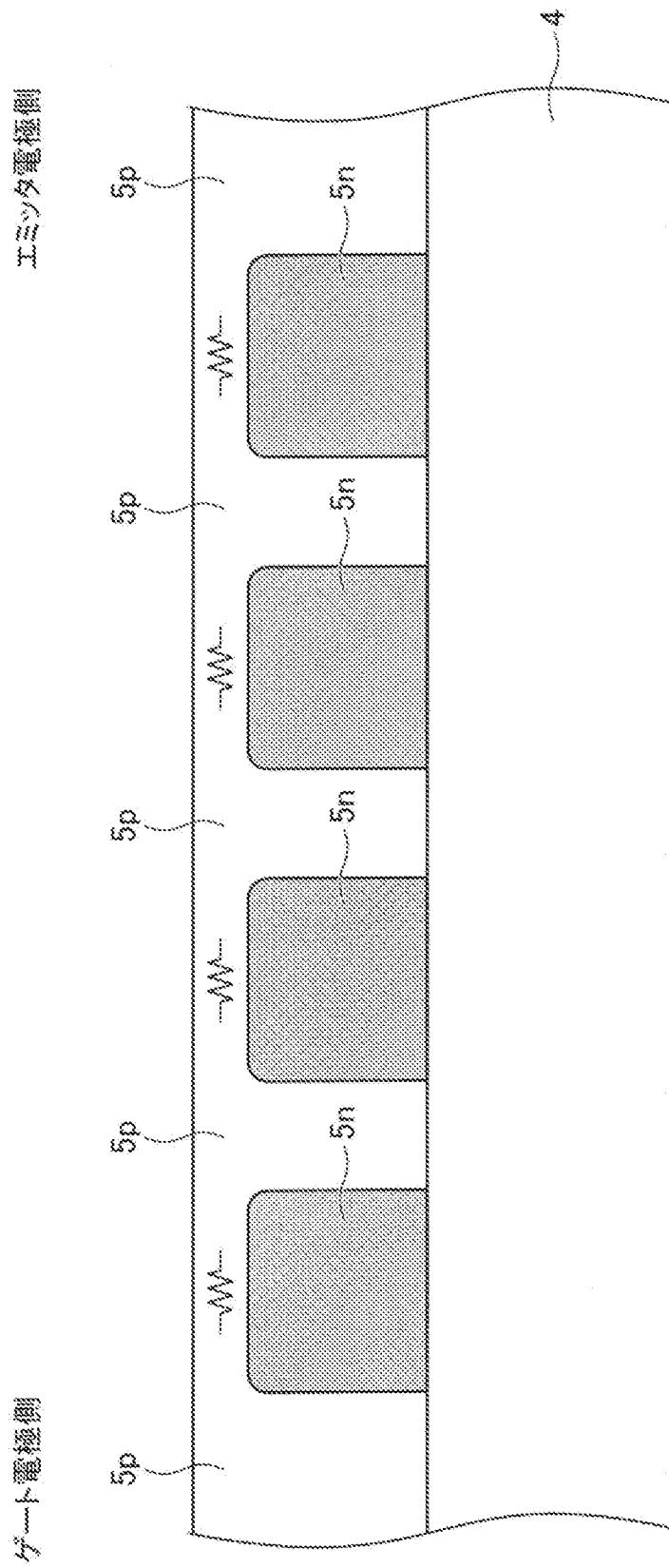




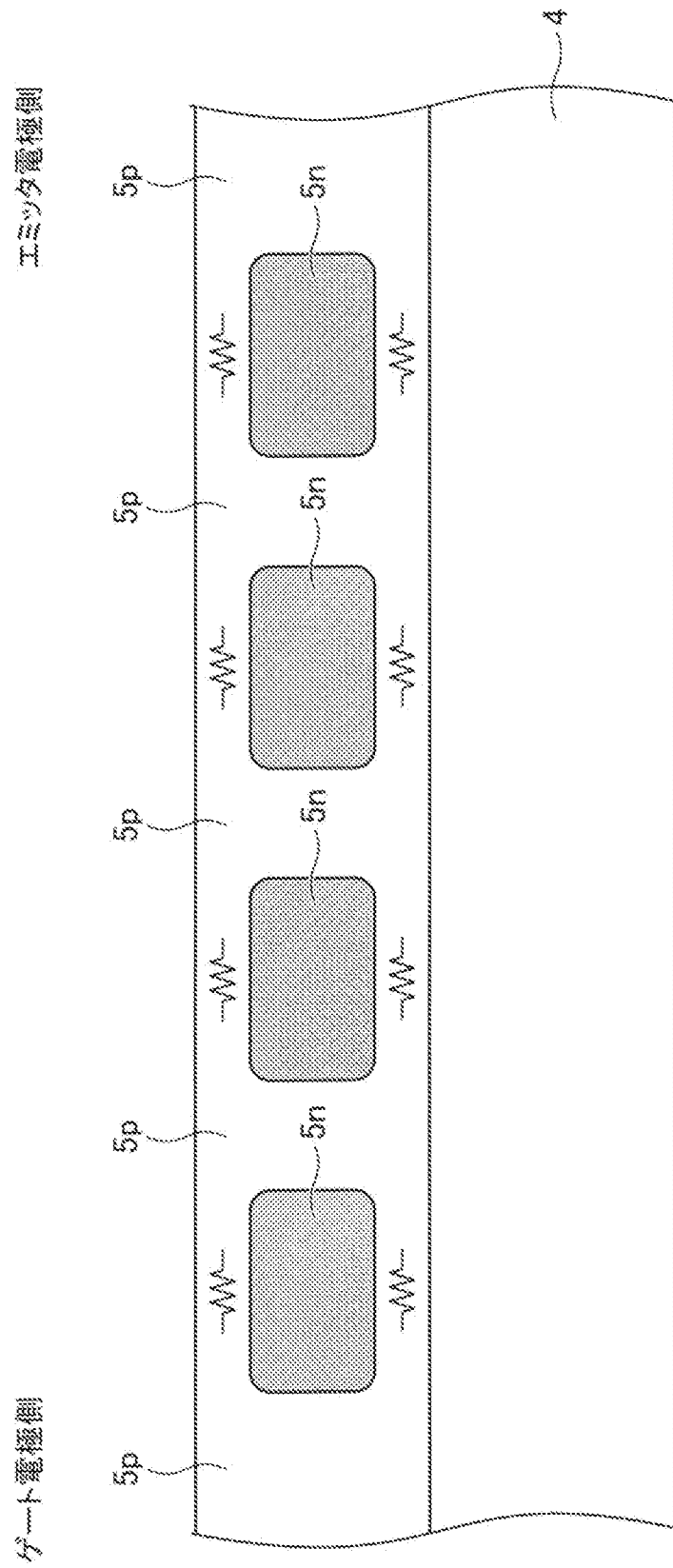
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/088450

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/04(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i,
H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04, H01L21/822, H01L21/8234, H01L27/06, H01L27/088, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 11-243200 A (Toshiba Corp.), 07 September 1999 (07.09.1999), paragraphs [0002] to [0017]; fig. 3, 4 (Family: none)	1 2-18
Y A	JP 2000-130300 A (Hitachi, Ltd., Hitachi Car Engineering Co., Ltd.), 09 May 2000 (09.05.2000), paragraph [0011]; fig. 1 & US 6286491 B1 column 3, line 25 to column 4, line 48; fig. 1 & EP 997637 A1 & DE 69921424 T2	1,5 2-4,6-18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
01 March 2017 (01.03.17)

Date of mailing of the international search report
14 March 2017 (14.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/088450

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-177328 A (Denso Corp.), 31 July 2008 (31.07.2008), paragraphs [0010] to [0035]; fig. 3, 4 & US 2008/0173935 A1 paragraphs [0012] to [0040]; fig. 3, 4 & US 2011/0095303 A1	1, 5 2-4, 6-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/04(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/04, H01L21/822, H01L21/8234, H01L27/06, H01L27/088, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 11-243200 A (株式会社東芝) 1999.09.07, 0002 段落ないし 0017 段落、図 3 及び図 4 (ファミリーなし)	1 2-18
Y A	JP 2000-130300 A (株式会社日立製作所、株式会社日立カーエンジニアリング) 2000.05.09, 0011 段落、図 1 & US 6286491 B1, 第 3 欄 第 25 行ないし第 4 欄第 48 行、図 1 & EP 997637 A1 & DE 69921424 T2	1, 5 2-4, 6-18

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.03.2017

国際調査報告の発送日

14.03.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2008-177328 A (株式会社デンソー) 2008.07.31, 0010 段落ないし 0035 段落、図 3 及び図 4 & US 2008/0173935 A1, 0012 段落ないし 0040 段落、図 3 及び図 4 & US 2011/0095303 A1	1, 5 2-4, 6-18