



(12) 发明专利

(10) 授权公告号 CN 113906830 B

(45) 授权公告日 2024.04.12

(21) 申请号 201980097033.3

(72) 发明人 熊琳

(22) 申请日 2019.06.11

(51) Int. Cl.

(65) 同一申请的已公布的文献号

H05K 1/02 (2006.01)

申请公布号 CN 113906830 A

(56) 对比文件

(43) 申请公布日 2022.01.07

CN 108566724 A, 2018.09.21

(85) PCT国际申请进入国家阶段日

CN 106104792 A, 2016.11.09

2021.12.02

JP 2001007458 A, 2001.01.12

(86) PCT国际申请的申请数据

CN 102630118 A, 2012.08.08

PCT/CN2019/090732 2019.06.11

US 2017062021 A1, 2017.03.02

(87) PCT国际申请的公布数据

审查员 迟昊

W02020/248125 ZH 2020.12.17

(73) 专利权人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

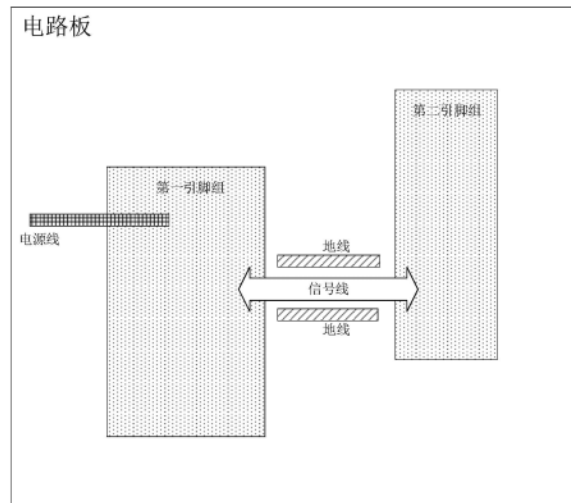
权利要求书2页 说明书12页 附图9页

(54) 发明名称

电路板及电子设备

(57) 摘要

本申请提供一种电路板及电子设备,该电路板用于连接第一芯片和第二芯片,所述电路板包括:两层布线层;所述两层布线层上布置有第一引脚组和第二引脚组,所述第一引脚组用于为所述第一芯片内部的多个功能区提供访问接口,所述第二引脚组用于所述第二芯片内部的多个功能区提供访问接口;所述两层布线层上还布置有信号线、地线以及电源线;其中,所述信号线用于连接所述第一芯片和所述第二芯片对应功能区的引脚,单根所述信号线的两侧分别相邻布置有所述地线。在满足芯片之间正常连接以及传输速率要求的同时,还有效地降低了实现芯片之间连接功能的电路板的制造成本。



1. 一种电路板,其特征在于,所述电路板用于连接第一芯片和第二芯片,所述电路板包括:两层布线层;

所述两层布线层上布置有第一引脚组和第二引脚组,所述第一引脚组用于为所述第一芯片内部的多个功能区提供访问接口,所述第二引脚组用于所述第二芯片内部的多个功能区提供访问接口;

所述两层布线层上还布置有信号线、地线以及电源线;

所述信号线包括地址命令信号线和数据信号线;

所述第一引脚组布置在第一引脚组区域,所述第二引脚组布置在第二引脚组区域,所述第一引脚组的地址命令信号引脚组设置在所述第一引脚组区域的第一侧,所述第一侧为所述第一引脚组区域远离所述第二引脚组区域的一侧;

所述地址命令信号线从所述第一侧扇出,并绕过所述第一引脚组区域后,与所述第二引脚组区域的地址命令信号引脚组建立连接;

所述数据信号线从所述第一引脚组区域的第二侧扇出后,与所述第二引脚组区域的数据信号引脚建立连接,其中,所述第二侧为所述第一引脚组区域靠近所述第二引脚组区域的一侧;

其中,所述信号线用于连接所述第一芯片和所述第二芯片对应功能区的引脚,单根所述信号线的两侧分别相邻布置有所述地线;

所述第一芯片为第四代低功耗双速率存储器,所述第二芯片为系统芯片SOC。

2. 根据权利要求1所述的电路板,其特征在于,所述信号线包括差分信号线组,所述差分信号线组的两侧分别相邻布置有所述地线,所述差分信号线组包括两根相耦合的信号线。

3. 根据权利要求1或2所述的电路板,其特征在于,所述多个功能区包括:地址命令信号功能区以及数据信号功能区,所述第一引脚组和所述第二引脚组分别包括:地址命令信号引脚组以及数据信号引脚组,所述信号线包括地址命令信号线和数据信号线;

所述地址命令信号引脚组用于为所述地址命令信号功能区提供访问接口,所述地址命令信号线用于连接所述第一引脚组的地址命令信号引脚组与所述第二引脚组的地址命令信号引脚组;

所述数据信号引脚组用于为所述数据信号功能区提供访问接口,所述数据信号线用于连接所述第一引脚组的数据信号引脚组与所述第二引脚组的数据信号引脚组。

4. 根据权利要求1所述的电路板,其特征在于,所述电源线布置在所述第一引脚组的地址命令信号引脚组与所述第一引脚组的数据信号引脚组之间。

5. 根据权利要求1所述的电路板,其特征在于,所述第一引脚组包括第一数据信号引脚组和第二数据信号引脚组,所述第一引脚组的地址命令引脚组布置在所述第一数据信号引脚组和所述第二数据信号引脚组之间;

所述第二引脚组包括第三数据引脚组和第四数据引脚组,所述第三数据引脚组和所述第四数据引脚组相邻布置。

6. 根据权利要求2所述的电路板,其特征在于,所述差分信号线组包括:数据差分信号线组或时钟差分信号线组中的至少一种。

7. 根据权利要求1所述的电路板,其特征在于,所述信号线包括时钟使能信号线、片上

端接电阻信号线、片选信号线、数据掩码翻转信号线或复位信号线中的至少一种。

8. 一种电子设备,其特征在于,包括:内存芯片、系统芯片以及如权利要求1-7中任意一项所述的电路板;

所述内存芯片和所述系统芯片通过所述电路板相连。

电路板及电子设备

技术领域

[0001] 本申请涉及电子技术,尤其涉及一种电路板及电子设备。

背景技术

[0002] 随着芯片技术的发展,各类芯片被大量地应用于电子设备的相关功能实现中,例如,第四代低功耗双速率存储器(Low Power Double Data Rate 4/4X,简称LPDDR4/4X)已经广泛地被应用于电子设备的内存中。

[0003] 现有技术中,为了实现芯片之间的通信传输,例如存储芯片与系统芯片之间的传输,通常是利用多层电路板的结构来建立芯片之间的连接。例如,为了实现LPDDR4/4X与外部器件的连接,需要先将LPDDR4/4X贴片至电路板上以形成内存模组,然后再将内存模组与系统芯片(System-on-a-Chip,简称Soc)建立连接以形成内存系统。

[0004] 而现有用于实现芯片之间连接的电路板,由于需要为芯片进行供电、信号通信以及信号通信防护,则通常都需要设置单独的电源层、接地层以及信号层,因此,需要电路板具有较多的布线层。例如,现有技术中,用于实现LPDDR4/4X连接的电路板均采用的是六层板结构,但是,由于六层板的布线板层较多,从而导致了制造成本较高的问题。

发明内容

[0005] 本申请实施例提供一种电路板及电子设备,在满足芯片之间正常连接以及传输速率要求的同时,还有效地降低了实现芯片之间连接功能的电路板的制造成本。

[0006] 第一方面,本申请实施例提供一种电路板,该电路板用于连接第一芯片和第二芯片,该电路板包括:两层布线层;两层布线层上布置有第一引脚组和第二引脚组,其中,第一引脚组用于为所述第一芯片内部的多个功能区提供访问接口,第二引脚组用于第二芯片内部的多个功能区提供访问接口;并且,两层布线层上还布置有信号线、地线以及电源线;其中,信号线用于连接第一芯片和第二芯片对应功能区的引脚,单根信号线的两侧分别相邻布置有地线。

[0007] 在本申请实施例中,在电路板两层布线板上布置有第一引脚组和第二引脚组和信号线,第一引脚组用于为第一芯片的内部功能区提供访问接口,第二引脚组用于为第二芯片的内部功能区提供访问接口,信号线通过连接第一引脚组和第二引脚组实现第一芯片和第二芯片之间的连接,在电路板两层布线板上布置的电源线给需要进行供电的引脚提供电源驱动,并且,在电路板的两层布线层上的每根信号线的两侧分别相邻布置有地线,为每根信号线提供有效的回流路径或者参考平面,以保证布置在电路板上的信号线之间不会发生串扰或耦合。此外,本申请实施例提供的电路板由于将地线以及电源线均设置在两层布线层中,避免了设置额外的单独电源层或者接地层,从而在满足芯片之间正常连接以及传输速率要求的同时,还有效地降低了实现芯片之间连接功能的电路板的制造成本。

[0008] 可选的,信号线包括差分信号线组,差分信号线组的两侧分别相邻布置有地线,差分信号线组包括两根相耦合的信号线。

[0009] 在本申请实施例中,通过将差分信号线组的两侧分别相邻布置地线的方式,保证了差分信号线组内部的两根信号线能够正常耦合,而差分信号线与外部其他信号线又不会发生串扰。

[0010] 可选的,多个功能区包括:地址命令信号功能区以及数据信号功能区,第一引脚组和第二引脚组分别包括:地址命令信号引脚组以及数据信号引脚组,信号线包括地址命令信号线和数据信号线;地址命令信号引脚组用于为地址命令信号功能区提供访问接口,地址命令信号线用于连接第一引脚组的地址命令信号引脚组与第二引脚组的地址命令信号引脚组;数据信号引脚组用于为数据信号功能区提供访问接口,数据信号线用于连接第一引脚组的数据信号引脚组与第二引脚组的数据信号引脚组。

[0011] 在本申请实施例中,通过地址命令信号线连接第一引脚组的地址命令信号引脚组与第二引脚组的地址命令信号引脚组,并通过数据信号线连接第一引脚组的数据信号引脚组与第二引脚组的数据信号引脚组,从而利用本申请实施例提供的电路板建立第一芯片与第二芯片地址命令信号功能区以及数据信号功能区之间的连接。

[0012] 可选的,第一引脚组布置在第一引脚组区域,第二引脚组布置在第二引脚组区域,第一引脚组的地址命令信号引脚组设置在第一引脚组区域的第一侧,第一侧为第一引脚组区域远离第二引脚组区域的一侧;地址命令信号线从第一侧扇出,并绕过第一引脚组区域后,与第二引脚组区域的地址命令信号引脚组建立连接。

[0013] 在本申请实施例中,通过将地址命令信号线从第一侧扇出,并绕过第一引脚组区域后,与第二引脚组区域的地址命令信号引脚组建立连接,可以在保证地址命令信号线在扇出时不与其他信号线发生交叉的前提下,使得地址命令信号线的布线距离最小,从而进一步提高了地址命令信号线的传输速率。

[0014] 可选的,数据信号线从第一引脚组区域的第二侧扇出后,与第二引脚组区域的数据信号引脚建立连接,其中,第二侧为第一引脚组区域靠近第二引脚组区域的一侧。

[0015] 在本申请实施例中,通过将数据信号线从第一引脚组区域的第二侧扇出,确保与地址命令信号线的扇出互不干涉,并从第一引脚组区域的第二侧扇出后,与第二引脚组区域的数据信号引脚建立连接,从而既可以建立第一芯片和第二芯片数据信号引脚组的连接,还可以使得数据信号线的布线距离最小,进而提高了数据信号线的传输速率。

[0016] 可选的,电源线布置在第一引脚组的地址命令信号引脚组与第一引脚组的数据信号引脚组之间。

[0017] 在本申请实施例中,通过将电源线布置在第一引脚组的地址命令信号引脚组与第一引脚组的数据信号引脚组之间,使得位于中间的电源线能够向位于两侧的地址命令信号引脚组与数据信号引脚组分别出线,为相应的引脚提供电源驱动,以使电源线布线更加规整和紧凑。

[0018] 可选的,第一引脚组包括第一数据信号引脚组和第二数据信号引脚组,第一引脚组的地址命令信号引脚组布置在第一数据信号引脚组和第二数据信号引脚组之间;第二引脚组包括第三数据信号引脚组和第四数据信号引脚组,第三数据信号引脚组和第四数据信号引脚组相邻布置。

[0019] 可选的,第一芯片为第四代低功耗双速率存储器,第二芯片为系统芯片SOC。

[0020] 在本申请实施例中,通过本申请实施例提供的电路板的两层布线层结构实现第四代低功耗双速率存储器与系统芯片SOC的连接,并且在满足第四代低功耗双速率存储器与

系统芯片SOC之间正常连接以及传输速率要求的同时,还有效地降低了实现第四代低功耗双速率存储器与系统芯片SOC之间连接功能的电路板的制造成本。

[0021] 可选的,差分信号线组包括:数据差分信号线组或时钟差分信号线组中的至少一种。

[0022] 在本申请实施例中,通过在数据差分信号线组或时钟差分信号线组的两侧分别相邻布置地线的方式,保证了数据差分信号线组或时钟差分信号线组内部的两根信号线能够正常耦合,而数据差分信号线组或时钟差分信号线组与外部其他信号线又不会发生串扰。

[0023] 可选的,信号线包括时钟使能信号线、片上端接电阻信号线、片选信号线、数据掩码翻转信号线或复位信号线中的至少一种。

[0024] 在本申请实施例中,通过在时钟使能信号线、片上端接电阻信号线、片选信号线、数据掩码翻转信号线或复位信号线的两侧分别相邻布置地线的方式,保证了时钟使能信号线、片上端接电阻信号线、片选信号线、数据掩码翻转信号线或复位信号线与外部其他信号线又不会发生串扰。

[0025] 第二方面,本申请实施例还提供一种内存模组,包括:内存芯片以及电路板,电路板用于连接内存芯片以及系统芯片;

[0026] 电路板包括:两层布线层;

[0027] 两层布线层上布置有第一引脚组和第二引脚组,第一引脚组用于为内存芯片内部的多个功能区提供访问接口,第二引脚组用于系统芯片内部的多个功能区提供访问接口;

[0028] 两层布线层上还布置有信号线、地线以及电源线;

[0029] 其中,信号线用于连接内存芯片和系统芯片对应功能区的引脚,单根信号线的两侧分别相邻布置有地线。

[0030] 可选的,信号线包括差分信号线组,差分信号线组的两侧分别相邻布置有地线,差分信号线组包括两根相耦合的信号线。

[0031] 可选的,多个功能区包括:地址命令信号功能区以及数据信号功能区,第一引脚组和第二引脚组分别包括:地址命令信号引脚组以及数据信号引脚组,信号线包括地址命令信号线和数据信号线;

[0032] 地址命令信号引脚组用于为地址命令信号功能区提供访问接口,地址命令信号线用于连接第一引脚组的地址命令信号引脚组与第二引脚组的地址命令信号引脚组;

[0033] 数据信号引脚用于为数据信号功能区提供访问接口,数据信号线用于连接第一引脚组的数据信号引脚组与第二引脚组的数据信号引脚组。

[0034] 可选的,第一引脚组布置在第一引脚组区域,第二引脚组布置在第二引脚组区域,第一引脚组的地址命令信号引脚组设置在第一引脚组区域的第一侧,第一侧为第一引脚组区域远离第二引脚组区域的一侧;

[0035] 地址命令信号线从第一侧扇出,并绕过第一引脚组区域后,与第二引脚组区域的地址命令信号引脚组建立连接。

[0036] 可选的,数据信号线从第一引脚组区域的第二侧扇出后,与第二引脚组区域的数据信号引脚建立连接,其中,第二侧为第一引脚组区域靠近第二引脚组区域的一侧。

[0037] 可选的,电源线布置在第一引脚组的地址命令信号引脚组与第一引脚组的数据信号引脚组之间。

- [0038] 可选的,第一引脚组包括第一数据信号引脚组和第二数据信号引脚组,第一引脚组的地址命令引脚组布置在第一数据引脚组和第二数据引脚组之间;
- [0039] 第二引脚组包括第三数据引脚组和第四数据引脚组,第三数据引脚组和第四数据引脚组相邻布置。
- [0040] 可选的,内存芯片为第四代低功耗双速率存储器,系统芯片为系统芯片SOC。
- [0041] 可选的,差分信号线组包括:数据差分信号线组或时钟差分信号线组中的至少一种。
- [0042] 可选的,信号线包括时钟使能信号线、片上端接电阻信号线、片选信号线、数据掩码翻转信号线或复位信号线中的至少一种。
- [0043] 第三方面,本申请实施例还提供一种内存系统,包括:内存芯片、系统芯片以及电路板;
- [0044] 内存芯片和系统芯片通过电路板相连。
- [0045] 电路板包括:两层布线层;
- [0046] 两层布线层上布置有第一引脚组和第二引脚组,第一引脚组用于为内存芯片内部的多个功能区提供访问接口,第二引脚组用于系统芯片内部的多个功能区提供访问接口;
- [0047] 两层布线层上还布置有信号线、地线以及电源线;
- [0048] 其中,信号线用于连接内存芯片和系统芯片对应功能区的引脚,单根信号线的两侧分别相邻布置有地线。
- [0049] 可选的,信号线包括差分信号线组,差分信号线组的两侧分别相邻布置有地线,差分信号线组包括两根相耦合的信号线。
- [0050] 可选的,多个功能区包括:地址命令信号功能区以及数据信号功能区,第一引脚组和第二引脚组分别包括:地址命令信号引脚组以及数据信号引脚组,信号线包括地址命令信号线和数据信号线;
- [0051] 地址命令信号引脚组用于为地址命令信号功能区提供访问接口,地址命令信号线用于连接第一引脚组的地址命令信号引脚组与第二引脚组的地址命令信号引脚组;
- [0052] 数据信号引脚组用于为数据信号功能区提供访问接口,数据信号线用于连接第一引脚组的数据信号引脚组与第二引脚组的数据信号引脚组。
- [0053] 可选的,第一引脚组布置在第一引脚组区域,第二引脚组布置在第二引脚组区域,第一引脚组的地址命令信号引脚组设置在第一引脚组区域的第一侧,第一侧为第一引脚组区域远离第二引脚组区域的一侧;
- [0054] 地址命令信号线从第一侧扇出,并绕过第一引脚组区域后,与第二引脚组区域的地址命令信号引脚组建立连接。
- [0055] 可选的,数据信号线从第一引脚组区域的第二侧扇出后,与第二引脚组区域的数据信号引脚建立连接,其中,第二侧为第一引脚组区域靠近第二引脚组区域的一侧。
- [0056] 可选的,电源线布置在第一引脚组的地址命令信号引脚组与第一引脚组的数据信号引脚组之间。
- [0057] 可选的,第一引脚组包括第一数据信号引脚组和第二数据信号引脚组,第一引脚组的地址命令引脚组布置在第一数据引脚组和第二数据引脚组之间;
- [0058] 第二引脚组包括第三数据引脚组和第四数据引脚组,第三数据引脚组和第四数据

引脚组相邻布置。

[0059] 可选的,内存芯片为第四代低功耗双速率存储器,系统芯片为系统芯片SOC。

[0060] 可选的,差分信号线组包括:数据差分信号线组或时钟差分信号线组中的至少一种。

[0061] 可选的,信号线包括时钟使能信号线、片上端接电阻信号线、片选信号线、数据掩码翻转信号线或复位信号线中的至少一种。

[0062] 第四方面,本申请实施例还提供一种电子设备,包括:内存芯片、系统芯片以及电路板;

[0063] 内存芯片和系统芯片通过电路板相连。

[0064] 电路板包括:两层布线层;

[0065] 两层布线层上布置有第一引脚组和第二引脚组,第一引脚组用于为内存芯片内部的多个功能区提供访问接口,第二引脚组用于系统芯片内部的多个功能区提供访问接口;

[0066] 两层布线层上还布置有信号线、地线以及电源线;

[0067] 其中,信号线用于连接内存芯片和系统芯片对应功能区的引脚,单根信号线的两侧分别相邻布置有地线。

[0068] 可选的,信号线包括差分信号线组,差分信号线组的两侧分别相邻布置有地线,差分信号线组包括两根相耦合的信号线。

[0069] 可选的,多个功能区包括:地址命令信号功能区以及数据信号功能区,第一引脚组和第二引脚组分别包括:地址命令信号引脚组以及数据信号引脚组,信号线包括地址命令信号线和数据信号线;

[0070] 地址命令信号引脚组用于为地址命令信号功能区提供访问接口,地址命令信号线用于连接第一引脚组的地址命令信号引脚组与第二引脚组的地址命令信号引脚组;

[0071] 数据信号引脚组用于为数据信号功能区提供访问接口,数据信号线用于连接第一引脚组的数据信号引脚组与第二引脚组的数据信号引脚组。

[0072] 可选的,第一引脚组布置在第一引脚组区域,第二引脚组布置在第二引脚组区域,第一引脚组的地址命令信号引脚组设置在第一引脚组区域的第一侧,第一侧为第一引脚组区域远离第二引脚组区域的一侧;

[0073] 地址命令信号线从第一侧扇出,并绕过第一引脚组区域后,与第二引脚组区域的地址命令信号引脚组建立连接。

[0074] 可选的,数据信号线从第一引脚组区域的第二侧扇出后,与第二引脚组区域的数据信号引脚建立连接,其中,第二侧为第一引脚组区域靠近第二引脚组区域的一侧。

[0075] 可选的,电源线布置在第一引脚组的地址命令信号引脚组与第一引脚组的数据信号引脚组之间。

[0076] 可选的,第一引脚组包括第一数据信号引脚组和第二数据信号引脚组,第一引脚组的地址命令引脚组布置在第一数据引脚组和第二数据引脚组之间;

[0077] 第二引脚组包括第三数据引脚组和第四数据引脚组,第三数据引脚组和第四数据引脚组相邻布置。

[0078] 可选的,内存芯片为第四代低功耗双速率存储器,系统芯片为系统芯片SOC。

[0079] 可选的,差分信号线组包括:数据差分信号线组或时钟差分信号线组中的至少一

种。

[0080] 可选的,信号线包括时钟使能信号线、片上端接电阻信号线、片选信号线、数据掩码翻转信号线或复位信号线中的至少一种。

[0081] 本申请实施例提供的电路板及电子设备,通过布置在电路板两层布线板上的第一引脚组、第二引脚组以及信号线来建立设置在电路板上的第一芯片和第二芯片之间的连接,通过布置在电路板两层布线板上电源线,为了给需要进行供电的引脚提供电源驱动,并且,通过在电路板的两层布线层上布置地线,并使得每根信号线的两侧分别相邻布置有地线的方式,为每根信号线提供有效的回流路径或者参考平面,以保证布置在电路板上的信号线之间在工作时,不会发生串扰,而影响正常工作。此外,本申请实施例提供的电路板由于将地线以及电源线均设置在两层布线层中,避免了设置额外的单独电源层或者接地层,从而在满足芯片之间正常连接以及传输速率要求的同时,还有效地降低了实现芯片之间连接功能的电路板的制造成本。

附图说明

[0082] 图1是本申请实施例提供的一种示例性的电路板布线架构示意图;

[0083] 图2是图1所示电路板的两层板叠层结构示意图;

[0084] 图3为一种示例性的LPDDR4/4X六层板布线架构示意图;

[0085] 图4是图3所示电路板的六层板叠层结构示意图;

[0086] 图5是本申请实施例提供的一种示例性的LPDDR4/4X两层板布线架构示意图;

[0087] 图6是图5所示电路板的两层板叠层结构示意图;

[0088] 图7是本申请实施例提供的一种示例性的电路板正面布线层的地址和命令信号引脚组布线示意图;

[0089] 图8是本申请实施例提供的一种示例性的电路板反面布线层的地址和命令信号引脚组布线示意图;

[0090] 图9是本申请实施例提供的一种示例性的电路板正面布线层的数据信号引脚组布线示意图;

[0091] 图10是本申请实施例提供的一种示例性的电路板反面布线层的数据信号引脚组布线示意图;

[0092] 图11是本申请实施例提供的一种示例性的电路板上电源线布局示意图。

具体实施方式

[0093] 图1是本申请实施例提供的一种示例性的电路板布线架构示意图,图2是图1所示电路板的两层板叠层结构示意图。如图1-图2所示,本申请实施例提供的电路板,包括:两层布线层,具体可以为层叠的正面布线层(Top面)以及反面布线层(Bottom面)。其中,为了连通Top面以及Bottom面的印制布线,还可以在Top面与Bottom面需要进行连通的位置开设过孔。

[0094] 并且,本申请实施例提供的电路板用于连接第一芯片和第二芯片,其中,第一芯片可以为第四代低功耗双速率存储器或者是其他形式的存储器,而第二芯片则可以为系统芯片SOC,即在一种可能的情况下,本实施申请实施例提供的电路板可以用于连接第四代低功耗

耗双速率存储器与系统芯片SOC。但是,值得说明的,在本实施例中并不对第一芯片和第二芯片的具体形式进行限定。

[0095] 为了将建立芯片与本申请实施例提供的电路板之间的连接,在两层布线层上布置有第一引脚组和第二引脚组,其中,第一引脚组用于为第一芯片内部的多个功能区提供访问接口,而第二引脚组用于第二芯片内部的多个功能区提供访问接口。

[0096] 而为了对芯片进行供电,还需在电路板中设置电源驱动。在现有技术中,通常是通过设置单独的电源布线层,从而为处于其他布线层的引脚提供电源。但是,设置单独的电源布线层的方式,会导致电路板的布线层变多,进而会增加制造成本。而在本申请实施例提供的电路板中,为了给需要进行供电的引脚提供电源驱动,则可以在两层布线层上布置电源线,具体的,可以通过Top面以及Bottom面上的布线将输入电源分别引向需要进行电源驱动的引脚,而在本实施例中,对于电源线在电路板中的具体布置方式不做具体限定。

[0097] 另外,为了通过本申请实施例提供的电路板建立第一芯片和第二芯片之间的连接,在两层布线层上还布置有信号线,其中,信号线则是用于连接第一芯片和第二芯片对应功能区的引脚,从而使得第一芯片和第二芯片之间能够建立通信连接,实现二者之间的数据交互。

[0098] 此外,当信号在信号线上传输时,相邻信号之间由于电磁场的相互耦合而产生不期望的噪声电压信号,并且信号线之间存在串扰,进而影响信号质量。因此对于电路板上工作的信号线,为了防止信号线之间发生串扰,还需为其设置回流路径或者参考平面。而在现有技术中,为了满足信号线具备回流路径或者参考平面,通常都是将信号线的相邻布线层设置为单独的接地层,从而为信号线提供回流路径或者参考平面。但是,设置单独的接地层的方式,会导致电路板的布线层变多,进而增加制造成本。而在本申请实施例提供的电路板中,为了给信号线提供回流路径或者参考平面,则还需在电路板的两层布线层上布置有地线。并且,使得每根信号线的两侧分别相邻布置有地线,也即每根信号线两端包有地线,从而为每根信号线提供有效的回流路径或者参考平面,避免信号线之间的耦合或串扰,以保证信号线能够正常工作。

[0099] 可选的,本申请实施例中的信号线可以为单根信号线,例如地址命令信号线或者数据信号线,也可以是多根相关联的信号线,如可以是两根相耦合的信号线,例如差分信号线组。

[0100] 在一种可能的情况中,本申请实施例中的信号线可以包括差分信号线组。需要理解的,差分传输是一种信号传输的技术,区别于传统的一根信号线一根地线的方式,差分传输是在这两根线上都传输信号,其中,这两个信号的振幅相同,相位相反。在这两根线上的传输的信号就是差分信号,而这两根相耦合的信号线则构成上述的差分信号线组。而为了保证差分信号线组内部的两根信号线能够正常耦合,且差分信号线与外部其他信号线不会发生串扰,可以在差分信号线组的两侧分别相邻布置有地线,或者说差分信号线组两侧包有地线,为差分信号线组提供回流路径或者参考平面。

[0101] 本申请实施例中,在电路板两层布线板上布置有第一引脚组和第二引脚组和信号线,第一引脚组用于为第一芯片的内部功能区提供访问接口,第二引脚组用于为第二芯片的内部功能区提供访问接口,信号线通过连接第一引脚组和第二引脚组实现第一芯片和第二芯片之间的连接,在电路板两层布线板上布置的电源线给需要进行供电的引脚提供电源

驱动,并且,在电路板的两层布线层上的每根信号线的两侧分别相邻布置有地线,为每根信号线提供有效的回流路径或者参考平面,以保证布置在电路板上的信号线之间不会发生串扰或耦合。此外,本申请实施例提供的电路板由于将地线以及电源线均设置在两层布线层中,避免了设置额外的单独电源层或者接地层,从而在满足芯片之间正常连接以及传输速率要求的同时,还有效地降低了实现芯片之间连接功能的电路板的制造成本。

[0102] 在上述实施例的基础上,可选的,第一芯片可以为第四代低功耗双速率存储器 LPDDR4/4X,而第二芯片为系统芯片SOC。值得说明的,LPDDR4/4X存在两个16比特-数据信号(Data-Quality,简称DQ)通道,可以分别命名为A通道CHA-DQ、B通道CHB-DQ,从而组成32比特-DQ双通道,并且,每个通道有互相独立的地址和命令信号(Command&Address,简称CA)、DQ、数据选通信号(Data Strobe,简称DQS)、数据掩码翻转信号(Data Mask Inversion,简称DMI)、时钟信号(Clock,简称CK)、片选信号(Chip Select,简称CS)、时钟使能信号(Clock Enable,简称CKE)以及片上端接电阻信号(On-Die-Termination,简称ODT)。

[0103] 其中,图3为一种示例性的LPDDR4/4X六层板布线架构示意图,图4是图3所示电路板的六层板叠层结构示意图。如图3-图4所示,用于实现LPDDR4/4X与SOC之间连接的电路板采用的是六层板结构,具有依次层叠设置第一布线层Layer1、第二布线层Layer2、第三布线层Layer3、第四布线层Layer4、第五布线层Layer5以及第六布线层Layer6。具体的,现有技术中的六层板结构,是将电源布置在电路板的顶部布线层Layer1和底部布线层Layer6上,将Layer2以及Layer5均设置为接地层,从而使得Layer3部分的通道B数据信号线CHB-DQ以及通道A地址命令信号线CHA-CA参考Layer2,以及Layer4部分的通道A数据信号线CHA-DQ以及通道B地址命令信号线CHB-CA则参考Layer5。

[0104] 可见,用于实现LPDDR4/4X连接的六层板结构,需要的布线板层较多,从而导致了实现连接功能的电路板制造成本较高的问题。

[0105] 因此,为了解决实现LPDDR4/4X制造成本较高的问题,本申请实施例还提供了一种电路板,用于建立LPDDR4/4X与SOC之间的连接,并且满足LPDDR4/4X传输3200Mbps的速率要求。

[0106] 具体的,图5是本申请实施例示出的一种示例性的LPDDR4/4X两层板布线架构示意图,图6是图5所示电路板的两层板叠层结构示意图。如图5-图6所示,本申请实施例提供的电路板,包括:两层布线层,具体可以为层叠的正面布线层(Top面)以及反面布线层(Bottom面)。

[0107] 为了将建立LPDDR4/4X以及SOC与本申请实施例提供的电路板之间的连接,在两层布线层上布置有第一引脚组和第二引脚组,其中,第一引脚组用于为LPDDR4/4X内部的多个功能区提供访问接口,而第二引脚组用于为SOC内部的多个功能区提供访问接口。

[0108] 可选的,上述的多个功能区包括:地址命令信号功能区以及数据信号功能区,第一引脚组和第二引脚组分别包括:地址命令信号引脚组(CA引脚组)以及数据信号引脚组(DQ引脚组,包括:A通道-数据信号引脚组:CHA-DQ引脚组以及B通道-数据信号引脚组:CHB-DQ引脚组),而信号线包括地址命令信号线和数据信号线。

[0109] 其中,CA引脚组用于为地址命令信号功能区提供访问接口,地址命令信号线用于连接第一引脚组的CA引脚组与第二引脚组的CA引脚组,而DQ引脚组用于为数据信号功能区提供访问接口,数据信号线用于连接第一引脚组的DQ引脚组与第二引脚组的DQ引脚组。

[0110] 可选的,第一引脚组还可以包括第一数据信号引脚组和第二数据信号引脚组,其中,如图3所示,第一数据信号引脚组和第二数据信号引脚组可以为LPDDR4/4X一侧的CHB-DQ引脚组以及CHA-DQ引脚组,而第一引脚组中的CA引脚组则布置在CHB-DQ引脚组以及CHA-DQ引脚组之间。此外,对应的,第二引脚组包括第三数据引脚组和第四数据引脚组,并且,第三数据引脚组和第四数据引脚组相邻布置,如图3所示,第三数据引脚组和第四数据引脚组可以为SOC一侧的CHB-DQ引脚组以及CHA-DQ引脚组。

[0111] 继续参照图3和图5,第一引脚组布置在第一引脚组区域,第二引脚组布置在第二引脚组区域。值得理解的,请先参照图3,根据LPDDR4/4X中颗粒区域布置特性,第一引脚组中的CA引脚组在第一引脚组中会偏向一侧设置,由于第一引脚组中的CA引脚组可以直接在六层结构中的一层布线层中通过CA信号线与SOC中的CA引脚组连接,因此,可以将CA引脚组偏向的一侧靠近第二引脚组区域的一侧设置,然后CA信号线从靠近第二引脚组区域的一侧扇出后,与SOC中的CA引脚组连接建立连接即可。但是,由于本申请实施例提供的电路板只包含两层布线层,则若通过CA信号线从靠近第二引脚组区域的一侧扇出,则会导致和用于连接第一引脚组中的CHA-DQ引脚组与第二引脚组的CHA-DQ引脚组的DQ信号线交叉,因此,无法实现第一引脚组中CA信号线直接向第二引脚组区域的一侧扇出。

[0112] 因此,为了实现CA信号线的顺利扇出,需要调整第一引脚组中CA引脚组的CA信号线的扇出方式,其中,可以是远离第二引脚组区域的一侧扇出后,并绕过所述第一引脚组区域,再与第二引脚组中的CA引脚组建立连接。

[0113] 可选的,还可以对图3所示第一引脚组区域布局进行180度的翻转,以得到如图5所示的第一引脚组区域布局。其中,如图5所示的第一引脚组区域中的CA引脚组设置在第一引脚组区域的第一侧,而第一侧为第一引脚组区域远离第二引脚组区域的一侧。然后,CA信号线从第一侧扇出,并绕过第一引脚组区域后,与第二引脚组区域的CA引脚组建立连接。

[0114] 可见,图5所示的第一引脚组区域中的CA引脚组设置在第一引脚组区域的第一侧,当CA信号线从第一侧扇出,并绕过第一引脚组区域后,与第二引脚组区域的CA引脚组建立连接,可以在保证CA信号线在扇出时不与其他信号线发生交叉的前提下,使得CA信号线的布线距离最小,从而进一步提高了CA信号线的传输速率,其中,值得说明的,在相同条件下,CA信号线布线距离越短,其对应的传输速率则越快。

[0115] 此外,为了适配图5所示的第一引脚组中CHB-DQ引脚组以及CHA-DQ引脚组的布置方式,第二引脚组中CHB-DQ引脚组以及CHA-DQ引脚组也需调整为与第一引脚组中CHB-DQ引脚组以及CHA-DQ引脚组对应的布置方式。值得说明的,由于SOC芯片中的两组DQ通道无差别,因此,位于上部的DQ引脚组可以用于与内存芯片中的CHA-DQ连接,也可以用于与内存芯片中的CHB-DQ连接,相应的位于下部的DQ引脚组可以用于与内存芯片中的CHB-DQ连接,或者可以用于与内存芯片中的CHA-DQ连接。而在本实施例中,为了让第二引脚组中DQ引脚组适配第一引脚组中CHB-DQ引脚组以及CHA-DQ引脚组的布置方式,并使得DQ信号线顺利扇出,可以选取上部的DQ引脚组作为CHB-DQ引脚组,而下部的DQ引脚组作为CHA-DQ引脚组。

[0116] 然后,从CHA-DQ引脚组以及CHB-DQ引脚组引出的DQ信号线从第一引脚组区域的第二侧扇出,分别与第二引脚组区域的CHA-DQ引脚组以及CHB-DQ引脚组建立连接,其中,第二侧为第一引脚组区域靠近第二引脚组区域的一侧。

[0117] 此外,为了对LPDDR4/4X进行供电,还需在电路板中设置电源驱动。为了给需要进

行供电的引脚提供电源驱动,则可以在两层布线层上布置电源线,具体的,可以通过Top面以及Bottom面上的布线将输入电源分别引向需要进行电源驱动的引脚,而在本实施例中,对于电源线在电路板中的具体布置方式不做具体限定。其中,第一引脚组中CHB-DQ引脚组、CHA-DQ引脚组以及CA引脚组均需要连接电源,为了使得第一引脚组中CHB-DQ引脚组、CHA-DQ引脚组以及CA引脚组方便连接至电源,则可以将电源线布置在第一引脚组的CA引脚组与第一引脚组的DQ引脚组之间。可选的,电源线可以从第一引脚组区域的第一侧引入之后,经CHB-DQ引脚组与CA引脚组之间的区域,然后再转引入CA引脚组与CHA-DQ引脚组之间的区域。其中,通过将电源线布置在第一引脚组的地址命令信号引脚组与第一引脚组的数据信号引脚组之间,使得位于中间的电源线能够向位于两侧的地址命令信号引脚组与数据信号引脚组分别出线,为相应的引脚提供电源驱动,以使电源线布线更加规整和紧凑。

[0118] 可选的,本申请实施例中的信号线可以为单根信号线,例如地址命令信号线CA、数据信号DQ、时钟使能信号线CKE、片上端接电阻信号线ODT、片选信号线CS、数据掩码翻转信号DMI线或复位信号线(Reset,简称RST)中的至少一种。此外,信号线还可以是差分信号线组,例如数据差分信号线组或时钟差分信号线组中的至少一种,可选的,数据差分信号线组包括需要进行T\C耦合的数据选通负端信号DQS-C以及数据选通正端信号DQS-T,时钟差分信号线组包括需要进行T\C耦合的时钟差分负端信号CK-C以及时钟差分正端信号CK-T。

[0119] 在一种可能的情况中,本申请实施例中的信号线可以包括差分信号线组。需要理解的,差分传输是一种信号传输的技术,区别于传统的一根信号线一根地线的方式,差分传输是在这两根线上都传输信号,其中,这两个信号的振幅相同,相位相反。在这两根线上的传输的信号就是差分信号,而这两根相耦合的信号线则构成上述的差分信号线组。而为了保证差分信号线组内部的两根信号线能够正常耦合,而差分信号线与外部其他信号线又不会发生串扰,则可以通过在差分信号线组的两侧分别相邻布置有地线的方式,为差分信号线组提供回流路径或者参考平面。

[0120] 在图3所示实施例的基础上,下面结合电路板的一种示例性布线方式对本申请实施例提供的电路板的实现原理进行详细说明。

[0121] 其中,图7是本申请实施例提供的一种示例性的电路板正面布线层的地址和命令信号引脚组布线示意图。如图7所示,图中的小圆代表单板过孔,大圆代表引脚,细实线代表正面的信号线布线,粗实线代表地线。8-12为电路板的列的标号,G-V为电路板的行的标号。

[0122] 具体的,CK-C-A和CK-T-A、CK-C-B和CK-T-B为两组差分信号线组,利用K9和N9的地引脚以及N行和K行中间的铺地,进行两根信号线两边包地处理,并且差分信号线往左方扇出。值得说明地,K9的地引脚为行标号为K、列标号为9的地引脚,而N9为行标号为N、列标号为9的地引脚。此外,还值得说明的,CK-C-A为A通道对应的时钟差分信号线组的负端信号,而CK-T-A为A通道对应的时钟差分信号线组的正端信号,二者需要进行T\C耦合,而CK-C-B为B通道对应的时钟差分信号线组的负端信号,而CK-T-B为B通道对应的时钟差分信号线组的正端信号,二者同样需要进行T\C耦合。值得理解的,下述所有标注在各个引脚编号最后的A或B,分别代表该引脚属于A通道的引脚或B通道的引脚。

[0123] 此外,对于RST-N、CA5-B、CA4-B、CA3-B、CA2-B、CA2-A以及CA4-A,利用V12、T12、P12、J12、G12、N11、K11的地引脚以及铺地单根信号线两边包地处理,以使信号线往左方扇出。

[0124] 图8是本申请实施例提供的一种示例性的电路板反面布线层的地址和命令信号引脚组布线示意图。如图8所示,小圆代表单板过孔,大圆代表的引脚,细实线代表正面信号线布线,虚线代表背面信号线布线。

[0125] 具体的,对于ODT-B、CA0-B、CS0-B、CS1-B、CKE0-B、CKE1-B、CA1-B、CA1-A、CKE0-A、CKE1-A、CS0-A、CS1-A、CA0-A、ODT-A、CA4-A、CA5-A,信号线按照如图8所示的方式布置后,背面地引脚和信号线间的地连成一片,并且信号线往左方或下方扇出,从而达到单根信号两边包地的效果;

[0126] 图9是本申请实施例提供的一种示例性的电路板正面布线层的数据信号引脚组布线示意图。如图9所示,图中的小圆代表单板过孔,大圆代表引脚,细实线代表正面的信号线布线,粗实线代表地线。

[0127] 具体的,对于DQ11-A、DQ10-A、DQ9-A、DQ8-A、DQ15-A、DQ14-A,利用E12、C12、A10、C8的地引脚以及铺地单根信号线两边包地处理,信号线往下方扇出;

[0128] 对于差分信号线组:DQS1-T-A、DQS1-C-A,利用K9和N9的地引脚单根信号线两边包地处理,信号线往下方扇出;

[0129] 对于DQ2-A、DQ3-A,利用E1、G1的地引脚以及铺地单根信号线两边包地处理,信号线往右方扇出;

[0130] 对于差分信号线组:DQS0-T-A、DQS0-C-A,利用E1和C1的地引脚单根信号线两边包地处理,信号线往右方扇出,值得说明的,DQS0-C-A为A通道对应的其中一组数据差分信号组的负端信号,而DQS0-T-A为A通道对应的其中一组数据差分信号组的正端信号,二者需要进行T\C耦合;

[0131] 对于DQ11-B、DQ10-B、DQ9-B,利用V12、Y12的地引脚以及铺地单根信号线两边包地处理,信号线往上方扇出;

[0132] 对于差分信号线组:DQS1-T-B、DQS1-C-B,利用AB10的地引脚以及铺地单根信号线两边包地处理,信号线往上方扇出;

[0133] 对于DQ4-B、DQ3-B、DQ2-B,利用V5、T5、V1、T1的地引脚单根信号线两边包地处理,信号线往右方扇出;

[0134] 对于差分信号线组:DQS0-T-B、DQS0-C-B,利用Y1、V1的地引脚单根信号线两边包地处理,信号线往右方扇出,值得说明的,DQS0-C-B为B通道对应的其中一组数据差分信号组的负端信号,而DQS0-T-B为B通道对应的其中一组数据差分信号组的正端信号,二者需要进行T\C耦合。

[0135] 图10是本申请实施例提供的一种示例性的电路板反面布线层的数据信号引脚组布线示意图。如图10所示,图中的小圆代表单板过孔,大圆代表引脚,细实线代表正面的信号线布线,粗实线代表地线。

[0136] 具体的,对于DQ8-B、DQ15-B、DQ14-B、DMI1-B、DQ12-B、DQ13-B、DQ5-B、DQ6-B、DQ7-B、DMI0-B、DQ0-B、DQ1-B、DQ12-A、DQ13-A、DMI1-A、DQ5-A、DQ6-A、DQ7-A、DMI0-A、DQ1-A、DQ0-A,信号线按照如图8所示的方式布置后,背面地引脚和线间的地连成一片,信号线往右方、上方或下方扇出,从而实现单根信号线两边包地的效果,值得说明的,DMI0-A和DQ0-A到DQ7-A是一组数据总线,DMI1-A和DQ8-A到DQ15-A是一组数据总线,DMI0-B和DQ0-B到DQ7-B是一组数据总线,DMI1-B和DQ8-B到DQ15-B是一组数据总线。

[0137] 图11是本申请实施例提供的一种示例性的电路板上电源线布局示意图。如图11所示,小圆代表单板过孔,大圆代表引脚,粗实线代表正面1.1V电源线布线,粗虚线或框代表背面1.1V的电源线布线,细实线代表正面1.8V电源线布线,细虚代表背面1.8V电源线布线。

[0138] 本申请实施例中,采用了信号线、电源线以及地线的一种可实现扇出方式实现信号线单根包地,并且,通过布置的信号线保证了输入的电源符合要求,从而通过两层板结构在满足芯片之间正常连接以及传输速率要求的同时,有效地降低了实现LPDDR4/4X与SOC之间连接功能的电路板的制造成本。

[0139] 此外,本申请实施例还提供了一种电子设备,包括:内存芯片、系统芯片以及上述任意实施例提供的电路板,其中,内存芯片和系统芯片通过所述电路板相连。可选的,内存芯片为LPDDR4/4X。

[0140] 而电子设备可以为可以是智能电视、机顶盒、监控设备、智能手机、平板电脑、个人计算机等具有数据处理和存储功能的电子设备。

[0141] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

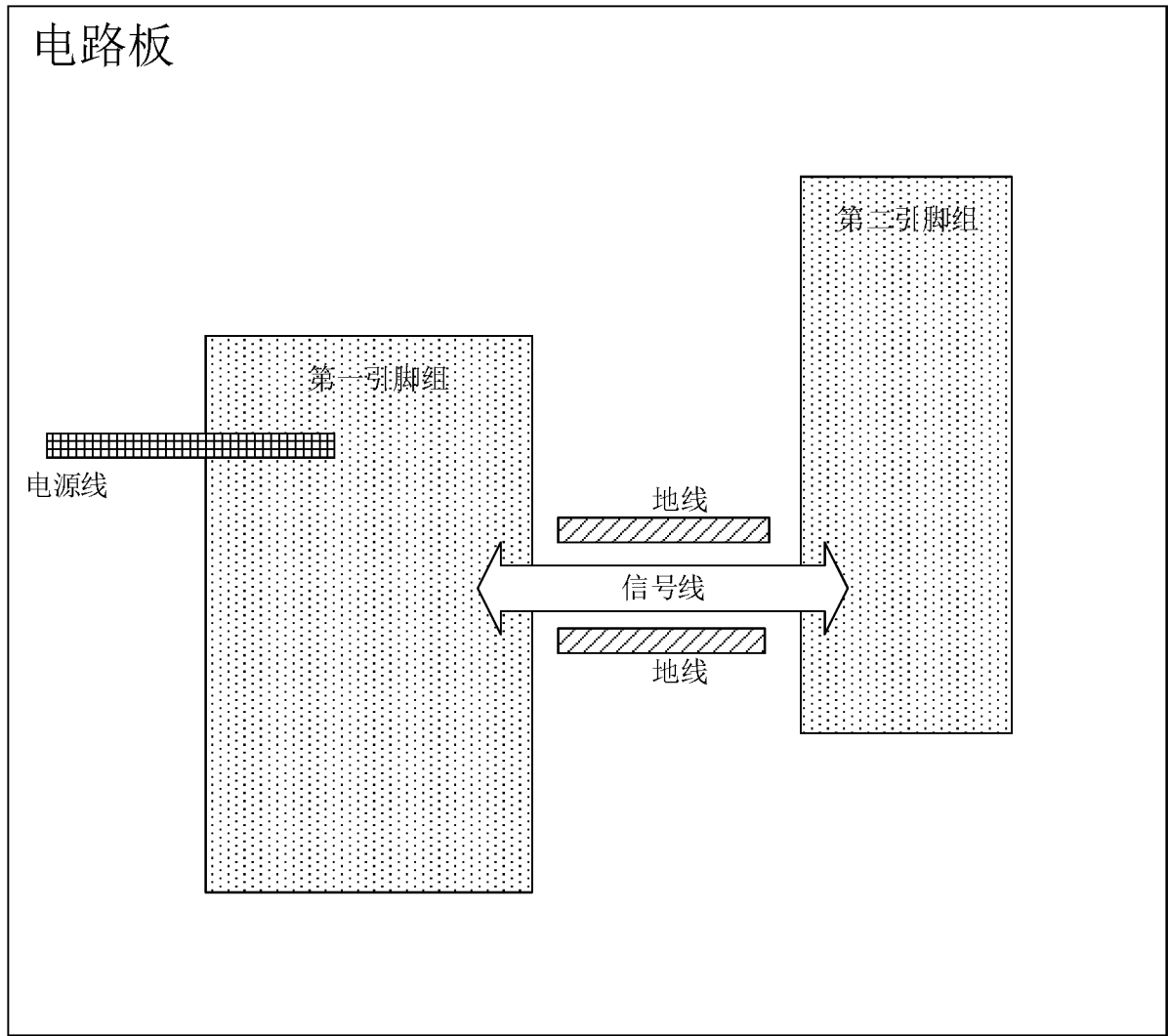


图1

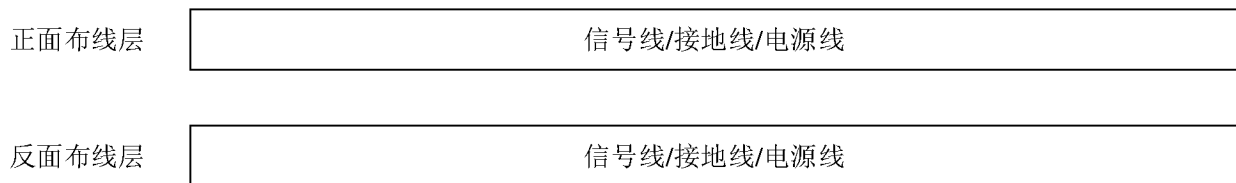


图2

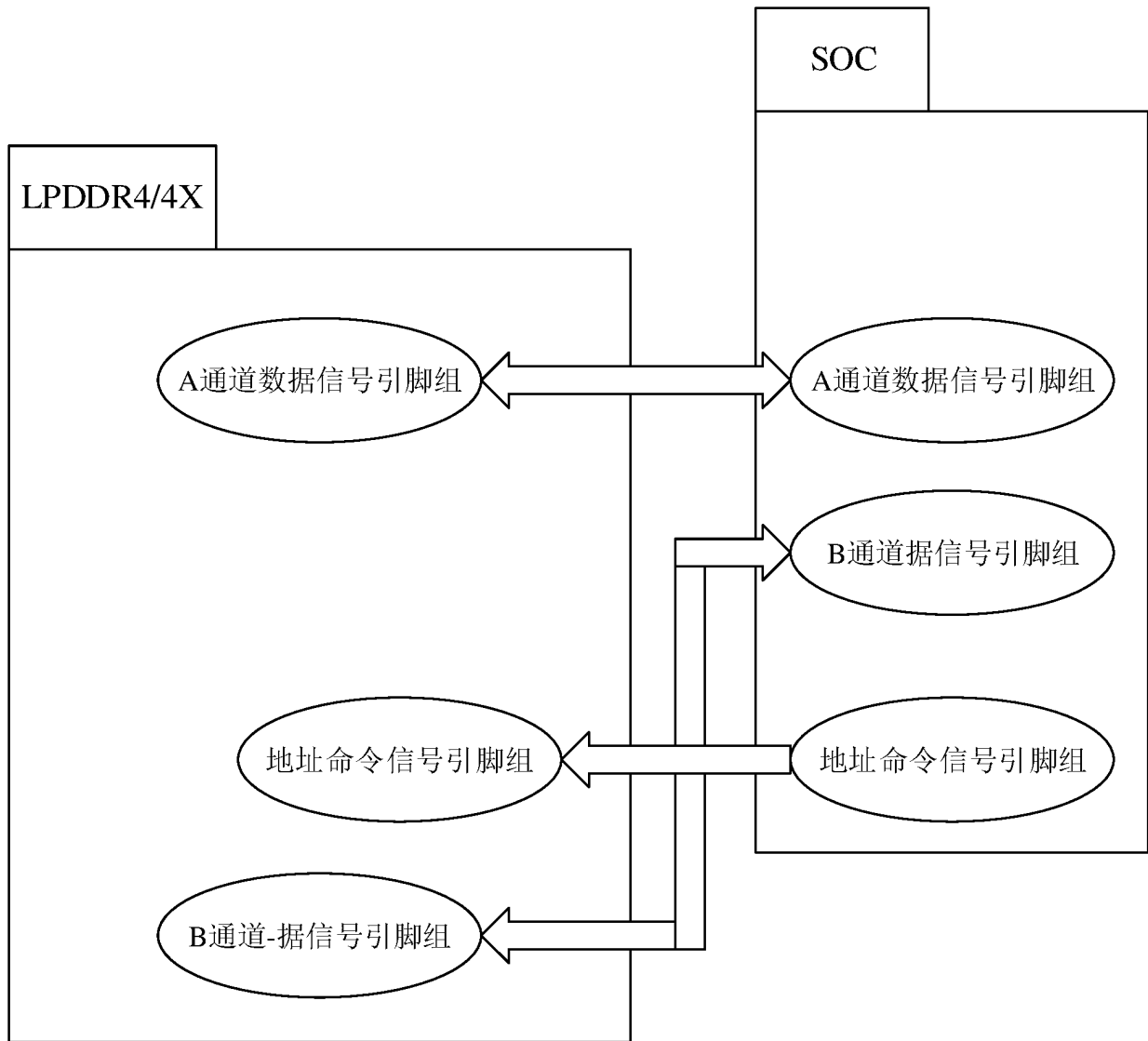


图3

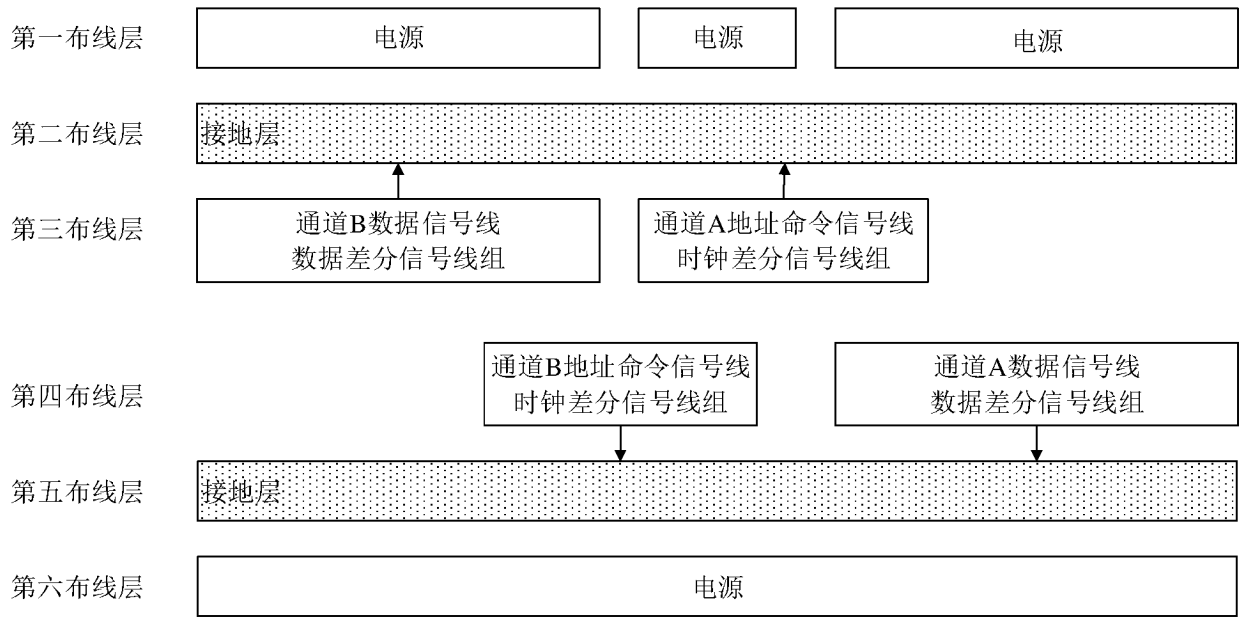


图4

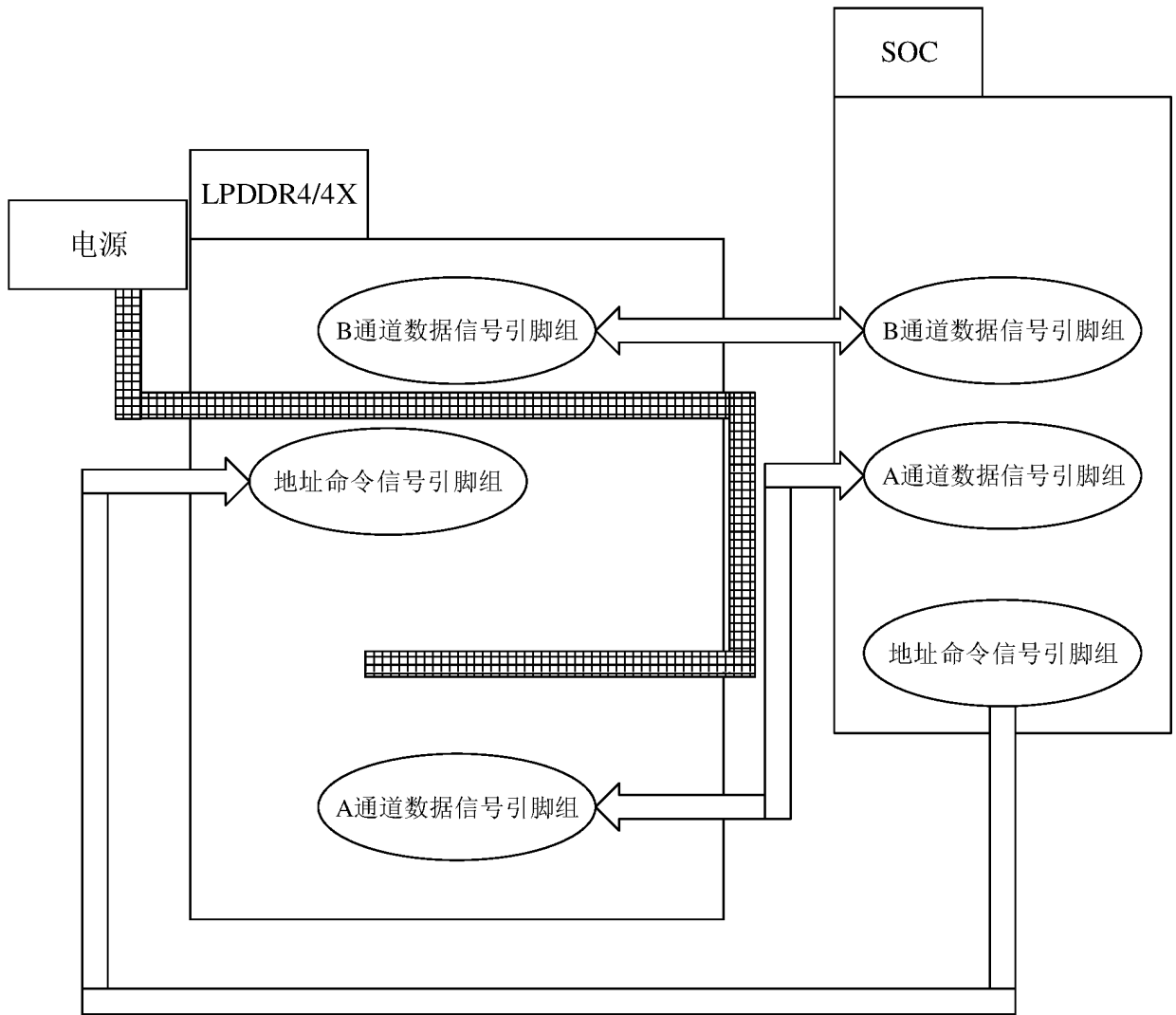


图5

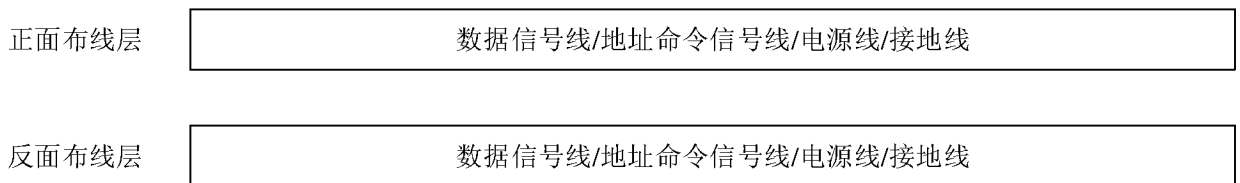


图6

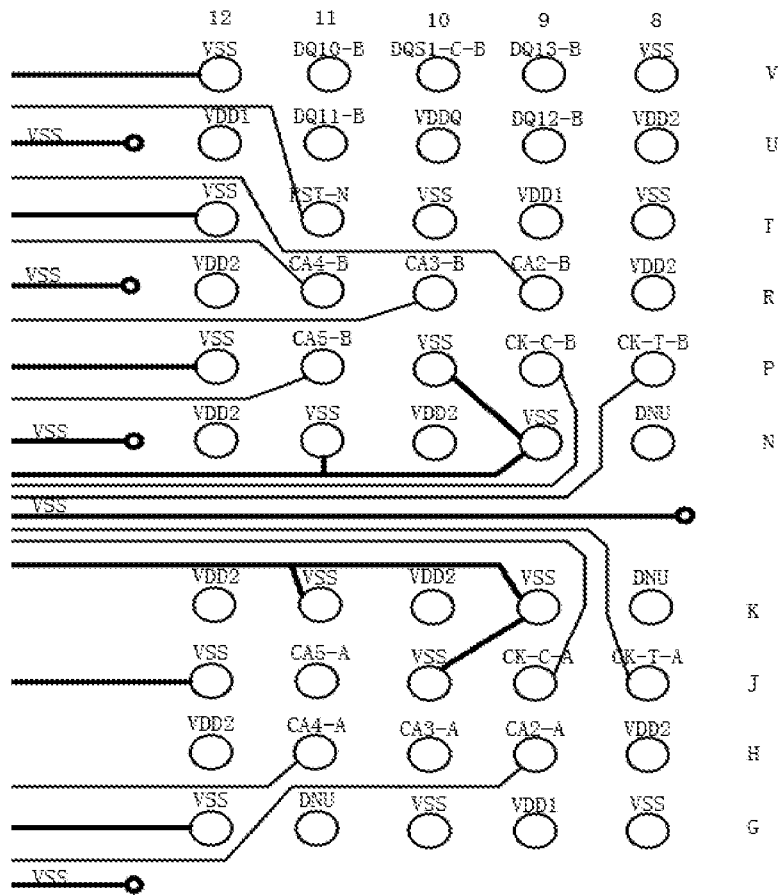


图7

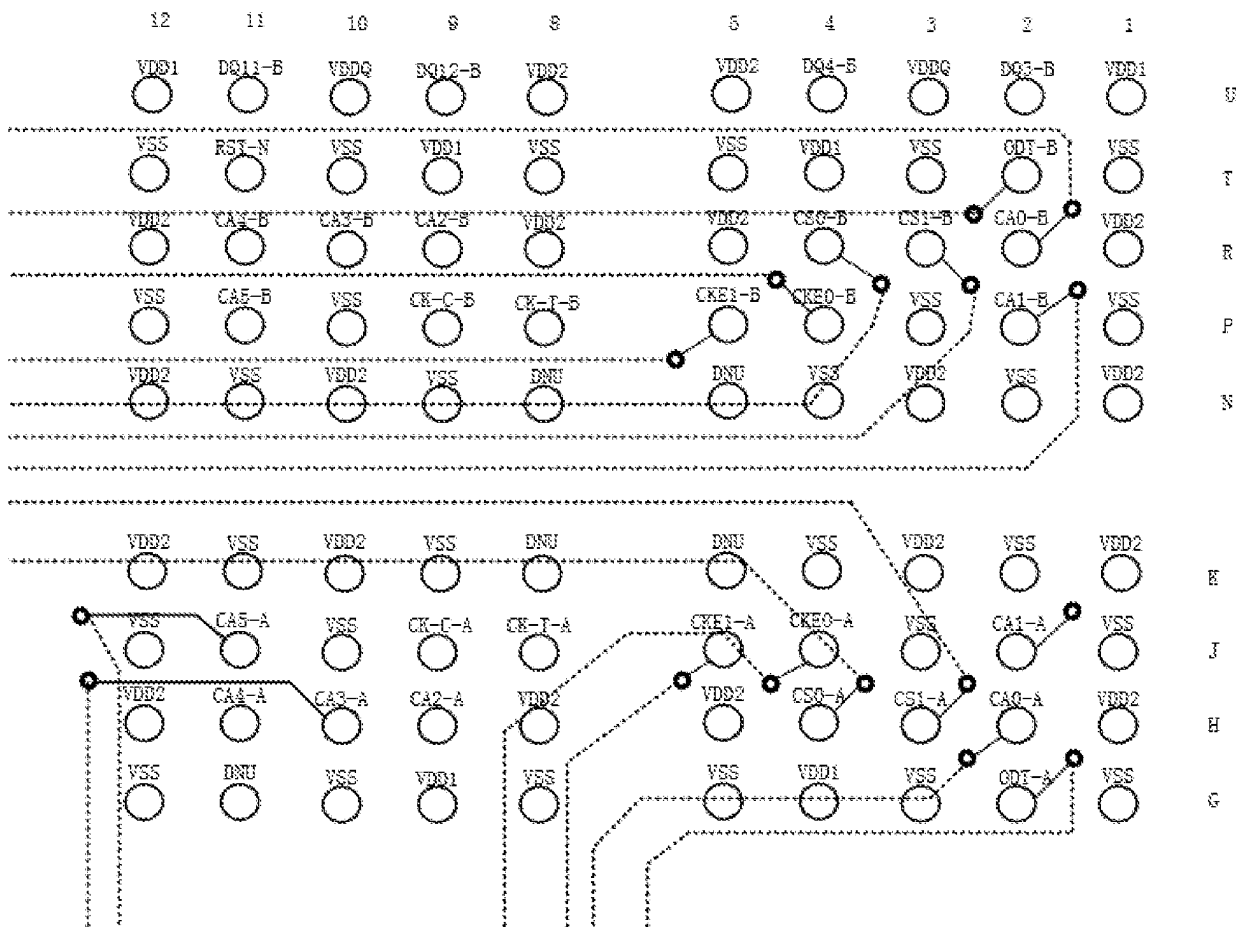


图8

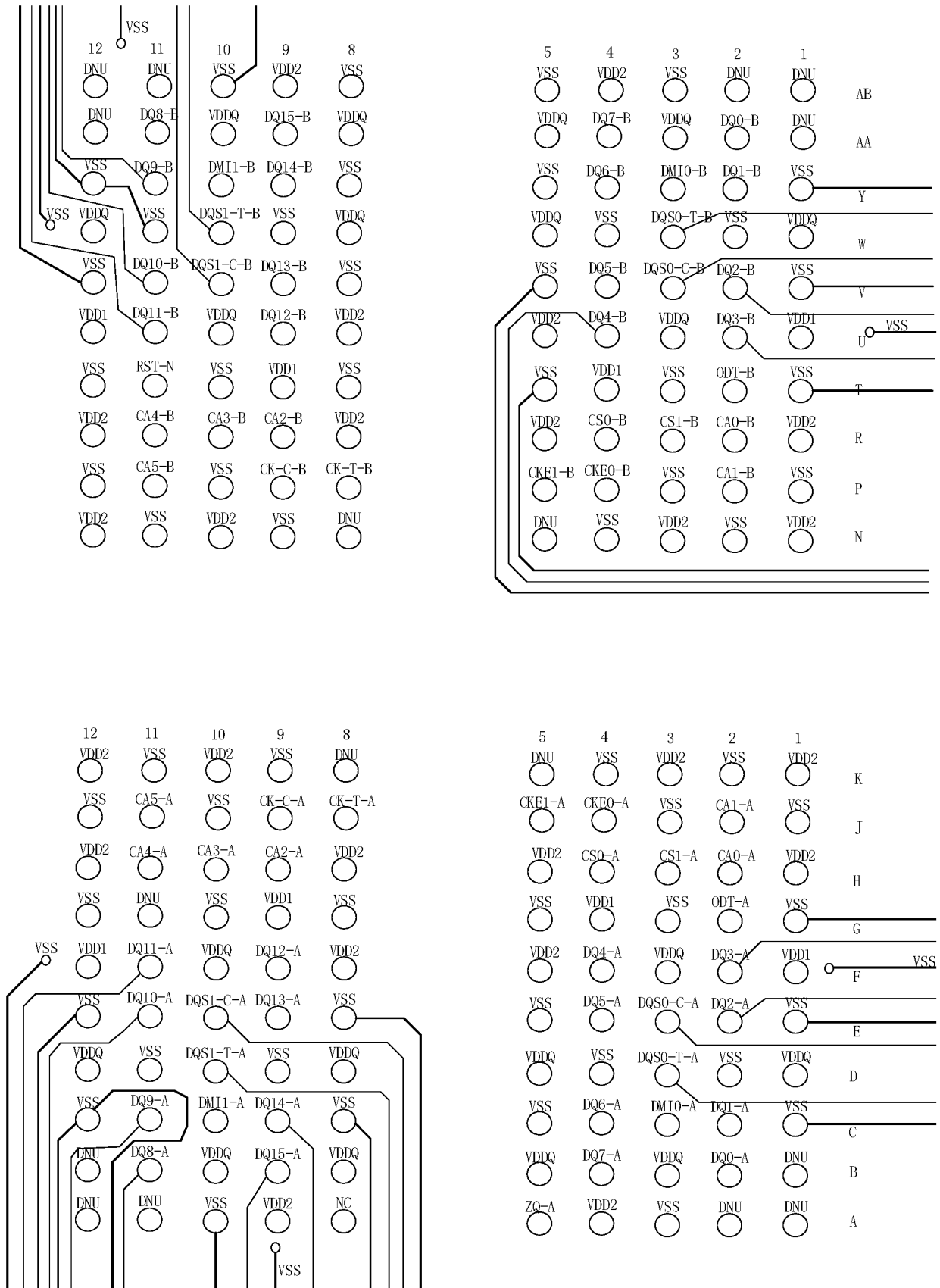


图9

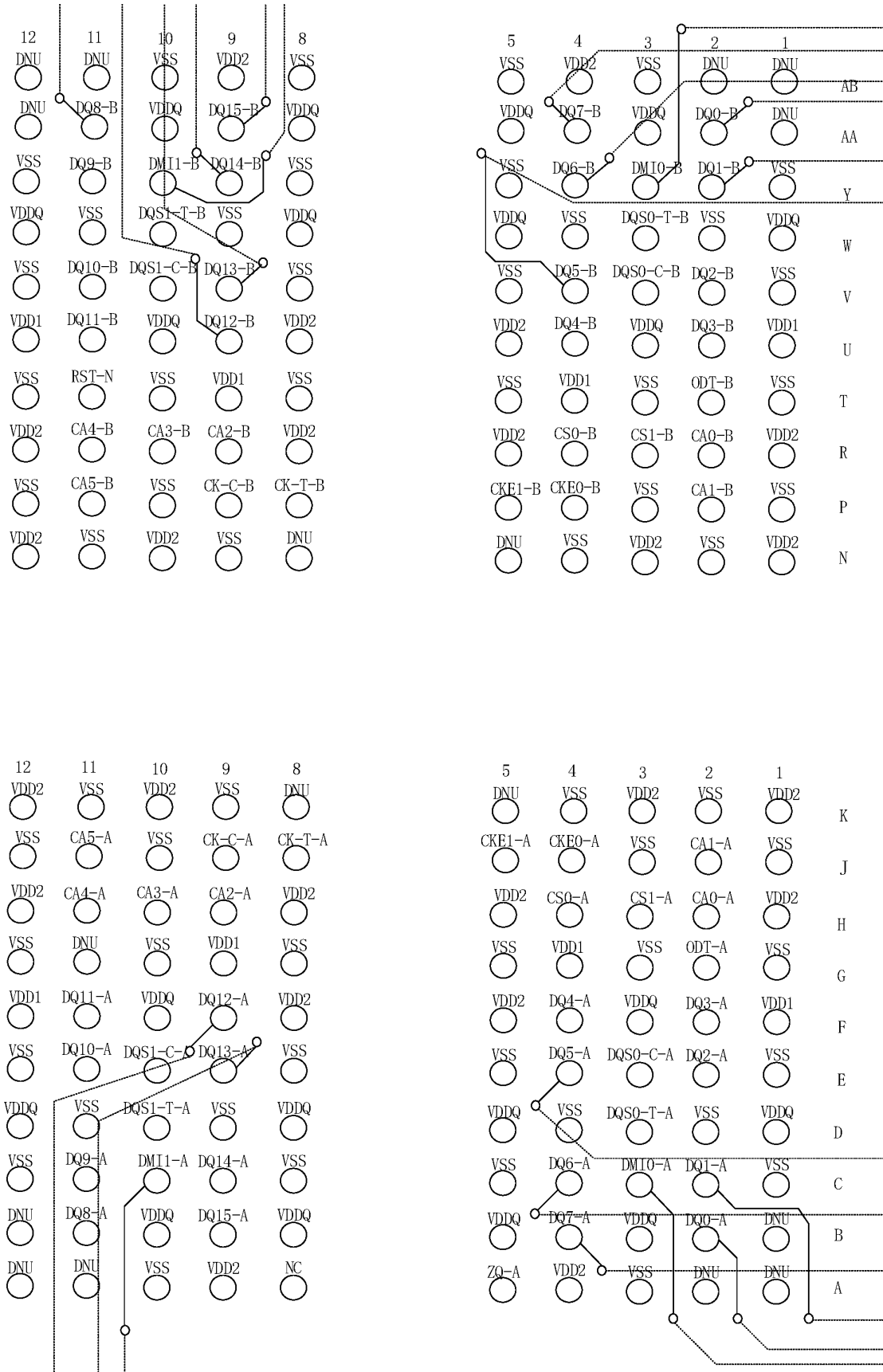


图10

