



(12)发明专利

(10)授权公告号 CN 104052439 B

(45)授权公告日 2017.06.27

(21)申请号 201410076418.0

(22)申请日 2014.03.04

(65)同一申请的已公布的文献号
申请公布号 CN 104052439 A

(43)申请公布日 2014.09.17

(30)优先权数据
2013-049807 2013.03.13 JP

(73)专利权人 株式会社索思未来
地址 日本神奈川县

(72)发明人 小野寺充

(74)专利代理机构 北京集佳知识产权代理有限公司 11227
代理人 康建峰 吴琼

(51)Int.Cl.

H03K 5/156(2006.01)

H03K 19/0175(2006.01)

G01R 31/30(2006.01)

G01R 31/317(2006.01)

(56)对比文件

US 2008/0224722 A1, 2008.09.18,

US 2010/0246655 A1, 2010.09.30,

US 2012/0008949 A1, 2012.01.12,

审查员 徐生芹

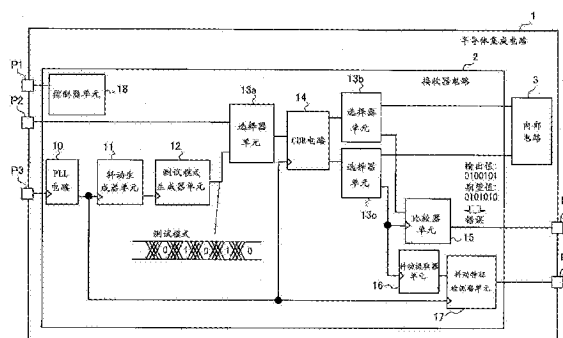
权利要求书1页 说明书10页 附图13页

(54)发明名称

接收器电路、半导体集成电路和测试方法

(57)摘要

本公开涉及接收器电路、半导体集成电路和测试方法。该接收器电路包括CDR电路、抖动生成器单元、测试模式生成器单元和比较器单元。抖动生成器单元生成具有第一特征(频率和幅度)的抖动。测试模式生成器单元生成添加了所述抖动的测试模式并将该测试模式提供给CDR电路。比较器单元比较从CDR电路输出的值与期望值并输出比较结果。



1. 一种接收器电路,包括:

时钟数据恢复电路;

抖动生成器单元,所述抖动生成器单元生成具有第一特征的抖动,所述第一特征为所述抖动的第一频率和第一幅度;

测试模式生成器单元,所述测试模式生成器单元生成添加了所述抖动的测试模式并将所述测试模式提供给所述时钟数据恢复电路;

比较器单元,所述比较器单元将基于所述测试模式从所述时钟数据恢复电路输出的值与期望值进行比较并输出比较结果;

抖动提取器单元,所述抖动提取器单元从自所述时钟数据恢复电路输出的恢复时钟提取抖动;以及

抖动特征检测器单元,所述抖动特征检测器单元检测所提取的抖动的第二频率和第二幅度并且以由所述抖动生成器单元设置的抖动的第一频率和第一幅度作为期望值来评估所述第二频率和第二幅度。

2. 一种半导体集成电路,包括:

内部电路;以及

接收器电路,所述接收器电路包括:

时钟数据恢复电路,所述时钟数据恢复电路从接收到的信号恢复数据和时钟并且将所述数据和所述时钟提供给所述内部电路;

抖动生成器单元,所述抖动生成器单元生成具有第一特征的抖动,所述第一特征为所述抖动的第一频率和第一幅度;

测试模式生成器单元,所述测试模式生成器单元生成添加了所述抖动的测试模式并将所述测试模式提供给所述时钟数据恢复电路;

比较器单元,所述比较器单元将基于所述测试模式从所述时钟数据恢复电路输出的值与期望值进行比较并输出比较结果;

抖动提取器单元,所述抖动提取器单元从自所述时钟数据恢复电路输出的恢复时钟提取抖动;以及

抖动特征检测器单元,所述抖动特征检测器单元检测所提取的抖动的第二频率和第二幅度并且以由所述抖动生成器单元设置的抖动的第一频率和第一幅度作为期望值来评估所述第二频率和第二幅度。

3. 一种测试方法,包括:

在包含时钟数据恢复电路的接收器电路中生成具有第一特征的抖动,所述第一特征为所述抖动的第一频率和第一幅度;

生成添加了所述抖动的测试模式并将所述测试模式提供给所述时钟数据恢复电路;

将从所述时钟数据恢复电路输出的值与期望值进行比较并输出比较结果;

从自所述时钟数据恢复电路输出的恢复时钟提取抖动;

检测所提取的抖动的第二频率和第二幅度;以及

以所述抖动的第一频率和第一幅度作为期望值来评估所述第二频率和第二幅度。

接收器电路、半导体集成电路和测试方法

技术领域

[0001] 本文所讨论的实施例涉及接收器电路、半导体集成电路和测试方法。

背景技术

[0002] 在半导体装置中包含的高速接口等中采用用于从接收到的信号恢复数据和时钟的时钟和数据恢复(CDR, Clock and Data Recovery)。

[0003] 例如,以下两种方法被用于测试具有CDR功能的接收器电路。

[0004] 一种方法如下:测试器向接收器电路提供测试模式(test pattern),并且包含在接收器电路中的BIST(Built-In Self Test,内置自检)电路确定所述测试模式是否被正确保持。

[0005] 另一方法如下:将生成并发送测试模式的发送器电路放置在放置有接收器电路的同一芯片中或者将发送器电路放置在放置有接收器电路的芯片的外部(例如,在评估板上)。发送器电路和接收器电路在芯片的外部连接并执行回送测试。

[0006] 然而,利用这些方法,接收器电路仅在由生成测试模式的电路实现的特定抖动条件下进行测试。也就是说,不执行用于测量对各种抖动特征的抵抗力的测试(抖动容限测试)。

[0007] 日本公开特许公报第2005-164440号

[0008] 日本公开特许公报第2005-311564号

[0009] 测试器可用于生成具有任意抖动特征的测试模式。然而,在此情况下,归因于在测试器中或者评估板上的传输线路的损耗、阻抗不匹配、测量误差等,测试的准确度劣化。

发明内容

[0010] 根据一个方面,提供了一种接收器电路,所述接收器电路包括:时钟数据恢复电路;抖动生成器单元,该抖动生成器单元生成具有第一特征的抖动;测试模式生成器单元,该测试模式生成器单元生成添加了所述抖动的测试模式并将该测试模式提供给时钟数据恢复电路;以及比较器单元,该比较器单元将基于所述测试模式从时钟数据恢复电路输出的值与期望值进行比较并输出比较结果。

附图说明

[0011] 图1是根据实施例的半导体集成电路的示例;

[0012] 图2是抖动生成器单元的示例;

[0013] 图3是调制码的示例;

[0014] 图4是已由抖动生成器单元对其添加抖动的参考时钟的示例;

[0015] 图5是相对于参考时钟的理想边沿的波动的仿真的示例;

[0016] 图6是PRBS生成多项式的示例;

[0017] 图7是CDR电路的示例;

- [0018] 图8是不具有抖动生成器单元的CDR电路的内部波形的第一示例；
- [0019] 图9是不具有抖动生成器单元的CDR电路的内部波形的第二示例；
- [0020] 图10是在实施例的接收器电路中的CDR电路的内部波形的示例；
- [0021] 图11是抖动提取器单元的示例；
- [0022] 图12是抖动提取器单元的另一示例；
- [0023] 图13是抖动特征检测器单元的示例；
- [0024] 图14是用于描述对抖动的幅度和频率进行计数的示例的时序图；
- [0025] 图15是对半导体集成电路进行测试的测试器的示例；
- [0026] 图16是抖动容限测试的示例的流程图；
- [0027] 图17是抖动容限测量的结果的示例；以及
- [0028] 图18是服务器设备及其外设的示例。

具体实施方式

- [0029] 现在将参照附图来描述实施例，其中相同的附图标记自始至终指代相同的元件。
- [0030] 图1是根据实施例的半导体集成电路的示例。
- [0031] 半导体集成电路1包括：接收器电路2；基于由接收器电路2接收的数据和时钟来执行确定操作的内部电路3；以及输入和输出各种信号的端子P1、P2、P3、P4和P5。
- [0032] 接收器电路2包括：锁相环(Phase Locked Loop, PLL)电路10、抖动生成器单元11、测试模式生成器单元12、选择器单元13a、13b和13c、CDR电路14、比较器单元15、抖动提取器单元16、抖动特征检测器单元17、以及控制器单元18。抖动生成器单元11、测试模式生成器单元12、选择器单元13a、13b和13c、比较器单元15、抖动提取器单元16、抖动特征检测器单元17、以及控制器单元18中的每一个被实现为例如接收器电路2中的电路。
- [0033] 抖动生成器单元11经由PLL电路10接收从端子P3输入的参考时钟并生成具有确定特征的抖动。抖动的特征包括例如抖动的频率和幅度。
- [0034] 测试模式生成器单元12生成添加了由抖动生成器单元11生成的抖动的测试模式，并在抖动容限测试时经由选择器单元13a将该测试模式提供给CDR电路。
- [0035] 在正常操作时，选择器单元13a在控制器单元18的控制下选择从端子P2输入的接收数据并将其提供给CDR电路14。在抖动容限测试时，选择器单元13a在控制器单元18的控制下选择由测试模式生成器单元12生成的测试模式并将其提供给CDR电路14。
- [0036] 在正常操作时，选择器单元13b在控制器单元18的控制下将从CDR电路14输出的值(并行数据)提供给内部电路3。在抖动容限测试时，选择器单元13b在控制器单元18的控制下将从CDR电路14输出的值提供给比较器单元15。
- [0037] 在正常操作时，选择器单元13c在控制器单元18的控制下将由CDR电路14恢复的时钟(恢复时钟)提供给内部电路3。在抖动容限测试时，选择器单元13c在控制器单元18的控制下将恢复时钟提供给比较器单元15和抖动提取器单元16。
- [0038] CDR电路14从PLL电路10接收参考时钟，保持从选择器单元13a输出的接收数据或测试模式，并从接收数据或测试模式提取恢复时钟。
- [0039] 比较器单元15将从CDR电路14输出的值与期望值进行比较并输出比较结果。期望值与由测试模式生成器单元12生成的测试模式相对应。比较器单元15可以生成并保持期望

值或者接收在比较器单元15的外部生成的期望值。

[0040] 抖动提取器单元16为例如带通滤波器并从恢复时钟提取抖动。

[0041] 抖动特征检测器单元17检测由抖动提取器单元16提取的抖动的特征。然后,抖动特征检测器单元17以由抖动生成器单元11设置的抖动的特征值(频率和幅度)作为期望值来评估所提取的抖动的特征,并且输出评估结果。

[0042] 控制器单元18控制对接收器电路12的测试。未示出从控制器单元18到每个单元的控制信号线。

[0043] 现在将简要描述半导体集成电路1在抖动容限测试时的操作的示例。

[0044] 当参考时钟从测试器(未示出)输入至半导体集成电路1时,PLL电路10以确定频率将参考时钟提供给抖动生成器单元11。抖动生成器单元11在参考时钟上生成确定频率和确定幅度的抖动。作为结果,参考时钟的上升沿和下降沿以确定频率和幅度波动。

[0045] 基于含有抖动的参考时钟,测试模式生成器单元12生成添加了抖动的测试模式。在图1的示例中,生成从“0”到“1”、从“1”到“0”、从“0”到“1”以及从“1”到“0”进行转变的测试模式。在信号做出转变的部分(边沿)出现与所生成的抖动的频率和幅度相对应的波动。

[0046] CDR电路14接收包含抖动的串行测试模式,接收来自PLL电路10的参考时钟,并输出与测试模式和恢复时钟相对应的并行输出值。

[0047] 比较器单元15将来自CDR电路14的输出值与期望值进行比较。例如,如果期望值为“0101010”而来自CDR电路14的输出值为“0100101”,则比较器单元15确定测试模式未被正确保持。在此情况下,比较器单元15输出大意为已出现错误的信号,并且经由端子P4通知例如测试器(未示出)。如果输出值与期望值匹配,则比较器15向测试器发送表示该意思的信号。

[0048] 另一方面,抖动提取器单元16从恢复时钟提取抖动。抖动特征检测器单元17检测抖动的特征(频率和幅度)。然后,抖动特征检测器单元17以由抖动生成器单元11设置的抖动的特征值(频率和幅度)作为期望值来评估所提取的抖动的特征,并输出评估结果。

[0049] 以上抖动容限测试示出其特性使得CDR电路14不能正确保持数据的抖动。此外,如果由测试器生成确定的抖动来执行测试,则测试精度由于例如传输线中的损耗而劣化。然而,在本实施例中,在接收器电路2中生成具有确定特征的抖动。因此,不会出现传输线中的损耗等,并且提高了测试的精度。

[0050] 另外,生成具有确定特征的抖动的测试器是不必要的。因此,可以通过使用便宜的测试器来执行抖动容限测试。这降低了测试的成本。

[0051] 此外,从恢复时钟提取抖动并检测抖动的频率和幅度。因此,不仅可以执行用于核查是否正确保持数据的时域测试,还可以执行频域测试。因此,可以更准确地评估CDR电路14的抖动容限特征。

[0052] 现在将进一步详细描述本实施例中包含在接收器电路2中的抖动生成器单元11、测试模式生成器单元12、CDR电路14、比较器单元15、抖动提取器单元16和抖动特征检测器单元17中的每一个的示例。

[0053] (抖动生成器单元)

[0054] 图2是抖动生成器单元的示例。

[0055] 在该示例中,将扩频时钟生成器(Spread Spectrum Clock Generator,SSCG)用作

抖动生成器单元11。抖动生成器单元11包括1/N分频器20和21、相位比较器22、电荷泵23、模拟调制器24、电压加法器25、具有电阻R和电容C的回路滤波器26、以及压控振荡器27。

[0056] 在该抖动生成器单元11中,将来自PLL电路10的参考时钟输入到1/N分频器20,并且通过相位比较器22来比较从1/N分频器20输出的信号的相位与从1/N分频器21输出的信号的相位。相位比较器22将比较结果(数字信号)提供给电荷泵23,并且电荷泵23生成与比较结果相对应的模拟信号。

[0057] 模拟调制器24根据从控制器单元18发送的调制码(关于抖动频率和抖动幅度的信息)生成抖动。

[0058] 图3是调制码的示例。

[0059] 示出了与每4位调制码相对应的抖动频率和抖动幅度的示例。例如,如果调制码为“1000”,则生成10MHz、1UI(单位间隔)的抖动。

[0060] 电压加法器25将抖动加至由电荷泵23生成的模拟信号。经由回路滤波器26将通过添加抖动而获得的模拟信号发送到压控振荡器27以控制压控振荡器27的振荡频率。将从压控振荡器27输出的信号输入到测试模式生成器单元12以及经由1/N分频器21输入到相位比较器22。

[0061] 通过抖动生成器单元11所生成的抖动是由期望的测试规范确定的。例如,通过如下来确定抖动:

[0062] 总抖动=正弦波+随机抖动

[0063] 并且基于该表达式来确定抖动生成器单元11的特征。

[0064] 在图2的示例中,将SSCG用作抖动生成器单元11。然而,可以使用另外的相位(或者延迟)调制电路。

[0065] 图4是已由抖动生成器单元对其添加抖动的参考时钟的示例。

[0066] 归因于抖动,参考时钟CK的每个边沿在由斜线表示的范围内波动。抖动幅度和抖动周期根据以上调制码的值而改变。抖动周期为抖动频率的倒数。

[0067] 图5是相对于参考时钟的理想边沿的波动的仿真的示例。在图5中,水平轴表示抖动幅度[UI],垂直轴表示周期数[次数]。

[0068] 在图5中,绘制了在抖动幅度和抖动频率分别为1UI和1MHz时上升沿相对于参考时钟CK的波动。1MHz的抖动被绘制1000000次。

[0069] (测试模式生成器单元)

[0070] 将伪随机比特序列(Pseudo-Random Bit Sequence, PRBS)生成电路等用作测试模式生成器单元12。

[0071] 图6是PRBS生成多项式的示例。

[0072] 测试模式生成器单元12通过使用如图6所示的生成多项式的随机数算法来生成作为随机比特串的测试模式。

[0073] 以上抖动已被添加到输入至测试模式生成器单元12的参考时钟。因此,如图1所示,在测试模式信号做出转变的每个部分处出现与所设置的抖动特征相对应的波动。

[0074] (CDR电路)

[0075] 图7是CDR电路的示例。

[0076] CDR电路14包括放大器30、解复用器31、相位比较器32、电荷泵33、回路滤波器34、

压控振荡器35和1/N分频器36。

[0077] 在图7的示例中,假设将作为差分信号和串行数据的接收数据或测试模式输入至CDR电路14的放大器30。从放大器30输出的信号被输入至解复用器31。另外,从压控振荡器35输出的信号被输入至解复用器31。此外,从压控振荡器35输出的信号通过1/N分频器36进行分频并被输入至解复用器31。

[0078] 基于这些输入信号,解复用器31将接收数据或测试模式恢复为并行数据并输出恢复时钟。例如,如果1/N分频器36执行1/10频分,则解复用器31输出10段并行数据。

[0079] 通过相位比较器32来比较恢复时钟与从PLL电路10输出的参考时钟,并且将比较结果(数字信号)提供给电荷泵33。电荷泵33生成与比较结果相对应的模拟信号。经由回路滤波器34将模拟信号发送至压控振荡器35以控制压控振荡器35的振荡频率。

[0080] (比较器单元)

[0081] 比较器单元15包括例如以上PRBS生成电路,并且使用如图6所示的生成多项式以用于生成与由测试模式生成器单元12生成的测试模式相对应的期望值。此外,在抖动容限测试时,比较器单元15经由选择器单元13b接收从CDR电路14输出的值并将其与期望值进行比较。

[0082] 在描述由本实施例中的接收器电路2做出的比较的示例之前,将描述不具有抖动生成器单元11的CDR电路14的内部波形的示例以用于比较。

[0083] 图8是不具有抖动生成器单元的CDR电路的内部波形的第一示例。

[0084] 图8示出了输入至CDR电路14的串行数据和恢复时钟以及由CDR电路14保持的锁存数据的示例。如图8所示,如果恢复时钟的上升沿不位于串行数据中包含的值之间的边界部分处(数据边界),则串行数据被正确保持。

[0085] 图9示出不具有抖动生成器单元的CDR电路的内部波形的第二示例。

[0086] 图9示出了输入至CDR电路14的串行数据和恢复时钟以及由CDR电路14保存的锁存数据的示例。如图9所示,如果恢复时钟的上升沿位于串行数据中包含的值之间的边界部分处,则串行数据未被正确保持并且出现“未通过”。如果得到这样的结果,则不能确定是电路中出现故障还是测试环境中出现“未通过”。这一点的原因在于已经添加至串行数据的抖动是未知的。

[0087] 另一方面,本实施例中的接收器电路2包括抖动生成器单元11,并且CDR电路14的内部波形如下。

[0088] 图10是在实施例的接收器电路中的CDR电路的内部波形的示例。

[0089] 图10示出输入至CDR电路14的串行数据和恢复时钟以及由CDR电路保持的锁存数据的示例。如图10所示,根据由抖动生成器单元11生成的抖动的频率和幅度,在串行数据和恢复时钟的每个边沿部分处出现波动。因此,根据抖动的频率和幅度在恢复时钟上呈现多个边沿,并且可以确定使正确保持串行数据成为可能的抖动。在图10的情况下,任何边沿都使正确保持串行数据成为可能。在此情况下,从CDR电路14输出的值与期望值匹配,并且比较器单元15输出大意为串行数据被正确保持的比较结果。

[0090] (抖动提取器单元)

[0091] 图11是抖动提取器单元的示例。

[0092] 抖动提取器单元16是例如作为二阶数字滤波器的带通滤波器,并且包括延迟电路

(在图11中由 Z^{-1} 表示)40和41、乘法器42和43、以及加法器44。延迟电路40和41以及乘法器42和43的参数是根据要提取的抖动的特征而控制的。在图11的示例中,乘法器42和43的参数分别为 $a_0=1$ 和 $a_2=-1$ 。

[0093] 输入至抖动提取器单元16的恢复时钟通过乘法器42而乘以 $a_0=1$ 并且被输入至加法器44。另外,恢复时钟通过延迟电路40和41进行延迟,通过乘法器43而乘以 $a_2=-1$,并且被输入至加法器44。加法器44将从乘法器42和43输出的信号相加并且输出作为数字信号的抖动。

[0094] 图12是抖动提取器单元的另一示例。

[0095] 抖动提取器单元16a是作为二阶数字滤波器的带通滤波器。这与图11中示出的抖动提取器单元16相同。然而,抖动提取器单元16a包括一阶低通滤波器50和一阶高通滤波器51。

[0096] 低通滤波器50包括延迟电路52、乘法器53和54、以及加法器55。类似地,高通滤波器51包括延迟电路56、乘法器57和58、以及加法器59。延迟电路52和56以及乘法器53、54、57和58的参数是根据要提取的抖动的特征而控制的。在图12的示例中,乘法器53和54的参数分别为 $a_0=1$ 和 $a_1=1$,并且乘法器57和58的参数分别为 $a_0=1$ 并且 $a_1=-1$ 。

[0097] 输入至抖动提取器单元16a的恢复时钟通过低通滤波器50的乘法器53而乘以 $a_0=1$ 并且被输出至加法器55。另外,恢复时钟通过延迟电路52进行延迟,通过乘法器54而乘以 $a_1=1$,并且被输入至加法器55。加法器55将从乘法器53和54输出的信号相加在一起。

[0098] 由低通滤波器50的加法器55得到的相加结果通过高通滤波器51的乘法器57而乘以 $a_0=1$ 并且被输入至加法器59。另外,由低通滤波器55的加法器55得到的相加结果通过延迟电路56进行延迟,通过乘法器58而乘以 $a_1=-1$,并且被输入至加法器59。加法器59将从乘法器57和58输出的信号相加在一起,并且输出作为数字信号的抖动。

[0099] 通过采用以上抖动提取器单元16或16a,从恢复时钟提取出抖动。

[0100] 在以上示例中,使用二阶数字滤波器。然而,可以改变阶数并且可以使用模拟滤波器。如果使用数字滤波器,则可以通过逻辑扫描测试来验证功能和操作速度。使用数字滤波器的抖动提取器单元在该方面优于使用模拟滤波器的抖动提取器单元。

[0101] (抖动特征检测器单元)

[0102] 图13是抖动特征检测器单元的示例。

[0103] 抖动特征检测器单元17包括抖动幅度计数器60、抖动频率计数器61、码生成器62和码比较器63。

[0104] 抖动幅度计数器60对从抖动提取器单元16输出的作为数字信号的抖动的幅度进行计数。

[0105] 抖动频率计数器61通过使用例如从控制器单元18提供的用于时间测量的时钟对抖动的频率进行计数。例如,抖动频率计数器61对用于时间测量的时钟在如下时间范围内的时钟数进行计数:从抖动幅度计数器60的计数值为最大的时刻到下一次抖动幅度计数器60的计数值为最大的时刻,并获得抖动的一个周期(循环周期)($1/\text{频率}$)。

[0106] 码生成器62基于抖动幅度计数器60和抖动频率计数器61的计数结果来生成如图3所示那样的调制码。

[0107] 码比较器63将控制器单元18针对抖动生成器单元11设置为期望值的调制码与由

码生成器62生成的调制码进行比较,并且输出比较结果。此外,码比较器63可以输出由码生成器62生成的调制码。

[0108] 图14是用于描述对抖动的幅度和频率进行计数的示例的时序图。

[0109] 图14示出从抖动提取器单元16输出的8位数字信号(JA(0)到JA(7))的示例和用于时间测量的时钟tCK的示例。

[0110] 抖动特征检测器单元17的抖动幅度计数器60考虑JA(0)到JA(7)的作为最低有效位(LSB)改变的低位比特。在图14的示例中,在时间t10处从L(低)电平上升到H(高)电平的JA(4)为LSB。

[0111] 在时间t11处,作为数字信号的抖动具有最大值“111”并且其为表示抖动的幅度的计数值。

[0112] 抖动特征检测器单元17的抖动频率计数器61对时钟tCK在如下时间范围内的时钟数进行计数:从抖动幅度计数器60的计数值具有最大值的时刻(时间t11)到下一次抖动幅度计数器60的计数值具有最大值的时刻(时间t12)。

[0113] 例如,如果抖动的频率为1MHz(抖动的周期为1000纳秒)并且时钟tCK的频率为100MHz(一个周期为10纳秒),则从时间t11到t12所计的时钟数为100。实际上,会出现微小偏差。因此,如果计数值在例如-5至+5的范围内,则码生成器62可以生成相同的码。

[0114] (测试器的示例)

[0115] 图15是对半导体集成电路执行测试的测试器的示例。

[0116] 测试器70包括测试控制单元71、时钟生成单元72、测试结果检测单元73、以及存储单元74和75。图15示出了半导体集成电路1连接至(安装在)测试器70的状态。半导体集成电路1可以在其被安装在评估板(未示出)上的状态下进行测试。

[0117] 测试控制单元71向接收器电路2的控制器单元18提供例如大意为执行抖动容限测试的控制信号。另外,测试控制单元71经由端子P2向接收器电路2提供串行数据。

[0118] 在测试控制单元71的控制下,时钟生成单元72生成以上参考时钟,并经由端子P3将其提供给接收器电路2。

[0119] 测试结果检测单元73检测接收器电路2中的测试结果,例如通过接收器电路2的比较器单元15比较的结果和通过抖动特征检测器单元17检测的结果。

[0120] 存储单元74存储由测试控制单元71执行的测试程序74a。存储单元75存储由测试结果检测单元73执行的测试程序75a和测试日志75b。在图15的示例中,测试控制单元71和测试结果检测单元73分别读取测试程序74a和75a。然而,测试控制单元71可以依照测试程序74a来控制测试结果检测单元73。此外,在图15的示例中,包括两个存储单元74和75。然而,存储单元的数目可以为一或者三或者更多。

[0121] (抖动容限测试)

[0122] 现在将描述通过使用以上测试器70执行的抖动容限测试的流程。

[0123] 图16是抖动容限测试的示例的流程图。

[0124] 首先,测试器70的测试控制单元71从存储单元74读取测试程序74a(步骤S1)。

[0125] 在测试控制单元71的控制下,时钟生成单元72生成参考时钟并将其提供给接收器电路2的PLL电路10(步骤S2)。

[0126] 此外,测试控制单元71向接收器电路2的控制器单元18提供大意为其执行抖动容

限测试的控制信号(步骤S3)。

[0127] 当接收器电路2的控制器单元18接收到大意为测试控制单元71执行抖动容限测试的控制信号时,接收器电路2的控制器单元18将PLL电路10和CDR电路14从待机状态改变为正常操作状态(步骤S4)。

[0128] 另外,控制器单元18向选择器单元13a、13b和13c发送选择信号以设置用于抖动容限测试的路径(步骤S5)。因此,对将串行数据从测试控制单元71发送到CDR电路14的路径以及将并行数据和恢复时钟从CDR电路14发送到与链路层相对应的内部电路3的路径进行阻断。

[0129] 接下来,控制器单元18确定用于抖动容限测试的条件(步骤S6)。例如,控制器单元18确定要生成的抖动的频率和幅度的测试范围。用于抖动容限测试的条件可以由用户输入至测试器70并且可以将其通知给接收电路2的控制器单元18。替选地,用于抖动容限测试的条件可以预先存储在例如测试器70的存储单元74中。

[0130] 在此之后,控制器单元18将测试模式生成器单元12和比较器单元15设置成测试模式(步骤S7)。例如,如果测试模式生成器单元12和比较器单元15分别通过使用PRBS生成电路而生成测试模式和期望值,则确定要使用的生成多项式(参见图6)。

[0131] 此外,抖动生成器单元11在控制器单元18的控制下设置要生成的抖动的特征(频率和幅度)(步骤S8)。控制器单元18基于在步骤S6中所确定的内容将如图3所示的调制码发送至抖动生成器单元11。

[0132] 在控制器单元18针对抖动生成器单元11、抖动提取器单元16以及抖动特征检测器单元17设置初始值之后,抖动生成器单元11生成具有所指定特征的抖动并将其添加至经由PLL电路10发送至此的参考时钟(步骤S9)。

[0133] 基于已添加了抖动的参考时钟,测试模式生成器单元12通过使用例如步骤S7中所确定的生成多项式来生成测试模式(步骤S10)。

[0134] 比较器单元15通过使用例如步骤S7中所确定的生成多项式来生成期望值,将其与从CDR电路14的输出的值进行比较,并且将比较结果输出至测试器70(步骤S11)。例如,如果在步骤S11中从CDR电路14输出的值与期望值匹配,则向测试器70输出“通过”信号。如果在步骤S11中从CDR电路14输出的值与期望值不匹配,则向测试器70输出“未通过”信号。

[0135] 此外,抖动提取器单元16从自CDR电路14输出的恢复时钟中提取抖动(步骤S12)。在此时,使用如图11或图12所示的带通滤波器。

[0136] 然后,抖动特征检测器单元17分析所提取的抖动的特征并且将分析结果输出至测试器70(步骤S13)。在步骤S13中,例如,生成与所检测的抖动的频率和幅度相对应的调制码,并将此调制码与期望值进行比较。如果它们匹配,则向测试器70输出“通过”信号。如果它们不匹配,则向测试器70输出“未通过”信号。分别在步骤S11和S13中输出到测试器70的比较结果和分析结果由测试结果检测单元73检测,并且例如作为测试日志75b被存储在存储单元75中。

[0137] 在此之后,抖动特征检测器单元17向控制器单元18输出大意为基于所设置的抖动特征的测量已经结束的结束信号(步骤S14)。

[0138] 控制器单元18确定在步骤S6中所确定的抖动的频率和幅度的整个测试范围内的测量是否已经结束(步骤S15)。如果在步骤S6中所确定的抖动的频率和幅度的整个测试范

围内的测量尚未结束,则通过使用下一抖动特征值(例如以上调制码)从步骤S8重复该过程。

[0139] 如果在步骤S6中所确定的抖动的频率和幅度的整个测试范围内的测量已经结束,则测试结果检测单元73输出抖动容限测量的结果(步骤S16)。

[0140] 在图16中,步骤的顺序不限于以上顺序。也就是说,可以适当地改变以上顺序。例如,可以在比较器单元15比较从CDR电路14输出的值与期望值的步骤S11之前执行步骤S12和S13。

[0141] 图17是抖动容限测量的结果的示例。在图17中,水平轴表示抖动频率(Hz),垂直轴表示抖动幅度(UI)。

[0142] 在图17中,由波形w1表示基于USB(Universal Serial Bus,通用串行总线)3.0使用CDR电路的接收器电路2的抖动容限标记(抖动特征的保证范围)。CDR电路14优选地在每个频率处抖动幅度均大于波形w1的区域中正确保持数据。

[0143] 波形w2表示在对根据本实施例的半导体集成电路1和接收器电路2执行的抖动容限测试中、在每个频率处正确保持数据(“通过”)时的抖动特征的示例。

[0144] 此外,波形w3表示在对根据本实施例的半导体集成电路1和接收器电路2执行的抖动容限测试中、在一些频率处未正确保持数据(“未通过”)时的抖动特征的示例。

[0145] 获得这些波形w2和w3。因此,可以核查CDR电路14的极值特征如峰值,并且可以检测CDR电路14自身的特征。另外,可以检测在每个频率处、波形w2与由波形w1表示的抖动容限标记之间的边(margin)mg。

[0146] 如果基于由波形w3表示的抖动特征在每个频率处获得结果“通过”,则在波形w1下方区域中的抖动频率为10MHz处获得结果“通过”。这样的情况未落入保证范围的事实同样也由实施例中的抖动容限测试来检测。

[0147] (应用根据实施例的半导体集成电路和接收器电路的示例)

[0148] 图18是服务器设备及其外设的示例。

[0149] 服务器设备80包括:中央处理单元(Central Processing Unit,CPU)81、82、83和84;存储器85;芯片组(包括多个半导体集成电路(芯片)的电路部分)86;以及总线87、88和89。

[0150] 连接CPU81至84的总线87基于例如第三代外设部件互连扩展(PCI-E3.0)标准。连接CPU81至84与存储器85的总线88基于例如双倍数据率3(Double Data Rate3,DDR3)。连接CPU81至84与芯片组86的总线89基于例如桌面管理接口(Desktop Management Interface,DMI)。

[0151] CPU81至84分别包括多个接口电路81a、82a、83a和84a以适应以上标准。存储器85和芯片组86还分别包括接口电路85a和86a。

[0152] 此外,芯片组86包括与多个标准相对应的多个接口电路86b,以与在服务器设备80外部的进行连接。

[0153] 除了以上PCI-E3.0之外,接口标准还包括USB3.0、串行先进技术附件(Advanced Technology Attachment,ATA)、系统管理(System Management,SM)总线和串行外设接口(Serial Peripheral Interface,SPI)闪存。此外,接口标准包括超级I/O(输入/输出)、串行连接SCSI(小型计算机系统接口)(Serial Attached SCSI(Small Computer System

Interface) SAS)、局域网(Local Area Network, LAN)、10Gbase、扩展卡、无线LAN(Wireless LAN, WLAN)等。

[0154] 在图18的示例中,千兆比特以太网(注册商标)交换机90连接至与LAN10Gbase相对应的接口电路86b。L3(Layer3, 3层)交换机91连接至千兆比特以太网交换机90。L2交换机92连接至L3交换机91。另外,客户端设备如PC(个人计算机)93连接至L2交换机92。L3交换机91可以连接至无线LAN的接入点。

[0155] 这些外设分别包括接口电路90a和90b、91a和91b, 92a和92b、以及93a。

[0156] 图1中示出的半导体集成电路1和接收器电路2可以应用于例如以上接口电路中的每个接口电路。

[0157] 根据所公开的接收器电路、半导体集成电路和测试方法,可以提高抖动容限测试的准确度。

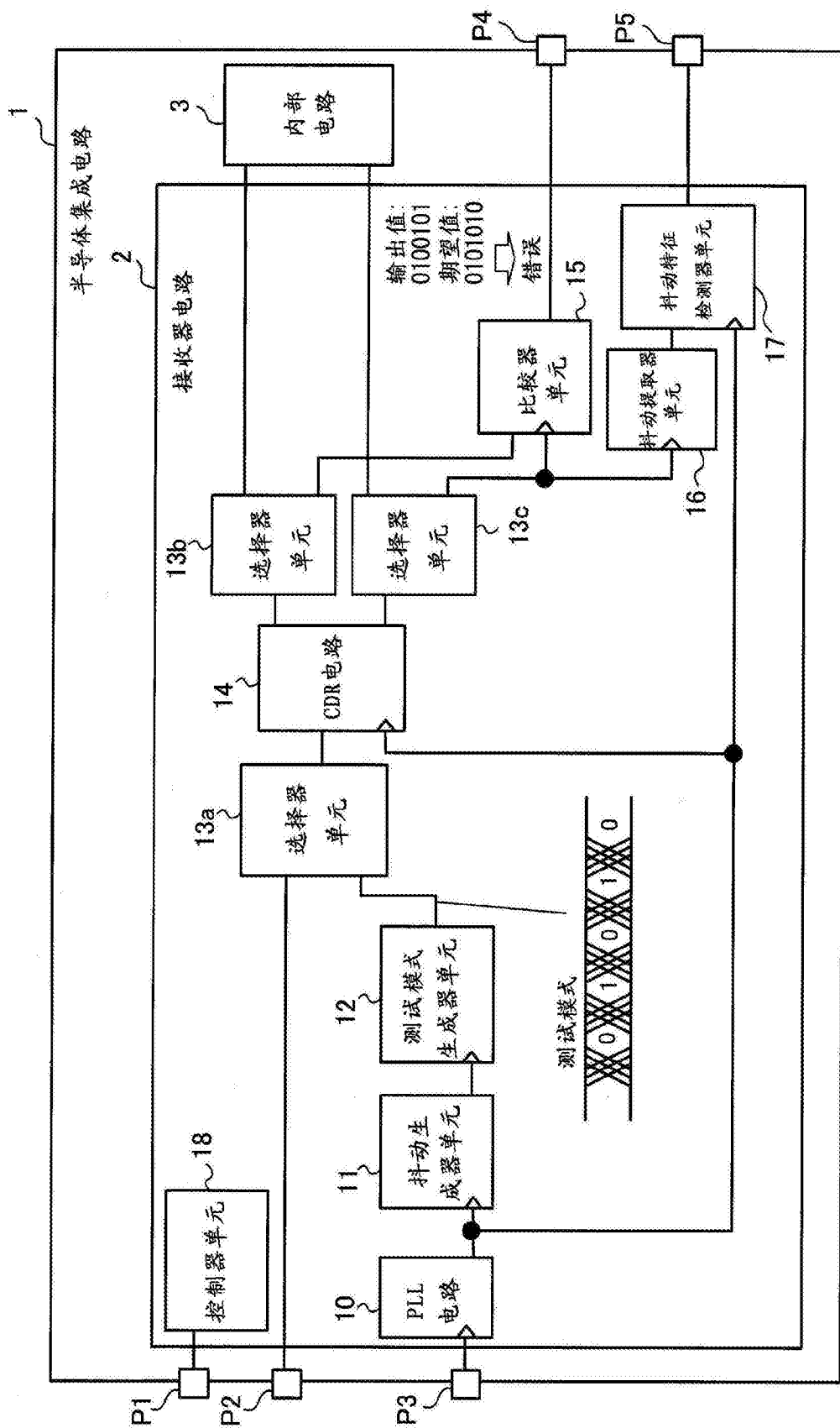


图1

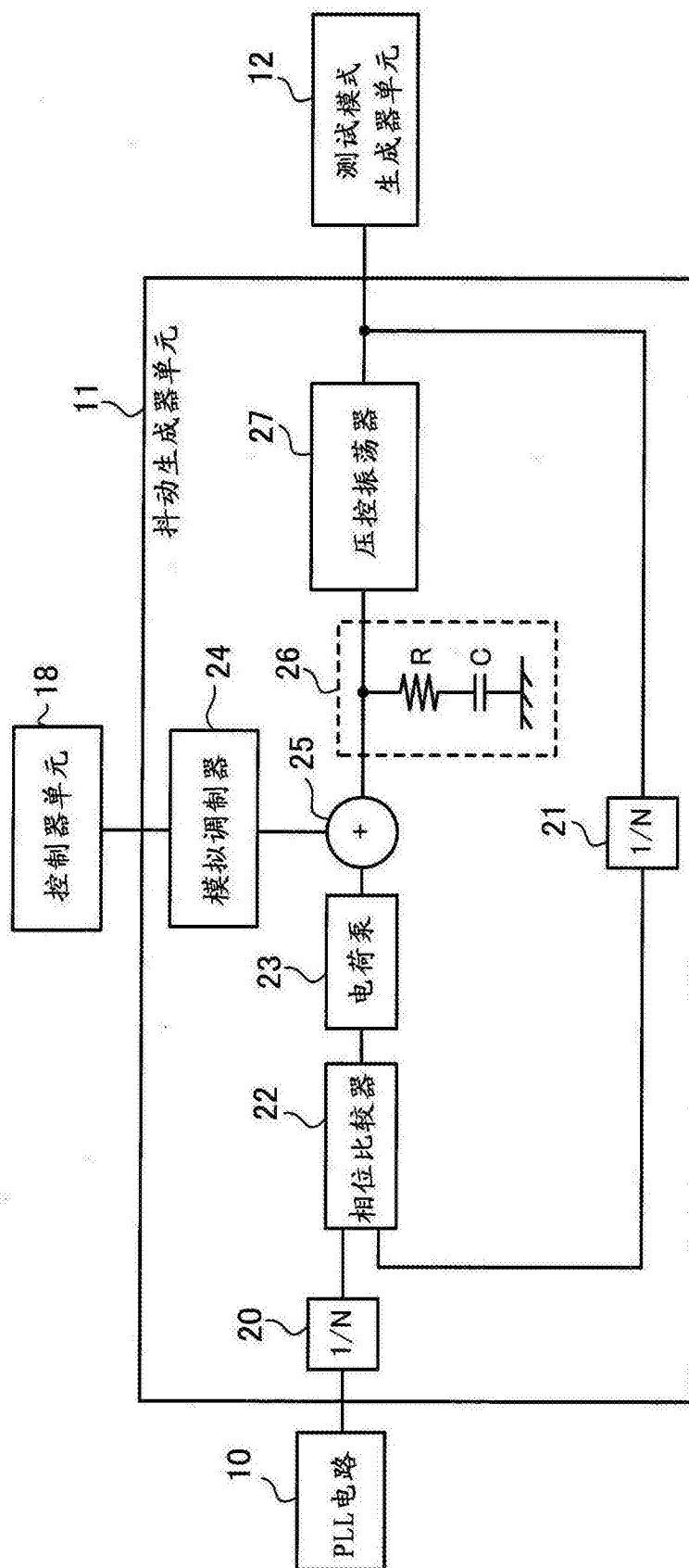


图2

调制码	抖动频率	抖动幅度
0000	10KHz	0.5UI
0001	100KHz	0.5UI
0010	1MHz	0.5UI
0111	10MHz	0.5UI
1000	10MHz	1UI
⋮	⋮	⋮

图3

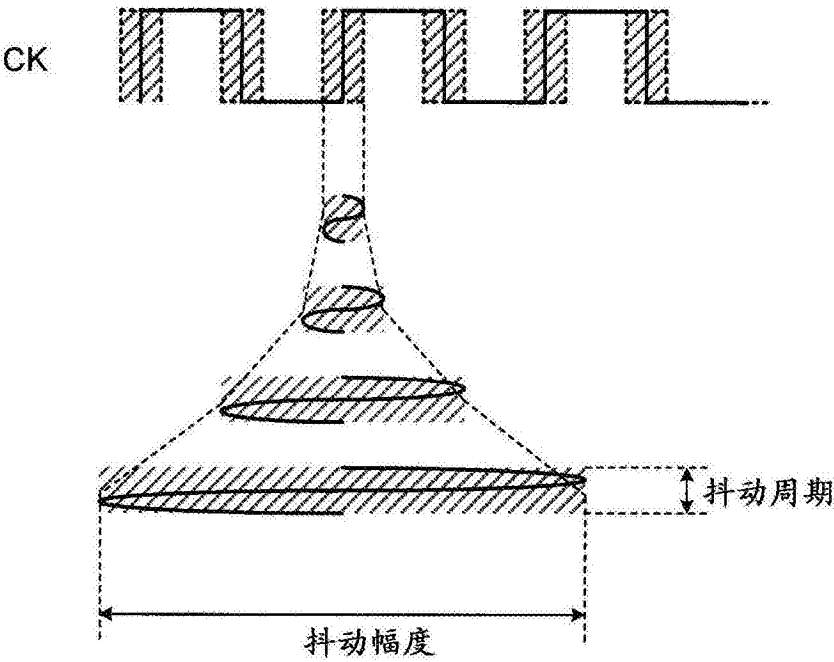


图4

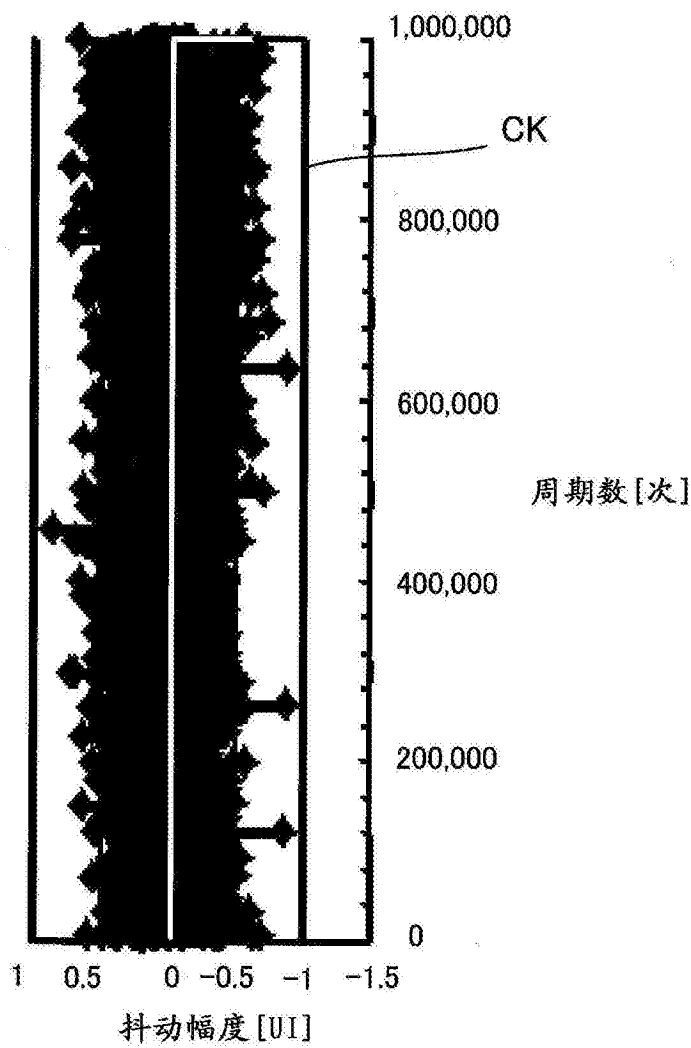


图5

生成多项式
x^7+x^6+1
x^9+x^5+1
$x^{11}+x^9+1$
$x^{15}+x^{14}+1$
$x^{17}+x^{14}+1$
$x^{20}+x^3+1$
$x^{23}+x^{18}+1$
$x^{29}+x^{27}+1$
$x^{31}+x^{28}+1$

图6

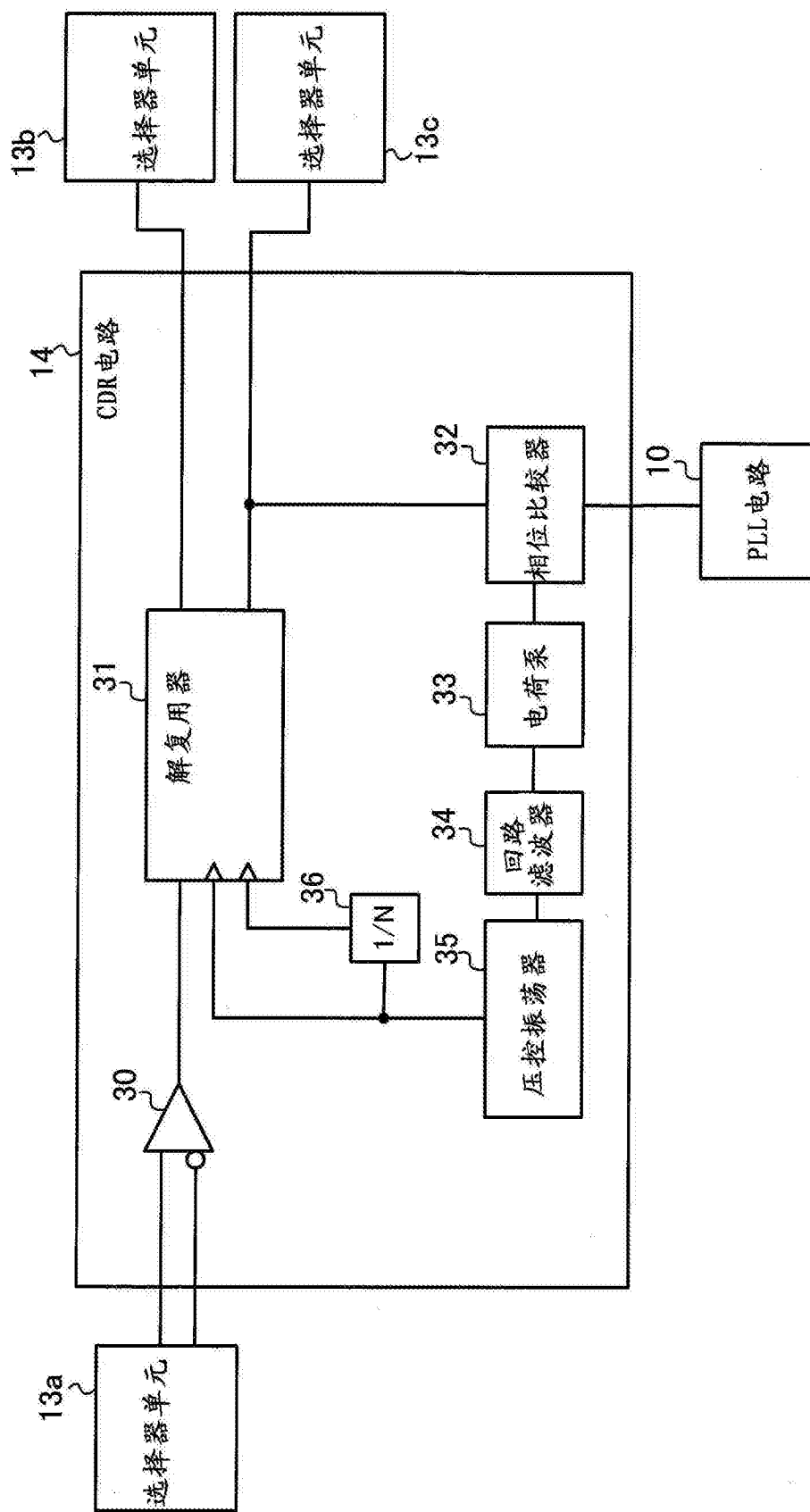


图7

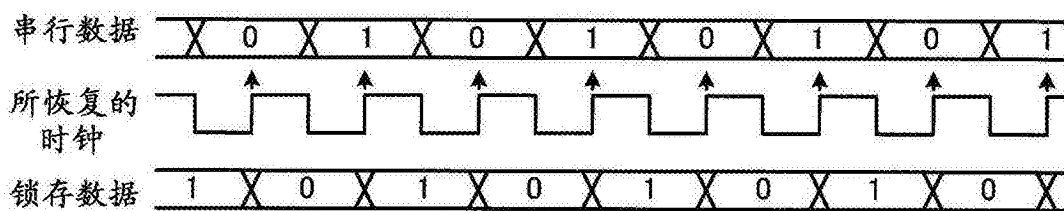


图8

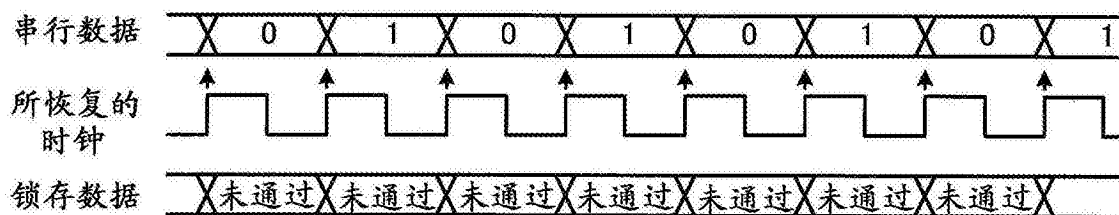


图9

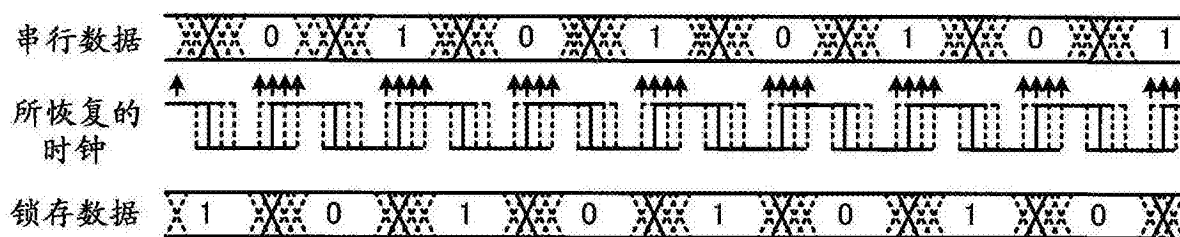


图10

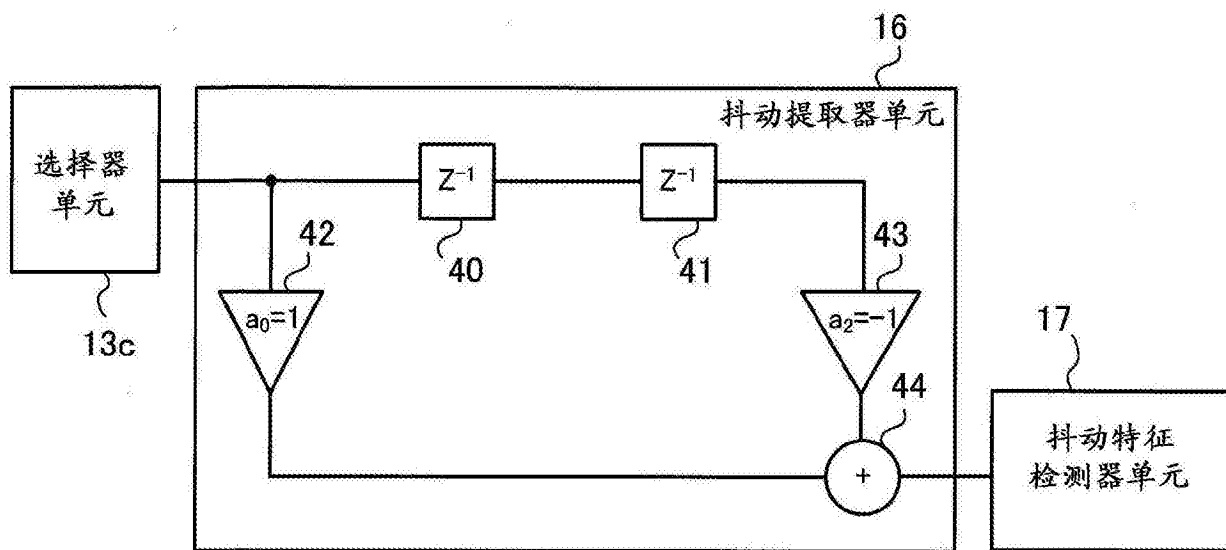


图11

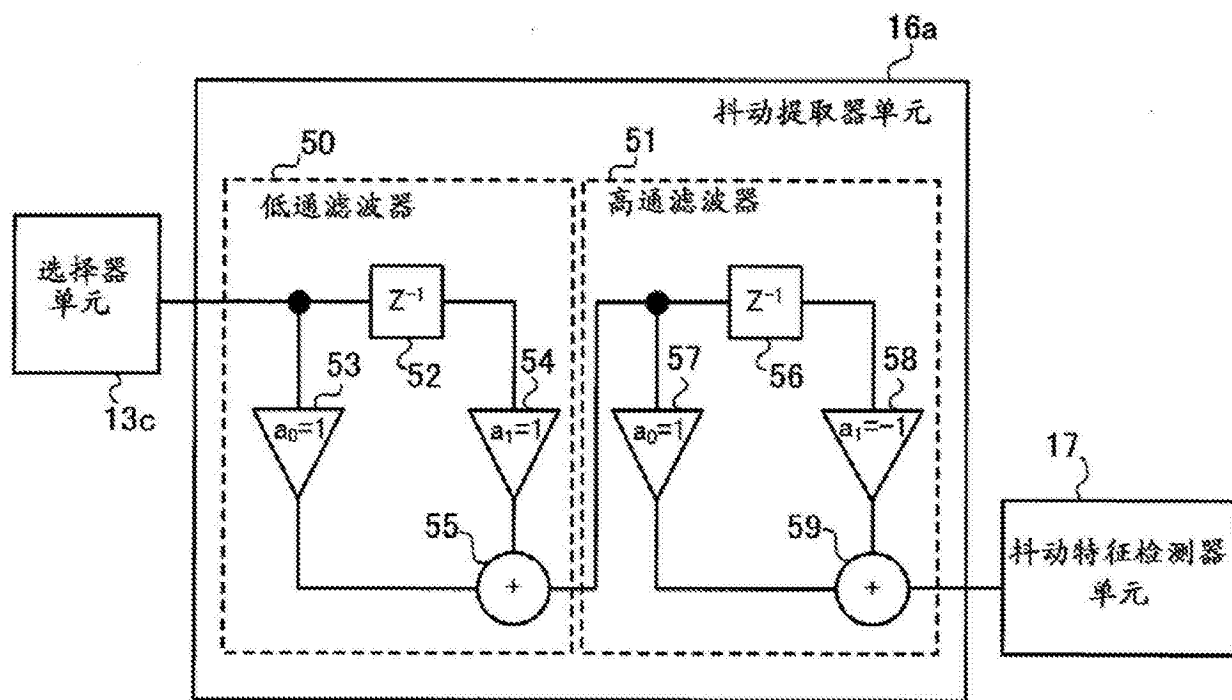


图12

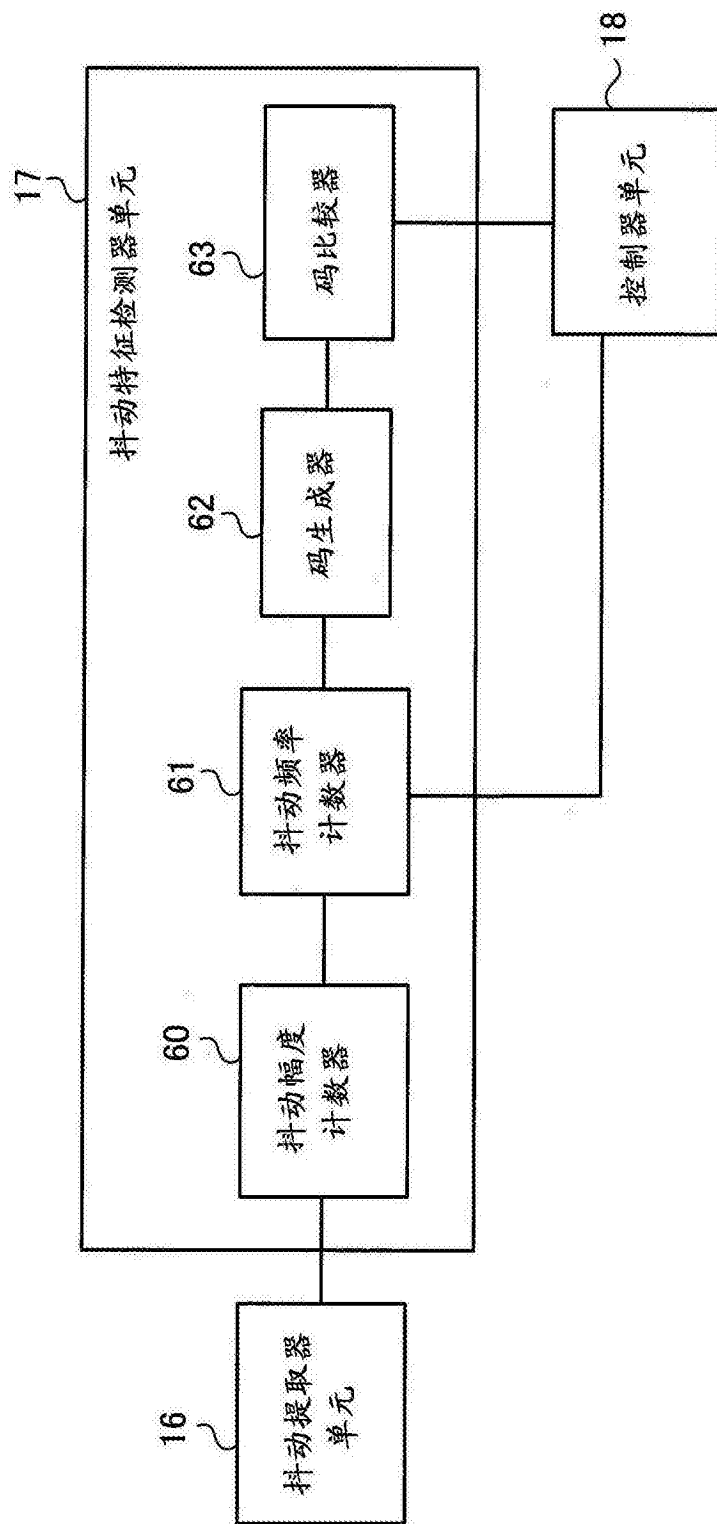


图13

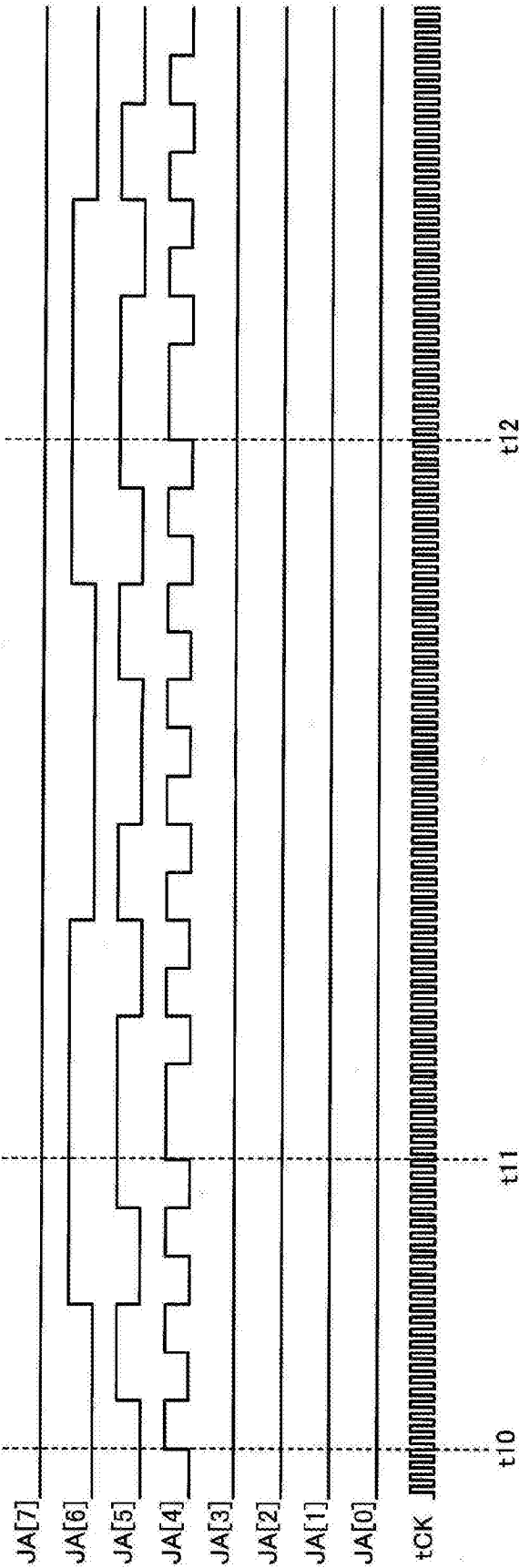


图14

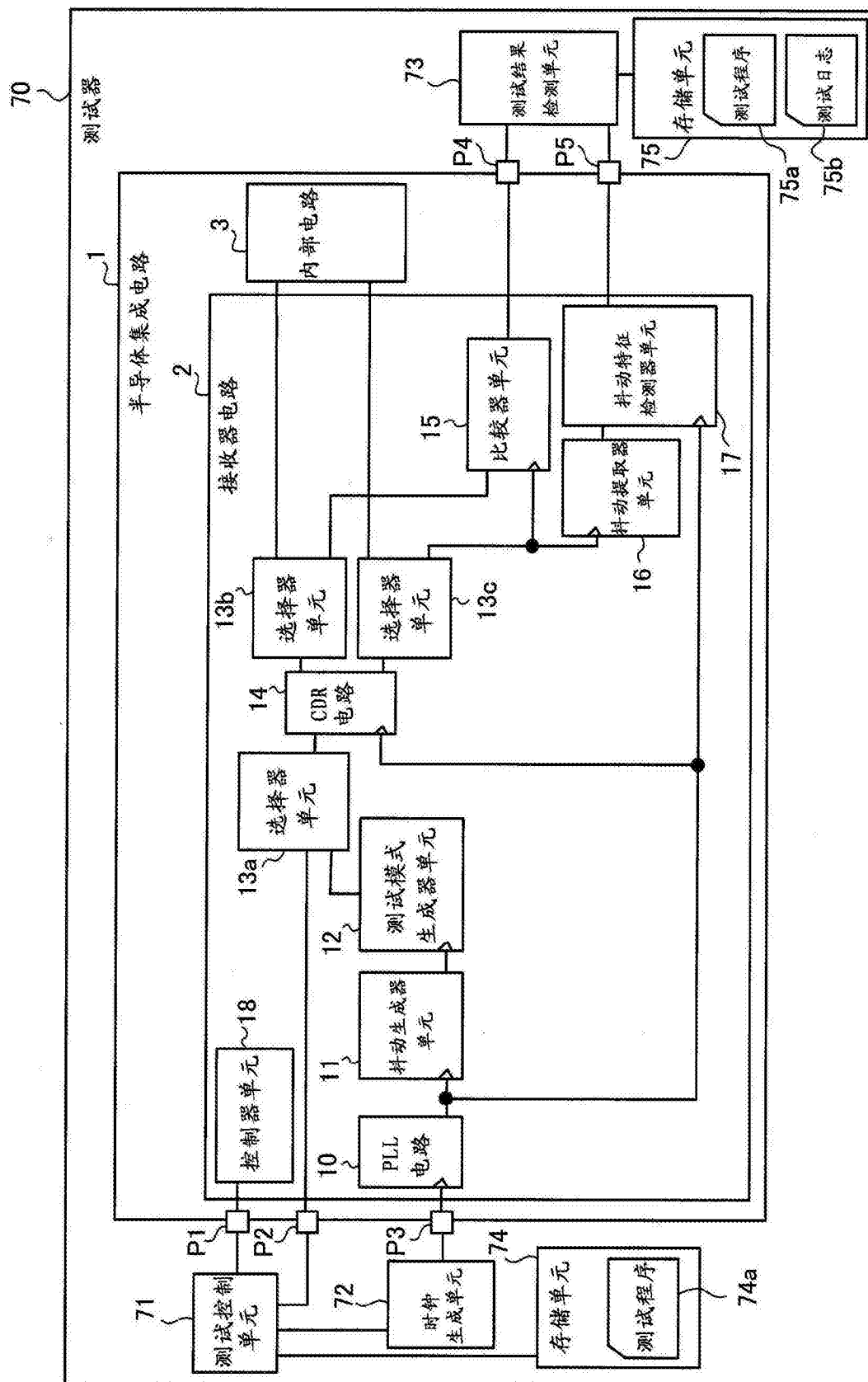


图15

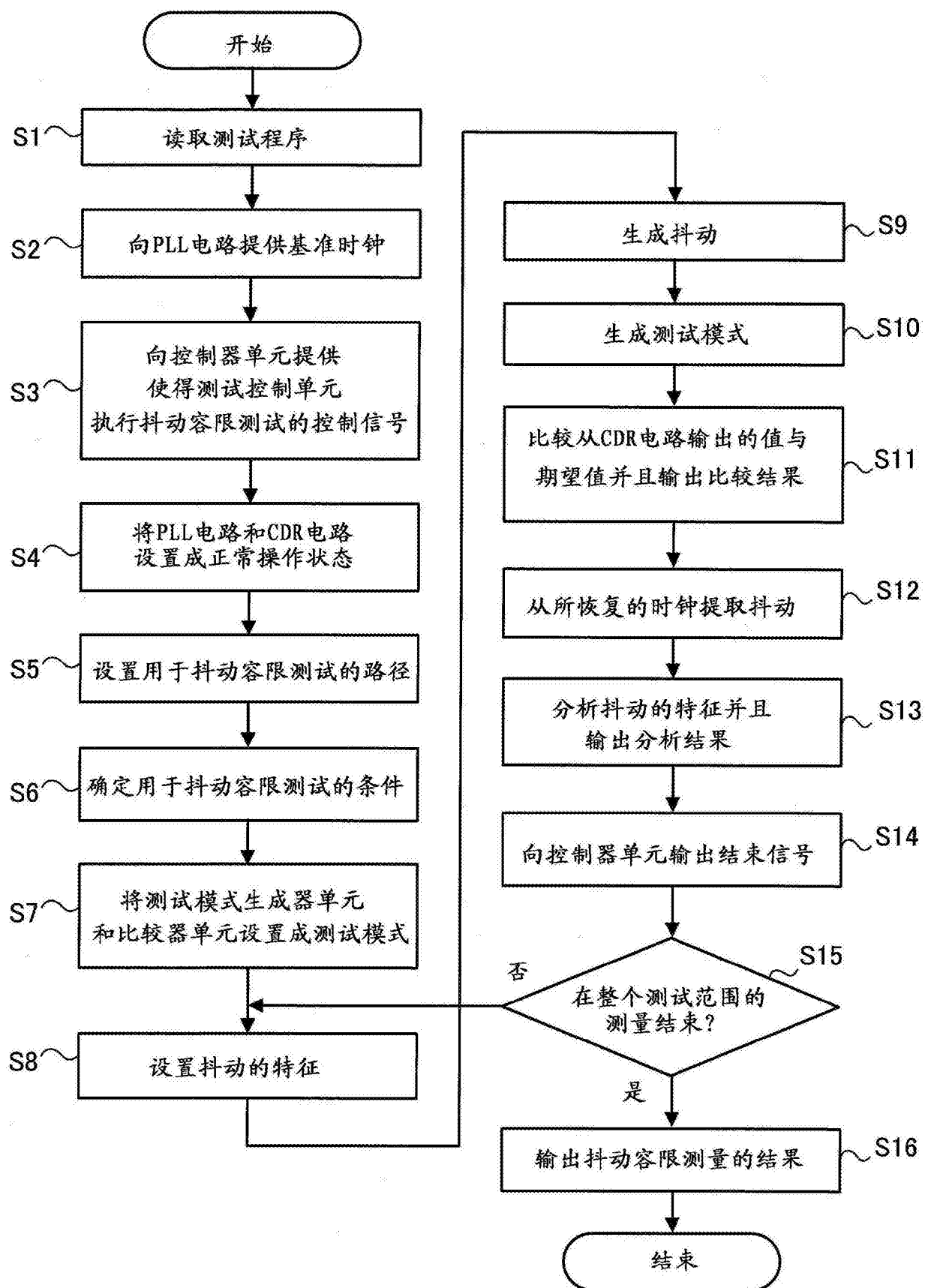


图16

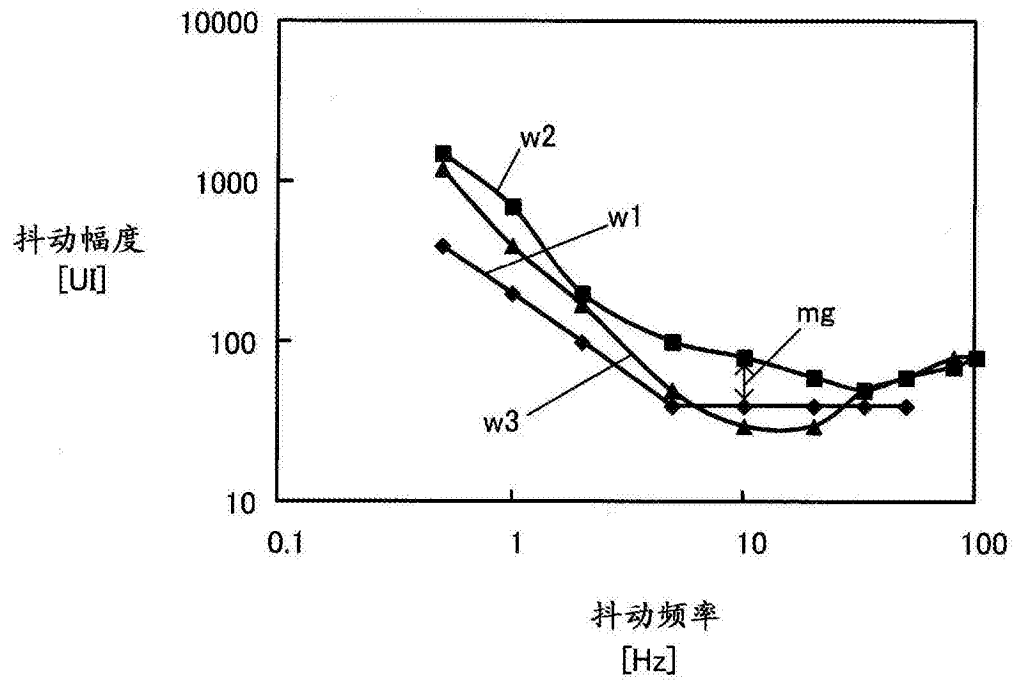


图17

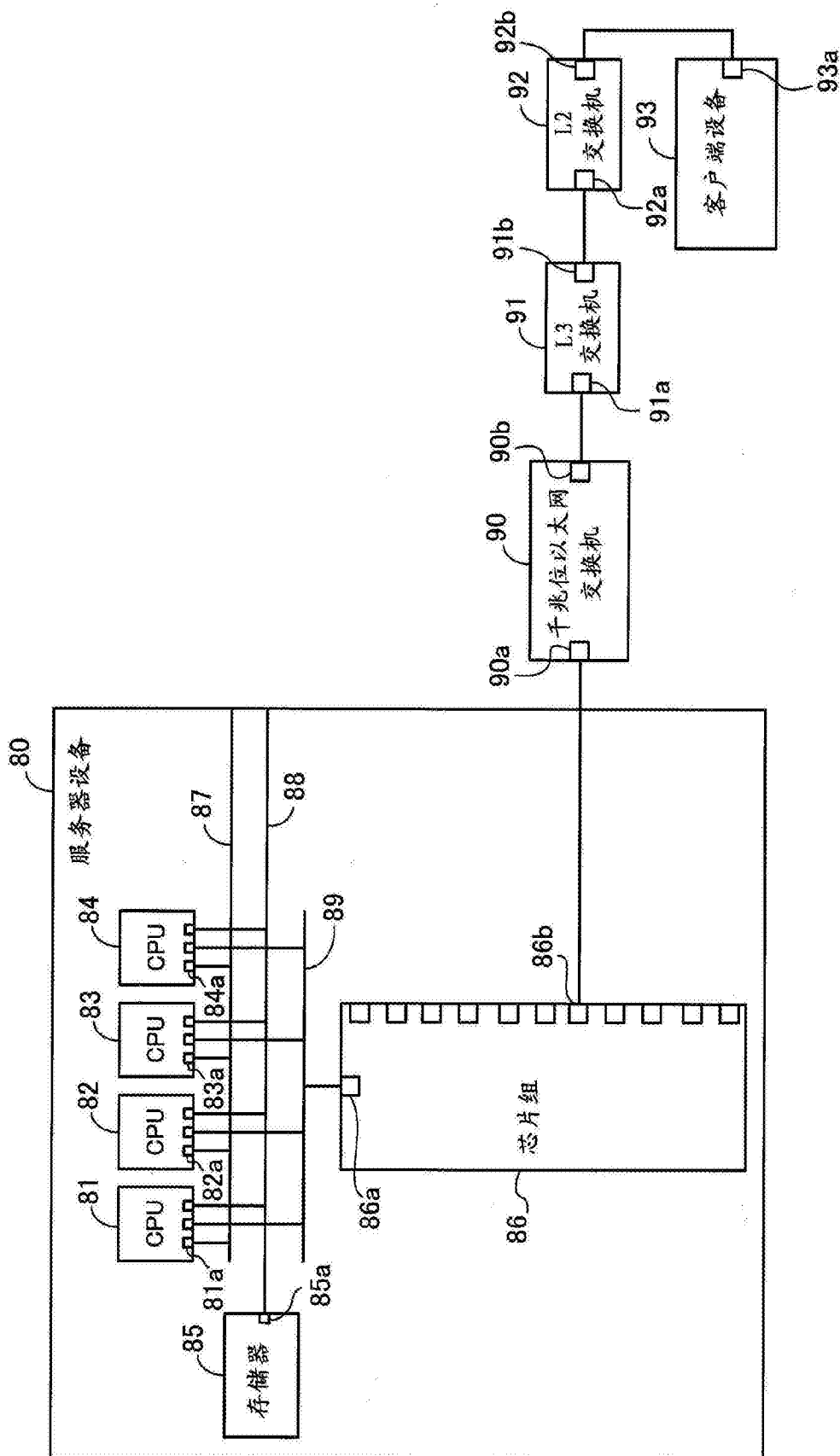


图18