



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0103448  
(43) 공개일자 2012년09월19일

(51) 국제특허분류(Int. Cl.)  
*H01L 27/146* (2006.01) *H01L 27/148* (2006.01)  
(21) 출원번호 10-2012-0016885  
(22) 출원일자 2012년02월20일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2011-053237 2011년03월10일 일본(JP)

(71) 출원인  
소니 주식회사  
일본국 도쿄도 미나토구 코난 1-7-1  
(72) 발명자  
요시츠구 카이  
일본국 후쿠오카시 사와라쿠 모모치하마 2-3-2 소  
니 세미컨덕터 코포레이션 내  
(74) 대리인  
최달용

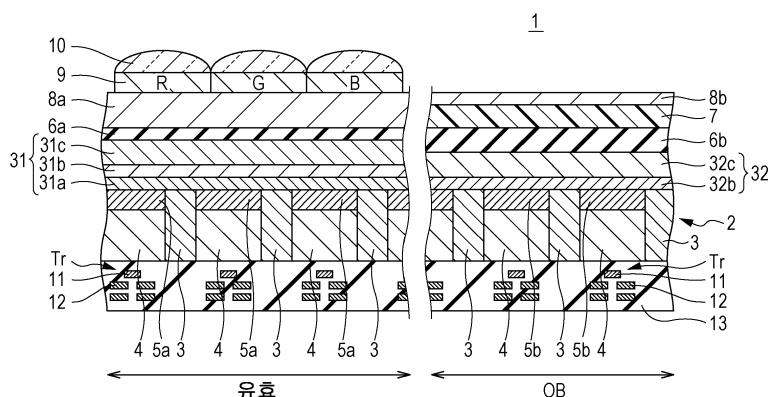
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 고체 콤상 소자, 고체 콤상 소자의 제조 방법 및 콤상 장치

### (57) 요 약

광전 변환이 행하여지는 포토 다이오드가 형성된 유효 영역, 및 차광막에 의해 차광된 광학적 흑 영역이 형성된 반도체 기판과, 상기 유효 영역상으로서, 부의 고정 전하를 갖는 층이 적어도 1층 이상 적층된 제 1의 막과, 상기 차광 영역상으로서, 부의 고정 전하를 갖는 층이 적어도 1층 이상 적층된 제 2의 막을 구비하고, 상기 제 1의 막이 갖는 층의 수가 상기 제 2의 막이 갖는 층의 수와 다른 것을 특징으로 하는 고체 콤상 소자가 개시된다.

**대 표 도** - 도1



## 특허청구의 범위

### 청구항 1

광전 변환이 행하여지는 포토 다이오드가 형성된 유효 영역, 및 차광막에 의해 차광된 광학적 혹 영역이 형성된 반도체 기판과,

상기 유효 영역상으로서, 부의 고정 전하를 갖는 총이 적어도 1층 이상 적층된 제 1의 막과,

상기 차광 영역상으로서, 부의 고정 전하를 갖는 총이 적어도 1층 이상 적층된 제 2의 막을 구비하고,

상기 제 1의 막이 갖는 총의 수가 상기 제 2의 막이 갖는 총의 수와 다른 것을 특징으로 하는 고체 활상 소자.

### 청구항 2

제 1항에 있어서,

상기 제 1의 막은,

상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층과,

상기 제 1층상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 2 층과,

상기 제 2층상에, 물리적 기상성장을 이용하여 형성된 제 3 층을 가지며,

상기 제 2의 막은,

상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층과,

상기 제 1층상에, 물리적 기상성장을 이용하여 형성된 제 2 층을 갖는 것을 특징으로 하는 고체 활상 소자.

### 청구항 3

제 1항에 있어서,

상기 제 1의 막은,

상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층과,

상기 제 1층상에, 물리적 기상성장을 이용하여 형성된 제 2 층을 가지며,

상기 제 2의 막은,

상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층과,

상기 제 1층상에, 물리적 기상성장을 이용하여 형성된 제 2 층과,

상기 제 2층상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 3 층을 갖는 것을 특징으로 하는 고체 활상 소자.

### 청구항 4

제 1항에 있어서,

상기 제 1의 막은,

상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층과,

상기 제 1층상에, 물리적 기상성장을 이용하여 형성된 제 2 층과,

상기 제 2층상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 3 층을 가지며,

상기 제 2의 막은,

상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층을 갖는 것

을 특징으로 하는 고체 활상 소자.

### 청구항 5

제 1항에 있어서,

상기 제 1의 막 및 상기 제 2의 막을 구성하는 층은, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어지는 것을 특징으로 하는 고체 활상 소자.

### 청구항 6

반도체 기판에, 광전 변환이 행하여지는 포토 다이오드가 형성된 유효 영역 및 차광막에 의해 차광된 광학적 흑영역을 형성하는 공정과,

상기 유효 영역상에 부의 고정 전하를 갖는 층이 적어도 1층 이상 적층된 제 1의 막을 형성하는 공정과,

상기 차광 영역상에, 부의 고정 전하를 갖는 층이 적어도 1층 이상 적층되고, 상기 제 1의 막이 갖는 층의 수와는 다른 수의 층을 갖는 제 2의 막을 형성하는 공정을 갖는 것을 특징으로 하는 고체 활상 소자의 제조 방법.

### 청구항 7

제 1항에 기재된 고체 활상 소자와,

상기 고체 활상 소자에 피사체상을 결상하는 광학계와,

상기 고체 활상 소자를 구동시키는 구동 펄스를 생성하는 구동부와,

상기 고체 활상 소자의 출력 화상 신호를 처리하는 신호 처리 회로를 구비하는 것을 특징으로 하는 활상 장치.

## 명세서

### 기술 분야

[0001]

본 발명은, 고체 활상 소자, 고체 활상 소자의 제조 방법 및 활상 장치에 관한 것이다.

### 배경 기술

[0002]

CCD(Charge Coupled Device)형이나 CMOS(Complementary Metal Oxide Semiconductor)형의 고체 활상 소자에서는, 포토 다이오드에서의 결정 결함이나, 반도체 기판에 형성된 수광부와 그 위의 절연층과의 계면에서의 계면준위가, 암전류의 원인이 되는 것이 알려져 있다.

[0003]

그래서, 암전류의 발생을 억제하는 기술로서, 반도체 기판의 전면(全面), 예를 들면, 수광 화소 영역(이하, 「유효 영역」이라고 한다) 및 광학적 흑(Optical Black) 영역(이하, 「OB 영역」이라고 한다)상에, 부(負)의 고정 전하를 갖는 막을 형성하는 기술이 제안되어 있다. 이 기술에서는, 반도체 기판상에 부의 고정 전하를 갖는 막을 형성하고, 수광부와 절연층과의 계면 부근에 정전하(홀)를 축적함으로써, 계면준위에 기인하는 암전류의 발생을 억제하고 있다.

[0004]

종래 기술의 예로서, 일본 특개2010-239116호 공보가 있다.

### 발명의 내용

#### 해결하려는 과제

[0005]

그러나, 계면준위에 기인하는 암전류는, 유효 영역과 OB 영역에서는, 그 암전류량이 다르다. 따라서, 상술한 부의 고정 전하를 갖는 막을 반도체 기판의 전면에 형성한 경우에는, 전체적인 암전류량은 저감하지만, 유효 영역과 OB 영역과의 암전류차가 발생하여, 이른바 OB 단차(段差)가 발생하는 것이 문제로 되고 있다.

[0006]

이러한 문제를 감안하여, 본 발명은, 유효 영역에서의 암전류와 광학적 흑 영역에서의 암전류와의 차를 작게 할 수 있고, 이른바 OB 단차를 개선할 수 있는 고체 활상 소자, 고체 활상 소자의 제조 방법 및 활상 장치를 제공하는 것이다.

## 과제의 해결 수단

[0007]

그래서, 본 발명에 따른 고체 활상 소자는, 광전 변환이 행하여지는 포토 다이오드가 형성된 유효 영역과, 차광 막에 의해 차광된 광학적 흑 영역이 형성된 반도체 기판과, 상기 유효 영역상으로서, 부의 고정 전하를 갖는 층이 적어도 1층 이상 적층된 제 1의 막과, 상기 차광 영역상으로서, 부의 고정 전하를 갖는 층이 적어도 1층 이상 적층된 제 2의 막을 구비하고, 상기 제 1의 막이 갖는 층의 수가 상기 제 2의 막이 갖는 층의 수와 다르다.

[0008]

또한, 본 발명에 따른 고체 활상 소자에서는, 상기 제 1의 막은, 상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층과, 상기 제 1층상에, 상기 원자층 증착법 또는 상기 유기금속 화학적 기상성장법을 이용하여 형성된 제 2 층과, 상기 제 2층상에, 물리적 기상성장을 이용하여 형성된 제 3 층을 가지며, 상기 제 2의 막은, 상기 반도체 기판상에, 상기 원자층 증착법 또는 상기 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층과, 상기 제 1층상에, 상기 물리적 기상성장을 이용하여 형성된 제 2 층을 갖는다.

[0009]

또한, 본 발명에 따른 고체 활상 소자에서는, 상기 제 1의 막은, 상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층과, 상기 제 1층상에, 물리적 기상성장을 이용하여 형성된 제 2 층을 가지며, 상기 제 2의 막은, 상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층과, 상기 제 1층상에, 물리적 기상성장을 이용하여 형성된 제 2 층과, 상기 제 2층상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 3 층을 갖는다.

[0010]

또한, 본 발명에 따른 고체 활상 소자에서는, 상기 제 1의 막은, 상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층과, 상기 제 1층상에, 물리적 기상성장을 이용하여 형성된 제 2 층과, 상기 제 2층상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 3 층을 가지며, 상기 제 2의 막은, 상기 반도체 기판상에, 원자층 증착법 또는 유기금속 화학적 기상성장법을 이용하여 형성된 제 1 층을 갖는다.

[0011]

또한, 본 발명에 따른 고체 활상 소자에서는, 상기 제 1의 막 및 상기 제 2의 막을 구성하는 층은, 산화 하프늄 막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어진다.

[0012]

또한, 본 발명에 따른 고체 활상 소자의 제조 방법은, 반도체 기판에, 광전 변환이 행하여지는 포토 다이오드가 형성된 유효 영역 및 차광막에 의해 차광된 광학적 흑 영역을 형성하는 공정과, 상기 유효 영역상에 부의 고정 전하를 갖는 층이 적어도 1층 이상 적층된 제 1의 막을 형성하는 공정과, 상기 차광 영역상에, 부의 고정 전하를 갖는 층이 적어도 1층 이상 적층되고, 상기 제 1의 막이 갖는 층의 수와는 다른 수의 층을 갖는 제 2의 막을 형성하는 공정을 갖는다.

[0013]

또한, 본 발명에 따른 활상 장치는, 상기 고체 활상 소자와, 상기 고체 활상 소자에 피사체상을 결상하는 광학 계와, 상기 고체 활상 소자를 구동시키는 구동 펠스를 생성하는 구동부와, 상기 고체 활상 소자의 출력 화상 신호를 처리하는 신호 처리 회로를 구비한다.

## 발명의 효과

[0014]

본 발명에 의하면, 유효 영역에서의 암전류와 광학적 흑 영역에서의 암전류와의 차를 작게 할 수 있고, 이를바 OB 단차를 개선할 수 있다.

## 도면의 간단한 설명

[0015]

도 1은 본 발명의 실시 형태에 관한 고체 활상 소자의 단면 구조를 도시하는 도면.

도 2의 A 내지 C는 부의 고정 전하를 갖는 막의 막두께와 암전류량과의 관계도.

도 3의 A 내지 E는 본 발명의 실시 형태에 관한 고체 활상 소자의 제조 방법을 도시하는 도면.

도 4는 본 발명의 실시 형태에 관한 고체 활상 소자를 구비한 활상 장치의 구성을 도시하는 도면.

도 5는 변형예1에 관한 고체 활상 소자의 단면 구조를 도시하는 도면.

도 6의 A 내지 E는 변형예1에 관한 고체 활상 소자의 제조 방법을 도시하는 도면.

도 7은 부의 고정 전하를 갖는 막의 막두께와 암전류량과의 관계도.

도 8은 변형예2에 관한 고체 활상 소자의 단면 구조를 도시하는 도면.

도 9의 A 내지 E는 변형예2에 관한 고체 활상 소자의 제조 방법을 도시하는 도면.

도 10은 부의 고정 전하를 갖는 막의 막두께와 암전류량과의 관계도.

### 발명을 실시하기 위한 구체적인 내용

[0016]

본 발명에 관한 고체 활상 소자에서는, 고체 활상 소자의 반도체 기판에서의 포토 다이오드가 형성된 유효 영역 상에, 부의 고정 전하를 갖는 제 1의 막(이하, 제 1의 막이라고 한다)을 형성하고, 차광막에 의해 차광된 광학적 흑영역상에, 제 1의 막과는 적층되는 층의 수가 다른 부의 고정 전하를 갖는 제 2의 막(이하, 제 2의 막이라고 한다)을 형성한다.

[0017]

제 1의 막은, 예를 들면, 반도체 기판상에 형성된 제 1 층과, 이 제 1층상에 형성된 제 2 층과, 이 제 2층상에 형성된 제 3 층에 의해 구성된다.

[0018]

제 1의 막을 구성하는 제 1 층 및 제 2 층은, ALD(Atomic Layer Deposition; 원자층 증착)법 또는 MOCVD(Metal Organic Chemical Vapor Deposition; 유기금속 화학적 기상성장)법을 이용하여 형성한다. 또한, 제 1의 막을 구성하는 제 3 층은, PVD(Physical Vapor Deposition; 물리적 기상성장)법에 의해 형성한다.

[0019]

또한, 제 2의 막은, 예를 들면, 반도체 기판상에 형성된 제 1 층과, 이 제 1층상에 형성된 제 2 층에 의해 구성된다. 제 2의 막을 구성하는 제 1 층은, ALD법 또는 MOCVD법을 이용하여 형성한다. 또한, 제 2의 막을 구성하는 제 2 층은, PVD법에 의해 형성한다.

[0020]

제 1의 막 및 제 2의 막을 구성하는 층의 재료로서는, 예를 들면, 산화 하프늄( $HfO_2$ ), 산화 알루미늄( $Al_2O_3$ ), 산화 지르콘( $ZrO_2$ ), 산화 탄탈( $Ta_2O_5$ ) 및 산화 티탄( $TiO_2$ ) 등의 산화물을 들 수 있다. 이들 산화물의 층은, 절연 게이트형 전계 효과 트랜지스터의 게이트 절연막 등에 사용되고 있는 실적이 있기 때문에, 형성 방법이 확립되어 있고, 용이하게 형성할 수 있다.

[0021]

또한, 이들 재료 중, 특히, 굴절율이 비교적 높은, 산화 하프늄(굴절율 2.05), 산화 탄탈(굴절율 2.16), 산화 티탄(굴절율 2.20) 등을 형성한 경우에는, 반사 방지 효과도 얻는 것도 가능해진다.

[0022]

상기 이외의 재료로서는, 예를 들면, 회토류 원소의 산화물을 들 수 있다. 즉, 란탄, 프라세오디뮴, 세륨, 네오디뮴, 프로메튬, 사마륨, 유로퓸, 가돌리늄, 테르븀, 디스프로슘, 훌뮴, 에르븀, 틀륨, 이테르븀, 루테튬, 이트륨의 각 산화물을 들 수 있다.

[0023]

또한, 질화 하프늄, 질화 알루미늄, 산질화 하프늄, 산질화 알루미늄을 사용하는 것도 가능하다.

[0024]

부의 고정 전하를 갖는 제 1 층, 제 2 층, 제 3 층에, 절연성을 손상시키지 않는 범위에서, 층중에 실리콘(Si)이나 질소(N)가 첨가되어 있어도 좋다. 그 경우, 실리콘이나 질소의 농도는, 층의 절연성이 손상되지 않는 범위에서 적절히 결정된다. 이와 같이, 실리콘이나 질소가 첨가됨에 의해, 각 층의 내열성이나 프로세스 중에서의 이온 주입의 저지 능력을 올리는 것이 가능해진다.

[0025]

제 1의 막을 구성하는 제 1 층 및 제 2 층, 및 제 2의 막을 구성하는 제 1 층은, 상술한 바와 같이, ALD법 또는 MOCVD법을 이용하여 형성한다. ALD법에 의해 제 1의 막을 형성하는 경우에는, 예를 들면, 기판 온도가 200 내지 500°C, 프리커서(precursor)의 유량이 10 내지 500sccm, 프리커서의 조사 시간이 1 내지 15초, O<sub>3</sub>의 유량이 5 내지 50sccm의 조건으로 한다. 또한, MOCVD법에 의해 제 1의 막을 형성하는 경우에는, 예를 들면, 기판 온도가 200 내지 600°C의 조건으로 한다.

[0026]

또한, 반도체 기판이 실리콘층이고, 그 위에 제 1의 막을 구성하는 제 1 층이나 제 2의 막을 구성하는 제 1 층을 ALD법에 의해 형성하는 경우에는, 동시에, 실리콘층의 표면에 계면준위를 저감하는 산화 실리콘막을 두께 1 nm 정도 형성하는 것이 가능해진다.

[0027]

제 1의 막을 구성하는 제 2 층은, 상술한 바와 같이, ALD법 또는 MOCVD법을 이용하여 형성한다. ALD법에 의해, 제 1의 막을 구성하는 제 2 층을 형성하는 경우에는, 예를 들면, 기판 온도가 200 내지 500°C, 프리커서의 유량이 10 내지 500sccm, 프리커서의 조사 시간이 1 내지 15초, O<sub>3</sub>의 유량이 5 내지 50sccm의 조건으로 한다. 또한, MOCVD법에 의해, 제 1의 막을 구성하는 제 2 층을 형성하는 경우에는, 예를 들면, 기판 온도가 200 내지 600°C의 조건으로 한다.

- [0028] 또한, 제 1의 막을 구성하는 제 3 층 및 제 2의 막을 구성하는 제 2 층은, 상술한 바와 같이, PVD법을 이용하여 형성한다. PVD법에 의해, 제 1의 막을 구성하는 제 3 층, 및 제 2의 막을 구성하는 제 2 층을 형성할 때에는, 예를 들면, 압력이 0.01 내지 50Pa, 파워가 500 내지 2000W, Ar의 유량이 5 내지 50sccm, O<sub>2</sub>의 유량이 5 내지 50sccm의 조건으로 한다.
- [0029] PVD법에 의해, 제 1의 막을 구성하는 제 3 층, 및 제 2의 막을 구성하는 제 2 층을 형성하기 때문에, ALD법이나 MOCVD법과 비교하여 형성 속도가 빨라지고, 비교적 짧은 시간에, 어느 정도 두꺼운 막을 형성하는 것이 가능해진다.
- [0030] 제 1의 막을 구성하는 제 2층의 막두께, 및 제 2의 막을 구성하는 제 1 층의 막두께는, 특히 한정되지 않지만, 제 1의 막을 구성하는 제 3 층, 및 제 2의 막을 구성하는 제 2 층을 PVD법에 의해 형성할 때에 반도체 기판에 데미지를 주는 일이 없도록, 제 1의 막을 구성하는 제 2 층, 및 제 2의 막을 구성하는 제 1 층에는 어느 정도 이상의 두께가 필요하다. 바람직하게는, 제 1의 막의 막두께를 1nm 이상으로 한다.
- [0031] 또한, 제 1의 막을 구성하는 제 2 층, 및 제 2의 막을 구성하는 제 1 층은, ALD법 또는 MOCVD법에 의해 형성하기 때문에, 두껍게 형성하는데는 시간이 걸린다. 그 때문에, 제 1의 막을 구성하는 제 2 층 및 제 2의 막을 구성하는 제 1 층의 두께는, 5nm 정도 이하로 하는 것이 바람직하다.
- [0032] 본 발명에 관한 고체 활상 소자에서는, 유효 영역상에서 제 1층상에 제 2 층을 형성하고, 또한, 제 2층상에 제 3 층을 형성하는 제 1의 막을 구비하고 있기 때문에, 3개의 층을 합쳐서, 충분한 부바이어스 효과를 얻을 수 있다. 또한, OB 영역상에서 제 1층상에 제 2 층을 형성하는 제 2의 막을 구비하고 있기 때문에, 2개의 층을 합쳐서, 충분한 부바이어스 효과를 얻을 수 있다.
- [0033] 특히, 유효 영역에서의 제 1의 막과, OB 영역에서의 제 2의 막과의 막 구조를 다르도록 하였기 때문에, 유효 영역에서의 암전류와 OB 영역에서의 암전류의 차를 작게 하여, 이른바 OB 단차를 개선할 수 있다. 또한, 암전류량의 부의 고정 전하를 갖는 막두께 의존성에 의해, 각 고체 활상 소자의 암전류량에 맞추어서 막두께를 조정함으로써 OB 단차를 조정할 수도 있다.
- [0034] 또한, 유효 영역에서의 제 1의 막과 OB 영역에서의 제 2의 막의 막두께를 개별적으로 변경할 수 있기 때문에, 제 1의 막측에서 수광하는 경우에는, 수광 화소부는 부의 고정 전하를 갖는 막을 반사 방지막으로서의 최적 막두께를 선택할 수 있다.
- [0035] 또한, OB 영역에서는, 광의 입사를 고려할 필요가 없기 때문에, 반사 방지막의 효과는 별개로 하고, 암전류 개선만으로 제 2의 막의 막두께를 조정할 수 있다.
- [0036] 또한, 제 1의 막을 구성하는 제 2 층 및 제 2의 막을 구성하는 제 1 층을 ALD법 또는 MOCVD법을 이용하여 형성하기 때문에, 제 1의 막을 구성하는 제 2 층 및 제 2의 막을 구성하는 제 1 층을 형성할 때에 반도체 기판에 데미지를 주지 않도록 할 수 있다.
- [0037] 상술한 바와 같이, 본 발명에 의하면, 제 1의 막의 막두께와, 제 2의 막의 막두께를 개별적으로 조정할 수 있다. 이에 의해, 제 1의 막의 막두께를, 반사 방지막으로서의 기능을 발휘하는 최적의 막두께로 할 수 있다.
- [0038] 또한, 광학적 혹 영역에는 광이 입사하지 않기 때문에, 제 2의 막이 반사 방지막으로서의 기능을 가질 필요가 없기 때문에, 암전류를 개선하기 위한 최적의 막두께로 할 수 있다.
- [0039] 이하에, 본 발명의 실시 형태에 관한 고체 활상 소자에 관해, 도면을 참조하여 설명한다. 각 도면에서, 동일한 구성 요소에는 동일한 부호를 붙이고 있다. 또한, 설명은 이하의 순서로 행한다.
- [0040] 1. 고체 활상 소자의 구성
- [0041] 2. 고체 활상 소자의 제조 방법
- [0042] 3. 활상 장치의 구성 등
- [0043] 4. 기타의 고체 활상 소자의 구성 및 제조 방법
- [0044] 1. 고체 활상 소자의 구성
- [0045] 우선, 본 실시 형태에 관한 고체 활상 소자(1)의 구성에 관해, 도 1을 참조하여 설명한다. 도 1은, 본 실시 형

태에 관한 고체 층상 소자의 단면 구조를 도시하는 도면이다. 또한, 본 실시 형태에서는, 본 발명을, 이른바 이면 조사형의 CMOS 고체 층상 소자(CMOS 이미지 센서)에 적용한 예에 관해 설명한다.

[0046] 고체 층상 소자(1)는, 반도체 기판(2)에서의 유효 영역(21) 및 OB 영역(22)에, 입사광을 광전 변환하는 수광부로서, 포토 다이오드로 이루어지는 전하 축적 영역(4)이, N형의 불순물 영역에 의해 형성되어 있다. 이 전하 축적 영역(4)의 표면에는, 정전하 축적 영역(5)이 형성되어 있고, 이를 전하 축적 영역(4) 및 정전하 축적 영역(5)에 의해, HAD(Hole-Accumulation Diode sensor) 구조가 구성되어 있다. 또한, 각각의 전하 축적 영역(4) 및 정전하 축적 영역(5)은, 소자 분리 영역(3)에 의해 분리되어 있다.

[0047] 반도체 기판(2)의 표면측에서는, 반도체 기판(2)의 전하 축적 영역(4)의 하방에, MOS 트랜지스터(Tr)의 게이트 전극(11)이 형성되고, 더 하방에 금속 배선에 의한 배선층(12)이 형성되어 있다.

[0048] 게이트 전극(11) 및 각 층의 배선층(12)의 사이는, 층간의 절연층(13)에 의해 절연되어 있다. 또한, 절연층(13)은, 도시하지 않지만, 하방에 마련된 지지 기판 등에 의해 지지되어 있다.

[0049] 전하 축적 영역(4)을 갖는 포토 다이오드에 의해, 각각의 화소가 구성된다. 각 화소에는, 도시한 MOS 트랜지스터(이 경우는, 전하 축적 영역(4)에 축적한 전하를 판독하고 전송하는 전송 트랜지스터(Tr)를 포함하는, 1개 이상의 트랜지스터를 갖고서 구성된다.

[0050] 각 화소의 전하 축적 영역(4)의 사이는, P형의 소자 분리 영역(3)에 의해 분리되어 있다. 또한, 도시하지 않지만, 전하 축적 영역(4)의 MOS 트랜지스터(Tr)의 게이트 전극(11)측의 계면에, p+반도체 영역을 형성하여, 절연층(13)과의 계면에서의 암전류의 발생을 억제하는 것이 바람직하다.

[0051] 반도체 기판(2)의 이면측에서, 유효 영역(21)의 상층에는, 부의 고정 전하를 갖는 제 1의 막(이하, 제 1의 막이라고 한다)(31)이 형성되어 있다. 이 제 1의 막(31)은, 반도체 기판(2)상에 형성된 제 1 층(31a)과, 이 제 1 층(31a)상에 형성된 제 2 층(31b)과, 이 제 2 층(31b)상에 형성된 제 3 층(31c)이 적층된 구성을 갖는다.

[0052] 제 1 층(31a)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막을 가지며, ALD법 또는 MOCVD법에 의해 형성된다.

[0053] 또한, 제 2 층(31b)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막을 가지며, ALD법 또는 MOCVD법에 의해 형성된다.

[0054] 제 1 층(31a), 제 2 층(31b)은, 모두 ALD법 또는 MOCVD법으로 형성되기 때문에, 제 1 층(31a), 제 2 층(31b)을 합해서 ALD층이라고도 칭한다.

[0055] 또한, 제 3 층(31c)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막을 가지며, PVD법에 의해 형성된다. 따라서, 제 3 층(31c)을 PVD층이라고도 칭한다.

[0056] 이와 같이, 유효 영역(21)의 상층에 부의 고정 전하를 갖는 제 1 층(31a), 제 2 층(31b), 제 3 층(31c)이 적층된 제 1의 막(31)을 형성하고 있다. 제 1의 막(31) 중의 부의 고정 전하에 의해, 전하 축적 영역(4)의 표면에 전계가 가하여져서, 전하 축적 영역(4)의 표면에 정전하 축적 영역(5)이 형성된다. 이에 의해, 전하 축적 영역(4)의 표면에 이온 주입을 하지 않아도, 정전하 축적 영역(5)을 형성하는 것이 가능해진다.

[0057] 제 1의 막(31)상에는, 예를 들면 산화 실리콘(SiO<sub>2</sub>)막으로 이루어지는 절연막(6a)이 형성되어 있고, 이 절연막(6a)의 위에는, 평탄화막(8a)이 형성되어 있다. 또한, 평탄화막(8a)의 위에는, 화소마다, 대응하는 색(적(R), 녹(G), 청(B))의 컬러 필터(9)가 형성되어 있고, 각 컬러 필터(9)의 위에는, 각각, 집광을 위한 온 칩 렌즈(10)가 마련되어 있다.

[0058] OB 영역(22)의 상층에는, 부의 고정 전하를 갖는 제 2의 막(이하, 제 2의 막이라고 한다)(32)이 형성되어 있다. 이 제 2의 막(32)은, 반도체 기판(2)상에 형성된 제 1 층(32b)과, 이 제 1 층(32b)상에 형성된 제 2 층(32c)이 적층된 구성을 갖는다.

[0059] 제 1 층(32b)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막을 가지며, ALD법 또는 MOCVD법에 의해 형성된다. 따라서, 제 1 층(32b)을 ALD층이라고도 칭한다.

[0060] 제 2 층(32c)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막을 가지며, PVD법에 의해 형성된다. 따라서, 제 2 층(32c)을 PVD층이라고도 칭한다.

- [0061] 이와 같이, OB 영역(22)의 상층에, 부의 고정 전하를 갖는 제 1 층(32b) 및 제 2 층(32c)이 적층된 제 2의 막(32)을 형성하고 있기 때문에, 이 제 2의 막(32) 중의 부의 고정 전하에 의해, 전하 축적 영역(4)의 표면에 전계가 가하여져서, 전하 축적 영역(4)의 표면에 정전하 축적 영역(5)이 형성된다. 이에 의해, 전하 축적 영역(4)의 표면에 이온 주입을 하지 않아도, 정전하 축적 영역(5)을 형성하는 것이 가능해진다.
- [0062] 제 2의 막(32)상에는, 예를 들면 산화 실리콘막으로 이루어지는 절연막(6b)이 형성되어 있고, 이 절연막(6b)의 위에는, OB 영역(22)을 덮도록, 차광막(7)이 형성되어 있다. 이 차광막(7)에 의해, 포토 다이오드에 광이 들어 가지 않는 영역(도시하지 않은 광학 블랙 영역)을 만들고, 그 포토 다이오드의 출력에 의해 화상에서의 흑 레벨을 결정할 수 있다.
- [0063] 상술한 바와 같이, 제 1의 막(31)은 3층의 적층 구조이고, 제 2의 막(32)은 2층의 적층 구조이다. 이와 같이, 고체 활상 소자(1)는, 제 1의 막(31)이 갖는 층의 수가 제 2의 막(32)이 갖는 층의 수와 다르다. 본 실시 형태에서는, 제 1의 막(31)이 갖는 층의 수는, 제 2의 막(32)이 갖는 층의 수보다 많고, 제 1의 막(31)의 막두께가 제 2의 막(32)의 막두께보다 두껍게 되어 있다. 단, 제 1의 막(31)의 막두께와 제 2의 막(32)의 막두께의 차(단차)는 수mm 정도이다. 이 정도의 단차는, 후술하는 바와 같이 제 1의 막(31) 및 제 2의 막(32)상에 절연막(6)이나 평탄화막(8)을 형성함으로써 흡수할 수 있기 때문에, 고체 활상 소자(1)의 컬러 필터(9) 등을 평평한 막상에 형성할 수 있다.
- [0064] 절연막(6b) 및 차광막(7)을 덮도록 평탄화막(8b)이 형성되어 있다.
- [0065] 본 실시의 형태의 고체 활상 소자(1)는, 도 1의 상방에서 광이 입사되면, 포토 다이오드의 전하 축적 영역(4)에서 광을 신호 전하로 변환하는 광전 변환이 생기기 때문에, 입사광을 수광 검출할 수 있다. 그리고, 고체 활상 소자(1)는, 포토 다이오드가 형성된 반도체 기판(2)으로부터 봤을 때, 하층에 있는 배선층(12)의 측(표면측)과는 반대측(이면측)의 상층부터 광을 입사시키는, 이를바 이면 조사형 구조로 되어 있다.
- [0066] 특히, 고체 활상 소자(1)에서는, 유효 영역(21)상에 제 1의 막(31)을 형성하고, OB 영역(22)상에 제 2의 막(32)을 형성하고 있기 때문에, 유효 영역(21)에서의 암전류의 저감과, OB 영역(22)에서의 암전류의 저감을 개별적으로 행할 수 있다. 이에 의해, 도 7에 도시하는 바와 같이, 유효 영역(21)과 OB 영역(22)에서의 암전류량차를 저감할 수 있고, 이를바 OB 단차의 발생을 억제할 수 있다.
- [0067] 본 실시의 형태의 고체 활상 소자(1)에서는, 특히, 유효 영역(21)에서의 제 1의 막(31)이, 제 1 층(31a)과, 그 위의 제 2 층(31b)과, 그 위의 제 3 층(31c)의 3층의 적층 구조로 되어 있다. 또한, OB 영역(22)에서의 제 2의 막(32)이, 제 1 층(32b)과, 그 위의 제 2 층(32c)의 2층의 적층 구조로 되어 있다.
- [0068] 제 1의 막(31)에서는, 제 1 층(31a) 및 제 2 층(31b)은 ALD법 또는 MOCVD법에 의해 형성하고, 제 3 층(31c)은 PVD법에 의해 형성한다. 또한, 제 2의 막(32)에서는, 제 1 층(32b)은 ALD법 또는 MOCVD법에 의해 형성하고, 제 2 층(32c)은 PVD법에 의해 형성한다.
- [0069] 이들 제 1의 막(31)을 구성하는 제 1 층(31a), 제 2 층(31b) 및 제 3 층(31c)의 재료로서는, 예를 들면, 산화 하프늄, 산화 알루미늄, 산화 지르콘, 산화 탄탈 및 산화 티탄 중 어느 하나의 산화물을 사용하는 것이 가능하다. 또한, 상술한, 질화물이나 산질화물, 희토류 원소의 산화물 등도, 사용하는 것이 가능하다.
- [0070] 또한, 제 2의 막(32)을 구성하는 제 1 층(32b) 및 제 2 층(32c)의 재료로서는, 예를 들면, 산화 하프늄, 산화 알루미늄, 산화 지르콘, 산화 탄탈 및 산화 티탄 중 어느 하나의 산화물을 사용하는 것이 가능하다. 또한, 상술한, 질화물이나 산질화물, 희토류 원소의 산화물 등도, 사용하는 것이 가능하다.
- [0071] 반도체 기판(2)의 상층에, 제 1의 막(31) 및 제 2의 막(32)을 마련함에 의해, 계면 부근에 정전하(홀)가 축적되도록 할 수 있다. 또한, 특히, 제 1의 막(31)으로서, 굴절율이 비교적 높은, 산화 하프늄막, 산화 탄탈막 및 산화 티탄 등의 산화막을 형성한 경우에는, 반사 방지 효과를 얻는 것도 가능해진다.
- [0072] 도 2의 A 내지 C에 상술한 부의 고정 전하를 갖는 막(31, 32)의 막두께에 대한 암전류량의 관계를 도시한다. 도 2의 A는, ALD층의 두께와 암전류량의 관계를 도시하는 도면이고, B, C는, PVD층의 두께와 암전류량의 관계를 도시하는 도면이다. 도 2의 B, C에 도시하는 바와 같이 암전류량은, PVD층의 막두께에는 크게 의존하지 않고, 도 2의 A에 도시하는 바와 같이, 암전류량은, ALD층의 두께에 의존한다.
- [0073] 도 2의 A에 도시하는 바와 같이, 유효 영역에서의 암전류량은, OB 영역에서의 암전류량보다도 크다. 또한, 제 1의 막(31) 및 제 2의 막(32) 모두 ALD층의 두께를 얇게 함으로써, 암전류량은 감소한다. 지금까지의 고체 활상 소자는, 유효 영역 및 OB 영역의 ALD층의 두께가 같아지도록 반도체 기판(2)상에 막이 형성되어 있다. 따라서,

유효 영역과 OB 영역의 암전류량의 차(OB 단차)는 일정 이상 발생하고, 막두께가 커질수록 그 차가 커지고 있다.

[0074] 한편, 본 실시 형태의 고체 촬상 소자(1)는, 암전류량이 큰 유효 영역의 ALD층의 두께를, OB 영역의 ALD층보다 두껍게 하고 있다. 그 때문에, 유효 영역에서의 암전류량과, OB 영역에서의 암전류량과의 암전류량차가 감소한다.

## 2. 고체 촬상 소자의 제조 방법

[0076] 다음에, 본 실시의 형태의 고체 촬상 소자(1)의 제조 방법에 관해 설명한다. 도 3의 A 내지 E는 고체 촬상 소자(1)의 제조 방법을 도시하는 도면이다. 또한, 이하의 설명은, 유효 영역(21)의 반도체 기판(2) 내에 전하 축적 영역(4)이 형성되어 있고, MOS 트랜지스터(Tr)의 게이트 전극(11) 및 배선층(12)이 형성되어 있는 상태부터 시작하는 것으로 한다.

[0077] 우선, 도 3의 A에 도시하는 바와 같이, ALD법 또는 MOCVD법에 의해, 반도체 기판(2)의 유효 영역(21) 및 OB 영역(22)상에, 부의 고정 전하를 갖는 막(33)으로서 산화 하프늄막을 형성한다. 또한, 부의 고정 전하를 갖는 막(33a)의 재료로서는, 상술한 산화 하프늄 이외에도, 예를 들면, 산화 알루미늄, 산화 지르콘, 산화 탄탈 및 산화 티탄 중 어느 하나의 산화물을 사용할 수 있다.

[0078] ALD법으로 형성하는 경우의 형성 조건은, 예를 들면, 형성 기판 온도 200 내지 500°C, 프리커서 유량이 10 내지 500sccm, 조사 시간 1 내지 15초, O<sub>3</sub> 유량 10 내지 500sccm로 한다. 또한, 부의 고정 전하를 갖는 막(33a)의 막 두께는, 바람직하게는 1nm 이상이다.

[0079] 다음에, 도 3의 B에 도시하는 바와 같이, 유효 영역(21)에서의 부의 고정 전하를 갖는 막(33a)상에 레지스트(40)를 형성한 후, 웨트 에칭에 의해 레지스트(40) 및 노출하고 있는 부의 고정 전하를 갖는 막(33a)을 제거한다. 이에 의해, 도 3의 C에 도시하는 바와 같이, 반도체 기판(2)의 유효 영역(21)상에, 제 1의 막(31)을 구성하는 제 1 층(31a)을 형성한다.

[0080] 다음에, 도 3의 D에 도시하는 바와 같이, ALD법 또는 MOCVD법에 의해, 제 1 층(31a) 및 OB 영역(22)상에, 부의 고정 전하를 갖는 막(34)으로서 산화 하프늄막을 형성한다. 이에 의해, 제 1 층(31a)상에 제 2 층(31b)을 형성하고, OB 영역(22)상에 제 2의 막(32)의 제 1 층(32b)을 형성한다. 또한, 부의 고정 전하를 갖는 막(34)의 재료로서는, 상술한 산화 하프늄 이외에도, 예를 들면, 산화 알루미늄, 산화 지르콘, 산화 탄탈 및 산화 티탄 중 어느 하나의 산화물을 사용할 수 있다.

[0081] 또한, ALD법으로 형성하는 경우의 형성 조건은, 예를 들면, 형성 기판 온도 200 내지 500°C, 프리커서 유량이 10 내지 500sccm, 조사 시간 1 내지 15초, O<sub>3</sub> 유량 10 내지 500sccm로 한다.

[0082] 다음에, 도 3의 E에 도시하는 바와 같이, PVD법에 의해, 제 1의 막(31)의 제 2 층(31b) 및 제 2의 막(32)의 제 1 층(32b)상에, 부의 고정 전하를 갖는 막(35)으로서 산화 탄탈막을 형성한다. 이에 의해, 제 2 층(31b)상에 제 3 층(31c)을 형성하고, 제 1 층(32b)상에 제 2 층(32c)을 형성한다. 또한, 부의 고정 전하를 갖는 막(35)의 재료로서는, 상술한 산화 탄탈 이외에도, 예를 들면, 산화 하프늄, 산화 알루미늄, 산화 지르콘 및 산화 티탄 중 어느 하나의 산화물을 사용할 수 있다.

[0083] 또한, PVD법으로 형성할 때의 형성 조건은, 예를 들면, 압력 0.01 내지 50Pa, DC 파워 500 내지 2000W, Ar 유량 5 내지 50sccm, O<sub>2</sub> 유량 5 내지 50sccm로 한다.

[0084] 상술한 도 3의 A 내지 E에 도시하는 공정에 의해, 본 실시 형태의 고체 촬상 소자(1)의 특징적인 구성인 제 1의 막(31) 및 제 2의 막(32)을 형성한다. 이와 같이, 제 1의 막(31)의 제 2 층(31b)과 제 2의 막(32)의 제 1 층(32b)은, 막(34)을 형성함으로써 일체로서 형성된다. 또한 제 1의 막(31)의 제 3 층(31c)과 제 2의 막(32)의 제 2 층(32c)은, 막(35)을 형성함으로써 일체로서 형성된다.

[0085] 다음에, 도시를 생략하지만, PVD법에 의해, 제 1의 막(31) 및 제 2의 막(32)상에 산화 실리콘으로 이루어지는 절연막(6)을 형성한다. 구체적으로는, 제 1의 막(31)의 제 3 층(31c)상에 절연막(6a)을 형성하고, 제 2의 막(32)의 제 2 층(32c)상에 절연막(6b)을 형성한다.

[0086] 또한, OB 영역(22)에서, 절연막(6b)을 형성함에 의해, 두꺼운 차광막(7)을 에칭할 때에, 제 2의 막(32)의 제 2 층(32c)의 표면이 에칭에 직접 노출되는 것을 막는 것이 가능해진다. 또한, 제 2의 막(32)의 제 2 층(32c)과 차광막(7)을 직접 접촉시키는 것에 기인하는, 제 2의 막(32)의 제 2 층(32c)과 차광막(7)과의 반응을, 억제하는

것이 가능해진다.

[0087] 다음에, 도시를 생략하지만, 절연막(6b)상에 차광막(7)을 형성한다. 구체적으로는, PVD법에 의해, 절연막(6)(6a, 6b)상에 차광막(7)이 되는 금속막을 형성한다. 계속해서, 절연막(6a)상의 금속막상에 레지스트를 형성한 후, 에칭에 의해 레지스트 및 노출하고 있는 금속막을 제거한다. 이에 의해, 절연막(6b)상에 차광막(7)을 형성한다.

[0088] 다음에, 도시를 생략하지만, 도포법에 의해, 절연막(6a) 및 차광막(7)을 덮도록 평탄화막(8)으로서의 산화 실리콘막을 형성한다. 이 평탄화막(8)을 충분한 두께로 형성함에 의해, 차광막(7)에 의한 단차를 없애고, 표면을 평탄화할 수 있다.

[0089] 최후로, 도시를 생략하지만, 유효 영역(21)에서의 평탄화막(8)상, 즉, 각 화소의 포토 다이오드의 상방에, 컬러 필터(9) 및 온 칩 렌즈(10)를 순차적으로 형성한다. 또한, 컬러 필터(9)와 온 칩 렌즈(10)의 사이에, 렌즈 가공할 때의 컬러 필터(9)에의 가공 데미지를 방지하기 위해, 광투과성의 절연막(도시 생략)을 형성하여도 좋다.

[0090] 상술한 공정에 의해, 도 1에 도시한 고체 콜상 소자(1)가 제조된다. 이와 같이, 본 실시 형태의 고체 콜상 소자의 제조 방법에서는, 유효 영역(21)상에 제 1의 막(31)을 형성함으로써 유효 영역(21)에서의 전하 축적 영역(4)의 표면에 정전하 축적 영역(5a)이 형성된다. 이 정전하 축적 영역(5a)에 의해, 유효 영역(21)에서의 전하 축적 영역(4)의 표면에서의 암전류의 발생이 억제된다.

[0091] 또한, OB 영역(22)상에 제 2의 막(32)을 형성함으로써 OB 영역(22)에서의 전하 축적 영역(4)의 표면에 정전하 축적 영역(5b)이 형성된다. 이 정전하 축적 영역(5b)에 의해, OB 영역(22)에서의 전하 축적 영역(4)의 표면에서의 암전류의 발생이 억제된다.

[0092] 게다가, 고체 콜상 소자(1)에서는, 제 1의 막(31) 및 제 2의 막(32)을 개별적으로 형성하고, 서로 다른 막 구성 및 막두께로 하고 있기 때문에, 유효 영역(21)과 OB 영역(22)에서 다른 암전류량의 차를 작게 할 수 있다. 이에 의해, 이른바 OB 단차를 개선할 수 있다.

[0093] 또한, 제 1의 막(31) 및 제 2의 막(32)을 개별적으로 형성함으로써, 유효 영역에서의 제 1의 막을 반사 방지막으로서의 최적의 막 구조 및 막두께로 할 수 있다. 또한, OB 영역에서는 광의 입사를 고려할 필요가 없기 때문에, 제 2의 막(32)을 암전류 개선에 특화한 막 구성으로 할 수 있다.

[0094] 제 1의 막(31)은, 제 1 층(31a), 제 2 층(31b) 및 제 3 층(31c)의 3개의 막을 합해서 충분한 부바이어스 효과를 얻을 수 있다. 또한, 제 2의 막(32)은, 제 1 층(32b) 및 제 2 층(32c)의 2개의 막을 합해서 충분한 부바이어스 효과를 얻을 수 있다. 이들 막의 부의 고정 전하에 의해, 계면 부근에 정전하 축적 영역(5a)을 형성하고, 정전하(홀)가 축적되도록 하여, 계면준위에 기인하는 암전류의 발생을 억제할 수 있다.

[0095] 따라서 본 실시의 형태에 의해, 충분한 크기의 부바이어스 효과에 의해, 계면준위에 기인하는 암전류의 발생을 억제할 수 있고, 암전류가 생기는 일 없이 안정하게 동작하는, 높은 신뢰성을 갖는 고체 콜상 소자(1)를 실현할 수 있다.

[0096] 상술한 실시의 형태에서는, CMOS 고체 콜상 소자에 본 발명을 적용한 경우였지만, 본 발명은, 기타의 구성의 고체 콜상 소자에도 적용할 수 있다. 예를 들면, CCD 고체 콜상 소자에서도, 본 발명을 적용하여, 수광부상에, 플라즈마를 이용하여 형성한 산화 실리콘막 및 부의 고정 전하를 갖는 막을 형성함에 의해, 계면준위에 기인하는 암전류의 발생을 억제할 수 있다.

[0097] 또한, 상술한 실시의 형태에서는, 이면 조사형 구조의 고체 콜상 소자에 본 발명을 적용한 경우였다. 본 발명은, 포토 다이오드가 형성된 반도체 기판에서의 광이 입사하는 측에 배선층이나 전송 전극을 형성한, 이른바 표면 조사형 구조의 고체 콜상 소자에도 적용하는 것이 가능하다.

### 3. 콜상 장치의 구성 등

[0099] 이하, 이와 같이 구성된 고체 콜상 소자(1)를 구비한 콜상 장치에 관해 설명한다. 도 4는 상기 고체 콜상 소자(1)를 구비한 콜상 장치의 구성을 도시하는 도면이다. 또한, 이 콜상 장치(90)로서는, 예를 들면, 비디오 카메라, 디지털 카메라, 휴대 전화의 카메라 등을 들 수 있다.

[0100] 도 4에 도시하는 바와 같이, 콜상 장치(90)는, 광학 블록(91), 고체 콜상 소자(1), A/D(아날로그/디지털) 변환 회로(92), 신호 처리 회로(93), 제어부인 시스템 컨트롤러(94), 입력부(95)를 구비한다. 또한, 이 콜상 장치(90)에는, 광학 블록(91) 내의 기구를 구동하기 위한 드라이버(96), 고체 콜상 소자(1)를 구동시키는 구동 펄스

를 생성하는 구동부로서의 타이밍 제너레이터(이하, 「TG」라고 한다)(97) 등이 마련된다.

[0101] 광학 블록(91)은, 피사체로부터의 광을 고체 활상 소자(1)에 집광하기 위한 렌즈, 렌즈를 이동시켜서 포커스 맞춤이나 주밍을 행하기 위한 구동 기구, 메커니컬 셔터, 조리개 등을 구비하고 있다. 드라이버(96)는, 시스템 컨트롤러(94)로부터의 제어 신호에 응하여, 광학 블록(91) 내의 기구의 구동을 제어한다.

[0102] 고체 활상 소자(1)는, TG(97)에 의해 생성된 구동 펄스에 의거하여 구동되고, 피사체로부터의 입사광을 전기 신호로 변환한다. TG(97)는, 시스템 컨트롤러(94)의 제어하에서 구동 펄스를 생성한다.

[0103] A/D 변환 회로(92)는, 고체 활상 소자(1)로부터 출력된 화상 신호를 A/D 변환하여 디지털 화상 신호를 출력한다.

[0104] 신호 처리 회로(93)는, A/D 변환 회로(92)로부터의 디지털 화상 신호에 대한 AF(Auto Focus), AE(Auto Exposure), 결합 화소의 보간 처리 등의 각종 카메라 신호 처리를 실행한다.

[0105] 시스템 컨트롤러(94)는, 예를 들면, CPU(Central Processing Unit), ROM(Read Only Memory), RAM(Random Access Memory) 등으로 구성된다. CPU는 ROM 등에 기억된 프로그램을 실행함에 의해, 이 활상 장치의 각 부분을 통괄적으로 제어하고, 또한, 그 제어를 위한 각종 연산을 실행한다. 입력부(95)는, 유저의 조작 입력을 접수하는 조작 키, 다이얼, 레버 등을 포함하고, 조작 입력에 응한 제어 신호를 시스템 컨트롤러(94)에 출력한다.

[0106] 이 활상 장치(90)에서는, 고체 활상 소자(1)에서 수광되고, 광전 변환된 신호 전하에 응한 화상 신호가, 순차적으로 A/D 변환 회로(92)에 공급되어 디지털 신호로 변환되고, 신호 처리 회로(93)에 의해 화질 보정 처리되고, 최종적으로 휘도 신호와 색차 신호로 변환하여 출력된다. 신호 처리 회로(93)로부터 출력된 화상 데이터는, 도시하지 않은 그래픽 인터페이스 회로에 공급되어 표시용의 화상 신호로 변환되고, 이에 의해 도시하지 않은 모니터에 카메라 스루 화상이 표시된다.

#### 4. 기타의 고체 활상 소자의 구성 및 제조 방법

[0108] 이하, 고체 활상 소자의 변형예에 관해 설명한다.

##### 변형예1

[0110] 우선, 제 1 변형예에 관한 고체 활상 소자(1A)에 관해 도 5를 참조하여 설명한다. 도 5는, 변형예1에 관한 고체 활상 소자(1A)의 단면 구조를 도시하는 도면이다. 본 변형예에 관한 고체 활상 소자(1A)는, 상술한 고체 활상 소자(1)에 대해 부의 고정 전하를 갖는 제 1의 막 및 제 2의 막의 막 구성을 다르게 한 것이다. 또한, 이하의 설명에서는, 도 1에 도시한 고체 활상 소자(1)와 동일한 구성 요소에 관해서는, 동일한 부호를 붙여서 설명한다.

[0111] 도 5에 도시하는 바와 같이, 고체 활상 소자(1A)는, 반도체 기판(2)의 유효 영역(21)상에 제 1의 막(51)이 형성되고, OB 영역(22)상에 제 2의 막(52)이 형성되어 있다.

[0112] 제 1의 막(51)은, 반도체 기판(2)상에 형성된 제 1 층(51a)과, 이 제 1 층(51a)상에 형성된 제 2 층(51b)이 적층된 구성을 갖는다.

[0113] 제 1 층(51a)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어지고, PVD법에 의해 형성된다.

[0114] 또한, 제 2 층(51b)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어지고, ALD법 또는 MOCVD법에 의해 형성된다.

[0115] 또한, 제 2의 막(52)은, 반도체 기판(2)상에 형성된 제 1 층(52c)과, 제 1 층(52c)상에 형성된 제 2 층(52a)과, 제 2 층(51a)상에 형성된 제 3 층(52b)이 적층된 구성을 갖는다.

[0116] 제 1 층(52c)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어지고, ALD법 또는 MOCVD법에 의해 형성된다.

[0117] 또한, 제 2 층(52a)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어지고, PVD법에 의해 형성된다.

[0118] 또한, 제 3 층(52b)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어지고, ALD법 또는 MOCVD법에 의해 형성된다.

- [0119] 상술한 바와 같이, 제 1의 막(51)은 2층의 적층 구조이고, 제 2의 막(52)은 3층의 적층 구조이다. 이와 같이, 고체 활상 소자(1A)는, 제 1의 막(51)이 갖는 층의 수가 제 2의 막(52)이 갖는 층의 수와 다르다. 본 실시 형태에서는, 제 1의 막(51)이 갖는 층의 수는, 제 2의 막(52)이 갖는 층의 수보다 적게 되어 있다.
- [0120] 다음에, 본 실시의 형태의 고체 활상 소자(1A)의 제조 방법에 관해 설명한다. 도 6의 A 내지 E는 고체 활상 소자(1A)의 제조 방법을 도시하는 도면이다. 여기서는, 본 변형예의 고체 활상 소자(1A)의 제조 방법의 특징적인 구성인, 제 1의 막(51) 및 제 2의 막(52)을 형성하는 공정에 관해 설명하고, 기타의 구성에 관해서는 동일 부호를 붙여서 설명을 생략한다.
- [0121] 우선, 도 6의 A에 도시하는 바와 같이, ALD법 또는 MOCVD법에 의해, 반도체 기판(2)의 유효 영역(21) 및 OB 영역(22)상에, 부의 고정 전하를 갖는 막(53a)을 형성한다. 이 부의 고정 전하를 갖는 막(53a)의 재료로서는, 예를 들면, 산화 하프늄, 산화 알루미늄, 산화 지르콘, 산화 탄탈 및 산화 티탄 중 어느 하나의 산화물을 들 수 있다.
- [0122] 다음에, 도 6의 B에 도시하는 바와 같이, OB 영역(22)상에 형성된 부의 고정 전하를 갖는 막(53a)상에 레지스트(40)를 형성한 후, 웨트 에칭한다. 이에 의해, 도 6의 C에 도시하는 바와 같이, 유효 영역(21)상에 형성된 부의 고정 전하를 갖는 막(53)을 선택적으로 제거하고, OB 영역(22)상에 제 2의 막(52)의 제 1 층(52c)을 형성한다.
- [0123] 다음에, 도 6의 D에 도시하는 바와 같이, PVD법에 의해, 유효 영역(21)에서의 반도체 기판(2) 및 제 2의 막(52)의 제 1 층(52c)상에, 부의 고정 전하를 갖는 막(54)을 형성한다. 이에 의해, 유효 영역(21)에서의 반도체 기판(2)상에 제 1의 막(51)의 제 1 층(51a)을 형성하고, 제 2의 막(52)의 제 1 층(52c)상에 제 2 층(52a)을 형성한다. 부의 고정 전하를 갖는 막(54)의 재료로서는, 예를 들면, 산화 하프늄, 산화 알루미늄, 산화 지르콘, 산화 탄탈 및 산화 티탄 중 어느 하나의 산화물을 들 수 있다.
- [0124] 또한, PVD법으로 형성할 때의 형성 조건은, 예를 들면, 압력 0.01 내지 50Pa, DC 파워 500 내지 2000W, Ar 유량 5 내지 50sccm, O<sub>2</sub> 유량 5 내지 50sccm로 한다.
- [0125] 다음에, 도 6의 E에 도시하는 바와 같이, ALD법 또는 MOCVD법에 의해, 부의 고정 전하를 갖는 막(54)상에, 부의 고정 전하를 갖는 막(55)을 형성한다. 이에 의해, 제 1의 막(51)의 제 1 층(51a)상에 제 2 층(51b)을 형성하고, 제 2의 막(52)의 제 2 층(52a)상에 제 3 층(52b)을 형성한다. 부의 고정 전하를 갖는 막(55)의 재료로서는, 예를 들면, 산화 하프늄, 산화 알루미늄, 산화 지르콘, 산화 탄탈 및 산화 티탄 중 어느 하나의 산화물을 들 수 있다.
- [0126] ALD법으로 형성하는 경우의 형성 조건은, 예를 들면, 형성 기판 온도 200 내지 500°C, 프리커서 유량이 10 내지 500sccm, 조사 시간 1 내지 15초, O<sub>3</sub> 유량 10 내지 500sccm으로 한다. 제 1의 막의 막두께는, 바람직하게는 1nm 이상이다. 또한, 제 1의 막을 ALD법에 의해 형성한 경우에는, 동시에, 반도체 기판(2)의 표면에, 산화 실리콘막(두께 1nm 정도)이 형성되는 일이 있다.
- [0127] 제 1 층(51a)상에 제 2 층(51b)을 형성함에 의해, 2층(51a, 51b)이 적층된 제 1의 막(51)이 구성된다. 이 제 1의 막(51)에 의해, 유효 영역(21)에서의 전하 축적 영역(4)의 표면에 정전하 축적 영역(5a)이 형성된다.
- [0128] 또한, 제 1 층(52c)상에 제 2 층(52a)을 형성하고, 이 제 2 층(52b)상에 제 3 층(52b)을 형성함에 의해, 3층(52c, 52a, 52b)이 적층된 제 2의 막(52)이 구성된다. 이 제 2의 막(52)에 의해, OB 영역(22)에서의 전하 축적 영역(4)의 표면에 정전하 축적 영역(5b)이 형성된다.
- [0129] 제 1의 막(51)의 제 1 층(51a)과 제 2의 막(52)의 제 2 층(52a)은, 막(54)을 형성함으로써 일체로서 형성된다. 또한 제 1의 막(51)의 제 2 층(51b)과 제 2의 막(52)의 제 3 층(52b)은, 막(55)을 형성함으로써 일체로서 형성된다.
- [0130] 다음에, 상술한 공정과 같은 공정에 의해, 절연막(6), 차광막(7), 평탄화막(8), 컬러 필터(9) 및 온 칩 렌즈(10)를 형성하고, 도 5에 도시한 고체 활상 소자(1A)를 제조할 수 있다.
- [0131] 도 7에 제 2의 막(52)을 제 1 층(52c)과 제 2 층(52b)으로 형성한 경우, 및 제 2의 막(52)을 본 실시 형태와 같이 제 1 내지 제 3 층(52c 내지 52a)으로 형성한 경우의, 제 2의 막(52)에 대한 암전류량을 도시한다. 도 7에 도시하는 바와 같이, 제 2의 막(52)을 제 1 내지 제 3 층(52c 내지 52a)의 3층으로 형성한 쪽이, OB 영역에서의 암전류량이 적음을 알 수 있다.
- [0132] 한편, 유효 영역에서는, 반도체 기판(2)과 PVD법에 의해 성막한 제 1 층(51a)이 접하여 있기 때문에, 제 1의 막

(51)을 ALD법 등으로 성막한 층의 위에 PVD법에 의해 성막한 층을 적층한 경우에 비하여 암전류량이 증가한다. 이것은, ALD법 등으로 성막한 층에 비하여 PVD법으로 성막한 층은 치밀함이 뒤떨어지기 때문에, 부의 고정 전하를 저해하는 물질, 예를 들면 수소 등이 침입하기 쉽기 때문이다. 유효 영역에서는, PVD법으로 성막한 층이 반도체 기판(2)의 계면에 가까운 곳에 형성되기 때문에, 반도체 기판(2)상에 ALD법으로 성막한 층을 적층한 경우에 비하여 암전류량이 증가한다.

[0133] 유효 영역과 비교하여 OB 영역에서는 암전류가 많이 발생한다. 그래서 본 변형예의 고체 활상 소자(1A)에서는, 제 1의 막(51)을 형성함으로써 유효 영역에서 발생하는 암전류량을 늘리고, 제 2의 막(52)을 형성함으로써 OB 영역에서 발생하는 암전류량을 줄이고 있다. 이에 의해, 유효 영역과 OB 영역에서 발생하는 암전류량의 차(OB 단차)를 작게 할 수 있다.

[0134] 또한, PVD법으로 성막된 제 1의 막(51)의 제 1 층(51a) 및 제 2의 막(52)의 제 2 층(52b)상에, 제 1의 막(51)의 제 2 층(52b) 및 제 2의 막(52)의 제 3 층(52a)을 ALD법 등으로 성막함으로써, 외부로부터 수소 등의 부의 고정 전하를 저해하는 물질의 침입을 억제할 수 있다. 이것은, 상술한 바와 같이 ALD법 등으로 성막된 층은, PVD법으로 성막된 층보다 치밀하고, 외부로부터 물질이 침입하기 어렵기 때문이다.

[0135] 또한, 본 변형예의 제 1의 막(51)의 제 1 층(51a)과 제 2 층(51b)을 교체하여도 좋다. 이 경우, 반도체 기판(2)상에 ALD법 또는 MOCVD법에 의해 제 2 층(51b)을 성막하고, 제 2 층(51b)상에 PVD법에 의해 제 1 층(51a)을 성막한다. 제 2 층(51b)은, 제 2의 막(52)의 제 1 층(52c)과 일체로 형성하여도 좋다.

[0136] 변형예2

[0137] 다음에, 제 2 변형예의 고체 활상 소자(1B)에 관해 설명한다. 도 8은, 제 3의 실시 형태에 관한 고체 활상 소자의 구성을 도시하는 도면이다. 본 실시 형태에 관한 고체 활상 소자(1B)는, 상술한 고체 활상 소자(1B)의 부의 고정 전하를 갖는 막의 막 구성을 바꾼 것이고, 기타의 구성에 관해서는 동일 부호를 붙여서 설명을 생략한다.

[0138] 도 8에 도시하는 바와 같이, 고체 활상 소자(1B)는, 반도체 기판(2)의 유효 영역(21)상에 제 1의 막(61)을 구비하고, OB 영역(22)상에 제 2의 막(62)을 구비하고 있다.

[0139] 제 1의 막(61)은, 반도체 기판(2)상에 형성된 제 1 층(61a)과, 이 제 1 층(61a)상에 형성된 제 2 층(61b)과, 이 제 2 층(61b)상에 형성된 제 3 층(61c)이 적층된 구성을 갖는다.

[0140] 제 1 층(61a)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어지고, ALD법 또는 MOCVD법에 의해 형성된다.

[0141] 또한, 제 2 층(61b)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어지고, PVD법에 의해 형성된다.

[0142] 또한, 제 3 층(61c)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어지고, ALD법 또는 MOCVD법에 의해 형성된다.

[0143] 상기 제 2의 막(62)은, 반도체 기판(2)상에 형성된 제 1 층(62c)을 갖는다. 이 제 1 층(62c)은, 예를 들면, 산화 하프늄막, 산화 알루미늄막, 산화 지르코늄막, 산화 탄탈막 및 산화 티탄막 중 어느 하나의 막으로 이루어지고, ALD법 또는 MOCVD법에 의해 형성된다.

[0144] 다음에, 도 9의 A 내지 E를 참조하여 상기 고체 활상 소자(1B)의 제조 방법에 관해 설명한다. 여기서는, 본 변형예의 고체 활상 소자(1B)의 특징적인 구성인 제 1의 막(61) 및 제 2의 막(62)을 형성하는 공정에 관해 설명하고, 기타의 공정에 관해서는 설명을 생략한다.

[0145] 우선, 도 9의 A에 도시하는 바와 같이, ALD법 또는 MOCVD법에 의해, 반도체 기판(2)의 유효 영역(21) 및 OB 영역(22)상에, 부의 고정 전하를 갖는 막(63)을 형성한다. 이 부의 고정 전하를 갖는 막(63)의 재료로서는, 예를 들면, 산화 하프늄, 산화 알루미늄, 산화 지르콘, 산화 탄탈 및 산화 티탄 중 어느 하나의 산화물을 들 수 있다.

[0146] ALD법으로 형성하는 경우의 형성 조건은, 예를 들면, 형성 기판 온도 200 내지 500°C, 프리커서 유량이 10 내지 500sccm, 조사 시간 1 내지 15초, O<sub>3</sub> 유량 10 내지 500sccm로 한다. 제 1의 막의 막두께는, 바람직하게는 1nm 이상이다. 또한, 제 1의 막을 ALD법에 의해 형성한 경우에는, 동시에, 반도체 기판(2)의 표면에, 산화 실리콘막(두께 1nm 정도)이 형성되는 일이 있다.

- [0147] 다음에, 도 9의 B에 도시하는 바와 같이, PVD법에 의해, 부의 고정 전하를 갖는 막(63)상에 부의 고정 전하를 갖는 막(64)을 형성한다. 부의 고정 전하를 갖는 막(64)의 재료로서는, 예를 들면, 산화 하프늄, 산화 알루미늄, 산화 지르콘, 산화 탄탈 및 산화 티탄 중 어느 하나의 산화물을 들 수 있다.
- [0148] 또한, PVD법으로 형성할 때의 형성 조건은, 예를 들면, 압력 0.01 내지 50Pa, DC 파워 500 내지 2000W, Ar 유량 5 내지 50sccm, O<sub>2</sub> 유량 5 내지 50sccm로 한다.
- [0149] 다음에, 도 9의 C에 도시하는 바와 같이, 유효 영역(21)상에 형성된 부의 고정 전하를 갖는 막(64)상에 레지스트(40)를 형성한 후, 웨트 에칭함에 의해, OB 영역(22)상에 형성된 2층의 부의 고정 전하를 갖는 막(63, 64)을 선택적으로 제거하고, 유효 영역(21)상에 제 1의 막(61)의 제 1 층(61a) 및 제 2 층(61b)을 형성한다.
- [0150] 다음에, 도 9의 E에 도시하는 바와 같이, ALD법 또는 MOCVD법에 의해, 제 1의 막(61)의 제 2 층(61b)상, 및 OB 영역(22)에서의 반도체 기판(2)상에, 부의 고정 전하를 갖는 막(65)을 형성한다. 이에 의해, 제 1의 막(61)의 제 3 층(61c)을 형성함과 함께, 반도체 기판(2)의 OB 영역(22)상에, 제 2의 막(62)의 제 1 층(62c)을 형성한다. 제 1의 막(61)의 제 3 층(61c) 및 제 2의 막(62)의 제 1 층(62c)의 재료로서는, 예를 들면, 산화 하프늄, 산화 알루미늄, 산화 지르콘, 산화 탄탈 및 산화 티탄 중 어느 하나의 산화물을 들 수 있다.
- [0151] 또한, ALD법으로 형성하는 경우의 형성 조건은, 예를 들면, 형성 기판 온도 200 내지 500°C, 프리커서 유량이 10 내지 500sccm, 조사 시간 1 내지 15초, O<sub>3</sub> 유량 10 내지 500sccm로 한다.
- [0152] 제 1 층(61a)상에 제 2 층(61b)을 형성하고, 제 2 층(61b)상에 제 3 층(61c)을 형성함에 의해, 3층(61a, 61b, 61c)이 적층된 제 1의 막(61)이 구성된다. 이 제 1의 막(61)에 의해, 유효 영역(21)에서의 전하 축적 영역(4)의 표면에 정전하 축적 영역(5a)이 형성된다.
- [0153] 또한, 제 1 층(62c)에 의해 구성된 제 2의 막(62)에 의해, OB 영역(22)에서의 전하 축적 영역(4)의 표면에 정전하 축적 영역(5b)이 형성된다. 제 1의 막(61)의 제 3 층(61c)과 제 2의 막(62)의 제 1 층(62c)은, 막(55)을 형성함으로써 일체로서 형성된다.
- [0154] 다음에, 상술한 공정과 같은 공정에 의해, 절연막(6), 차광막(7), 평탄화막(8), 컬러 필터(9) 및 온 칩 렌즈(10)를 형성하고, 도 8에 도시하는 고체 활상 소자(1B)가 제조된다.
- [0155] 도 10은, 고체 활상 소자(1B)의 제 2의 막(62)을, ALD법 등으로 성막한 층과 PVD법으로 성막한 층의 2층의 적층 구조로 한 경우와, ALD법 등으로 성막한 제 1 층(62c)의 1층으로 한 경우의 암전류량을 도시하는 도면이다. 도 10에 도시하는 바와 같이, 제 2의 막(62)을 2층으로 함에 의해, 본 변형예와 같이 1층(단층)으로 한 쪽이 OB 영역에서의 암전류량이 저감한다.
- [0156] PVD법으로 성막한 층은, ALD법으로 성막한 층에 비하여 치밀하지 않기 때문에 부의 고정 전하를 저해하는 수소 등을 포함하기 쉽다. 본 변형예와 같이, 제 2의 막(62)을 PVD법으로 성막한 층을 포함하지 않는 ALD법 등으로 성막한 층의 구조로 함으로써, 수소 등의 부의 고정 전하를 저해하는 물질이 침입하기 어려워진다. 이에 의해, 고체 활상 소자(1B)의 제 2의 막(62) 중의 부의 고정 전하 밀도를 높게 할 수 있고, 부바이어스 효과가 증가하여 암전류가 개선된다고 생각된다.
- [0157] 이와 같이, 유효 영역보다 암전류가 많이 발생한 OB 영역에 형성한 제 2의 막(62)의 암전류량을 줄임으로써, 유효 영역의 암전류량과 OB 영역의 암전류량과의 차(OB 단차)를 작게 할 수 있다.
- [0158] 상술한 구성을 갖는 고체 활상 소자(1A)에 의하면, OB 단차의 온도 특성이 개선된다. 즉, 반도체 기판의 온도가 상승한 경우에도, OB 단차의 악화가 억제된다.
- [0159] 최후로, 상술한 각 실시 형태의 설명은 본 발명의 한 예이고, 본 발명은 상술한 실시의 형태로 한정되는 일은 없다. 이 때문에, 상술한 각 실시의 형태 이외라도, 본 발명에 관한 기술적 사상을 일탈하지 않는 범위라면, 설계 등에 응하여 여러가지의 변경이 가능함은 물론이다.
- [0160] 본 발명은 2011년 3월 10일자로 일본특허청에 특허출원된 일본특허원 제2011-053237호를 우선권으로 주장한다.

### 부호의 설명

- [0161] 1 : 고체 활상 소자  
2 : 반도체 기판

3 : 소자 분리 영역

4 : 전하 축적 영역

5, 5a, 5b : 정전하 축적 영역

6, 6a, 6b, 13 : 절연막

7 : 차광막

8, 8a, 8b : 평탄화막

9 : 컬러 필터

10 : 온 침 렌즈

11 : 게이트 전극

12 : 배선층

21 : 유효 영역

22 : OB 영역

31 : 제 1의 막

31a : 제 1 층

31b : 제 2 층

31c : 제 3 층

32 : 제 2의 막

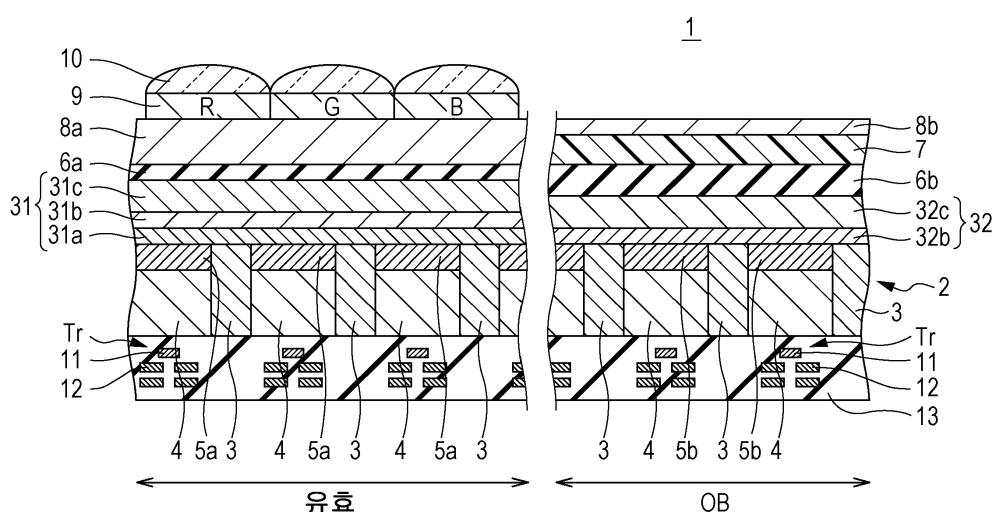
32b : 제 1 층

32c : 제 2 층

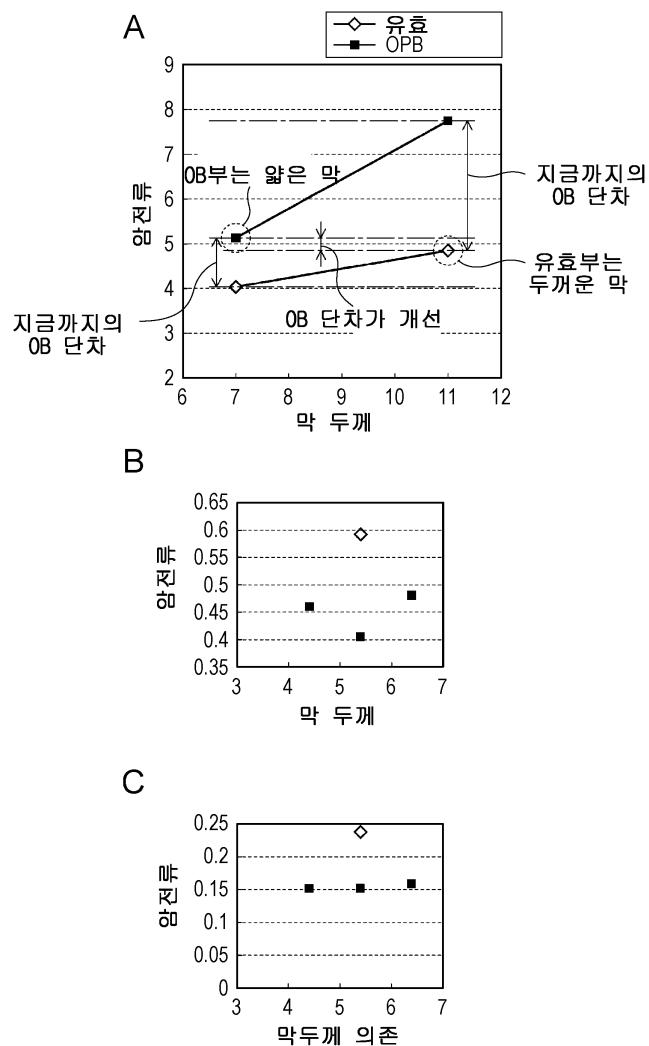
33, 34, 35 : 부의 고정 전하를 갖는 막

## 도면

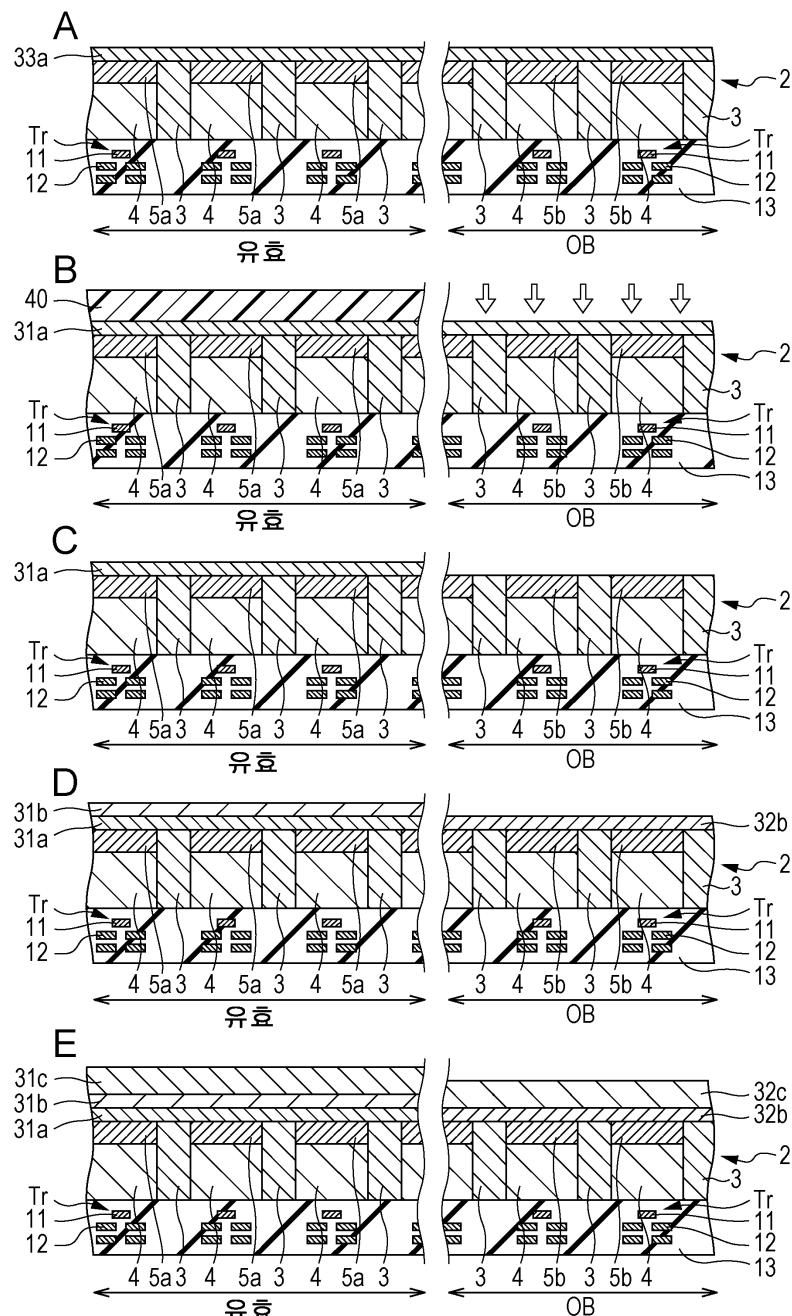
### 도면1



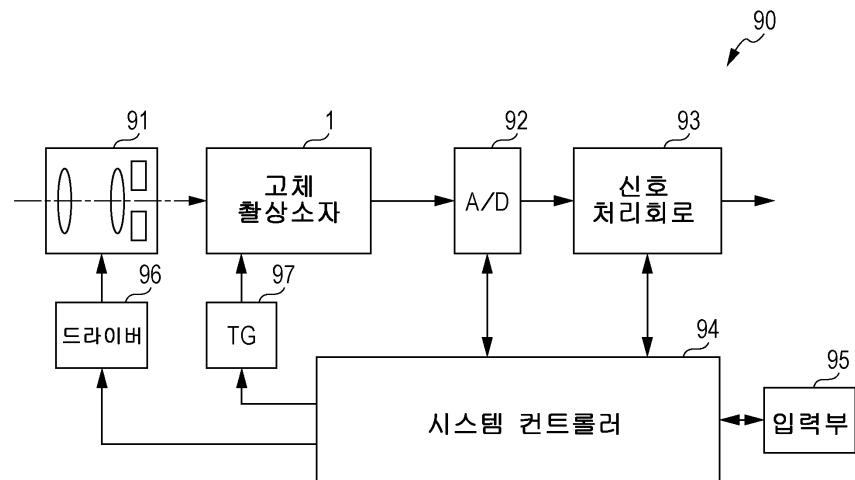
## 도면2



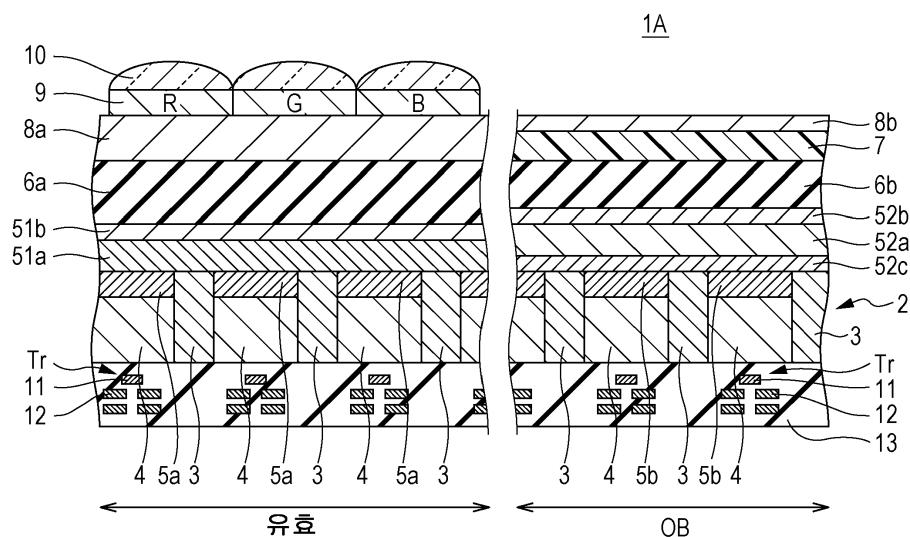
## 도면3



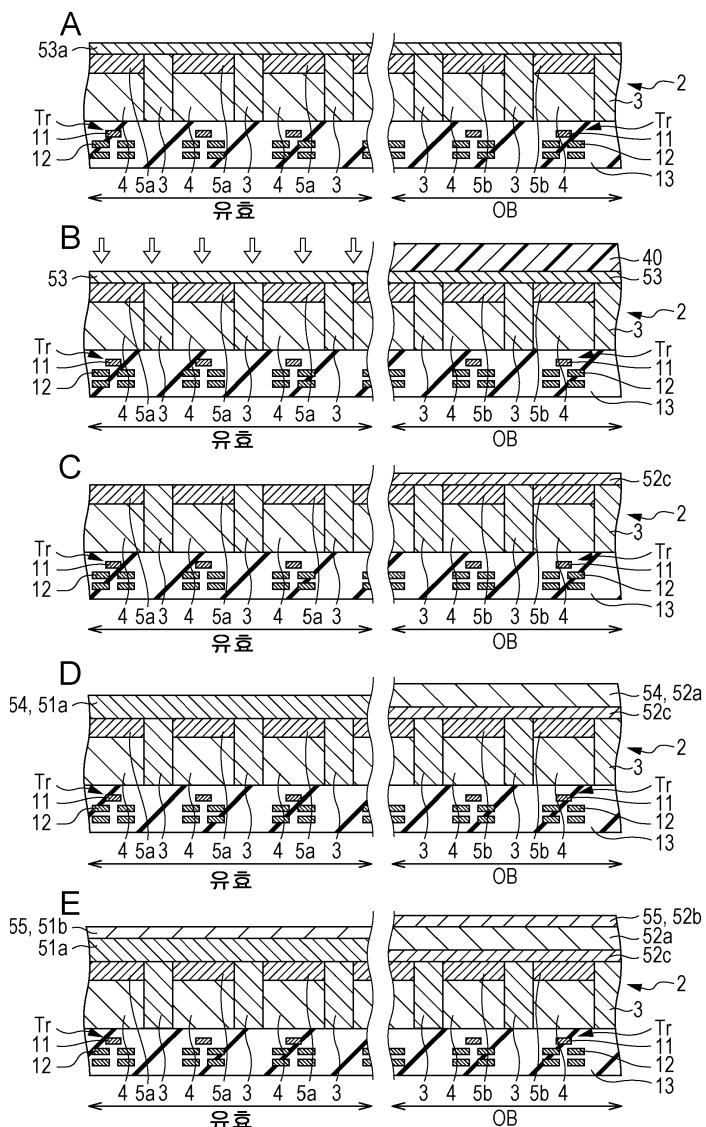
도면4



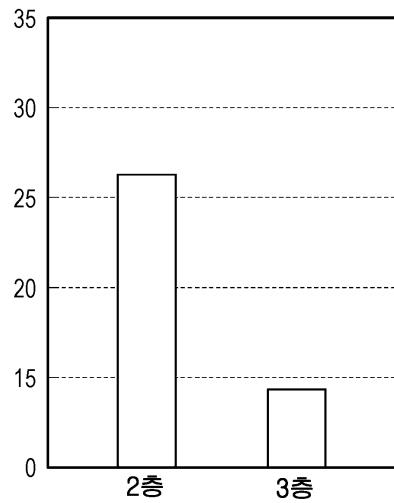
도면5



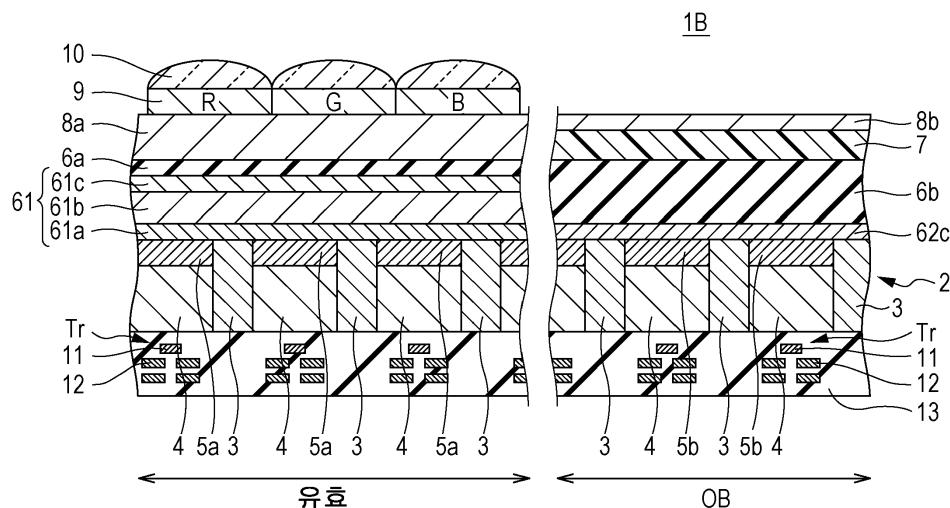
## 도면6



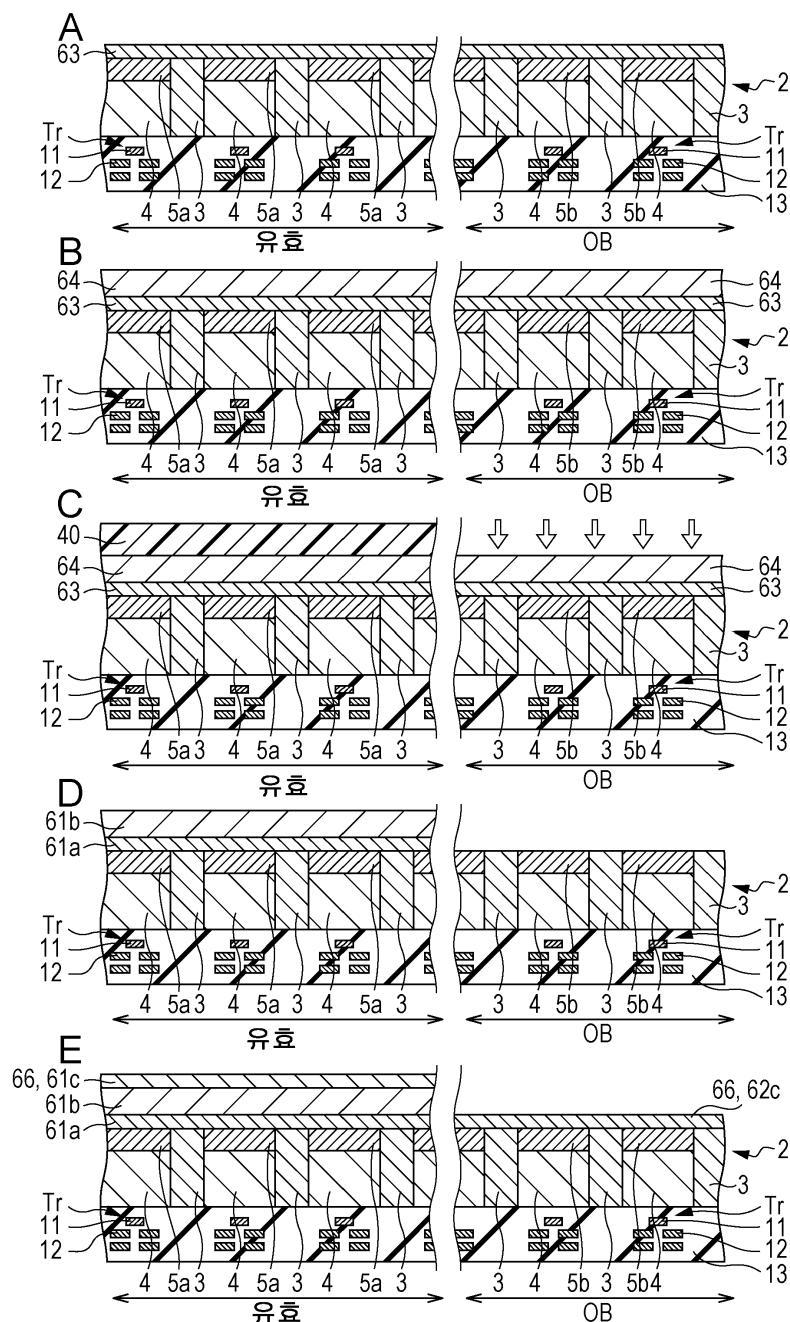
도면7



도면8



도면9



도면10

