

- 1 -

(52) CPC특허분류

H03F 3/19 (2013.01)

H03F 2200/48 (2013.01)

(72) 발명자

김도윤

경기도 수원시 영통구 매영로 366, 727동 801호 (영통동, 현대아파트)

이재만

서울특별시 동대문구 안암로22길 30, 303호 (제기동, 제기COLOR HOUSE)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711134511
과제번호	2021-0-00938-001
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	6G핵심기술개발(R&D)
연구과제명	THz 대역 RF 핵심 부품 개발
기 여 율	1/1
과제수행기관명	고려대학교산학협력단
연구기간	2021.04.01 ~ 2021.12.31

명세서

청구범위

청구항 1

동작 주파수 신호를 증폭하는 증폭 회로부;
 상기 동작 주파수 신호를 상기 증폭 회로부로 전달하는 입력 정합부;
 상기 증폭 회로부로 바이어스 전압을 제공하는 바이어스 공급부;
 상기 증폭 회로부에 의해 증폭된 신호를 출력 단자로 전달하는 출력 정합부; 및
 VCC 전원 회로부와 출력 정합부 사이에 위치하는 바이패스 캐패시터를 포함하되,
 상기 바이패스 캐패시터는 상기 동작 주파수 신호에서 인덕터로 동작하도록 폭(width)과 길이(length)가 비대칭인 구조를 가지는 것을 특징으로 하는 초고주파 대역 증폭기.

청구항 2

제1 항에 있어서,
 상기 바이패스 캐패시터는 상기 폭(width)이 상기 길이(length)보다 소정 배수 이상 좁거나 넓은 비대칭 구조를 가지는 것을 특징으로 하는 초고주파 대역 증폭기.

청구항 3

제2 항에 있어서,
 상기 바이패스 캐패시터는 상기 폭(width)이 상기 길이(length)보다 적어도 3배 이상 좁거나 긴 것을 특징으로 하는 초고주파 대역 증폭기.

청구항 4

제2 항에 있어서,
 상기 바이패스 캐패시터는 MIM(Metal-Insulator-Metal) 캐패시터인 것을 특징으로 하는 초고주파 대역 증폭기.

청구항 5

제1 항에 있어서,
 상기 증폭 회로부는 트랜지스터로 구성되되,
 상기 바이패스 캐패시터는 상기 트랜지스터의 드레인단에 연결되는 것을 특징으로 하는 초고주파 대역 증폭기.

청구항 6

제1 항에 있어서,
 상기 입력 정합부는 직렬로 접속되는 두개의 제1 트랜스미션 라인과 상기 두개의 트랜스미션 라인과 병렬로 연결되는 제2 트랜스미션 라인을 가지되,

상기 바이어스 공급부는 상기 제2 트랜스미션 라인과 연결되는 것을 특징으로 하는 초고주파 대역 증폭기.

발명의 설명

기술 분야

[0001] 본 발명은 캐패시터의 자기 공진 주파수 조절을 통해 대역폭 확대가 가능한 초고주파 대역 증폭기에 관한 것이다.

배경 기술

[0003] 현대 사회에서의 통신 시스템은 더 빠른 전송 속도를 위해 높은 주파수의 무선 통신이 요구된다. 현재 5G를 넘어 6G 통신의 상용화를 위한 연구가 활발히 진행 중이며, 이러한 초고주파 통신시스템은 넓은 대역폭을 활용할 수 있기 때문에 보다 높은 전송속도를 가질 수 있다는 장점이 있다. 하지만 일반적으로 주파수가 높아지게 되면 증폭기의 대역폭을 넓게 가져가는 것은 쉽지 않다.

[0004] 상대적으로 고주파에서 동작하는 소자가 제한적이고, 여러 기생 성분의 영향이 높아지기 때문에, 넓은 대역폭 확보를 위해 추가적인 소자를 사용할 경우 설계한 회로가 의도와 다르게 동작할 위험이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 초고주파 대역 증폭기를 제공하기 위한 것이다.

[0007] 또한, 본 발명은 캐패시터의 자기 공진 주파수 조절을 통해 대역폭 확대가 가능한 초고주파 대역 증폭기를 제공하기 위한 것이다.

[0008] 또한 본 발명은 증폭기의 스테이지 수에 따라 매칭 지점을 늘리고 추가적인 소자의 소모 없이 캐패시터의 크기를 조절하여 대역폭 확대가 가능한 대역폭 조정이 가능한 광대역 증폭기를 제공하기 위한 것이다.

과제의 해결 수단

[0010] 본 발명의 일 측면에 따르면 초고주파 대역 증폭기가 제공된다.

[0011] 본 발명의 일 실시예에 따르면, 동작 주파수 신호를 증폭하는 증폭 회로부; 상기 동작 주파수 신호를 상기 증폭 회로부로 전달하는 입력 정합부; 상기 증폭 회로부로 바이어스 전압을 제공하는 바이어스 공급부; 상기 증폭 회로부에 의해 증폭된 신호를 출력 단자로 전달하는 출력 정합부; 및 VCC 전원 회로부와 출력 정합부 사이에 위치하는 바이패스 캐패시터를 포함하되, 상기 바이패스 캐패시터는 상기 동작 주파수 신호에서 인덕터로 동작하도록 폭(width)과 길이(length)가 비대칭인 구조를 가지는 것을 특징으로 하는 초고주파 대역 증폭기가 제공될 수 있다.

[0012] 상기 바이패스 캐패시터는 상기 폭(width)이 상기 길이(length)보다 소정 배수 이상 좁거나 넓은 비대칭 구조를 가지되,

[0013] 상기 바이패스 캐패시터는 상기 폭(width)이 상기 길이(length)보다 적어도 3배 이상 좁거나 긴 구조를 가질 수 있다.

[0014] 상기 바이패스 캐패시터는 MIM(Metal-Insulator-Metal) 캐패시터이다.

[0015] 상기 증폭 회로부는 트랜지스터로 구성되되, 상기 바이패스 캐패시터는 상기 트랜지스터의 드레인단에 연결될 수 있다.

[0016] 상기 입력 정합부는 직렬로 접속되는 두개의 제1 트랜스미션 라인과 상기 두개의 트랜스미션 라인과 병렬로 연

결되는 제2 트랜스미션 라인을 가지되, 상기 바이어스 공급부는 상기 제2 트랜스미션 라인과 연결될 수 있다.

발명의 효과

- [0018] 본 발명의 일 실시예에 따른 초고주파 대역 증폭기를 제공함으로써, 임피던스 매칭 기법과 캐패시터의 크기 조절을 통한 자기 공진 주파수의 변화를 활용하여 광대역 증폭기의 대역폭을 조절할 수 있다.
- [0019] 또한, 증폭기의 스테이지 수에 따라 매칭 지점을 늘리고 추가적인 소자의 소모 없이 캐패시터의 크기를 조절하여 대역폭 확대가 가능케 할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 초고주파 대역 증폭기를 도시한 도면.
- 도 2는 종래의 일반적인 캐패시터를 도시한 도면.
- 도 3은 본 발명의 일 실시예에 따른 바이패스 캐패시터를 도시한 도면.
- 도 4는 도2와 도3의 캐패시터의 자기 공진 주파수를 비교한 도면.
- 도 5는 도 2 및 도 3의 바이패스 캐패시터의 전체 회로 이득을 비교한 도면.
- 도 6은 본 발명의 일 실시예에 따른 동일 면적을 가지는 바이패스 캐패시터의 폭의 크기를 다양하게 변경한 일 예를 도시한 도면.
- 도 7은 본 발명의 일 실시예에 따른 동일 면적에서 바이패스 캐패시터의 폭의 크기 변화에 따른 자기 공진 주파수 변화를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "구성된다" 또는 "포함한다" 등의 용어는 명세서상에 기재된 여러 구성 요소들, 또는 여러 단계들을 반드시 모두 포함하는 것으로 해석되지 않아야 하며, 그 중 일부 구성 요소들 또는 일부 단계들은 포함되지 않을 수도 있고, 또는 추가적인 구성 요소 또는 단계들을 더 포함할 수 있는 것으로 해석되어야 한다. 또한, 명세서에 기재된 "...부", "모듈" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.
- [0023] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0025] 도 1은 본 발명의 일 실시예에 따른 초고주파 대역 증폭기를 도시한 도면이고, 도 2는 종래의 일반적인 캐패시터를 도시한 도면이고, 도 3은 본 발명의 일 실시예에 따른 바이패스 캐패시터를 도시한 도면이며, 도 4는 도2와 도3의 캐패시터의 자기 공진 주파수를 비교한 도면이고, 도 5는 도 2 및 도 3의 바이패스 캐패시터의 전체 회로 이득을 비교한 도면이며, 도 6은 본 발명의 일 실시예에 따른 동일 면적을 가지는 바이패스 캐패시터의 폭의 크기를 다양하게 변경한 일 예를 도시한 도면이고, 도 7은 본 발명의 일 실시예에 따른 동일 면적에서 바이패스 캐패시터의 폭의 크기 변화에 따른 자기 공진 주파수 변화를 도시한 도면이다.
- [0026] 도 1을 참조하면, 본 발명의 일 실시예에 따른 초고주파 대역 증폭기(100)는 입력 단자(110), 제1 입력 정합부(120a), 제1 증폭 회로부(130a), 제1 출력 매칭부(140a), 제2 입력 정합부(120b), 제2 증폭 회로부(130b), 제2 출력 매칭부(140b), 제3 입력 정합부(120c), 제3 증폭 회로부(130c), 제3 출력 매칭부(140c), 제1 내지 제3 바이어스 공급부(150a, 150b, 150c) 및 출력 단자(170)를 포함하여 구성된다.
- [0027] 입력 단자(110)로 공급되는 공급 주파수 신호는 제1 입력 정합부(120a)로 입력된다. 제1 입력 정합부(120a)는 입력 단자(110)와 출력 단자(170) 사이에 접속되는 제1a 트랜스미션 라인(121, 122)과 제1a 트랜스미션 라인(121, 122)과 병렬로 접속되는 제2a 트랜스미션 라인(123)을 포함한다.
- [0028] 제2a 트랜스미션 라인(123)에는 제1 바이어스 공급부(150a)가 직렬로 연결된다. 따라서, 제1 바이어스 공급부

(150a)를 통해 공급되는 바이어스 전압은 제1 입력 정합부(120a)를 통해 제1 증폭 회로부(130a)로 공급될 수 있다.

[0029] 또한, 입력 단자(110)를 통해 공급된 공급 주파수 신호는 제1 입력 정합부(120a)를 통해 제1 증폭 회로부(130a)로 전달되며, 트랜지스터로 구성된 제1 증폭 회로부(130a)에 의해 증폭되어 제1 출력 매칭부(140a)로 전달될 수 있다.

[0030] 제1 출력 매칭부(140a)는 입력 단자(110)와 출력 단자(170) 사이에 직렬로 접속되는 제3a 트랜스미션 라인(141, 142)과 제3a 트랜스미션 라인(141, 142)과 병렬로 접속되는 제4a 트랜스미션 라인(143)을 포함한다. 또한, 제1 출력 매칭부(140a)와 VCC 전원 회로부 사이에는 제1 바이패스 캐패시터(160a)가 위치된다.

[0031] 제1 바이패스 캐패시터(160a)는 VCC 전원 회로부 아래에 위치되되, 제1 바이패스 캐패시터(160a)는 동작 주파수에서 인덕터로 동작될 수 있다. 이를 위해, 제1 바이패스 캐패시터(160a)는 폭(width)과 길이(length)가 비대칭 구조를 가질 수 있다.

[0032] 도 2는 일반적인 캐패시터며, 도 3은 본 발명의 일 실시예에 따른 바이패스 캐패시터를 도시한 도면이다.

[0033] 도 2와 같이, 일반적인 캐패시터 구조의 경우, 동작 주파수 신호가 바이패스 캐패시터의 자기 공진 주파수보다 작아 해당 바이패스 캐패시터는 동작 주파수 신호에서 캐패시터로 동작된다.

[0034] 도 3의 제1 바이패스 캐패시터(160a)는 도 2의 일반적인 캐패시터 구조와 면적은 동일하나 폭(width)과 길이(length)를 비대칭 구조로 구현한 것이다.

[0035] 도 3과 같이, 제1 바이패스 캐패시터(160a)의 폭(width)과 길이(length)를 비대칭 구조로 구현함으로써 바이패스 캐패시터(160a)의 기생 인덕턴스가 증가하여 자기 공진 주파수가 낮아지게 된다.

[0036] 즉, 제1 바이패스 캐패시터(160a)의 크기 조절을 통해 자기 공진 주파수를 의도적으로 조절하여 동작 주파수 신호에서 제1 바이패스 캐패시터(160a)가 인덕터로 동작되도록 할 수 있다.

[0037] 도 4는 도 2와 도 3의 바이패스 캐패시터의 자기 공진 주파수를 비교한 도면이고, 도 5는 도 2 및 도 3의 바이패스 캐패시터의 전체 회로 이득을 비교한 도면이다.

[0038] 도 4에서 보여지는 바와 같이, 본 발명의 일 실시예에와 같이 제1 바이패스 캐패시터(160a)의 폭(width)이 길이(length)보다 좁은 비대칭 구조를 가지도록 길이를 조절함으로써 기생 인덕턴스가 증가하여 자기 공진 주파수가 낮아지는 것을 확인할 수 있다.

[0039] 도 5는 도 2와 도 3의 바이패스 캐패시터를 포함하는 광대역 증폭기의 전체 회로 이득을 비교한 그래프이다. 도 5에서 보여지는 바와 같이, 상대적으로 낮은 자기 공진 주파수를 가지는 도 3의 구조가 대역폭이 57.3GHz로 종래의 52.5GHz보다 약 9.1% 증가한 것을 알 수 있다.

[0040] 상술한 바와 같이, 본 발명의 일 실시예에와 같이 VCC 회로부 아래에 제1 바이패스 캐패시터(160a)를 위치시키고, 제1 바이패스 캐패시터(160a)의 자기 공진 주파수를 조절하여 동작 주파수 대역에서 제1 바이패스 캐패시터(160a)가 인덕터로 동작하도록 함으로써 인덕티브 피킹 효과를 일으켜 대역폭을 확장할 수 있다.

[0041] 또한, 전체 회로의 전압 이득이 증가하여 대역폭이 증가하는 효과를 얻음과 동시에 자기 공진 주파수 이하의 동작 주파수에서는 캐패시터로 동작하기 때문에 상대적으로 저주파에서 회로의 안정성을 보장할 수 있는 이점도 있다.

[0042] 도 6은 동일 면적을 가지는 바이패스 캐패시터에 대해 폭의 크기를 다양하게 변화한 일 예를 도시한 도면이고, 도 7은 동일 면적에서 바이패스 캐패시터의 폭의 크기 변화에 따른 자기 공진 주파수 변화를 도시한 도면이다.

[0043] 도 7에서 보여지는 바와 같이, 동일 면적에서 바이패스 캐패시터(160a)의 폭(width)이 길어지는 경우에도 기생 인덕턴스의 증가로 인해 바이패스 캐패시터의 자기 공진 주파수가 낮아지는 것을 알 수 있다.

[0044] 즉, 본 발명의 일 실시예에 따르면, 제1 바이패스 캐패시터(160a)는 폭(width)과 길이(length)가 비대칭 구조를 가지도록 구현하여 자기 공진 주파수를 변화시켜 대역폭을 확장시킬 수 있다.

[0045] 다시, 도 1을 참조하여, 상술한 바와 같이, VCC 전원 회로부 아래에 제1 바이패스 캐패시터의 자기 공진 주파수를 낮추면서 동작 주파수 신호에서 인덕터로 동작함으로써 제1 증폭 회로부(130a)의 전압 이득을 증가시킬 수 있다.

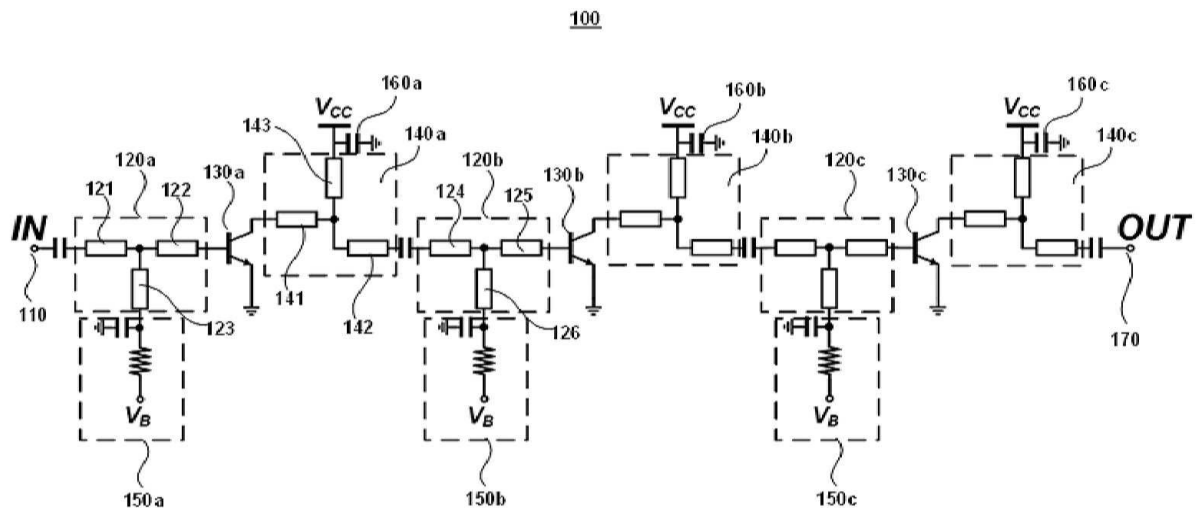
- [0046] 제1 증폭 회로부(130a)에서 증폭된 신호는 제1 출력 매칭부(140a)를 통해 제2 입력 정합부(120b)로 입력되며, 제2 입력 정합부(120b)는 입력 단자(110)와 출력 단자(170) 사이에 직렬로 접속되는 제1b 트랜스미션 라인(124, 125), 제1b 트랜스미션 라인(124, 125)과 병렬로 접속되는 제2b 트랜스미션 라인(126)으로 구성된다.
- [0047] 제2 입력 정합부(120b)의 출력된 제2 증폭 회로부(130b)로 입력되며, 제2 증폭 회로부(130b)는 제2 입력 정합부(120b)를 통해 입력된 신호를 증폭하여 제2 출력 매칭부(140b)를 통해 제3 입력 정합부(120c)로 전달된다.
- [0048] 또한, 제2 출력 매칭부(140b)와 VCC 전원 회로부 사이에는 제2 바이패스 캐패시터(160b)가 위치되며, 제2 스테이지에서의 전압 이득을 증가시킬 수 있다.
- [0049] 또한, 상술한 바와 같이, 제2 입력 정합부(120b)에 제2 바이어스 공급부(150b)가 위치되며, 제2 바이어스 공급부(150b)는 제2 입력 정합부(120b)의 제2b 트랜스미션 라인(126)을 통해 제2 증폭 회로부(130b)로 바이어스 전압을 공급할 수 있다.
- [0050] 제2 출력 매칭부(140b)의 출력은 제3 입력 정합부(120c)를 통해 제3 증폭 회로부(130c)에 의해 증폭되어 제3 출력 매칭부(140c)를 통해 출력 단자로 전달된다.
- [0051] 제3 출력 매칭부(140c)와 VCC 전원 회로부 사이에는 제3 바이패스 캐패시터(160c)가 위치되며, 이로 인해, 제3 스테이지에서의 전압 이득이 증가될 수 있다.
- [0052] 제1 입력 정합부(120a), 제2 입력 정합부(120b), 제3 입력 정합부(120c)의 기본적인 구성은 동일하므로 중복되는 설명은 생략하기로 한다. 마찬가지로, 제1 출력 매칭부(140a), 제2 출력 매칭부(140b) 및 제3 출력 매칭부(140c)의 기본적인 구성은 동일하다.
- [0053] 상술한 바와 같이, 다단 구조로 증폭 회로부가 구성되며, 동작 주파수에서만 임피던스 매칭을 하는 것이 아니라, 동작 주파수 근방의 두 지점 이상에서 매칭이 되도록 스테이지 수가 증가됨에 따라 매칭 지점도 증가시키되, 추가적인 소자의 소모 없이 캐패시터의 폭과 길이를 조절하여 캐패시터의 기생 임피던스를 증가시켜 자기 공진 주파수를 낮춤으로써 동작 주파수에서 바이패스 캐패시터를 인덕터로 동작시켜 인덕티브 피킹 효과를 일으켜 대역폭을 확대할 수 있다. 또한, 자기 공진 주파수 이하의 동작 주파수에서는 바이패스 캐패시터가 캐패시터로 동작하여 저주파에서 초고주파 대역 증폭기 회로의 안정성을 보장할 수 있는 이점이 있다.
- [0055] 이제까지 본 발명에 대하여 그 실시 예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시 예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

부호의 설명

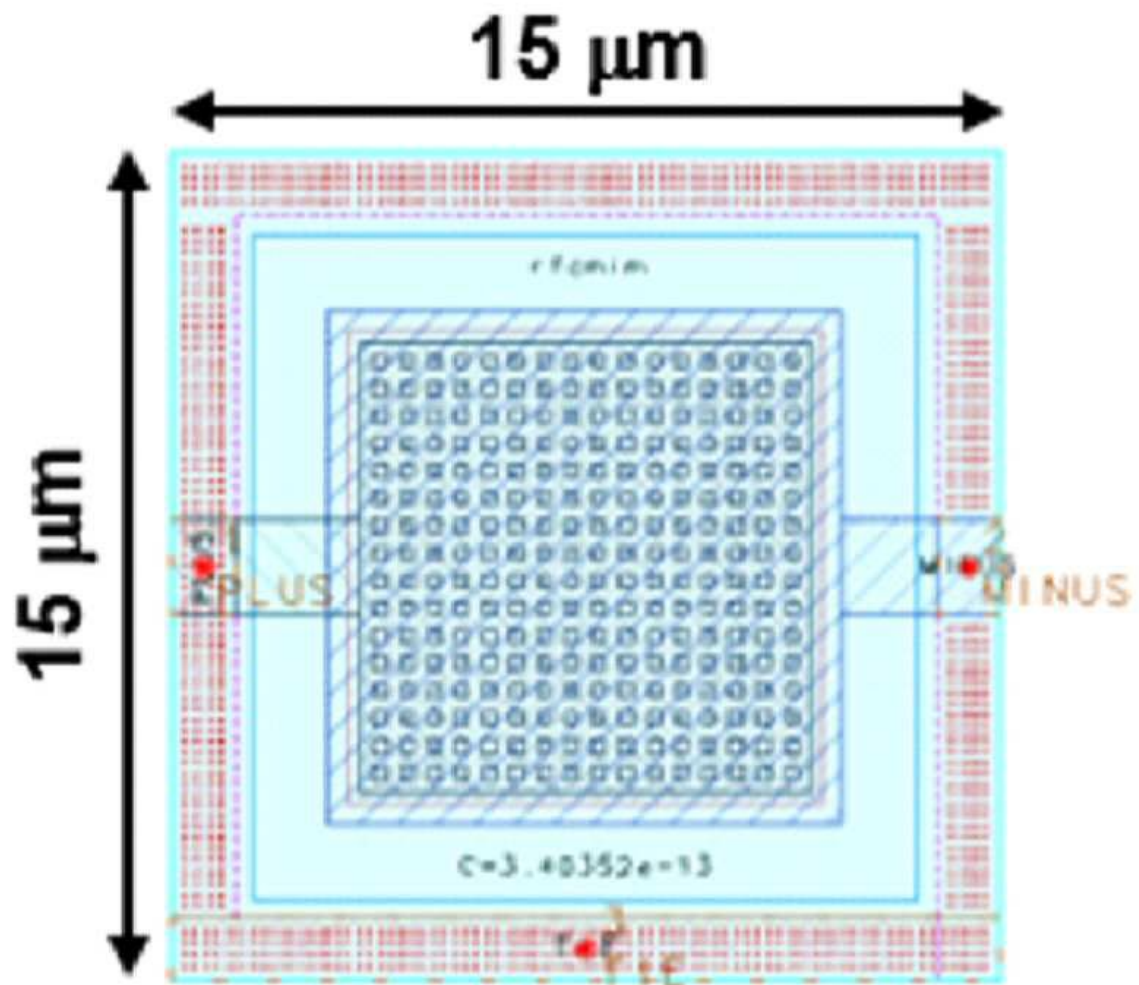
- [0057] 100: 초고주파 대역 증폭기
 110: 입력 단자
 120a, 120b, 130c: 입력 정합부
 130a, 130b, 130c: 증폭 회로부
 140a, 140b, 140c: 출력 정합부
 150a, 150b, 150c: 바이어스 공급부
 160a, 160b, 160c: 바이패스 캐패시터
 170: 출력 단자

도면

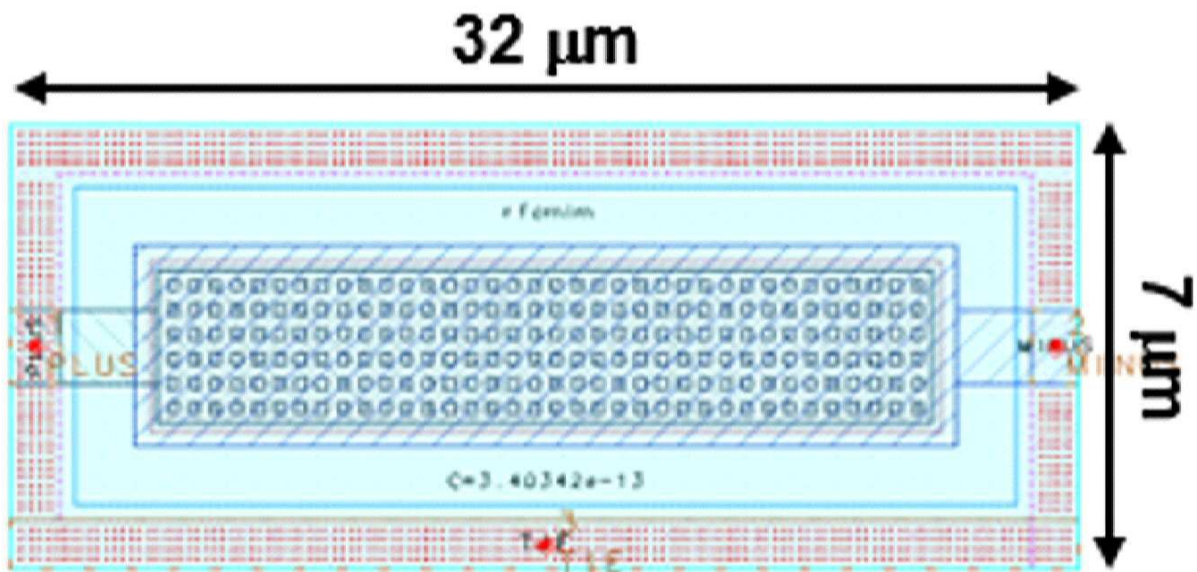
도면1



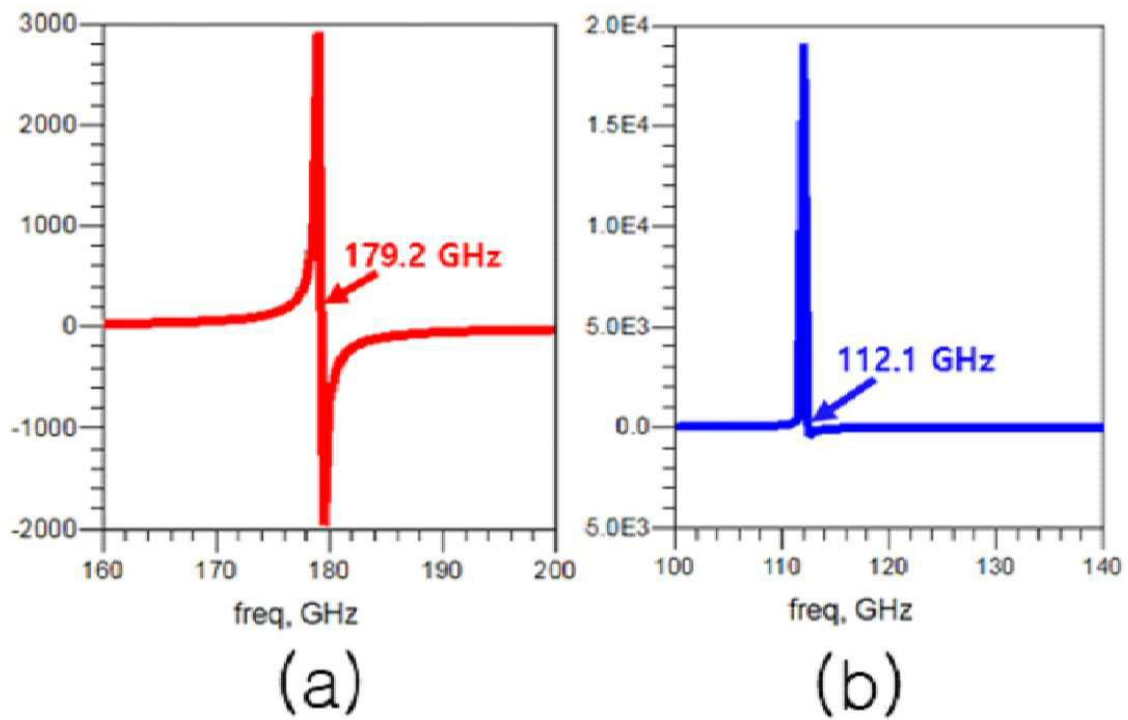
도면2



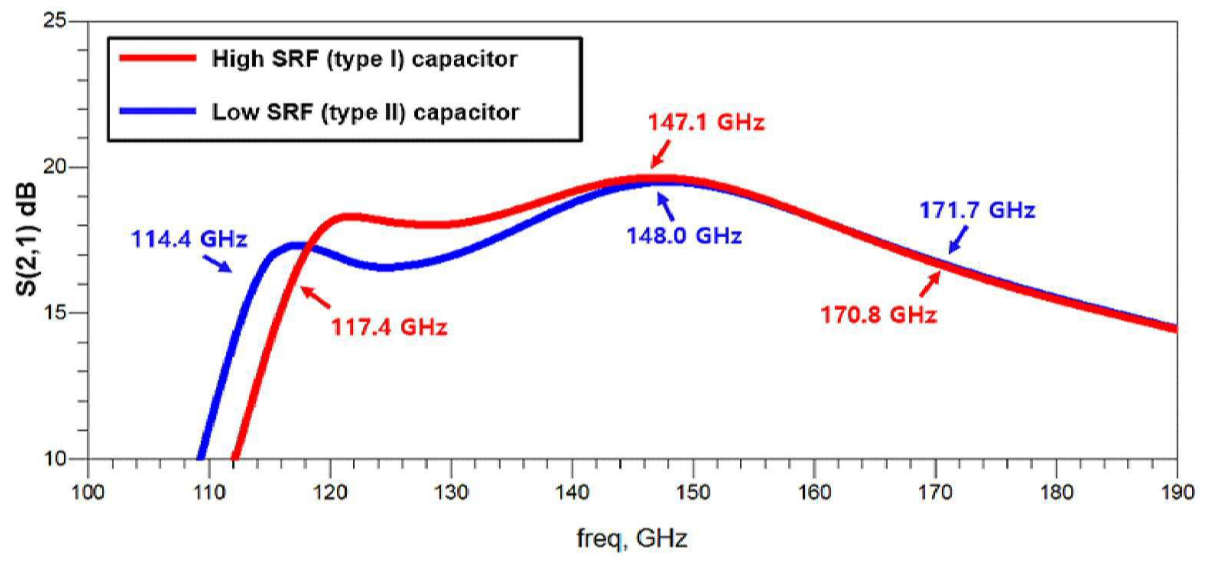
도면3



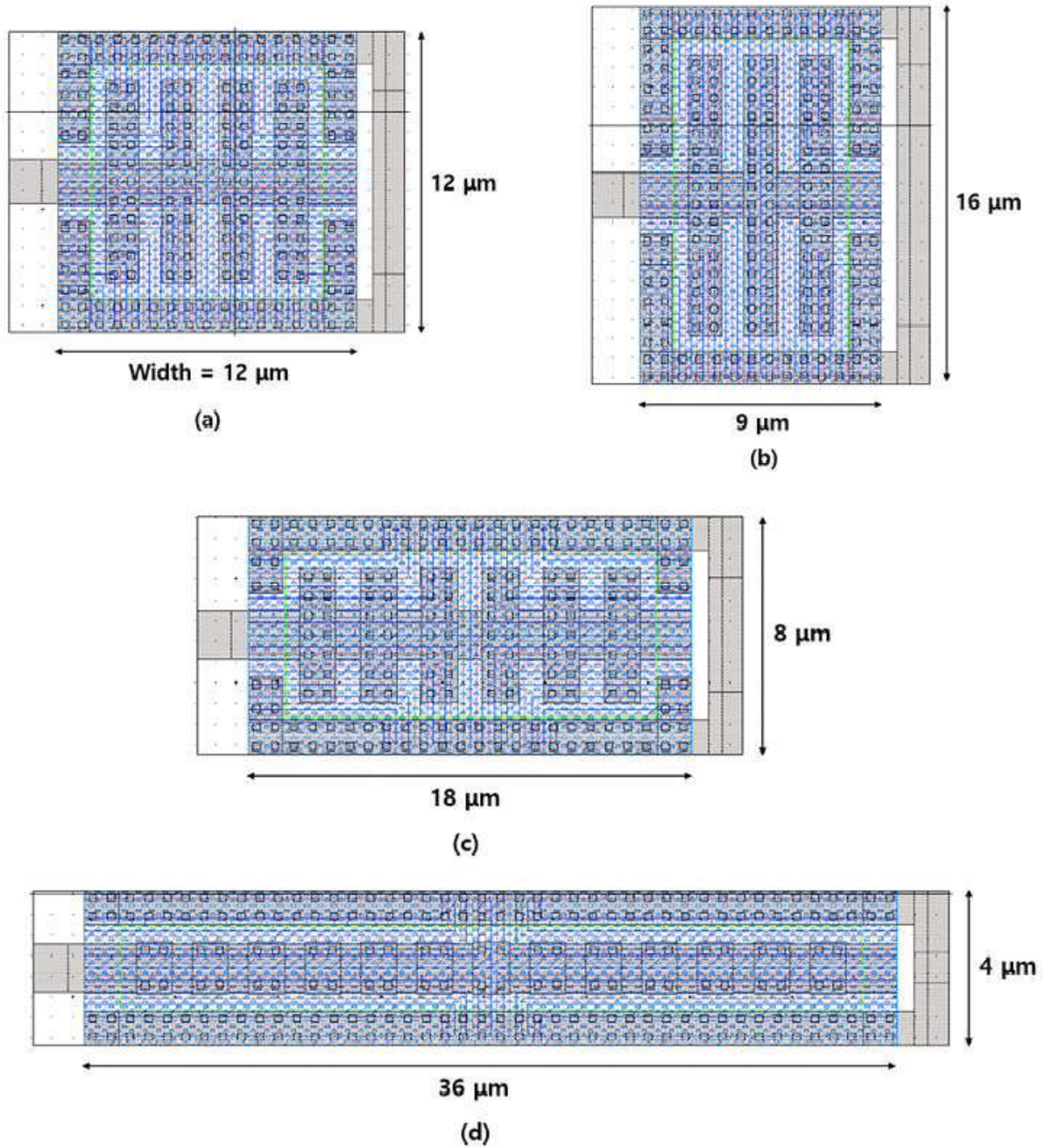
도면4



도면5



도면6



도면7

