



(12)发明专利申请

(10)申请公布号 CN 106710628 A

(43)申请公布日 2017.05.24

(21)申请号 201610514768.X

(22)申请日 2016.07.01

(30)优先权数据

10-2015-0161626 2015.11.18 KR

(71)申请人 爱思开海力士有限公司

地址 韩国京畿道

(72)发明人 李宗珉

(74)专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 张晶 王莹

(51)Int.Cl.

G11C 16/06(2006.01)

G11C 16/08(2006.01)

G11C 16/26(2006.01)

G11C 11/34(2006.01)

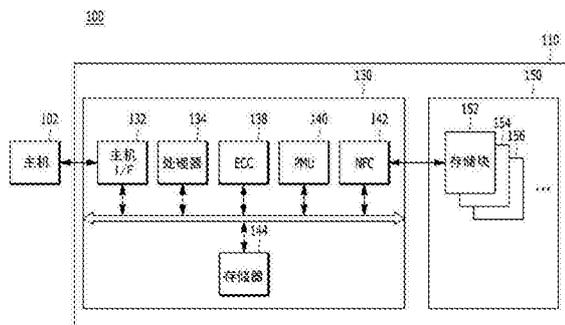
权利要求书2页 说明书17页 附图12页

(54)发明名称

存储器系统及其操作方法

(57)摘要

本发明提供一种存储器系统,其可以包括:存储器装置,其包括多个存储块,多个存储块中的每个具有多个页面;以及控制器,其适于在存储块中的第一存储块中存储数据、在存储块中的第二存储块中存储数据的映射数据以及通过响应于命令对数据的逻辑信息执行过滤来扫描映射数据。



1. 一种存储器系统,其包括:
存储器装置,其包括多个存储块,所述多个存储块中的每个具有多个页面;以及
控制器,其适于在所述存储块中的第一存储块内存储数据、在所述存储块中的第二存储块内存储所述数据的映射数据以及通过响应于命令对所述数据的逻辑信息执行过滤来扫描所述映射数据。
2. 根据权利要求1所述的存储器系统,其中所述控制器包括:
存储器,其适于存储所述数据的逻辑信息的位映射,
其中当存储所述映射数据时,所述控制器生成所述数据的逻辑信息的位映射,并且通过存储在所述存储器中的所述位映射执行所述过滤。
3. 根据权利要求2所述的存储器系统,其中所述控制器通过转换并分组所述数据的逻辑信息而生成所述数据的逻辑信息的ID。
4. 根据权利要求3所述的存储器系统,其中所述控制器通过多个散列生成作为所述位映射的所述数据的逻辑信息的ID。
5. 根据权利要求4所述的存储器系统,其中所述控制器包括:
过滤器,其适于执行所述过滤,
其中,当存储所述映射数据时,所述控制器将所述位映射寄存到所述过滤器的位阵列中。
6. 根据权利要求1所述的存储器系统,其中所述控制器将所述映射数据的映射片段和所述映射片段的映射列表载入所述控制器的存储器,并且通过所述过滤检查与对应于所述命令的命令数据的逻辑信息相对应的第一映射片段是否存在于所述映射列表中。
7. 根据权利要求6所述的存储器系统,其中当所述第一映射片段存在于所述映射列表中时,所述控制器通过扫描所述映射片段检查所述第一映射片段的物理信息。
8. 根据权利要求7所述的存储器系统,其中所述控制器基于所述物理信息在所述存储块中执行对应于所述命令的命令操作。
9. 根据权利要求7所述的存储器系统,其中所述物理信息包括对应于所述命令数据的逻辑信息的物理页面数,即PPN。
10. 根据权利要求1所述的存储器系统,其中所述数据的逻辑信息包括存储在所述第一存储块中的所述数据的逻辑页面数,即LPN。
11. 一种存储器系统的操作方法,所述存储器系统包括每个都具有多个页面的多个存储块,所述操作方法包括:
在所述存储块中的第一存储块内存储数据,并且在所述存储块中的第二存储块内存储所述数据的映射数据;以及
通过响应于命令对所述数据的逻辑信息执行过滤来扫描所述映射数据。
12. 根据权利要求11所述的操作方法,所述映射数据的存储包括:
生成所述数据的逻辑信息的位映射;以及
将所述位映射存储在控制器的存储器中。
13. 根据权利要求12所述的操作方法,其中所述映射数据的扫描包括:
通过所述位映射执行所述过滤。
14. 根据权利要求12所述的操作方法,其中所述位映射的生成包括:

通过转换并分组所述数据的逻辑信息来生成所述数据的逻辑信息的ID;以及通过多个散列生成作为所述位映射的所述数据的逻辑信息的ID。

15.根据权利要求14所述的操作方法,其中所述位映射在所述控制器的存储器中的存储包括:

在执行所述过滤的过滤器的位阵列中寄存所述位映射。

16.根据权利要求11所述的操作方法,所述映射数据的扫描包括:

向控制器的存储器载入所述映射数据的映射片段和所述映射片段的映射列表;以及通过所述过滤检查与对应于所述命令的命令数据的逻辑信息相对应的第一映射片段是否存在于所述映射列表中。

17.根据权利要求16所述的操作方法,其中所述映射数据的扫描进一步包括:

当所述第一映射片段存在于所述映射列表中时,通过扫描所述映射片段检查所述第一映射片段的物理信息。

18.根据权利要求17所述的操作方法,其进一步包括:

基于所述物理信息在所述存储块中执行对应于所述命令的命令操作。

19.根据权利要求17所述的操作方法,其中所述物理信息包括对应于所述命令数据的逻辑信息的物理页面数,即PPN。

20.根据权利要求11所述的操作方法,其中所述数据的逻辑信息包括存储在所述第一存储块中的所述数据的逻辑页面数即LPN。

存储器系统及其操作方法

[0001] 相关申请的交叉引用

[0002] 本申请要求2015年11月18日提交的申请号为10-2015-0161626的优先权,其公开全文通过参考并入本申请。

技术领域

[0003] 本发明的示范性实施例涉及一种存储器系统,并且更特别地,涉及一种用于将数据处理至存储器装置的存储器系统及其操作方法。

背景技术

[0004] 计算机环境范式已经转变为能够随时随地使用的普适计算系统。结果,便携电子设备,诸如移动电话、数码相机以及笔记本电脑的使用不断地快速增加。便携电子设备一般使用具有一个以上用于存储数据的存储器装置的存储器系统。本文简称为存储器装置的半导体存储器装置可以用作便携电子设备的主存储器装置或者辅助存储器装置。

[0005] 由于不同于其他类型的存储器装置,半导体存储器装置不具有活动部件,所以半导体存储器装置提供优秀的稳定性、持久性、高信息存取速度以及低功耗。具有这样的优点的半导体存储器装置的示例包括通用串行总线(USB)存储器装置、具有各种接口的存储卡以及固态硬盘(SSD)。

发明内容

[0006] 本发明的各种实施例涉及一种存储器装置、系统及其操作方法,其能够快速并稳定地将数据处理至存储器装置,同时降低存储器系统的复杂度。

[0007] 在本发明的实施例中,存储器系统可以包括:存储器装置,其包括多个存储块,多个存储块中的每个具有多个页面;以及控制器,该控制器适于在存储块中的第一存储块内存储数据,在存储块中的第二存储块内存储数据的映射数据,并且通过响应于命令对数据的逻辑信息执行过滤来扫描映射数据。

[0008] 控制器可以包括存储器,其适于存储数据的逻辑信息的位映射,其中当存储映射数据时,控制器生成数据的逻辑信息的位映射,并且通过存储在存储器中的位映射执行过滤。

[0009] 控制器可以通过转换并分组数据的逻辑信息来生成数据的逻辑信息的ID。

[0010] 控制器可以通过多个散列(hash)生成作为位映射的数据的逻辑信息的ID。

[0011] 控制器可以包括适于执行过滤的过滤器,其中,当存储映射数据时,控制器将位映射寄存到过滤器的位阵列中。

[0012] 控制器可以将映射数据的映射片段和映射片段的映射列表载入控制器的存储器,并且通过过滤检查与对应于命令的命令数据的逻辑信息相对应的第一映射片段是否存在于映射列表中。

[0013] 当第一映射片段存在于映射列表中时,控制器可以通过扫描映射片段检查第一映

射片段的物理信息。

[0014] 控制器可以基于物理信息在存储块中执行对应于命令的命令操作。

[0015] 物理信息可以包括对应于命令数据的逻辑信息的物理页面数(PPN)。

[0016] 数据的逻辑信息可以包括存储在第一存储块中的数据的逻辑页面数(LPN)。

[0017] 在本发明的一个实施例中,包括每个都具有多个页面的多个存储块的存储器系统的操作方法可以包括:在存储块中的第一存储块内存储数据,并且在存储块中的第二存储块内存储数据的映射数据;以及通过响应于命令对数据的逻辑信息执行过滤来扫描映射数据。

[0018] 映射数据的存储可以包括生成数据的逻辑信息的位映射;以及将所述位映射存储在控制器的存储器中。

[0019] 映射数据的扫描可以包括通过位映射执行过滤。

[0020] 位映射的生成可以包括:通过转换并分组数据的逻辑信息来生成数据的逻辑信息的ID;以及通过多个散列生成作为位映射的数据的逻辑信息的ID。

[0021] 位映射在控制器的存储器中的存储可以包括:在执行过滤的过滤器的位阵列中寄存位映射。

[0022] 映射数据的扫描可以包括:向控制器的存储器载入映射数据的映射片段和映射片段的映射列表;以及通过过滤检查与对应于命令的命令数据的逻辑信息相对应的第一映射片段是否存在于映射列表中。

[0023] 映射数据的扫描可以进一步包括:当第一映射片段存在于映射列表中时,通过扫描映射片段检查第一映射片段的物理信息。

[0024] 操作方法可以进一步包括基于物理信息在存储块中执行对应于命令的命令操作。

[0025] 物理信息可以包括对应于命令数据的逻辑信息的物理页面数(PPN)。

[0026] 数据的逻辑信息可以包括存储在第一存储块中的数据的逻辑页面数(LPN)。

附图说明

[0027] 图1是示出本发明的实施例的包括存储器系统的数据处理系统的简图。

[0028] 图2是示出图1所示的存储器系统的存储器装置的简图。

[0029] 图3是示出本发明的实施例的存储器装置的存储块的电路图。

[0030] 图4至图11是示意地示出图2所示的存储器装置的简图。

[0031] 图12至图14是用于示意地说明本发明的实施例的存储器系统的数据处理操作的简图。

[0032] 图15是示意地示出本发明的实施例的存储器系统的数据处理操作的流程图。

具体实施方式

[0033] 将参照附图描述各种实施例。然而,应注意的,本发明可以不同的形式呈现且不应被解释为限于在本文中提出的实施例。而是,这些实施例被提供使得本公开将是彻底且完整的。在整个公开中,相同的参考数字用于对应本发明的各种附图和实施例中的相似部件。应该注意的是,在本说明书中,“连接/联接”不仅指一个组件直接联接另一个组件而且指通过中间组件间接联接另一个组件。另外,单数形式可包括复数形式,只要未在句子中特别地

提到。应该容易理解的是,在本发明中的“上”和“上方”的意思应该以最宽的方式来解释,使得“上”不仅指“直接在某事物上”,而且指通过其间的中间特征或层而“处于某事物上”,并且“上方”不仅指直接在某事物的顶面上,而且指通过其间的中间特征或层在某事物的顶面上。当第一层被称为在第二层“上”或在基板“上”时,其不仅指第一层直接形成在第二层或基板上的情况,而且指第一层和第二层或基板之间存在第三层的情况。

[0034] 参照图1,根据本发明的一个实施例提供了数据处理系统100。数据处理系统100可以包括主机102和存储器系统110。

[0035] 主机102可以包括任何合适的电子设备。例如,主机102可以包括便携电子设备,诸如移动电话、MP3播放器、笔记本电脑等。主机可以包括非便携电子设备,诸如台式电脑、游戏机、电视机、放映机等。

[0036] 存储器系统110可响应于来自主机102的请求来操作。例如,存储器系统可以存储待被主机102访问的数据。存储器系统110可以用作主机102的主存储器系统或者辅助存储器系统。存储器系统110可根据与主机102电联接的主机接口的协议,利用任何合适的存储器件来实现。可以使用一个以上半导体存储器装置。可以使用易失性存储器装置或非易失性存储器装置。例如,存储器系统110可利用固态驱动器(SSD)、多媒体卡(MMC)、嵌入式MMC(eMMC)、减小尺寸的MMC(RS-MMC)和微型-MMC、安全数字(SD)卡、小型-SD和微型-SD、通用串行总线(USB)存储器件、通用闪速存储(UFS)装置、标准闪存(CF)卡、智能媒体(SM)卡、记忆棒等来实现。

[0037] 存储器系统110的存储装置可利用诸如动态随机存取存储器(DRAM)和静态随机存取存储器(SRAM)的易失性存储器装置来实现;或诸如只读存储器(ROM)、掩膜ROM(MROM)、可编程ROM(PROM)、可擦可编程ROM(EPROM)、电可擦可编程ROM(EEPROM)、铁电随机存取存储器(FRAM)、相变RAM(PRAM)、磁阻RAM(MRAM)、电阻式RAM(RRAM)等非易失性存储器装置来实现。

[0038] 存储器系统110可包括存储待被主机102访问的数据的存储器装置150和可控制数据在存储器装置150中的存储的控制器130。

[0039] 控制器130和存储器装置150可以集成到单一半导体器件中。例如,控制器130和存储器装置150可以集成到被配置为固态驱动器(SSD)的一个半导体器件中。配置存储器系统110为SSD可通常允许主机102的操作速度的显著增加。

[0040] 控制器130和存储器装置150可集成在配置为诸如以下的存储卡的单一半导体器件中,诸如个人计算机存储卡国际联合会(PCMCIA)卡、标准闪存(CF)卡、智能媒体(SM)卡(SMC)、记忆棒、多媒体卡(MMC)、RS-MMC和微型MMC、安全数字(SD)卡、小型-SD、微型-SD和SDHC、通用闪速存储(UFS)器件等。

[0041] 而且,例如,存储器系统110可以是或配置计算机、超便携移动PC(UMPC)、工作站、上网本、个人数字助理(PDA)、便携式计算机、网络平板、平板电脑、无线电话、移动电话、智能电话、电子书、便携式多媒体播放器(PMP)、便携式游戏机、导航装置、黑匣子、数码相机、数字多媒体广播(DMB)播放器、三维(3D)电视、智能电视、数字音频记录器、数字音频播放器、数字图像记录器、数字图像播放器、数字视频记录器、数字视频播放器、配置数据中心的存储器、能够在无线环境下传输并接收信息的装置、配置家庭网络的各种电子装置中的一种、配置计算机网络的各种电子装置中的一种、配置远程信息处理网络的各种电子装置中的一种、RFID装置或配置计算系统的各种组成元件中的一种。

[0042] 存储器装置可在写入操作期间存储从主机102提供的数据,并在读取操作期间将存储的数据提供至主机102。存储器装置150可以包括一个以上存储块152、154和156。存储块152、154和156中的每个可以包括多个页面。每个页面可以包括多个存储器单元,多个字线可以电联接至所述多个存储器单元。存储器装置150可以是当电源中断时保留存储的数据的非易失性存储器装置。根据一个实施例,存储器装置可以是闪速存储器。存储器装置可以是具有三维(3D)堆叠结构的闪速存储器装置。稍后参照图2至图11详细地描述具有三维(3D)堆叠结构的非易失性存储器装置150的示例。

[0043] 存储器系统110的控制器130可响应于来自主机102的请求来控制存储器装置150。控制器130可将从存储器装置150读取的数据提供至主机102,并将从主机102提供的数据存储存储在存储器装置150中。为此,控制器130可控制存储器装置150的诸如读取操作、写入操作、编程操作和擦除操作的全部操作。

[0044] 可以使用任何合适的控制器。例如,控制器130可包括主机接口单元132、处理器134、错误纠正码(ECC)单元138、电源管理单元140、NAND闪速控制器142以及存储器144。

[0045] 主机接口单元132可处理从主机102提供的命令和/或数据。主机接口单元132可通过诸如以下的各种接口协议中的至少一个与主机102通信:通用串行总线(USB)、多媒体卡(MMC)、外围组件互连高速(PCI-E)、串列SCSI(SAS)、串行高级技术附件(SATA)、并行高级技术附件(PATA)、小型计算机系统接口(SCSI)、增强型小型磁盘接口(ESDI)、集成驱动电路(IDE)等。

[0046] ECC单元138可以检测和纠正读取操作期间从存储器装置150读取的数据中的错误。可以采用各种检测和纠正技术。例如,当错误位的数量大于或等于可纠正错误位的阈值数量时,ECC单元138可以不纠正错误位,并且可以输出表示纠正错误位失败的错误纠正失败信号。

[0047] ECC单元138可以基于诸如以下的编码调制执行错误纠正操作:低密度奇偶检查(LDPC)码、博斯-查德胡里-霍昆格姆(BCH)码、涡轮码、里德-所罗门(RS)码、卷积码、递归卷积码(RSC)、网格编码调制(TCM)、分组编码调制(BCM)等。ECC单元138可包括错误检测和纠正操作所需的任何和全部合适的电路、系统或装置。

[0048] PMU 140可以提供和管理控制器130的电源,即,包括在控制器130中的组成元件的电力。

[0049] NFC 142可用作控制器130和存储器装置150之间的存储接口,以允许控制器130响应于来自主机102的请求、控制存储器装置150。NFC 142可生成用于存储器装置150的控制信号。例如当存储器装置150为闪速存储器时,且特别当存储器装置150为NAND闪速存储器时,NFC可在处理器134的控制下处理数据。

[0050] 存储器144可以用作存储器系统110和控制器130的工作存储器,并且存储用于驱动存储器系统110和控制器130的数据。控制器130可以响应于来自主机102的请求,控制存储器装置150。例如,控制器130可以将从存储器装置150读取的数据提供至主机102,并将由主机102提供的数据存储至存储器装置150。当控制器130控制存储器装置150的操作时,存储器144可以存储控制器130和存储器装置150的诸如读取、写入、编程和擦除操作的操作使用的数据。

[0051] 存储器144可以利用易失性存储器来实现。例如,存储器144可以利用静态随机存

取存储器(SRAM)或动态随机存取存储器(DRAM)来实现。如上所说,存储器144可存储被主机102和存储器装置150用于读取和写入操作的数据。为了存储所述数据,存储器144可包括程序存储器、数据存储器、写入缓冲器、读取缓冲器、映射(map)缓冲器等。

[0052] 处理器134可以控制存储器系统110的一个以上的一般操作。处理器134可以响应于来自主机102的写入请求或读取请求,控制存储器装置150的写入操作或读取操作。处理器134可以驱动称作闪存转换层(FTL)的固件以控制存储器系统110的一般操作。处理器134可利用微处理器来实现。所述处理器可利用中央处理单元(CPU)来实现。

[0053] 管理单元(未示出)可被包括在处理器134中,并可执行例如存储器装置150的坏块管理。因此,所述管理单元可发现包括在存储器装置150中的、对于进一步使用处于不满意状态的坏存储块,并对坏存储块执行坏块管理。当存储器装置150为例如NAND闪速存储器的闪速存储器时,由于NAND逻辑功能的特性,编程失败可发生在写入操作期间。坏块管理可将编程失败的存储块或坏存储块的数据编程到新的存储块中。由于编程失败产生的坏块可使存储器装置,尤其是具有3D堆叠结构的存储器装置的利用效率恶化,且因此负面影响存储器系统100的可靠性。

[0054] 参照图2,根据一个实施例,存储器装置150可以包括多个存储块,例如第0至第(N-1)块210-240。多个存储块210-240中的每个可以包括多个页面,例如 2^M 个页面(2^M 页面)。多个页面中的每个页面可以包括多个存储器单元,多个字线电联接至所述多个存储器单元。

[0055] 根据可被存储或表达在每个存储器单元中的位的数量,存储块可以是单层单元(SLC)存储块或多层单元(MLC)存储块。SLC存储块可包括利用每个都能够存储1位数据的存储器单元实现的多个页面。MLC存储块可包括利用每个都能够存储多位数据例如两位以上数据的存储器单元实现的多个页面。MLC存储块包括利用每个都能够存储3位数据的存储器单元实现的多个页面,并将被称为三层单元(TLC)存储块。

[0056] 多个存储块210至240中的每个可以在写入操作期间存储由主机器件102提供的的数据,并且可以在读取操作期间将存储的数据提供至主机102。

[0057] 参照图3,存储器装置150的存储块152可包括分别电联接至位线BL0至BL $m-1$ 的多个单元字符串340。每列的单元字符串340可包括至少一个漏极选择晶体管DST和至少一个源极选择晶体管SST。多个存储器单元或多个存储器单元晶体管MC0至MC $n-1$ 可串联地电联接在选择晶体管DST和SST之间。各个存储器单元MC0至MC $n-1$ 可由每个都存储多个位的数据信息的多层单元(MLC)来配置。字符串340可分别电联接至对应的位线BL0至BL $m-1$ 。作为参考,在图3中,“DSL”表示漏极选择线,“SSL”表示源极选择线,且“CSL”表示共源线。

[0058] 尽管存储块152由NAND闪速存储器单元配置,但应注意的是,在其它实施例中,存储块152可通过NOR闪速存储器、结合至少两种存储器单元的混合闪速存储器或控制器内置在存储芯片中的1-NAND闪速存储器来实现。而且,半导体装置的操作特征可不仅应用于电荷存储层由导电浮栅配置的闪速存储器装置,而且可应用于电荷存储层由介电层配置的电荷捕获闪存(CTF)。

[0059] 存储器装置150的电压供应块310可提供字线电压,例如,编程电压、读取电压或通过电压(pass voltage),以根据操作模式被供应至各个字线。电压供应块310可提供待被供应至体材料(bulks)例如其中形成有存储器单元的阱区的电压。电压供应块310可在控制电路(未示出)的控制下执行电压生成操作。电压供应块310可生成多个可变的读取电压以生

成多个读取数据、在控制电路的控制下选择存储器单元阵列的存储块或扇区中的一个、选择所选择的存储块的字线中的一个,并且将字线电压提供至所选择的字线和未选择的字线。

[0060] 存储器装置150的读取/写入电路320可以由控制电路控制,并且可以根据操作模式用作传感放大器或写入驱动器。在验证/正常读取操作期间,读取/写入电路320可以用于从存储器单元阵列读取数据的传感放大器。同样,在编程操作期间,读取/写入电路320可以用于根据待被存储在存储器单元阵列中的数据驱动位线的写入驱动器。读取/写入电路320可以在编程操作期间从缓冲器(未示出)接收将要写入存储器单元阵列的数据,并且可以根据输入的数据驱动位线。为此,读取/写入电路320可包括分别对应于列(或位线)或列对(或位线对)的多个页面缓冲器322、324和326,并且多个锁存器(未示出)可包括在页面缓冲器322、324和326中的每个中。

[0061] 图4-图11是示出存储器装置150的多个方面的示意图。

[0062] 如图4-图11所示,存储器装置150可包括多个存储块BLK0至BLKN-1,并且存储块BLK0至BLKN-1中的每个可以三维(3D)结构或竖向结构来实现。各个存储块BLK0至BLKN-1可包括在第一至第三方向例如x轴方向、y轴方向和z轴方向上延伸的结构。

[0063] 各个存储块BLK0至BLKN-1可包括在第二方向上延伸的多个NAND字符串NS(图8)。多个NAND字符串NS可设置在第一方向和第三方向上。每个NAND字符串NS可电联接至位线BL、至少一个源极选择线SSL、至少一个接地选择线GSL、多个字线WL、至少一个虚拟字线DWL以及共源线CSL。各个存储块BLK0至BLKN-1可电联接至多个位线BL、多个源极选择线SSL、多个接地选择线GSL、多个字线WL、多个虚拟字线DWL以及多个共源线CSL。

[0064] 图5是图4中所示的多个存储块BLK0至BLKN-1中的一个存储块BLK_i的透视图。图6是沿图5所示的存储块BLK_i线I-I'截取的截面图。

[0065] 参照图5和图6,存储块BLK_i可包括在第一至第三方向上延伸的结构。

[0066] 存储块可包括基板5111,基板5111包括掺杂有第一类型杂质的硅材料。例如,基板5111可包括掺杂有p-型杂质的硅材料或可以是p-型阱,例如袋p-阱,并且包括围绕p-型阱的n-型阱。尽管在所示的实施例中假定基板5111为p-型硅,但应注意的是基板5111不限于p-型硅。

[0067] 在第一方向上延伸的多个掺杂区域5311-5314可被设置在基板5111上方。掺杂区域在第三方向上以均匀间隔隔开。多个掺杂区域5311-5314可包含不同于在基板5111中使用的杂质的第二类型的杂质。例如,多个掺杂区域5311-5314可掺杂有n-型杂质。虽然此处假定第一至第四掺杂区域5311至5314是n-型,但应注意第一至第四掺杂区域5311至5314不限于n-型。

[0068] 在第一掺杂区域5311和第二掺杂区域5312之间的基板5111上方的区域中,在第一方向上延伸的多个介电材料区域5112可在第二方向上以均匀间隔隔开。介电材料区域5112和基板5111也可在第二方向上以预定距离彼此隔开。介电材料区域5112可包括诸如例如二氧化硅的任何合适的介电材料。

[0069] 在两个连续的掺杂区域之间(例如掺杂区域5311和掺杂区域5312之间)的基板5111上方的区域中,多个柱状物5113在第一方向上以均匀间隔隔开。柱状物5113在第二方向上穿延伸并可穿过介电材料区域5112,使得它们可与基板5111电联接。每个柱状物5113

可包括一种以上材料。例如,每个柱状物5113可包括内层5115和外表面层5114。表面层5114可包括掺杂有杂质的硅材料。例如,表面层5114可包括掺杂有与基板5111相同的或相同类型的杂质的硅材料。尽管在此假定,作为实例,表面层5114可包括p-型硅,但表面层5114不限于p-型硅且本领域技术人员可容易地想到其它实施例,其中基板5111和柱状物5113的表面层5114可掺杂有n-型杂质。

[0070] 每个柱状物5113的内层5115可由介电材料制成。内层5115可以是或包括诸如例如二氧化硅的介电材料。

[0071] 在第一掺杂区域5311和第二掺杂区域5312之间的区域中,介电层5116可沿介电材料区域5112、柱状物5113和基板5111的露出表面设置。介电层5116的厚度可小于介电材料区域5112之间的距离的一半。换言之,不同于介电材料5112和介电层5116的材料的区域可被设置、可设置在(i)介电层5116(设置在介电材料区域5112的第一介电材料的底部表面上方)和(ii)设置在介电材料区域5112的第二介电材料的顶部表面上方的介电层5116之间。介电材料区域5112位于第一介电材料下面。

[0072] 在诸如第一掺杂区域5311和第二掺杂区域5312之间区域的两个连续的掺杂区域之间的区域中,多个导电材料区域5211-5291可设置在介电层5116的露出表面上方。多个导电材料区域在第一方向上延伸、且在与多个介电材料区域5112的交叉配置中在第二方向上以均匀间隔隔开。介电层5116填充导电材料区域和介电材料区域5112之间的空间。因此,例如,在第一方向上延伸的导电材料区域5211可设置在邻近基板5111的介电材料区域5112和基板5111之间。特别地,在第一方向上延伸的导电材料区域5211可设置在(i)设置在基板5111上方的介电层5116和(ii)设置在邻近基板5111的介电材料区域5112的底部表面上方的介电层5116之间。

[0073] 在第一方向上延伸的导电材料区域5211-5291中的每个可设置在(i)设置在介电材料区域5112中的一个的顶部表面上方的介电层5116和(ii)设置在紧接着的介电材料区域5112的底部表面上方的介电层5116之间。在第一方向上延伸的导电材料区域5221-5281可设置在介电材料区域5112之间。在第一方向上延伸的导电材料区域5291可设置在最上面的介电材料5112上方。在第一方向上延伸的导电材料区域5211-5291可以是或包括金属材料。在第一方向上延伸的导电材料区域5211-5291可以是或包括诸如多晶硅的导电材料。

[0074] 在第二掺杂区域5312和第三掺杂区域5313之间的区域中,可设置与第一掺杂区域5311和第二掺杂区域5312之间的结构相同的结构。例如,在第二掺杂区域5312和第三掺杂区域5313之间的区域中,可设置:在第一方向上延伸的多个介电材料区域5112、在第一方向上连续地设置且在第二方向上穿过多个介电材料区域5112的多个柱状物5113、设置在多个介电材料区域5112的和多个柱状物5113的露出表面上的介电层5116、以及在第一方向上延伸的多个导电材料区域5212-5292。

[0075] 在第三掺杂区域5313和第四掺杂区域5314之间的区域中,可设置与第一掺杂区域5311和第二掺杂区域5312之间的结构相同的结构。例如,在第三掺杂区域5313和第四掺杂区域5314之间的区域中,可设置:在第一方向上延伸的多个介电材料区域5112、在第一方向上顺次地设置且在第二方向上穿过多个介电材料区域5112的多个柱状物5113、设置在多个介电材料区域5112的和多个柱状物5113的露出表面上方的介电层5116、以及在第一方向上延伸的多个导电材料区域5213-5293。

[0076] 漏极5320可分别设置在多个柱状物5113上方。漏极5320可以是掺杂有第二类型杂质的硅材料。漏极5320可以是掺杂有n-型杂质的硅材料。尽管为了方便起见假定漏极5320包括n-型硅,但应注意的是,漏极5320不限于n-型硅。例如,每个漏极5320的宽度可大于每个对应的柱状物5113的宽度。每个漏极5320可以焊盘(pad)的形状设置在每个对应的柱状物5113的顶部表面上方。

[0077] 在第三方向上延伸的导电材料区域5331-5333可设置在漏极5320上方。导电材料区域5331-5333可在第一方向上顺次地设置。各个导电材料区域5331-5333可与对应区域的漏极5320电联接。漏极5320和在第三方向上延伸的导电材料区域5331-5333可通过接触插塞电联接。在第三方向上延伸的导电材料区域5331-5333可以是金属材料。在第三方向上延伸的导电材料区域5331-5333可以是诸如多晶硅的导电材料。

[0078] 在图5和图6中,各自的柱状物5113可与介电层5116和在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293一起形成字符串。各个柱状物5113可与介电层5116和在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293一起形成NAND字符串NS。每个NAND字符串NS可包括多个晶体管结构TS。

[0079] 图7是图6中所示的晶体管结构TS的截面视图。

[0080] 参照图7,在图6中所示的晶体管结构TS中,介电层5116可包括第一子介电层5117、第二子介电层5118和第三子介电层5119。

[0081] 在每个柱状物5113中的p-型硅的表面层5114可作为主体。邻近柱状物5113的第一子介电层5117可作为隧穿介电层,且可包括热氧化层。

[0082] 第二子介电层5118可作为电荷存储层。第二子介电层5118可作为电荷捕获层,且可包括氮化物层或诸如氧化铝层、氧化钪层等的金属氧化物层。

[0083] 邻近导电材料5233的第三子介电层5119可作为阻断介电层。邻近在第一方向上延伸的导电材料5233的第三子介电层5119可形成为单层或多层。第三子介电层5119可以是介电常数大于第一子介电层5117和第二子介电层5118的诸如氧化铝层、氧化钪层等的高k介电层。

[0084] 导电材料5233可作为栅或控制栅。即,栅或控制栅5233、阻断介电层5119、电荷存储层5118、隧穿介电层5117和主体5114可形成晶体管或存储器单元晶体管结构。例如,第一子介电层5117、第二子介电层5118和第三子介电层5119可形成氧化物-氮化物-氧化物(ONO)结构。在一个实施例中,为方便起见,在每个柱状物5113中的p-型硅的表面层5114将被称为第二方向上的主体。

[0085] 存储块BLK_i可包括多个柱状物5113。即,存储块BLK_i可包括多个NAND字符串NS。详细地,存储块BLK_i可包括在第二方向或在垂直于基板5111的方向上延伸的多个NAND字符串NS。

[0086] 每个NAND字符串NS可包括在第二方向上设置的多个晶体管结构TS。每个NAND字符串NS的多个晶体管结构TS中的至少一个可作为字符串源晶体管SST。每个NAND字符串NS的多个晶体管结构TS中的至少一个可作为接地选择晶体管GST。

[0087] 栅或控制栅可对应于在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293。换言之,栅或控制栅可在第一方向上延伸且形成字线和至少两个选择线,其中至少两个选择线是至少一个源极选择线SSL和至少一个接地选择线GSL。

[0088] 在第三方向上延伸的导电材料区域5331-5333可电联接至NAND字符串NS的一端。在第三方向上延伸的导电材料区域5331-5333可作为位线BL。即,在一个存储块BLK_i中,多个NAND字符串NS可电联接至一个位线BL。

[0089] 在第一方向上延伸的第二类型掺杂区域5311-5314可被设置至NAND字符串NS的另一端。在第一方向上延伸的第二类型掺杂区域5311-5314可作为共源线CSL。

[0090] 即,存储块BLK_i可包括在垂直于基板5111的方向例如第二方向上延伸的多个NAND字符串NS,且可作为例如电荷捕获类型存储器的NAND闪速存储块,其中多个NAND字符串NS电联接至一个位线BL。

[0091] 尽管图5-图7中示出了在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293设置为9层,但应注意的是,在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293不限于设置为9层。例如,在第一方向上延伸的导电材料区域可设置为8层、16层或任何多个层。换言之,在一个NAND字符串NS中,晶体管的数量可以是8个、16个或更多。

[0092] 尽管图5-图7中示出了3个NAND字符串NS被电联接至一个位线BL,但应注意的是,实施例不限于具有被电联接至一个位线BL的3个NAND字符串NS。在存储块BLK_i中,m个NAND字符串NS可电联接至一个位线BL,m为正整数。根据电联接至一个位线BL的NAND字符串NS的数量,在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293的数量和共源线5311-5314的数量也可被控制。

[0093] 进一步地,尽管图5-图7中示出了3个NAND字符串NS被电联接至在第一方向上延伸的一个导电材料,但应注意的是,实施例不限于具有被电联接至在第一方向上延伸的一个导电材料的3个NAND字符串NS。例如,n个NAND字符串NS可被电联接至在第一方向上延伸的一个导电材料,n为正整数。根据被电联接至在第一方向上延伸的一个导电材料的NAND字符串NS的数量,位线5331-5333的数量也可被控制。

[0094] 图8是示出如参照图5-图7所述的具有第一结构的存储块BLK_i的等效电路图。

[0095] 参照图8,块BLK_i可具有位于第一位线BL1和共源线CSL之间的多个NAND字符串NS11-NS31。第一位线BL1可对应于图5和图6的在第三方向上延伸的导电材料区域5331。NAND字符串NS12-NS32可设置在第二位线BL2和共源线CSL之间。第二位线BL2可对应于图5和图6的在第三方向上延伸的导电材料区域5332。NAND字符串NS13-NS33可设置在第三位线BL3和共源线CSL之间。第三位线BL3可对应于图5和图6的在第三方向上延伸的导电材料区域5333。

[0096] 每个NAND字符串NS的源极选择晶体管SST可电联接至对应的位线BL。每个NAND字符串NS的接地选择晶体管GST可电联接至共源线CSL。存储器单元MC可以设置在每个NAND字符串NS的源极选择晶体管SST和接地选择晶体管GST之间。

[0097] 在该示例中,NAND字符串NS可由行和列的单位定义并且电联接至一个位线的NAND字符串NS可形成一列。电联接至第一位线BL1的NAND字符串NS11-NS31可对应于第一列,电联接至第二位线BL2的NAND字符串NS12-NS32可对应于第二列,并且电联接至第三位线BL3的NAND字符串NS13-NS33可对应于第三列。电联接至一个源极选择线SSL的NAND字符串NS可形成一行。电联接至第一源极选择线SSL1的NAND字符串NS11-NS31可形成第一行,电联接至第二源极选择线SSL2的NAND字符串NS12-NS32可形成第二行,并且电联接至第三源极选择

线SSL3的NAND字符串NS13-NS33可形成第三行。

[0098] 在每个NAND字符串NS中,可定义高度。在每个NAND字符串NS中,邻近接地选择晶体管GST的存储器单元MC1的高度可具有值“1”。在每个NAND字符串NS中,当从基板5111被测量时,存储器单元的高度可随着存储器单元靠近源极选择晶体管SST而增加。例如,在每个NAND字符串NS中,邻近源极选择晶体管SST的存储器单元MC6的高度可以是7。

[0099] 在相同行中的NAND字符串NS的源极选择晶体管SST可共享源极选择线SSL。在不同行中的NAND字符串NS的源极选择晶体管SST可分别电连接至不同的源极选择线SSL1、SSL2和SSL3。

[0100] 相同行中的NAND字符串NS中的相同高度处的存储器单元可共享字线WL。即,在相同高度处,电连接至不同行中的NAND字符串NS存储器单元MC的字线WL可被电连接。相同行的NAND字符串NS中相同高度处的虚拟存储器单元DMC可共享虚拟字线DWL。即,在相同高度或水平处,电连接至不同行中的NAND字符串NS的虚拟存储器单元DMC的虚拟字线DWL可被电连接。

[0101] 位于相同水平或高度或层处的字线WL或虚拟字线DWL在可设置沿第一方向延伸的导电材料区域5211-5291、5212-5292和5213-5293的层处可彼此电连接。在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293可通过接触部共同电连接至上层。在上层处,在第一方向上延伸的导电材料区域5211-5291、5212-5292和5213-5293可被电连接。换言之,在相同行中的NAND字符串NS的接地选择晶体管GST可共享接地选择线GSL。进一步地,在不同行中的NAND字符串NS的接地选择晶体管GST可共享接地选择线GSL。即,NAND字符串NS11-NS13、NS21-NS23和NS31-NS33可电连接至接地选择线GSL。

[0102] 共源线CSL可电连接至NAND字符串NS。在有源区域(active region)上方和在基板5111上方,第一至第四掺杂区域5311-5314可被电连接。第一至第四掺杂区域5311-5314可通过接触部电连接至上层,并且在上层处,第一至第四掺杂区域5311-5314可被电连接。

[0103] 例如,如图8中所示,相同高度或水平的字线WL可被电连接。因此,当选择特定高度处的字线WL时,电连接至字线WL的所有NAND字符串NS可被选择。在不同行中的NAND字符串NS可电连接至不同源极选择线SSL。因此,在电连接至相同字线WL的NAND字符串NS中,通过选择源极选择线SSL1-SSL3中的一个,在未选择的行中的NAND字符串NS可与位线BL1-BL3电隔离。换言之,通过选择源极选择线SSL1-SSL3中的一个,NAND字符串NS的行可被选择。此外,通过选择位线BL1-BL3中的一个,所选择的行中的NAND字符串NS可以列为单位来选择。

[0104] 在每个NAND字符串NS中,可设置虚拟存储器单元DMC。在图8中,虚拟存储器单元DMC可在每个NAND字符串NS中被设置在第三存储器单元MC3和第四存储器单元MC4之间。即,第一至第三存储器单元MC1-MC3可设置在虚拟存储器单元DMC和接地选择晶体管GST之间。第四至第六存储器单元MC4-MC6可设置在虚拟存储器单元DMC和源极选择晶体管SSL之间。每个NAND字符串NS的存储器单元MC可被虚拟存储器单元DMC划分成存储器单元组。在划分的存储器单元组中,邻近接地选择晶体管GST的存储器单元例如MC1-MC3可被称为下部存储器单元组,且邻近字符串选择晶体管SST的存储器单元例如MC4-MC6可被称为上部存储器单元组。

[0105] 在下文中,将参照图9-图11做出详细说明,图9-图11示出根据本发明另一个实施例的存储器系统中的存储器装置。

[0106] 特别地,图9是示意性说明利用不同于上文参照图5-图8所述的第一结构的三维(3D)非易失性存储器装置来实现的存储器装置的透视图。图10是示出沿图9的线VII-VII'截取的存储块BLKj的截面图。

[0107] 参照图9和图10,存储块BLKj可包括在第一至第三方向上延伸的结构且可包括基板6311。基板6311可以包括掺杂第一型杂质的硅材料。例如,基板6311可包括掺杂有p-型杂质的硅材料或可以是p-型阱,例如袋p-阱,且包括围绕p-型阱的n-型阱。尽管在所示的实施例中假定基板6311为p-型硅,但应注意的是,基板6311不限于p-型硅。

[0108] 在x轴方向和y轴方向上延伸的第一至第四导电材料区域6321-6324被设置在基板6311上方。第一至第四导电材料区域6321-6324可在z轴方向上隔开预定距离。

[0109] 在x轴方向和y轴方向上延伸的第五至第八导电材料区域6325-6328可设置在基板6311上方。第五至第八导电材料区域6325-6328可在z轴方向上隔开预定距离。第五至第八导电材料区域6325-6328可在y轴方向上与第一至第四导电材料区域6321-6324隔开。

[0110] 可设置穿过第一至第四导电材料区域6321-6324的多个下部柱状物DP。每个下部柱状物DP在z轴方向上延伸。而且,可设置穿过第五至第八导电材料区域6325-6328的多个上部柱状物UP。每个上部柱状物UP在z轴方向上延伸。

[0111] 下部柱状物DP和上部柱状物UP中的每个可包括内部材料6361、中间层6362和表面层6363。中间层6362可用作单元晶体管的通道。表面层6363可包括阻断介电层、电荷存储层和隧穿介电层。

[0112] 下部柱状物DP和上部柱状物UP可通过管栅PG电联接。管栅PG可被设置在基板6311中。例如,管栅PG可包括与下部柱状物DP和上部柱状物UP相同的材料。

[0113] 在x轴方向和y轴方向上延伸的第二类型的掺杂材料6312可设置在下部柱状物DP上方。例如,第二类型的掺杂材料6312可包括n-型硅材料。第二类型的掺杂材料6312可用作共源线CSL。

[0114] 漏极6340可设置在上部柱状物UP上方。漏极6340可包括n-型硅材料。在y轴方向上延伸的第一上部导电材料区域6351和第二上部导电材料区域6352可设置在漏极6340上方。

[0115] 第一上部导电材料区域6351和第二上部导电材料区域6352可在x轴方向上隔开。第一上部导电材料区域6351和第二上部导电材料区域6352可由金属形成。第一上部导电材料区域6351和第二上部导电材料区域6352与漏极6340可通过接触插塞电联接。第一上部导电材料区域6351和第二上部导电材料区域6352分别作为第一位线BL1和第二位线BL2。

[0116] 第一导电材料6321可作为源极选择线SSL,第二导电材料6322可作为第一虚拟字线DWL1,并且第三导电材料区域6323和第四导电材料区域6324分别作为第一主字线MWL1和第二主字线MWL2。第五导电材料区域6325和第六导电材料区域6326分别作为第三主字线MWL3和第四主字线MWL4,第七导电材料6327可作为第二虚拟字线DWL2,并且第八导电材料6328可作为漏极选择线DSL。

[0117] 下部柱状物DP和邻近下部柱状物DP的第一至第四导电材料区域6321-6324形成下部字符串。上部柱状物UP和邻近上部柱状物UP的第五至第八导电材料区域6325-6328形成上部字符串。下部字符串和上部字符串可通过管栅PG电联接。下部字符串的一端可电联接至作为共源线CSL的第二类型的掺杂材料6312。上部字符串的一端可通过漏极6340电联接至对应的位线。一个下部字符串和一个上部字符串形成一个单元字符串,其电联接在作为

共源线CSL的第二类型的掺杂材料6312和作为位线BL的上部导电材料层6351-6352中的对应的一个之间。

[0118] 即,下部字符串可包括源极选择晶体管SST、第一虚拟存储器单元DMC1、以及第一主存储器单元MMC1和第二主存储器单元MMC2。上部字符串可包括第三主存储器单元MMC3、第四主存储器单元MMC4、第二虚拟存储器单元DMC2和漏极选择晶体管DST。

[0119] 在图9和图10中,上部字符串和下部字符串可形成NAND字符串NS,且NAND字符串NS可包括多个晶体管结构TS。由于上文参照图7详细地描述了包括在图9和图10中的NAND字符串NS中的晶体管结构,所以在此将省略其详细说明。

[0120] 图11是示出具有如上参照图9和图10所述的第二结构的存储块BLKj的等效电路的电路图。为方便起见,仅示出形成第二结构中存储块BLKj中的一对的第一字符串和第二字符串。

[0121] 参照图11,在具有第二结构的存储块BLKj中,单元字符串可以定义多个对的这种方式来设置,其中,单元字符串中的每个都利用如上参照图9和图10所述的、通过管栅PG电联接的一个上部字符串和一个下部字符串来实现。

[0122] 例如,在具有第二结构的某一存储块BLKj中,存储器单元CG0-CG31沿第一通道CH1(未示出)堆叠,例如,至少一个源极选择栅SSG1和至少一个漏极选择栅DSG1可形成第一字符串ST1,并且存储器单元CG0-CG31沿第二通道CH2(未示出)堆叠,例如,至少一个源极选择栅SSG2和至少一个漏极选择栅DSG2可形成第二字符串ST2。

[0123] 第一字符串ST1和第二字符串ST2可电联接至相同漏极选择线DSL和相同源极选择线SSL。第一字符串ST1可电联接至第一位线BL1,且第二字符串ST2可电联接至第二位线BL2。

[0124] 尽管图11中描述了第一字符串ST1和第二字符串ST2被电联接至相同漏极选择线DSL和相同源极选择线SSL,但可设想第一字符串ST1和第二字符串ST2可电联接至相同源极选择线SSL和相同位线BL,第一字符串ST1可电联接至第一漏极选择线DSL1,并且第二字符串ST2可电联接至第二漏极选择线SDL2。进一步地,可设想第一字符串ST1和第二字符串ST2可电联接至相同漏极选择线DSL和相同位线BL,第一字符串ST1可电联接至第一源极选择线SSL1,并且第二字符串ST2可电联接至第二源极选择线SSL2。

[0125] 下文,将参考图12至15更详细地描述根据本发明实施例的将数据处理至存储器系统中存储器装置的操作,例如,响应于从主机102接收的命令,向存储器装置150处理命令数据的操作。

[0126] 图12至14是用于示意地描述本发明实施例的存储器系统的数据处理操作的简图。下文,作为示例,描述了图1的存储器系统110执行与从图1的主机102接收的命令相对应的命令操作。命令操作可以包括读取和写入操作,并且存储器系统110可以从包括在图1的存储器装置150中的多个存储块读取/向包括在图1的存储器装置150中的多个存储块写入对应于所述命令的命令数据,例如,读取和写入对应于读取和写入指令的数据。当执行命令操作时,存储器系统110可以将命令数据暂时储存在包括于图1的控制器130的存储器144中的缓冲器/缓存中,并且执行搜索和检查命令数据的映射数据的扫描操作。

[0127] 此外,为了简化说明,作为示例,将描述控制器130执行存储器系统110的数据处理操作。然而,如上所述,包括在控制器130中的处理器134可以通过例如FTL执行数据处理操

作。当控制器130执行与从主机102接收的命令相对应的命令操作时,控制器130可以检查对应于所述命令操作的映射数据,根据所述命令操作更新映射数据,并且将更新的映射数据储存在存储器装置150的存储块中。每当执行与从主机102接收的命令响应的命令操作时,控制器130可以搜索并检查储存在存储块中的映射数据。所述映射数据可以包括包含L2P(逻辑到物理)地址信息(下文称为“逻辑信息”)的第一映射数据和包含P2L(物理到逻辑)地址信息(下文称为“物理信息”)的第二映射数据。

[0128] 在本发明的实施例中,当控制器130从主机102接收写入命令时,控制器130可以在存储器装置150的存储块(即,用户数据块)中的开放块或自由块中写入并储存对应于写入命令的用户数据,并将对应于用户数据的第一映射数据和第二映射数据更新和储存到存储块(即,映射块)中的开放块或自由块中。第一映射数据可以包括包含储存在用户数据块中的用户数据的逻辑地址和物理地址之间的映射信息,即,逻辑信息,的L2P映射表,并且第二映射数据可以包括包含用户数据储存在其中的用户数据块的物理地址和逻辑地址之间的映射信息,即,物理信息,的P2L映射表。此外,当控制器130从主机102接收读取命令时,控制器130可以执行在储存在映射块中的第一映射数据和第二映射数据中搜索对应于读取命令的用户数据的映射数据,并且检查存储块中具有储存在其中的用户数据的用户数据块的扫描操作,读取储存在使用的数据块中的用户数据,并且将读取的数据提供至主机102。

[0129] 具体地,当控制器130对对应于从主机102接收的命令的用户数据执行命令操作时,控制器130可以在储存在映射块中的第一映射数据和第二映射数据中搜索用户数据的映射数据,以执行命令操作。换言之,控制器130可以执行在包含第一映射数据的逻辑信息的逻辑片段(例如,L2P片段)中搜索用户数据的映射数据以及在包含第二映射数据的物理信息的物理片段(例如P2L片段)中搜索用户数据的映射数据的扫描操作,并且对该用户数据在存储块中执行所述命令操作。此时,控制器130可以执行用户数据的逻辑信息,例如逻辑页面数量(LPN)或者用户数据的逻辑地址,的过滤(LPN过滤),并且执行在第一映射数据的逻辑片段和第二映射数据的物理片段中搜索所述用户数据的LPN的扫描操作。

[0130] 在本实施例中,当控制器130在对应于从主机102接收的写入命令的写入命令操作期间、生成并更新所述映射数据或具体地所述第二映射数据时,控制器130可以将编程至存储块的页面的数据的逻辑地址或者LPN写入第二映射数据的P2L映射表。此时,控制器130可以通过使用任意的设定值对连续的LPN执行操作,通过多个散列以位映射形式生成ID来将ID分配到LPN,并且将位映射寄存在用于LPN过滤的LPN过滤器的位阵列中。例如,控制器130可以通过使用任意的设定值转换并分组编程至存储块的页面的数据的LPN来生成ID,通过多个散列生成位映射形式的ID,并且将ID寄存在LPN过滤器的位阵列中。

[0131] 此外,当控制器130在第二映射数据的物理片段中搜索用户数据的LPN时,控制器130可以通过LPN过滤器对用户数据的LPN执行LPN过滤,并且检查用户数据的LPN是否存在于第二映射列表,即,P2L片段的P2L映射列表,或者检查是否存在对应于用户数据的LPN的P2L片段。此时,仅当用户数据的LPN存在于P2L映射列表中时,控制器130可以执行在第二映射数据的物理片段中搜索用户数据的LPN的扫描操作。

[0132] 换言之,当控制器130从主机102接收命令并且执行对应于所述命令的命令操作时,控制器130可以通过储存在控制器130的存储器144中的第一映射数据和第二映射数据的片段的映射列表,检查第一映射数据和第二映射数据。具体地,为了检查对应于所述命令

的命令数据的映射数据,控制器130可以将储存在存储器装置150存储块中的映射块内的第一映射数据和第二映射数据载入控制器130的存储器144,并且检查第一映射数据和第二映射数据。

[0133] 即,当控制器130在第二映射数据的物理片段中搜索所述命令数据的LPN时,控制器130可以通过LPN过滤器对命令数据的LPN执行LPN过滤,并且检查对应于所述命令数据的LPN的P2L片段是否存在于第二映射列表中,即,P2L片段的P2L映射列表。此时,仅当对应于所述命令数据的LPN的P2L片段存在于P2L映射列表中时,控制器130可以在第二映射数据的物理片段中搜索用户数据的LPN,或者在第二映射数据的P2L片段中扫描对应于所述命令数据的LPN的P2L片段。

[0134] 在本实施例中,仅当命令数据的LPN存在于第二映射数据的映射列表时,通过LPN过滤执行对应于载入控制器130的存储器144的第二映射数据中的命令数据的LPN的物理信息的扫描操作。扫描操作的次数可以最小化。因此,控制器130可以使映射数据的搜索和检查次数最小化,以执行与从主机102接收的命令相对应的命令操作。即,控制器130可以改进执行命令操作的映射数据的访问速率,从而快速并稳定地处理对应于所述命令的命令数据。下文,将参考图12至14更详细地描述本发明实施例的存储器系统的数据处理操作。

[0135] 首先,参考图12和13,控制器130可以向存储器装置150的存储块中数据块1300的开放块1305、1310和1315写入并储存对应于从主机102接收的命令的数据,例如对应于写入命令的用户数据,并且将对应于向数据块1300的写入操作的用户数据的映射数据储存在存储器装置150的存储块中的映射块1320的开放块中。

[0136] 控制器130可以储存表示用户数据储存在存储器装置150的第一块至第三块1305、1310和1315(块(BLOCK)0-块2)的页面(页面(PAGE)0-页面11)中的信息,例如,存储器装置150的映射块1320中的L2P信息1330和P2L信息1350。

[0137] 换言之,控制器130可以将对应于从主机102接收的写入命令的用户数据编程并储存至存储器装置150的第一块至第三块1305、1310和1315的页面中。此外,控制器130可以基于储存在第一块至第三块1305、1310和1315的页面中的用户数据生成映射信息,例如,包含关于具有LPN的用户数据的逻辑地址1332/物理地址1334(LA/PA)的信息的L2P信息1330和包含储存在第一块至第三块1305、1310和1315的页面中用户数据的LPN的P2L信息1350。然后,控制器130可以将生成的L2P信息1330和P2L信息1350储存到存储器装置150的存储块中的映射块1320中。此外,用户数据可以被编程以更新L2P信息1330和P2L信息1350。

[0138] L2P信息1330可以包括储存在存储器装置150的所有存储块(例如第一块至第三块1305、1310和1315)的页面中的用户数据的物理映射信息。L2P信息1330的L2P映射列表,即第一映射数据的逻辑片段(L2P片段)的第一映射列表,可以储存在控制器130的存储器144中或者储存在存储器装置150的映射块1320中,控制器130的存储器144中或存储器装置150的映射块1320中储存有L2P信息1330。P2L信息1350可以包括储存在存储器装置150的所有存储块的页面中的用户数据的逻辑信息。即,P2L信息1350可以包括:包含储存在第一块1305各个页面中的用户数据的LPN的第一表1360(表(TABLE)0)、包含储存在第二块1310各个页面中的用户数据的LPN的第二表1370(表1),以及包含储存在第三块1315各个页面中的用户数据的LPN的第三表1380(表2)。此外,P2L信息1350的P2L映射列表,即第二映射数据的物理片段(P2L片段)的第二映射列表,可以储存在控制器130的存储器144中或者储存在存

存储器装置150的映射块1320中,控制器130的存储器144中或者存储器装置150的映射块1320中储存有L2P信息1330。

[0139] 此外,为了检查所述命令数据的映射数据,控制器130可以包括LPN过滤器1220,以对与从主机102接收的命令相对应的命令数据的LPN执行过滤。LPN过滤器1220可以通过执行散列和转换操作的FTL、搜索引擎或者处理器134在控制器130中实现。可替换地,LPN过滤器1220可以通过独立的硬件在控制器130内部或外部实现。下文,为了简单说明,将通过FTL在控制器130中实现LPN过滤器1220作为示例描述。

[0140] 即,当随着对应于从主机102接收的写入命令的用户数据储存在第一块至第三块1305、1310和1315的页面中而生成映射信息时,控制器130可以将用户数据的LPN写入第一表至第三表1360、1370和1380,并且将ID分配到用户数据的LPN。此时,控制器130可以使用任意的设定值转换并生成连续的用户数据的LPN,并且将ID分配到用户数据的LPN。控制器130可以通过多个散列以位映射形式生成ID,并且将位映射寄存到用于LPN过滤的LPN过滤器的位阵列中。现在,参考图14,更详细地描述包括在根据本发明实施例的存储器系统110中的控制器130内的LPN过滤器1220。

[0141] 参考图14,随着用户数据储存在第一块至第三块1305、1310和1315的页面中,控制器130可以使用任意的设定值将写入第一表至第三表1360、1370和1380的用户数据的LPN转换并分组,并且将ID分配到用户数据的LPN或者针对用户数据的LPN生成ID。

[0142] 例如,当任意的设定值为“4”时,控制器130可以将ID“0”分配给用户数据的LPN“0、1、2和3”,并且将ID“1”分配给用户数据的LPN“4、5、6和7”。即,控制器130可以基于任意的设定值将写入第一表至第三表1360、1370和1380的用户数据的LPN转换并分组,并且将ID分配到LPN。例如,当具有LPN 80的数据(下文称为“数据80”)储存在存储器装置150的第二块1310的页面(页面10)中时,表示数据80储存在第二块1310的页面(页面10)中的信息可以储存在第二表1370中。即,数据80的LPN 80可以写入第二表1370,并且ID 1410“20”可以分配到写入第二表1370的LPN 80。

[0143] 在通过转换和分组写入第一表至第三表1360、1370和1380的用户数据的LPN来分配ID后,控制器130可以通过多个散列,例如,第一至第三散列(散列(HASH)1-散列3)1420、1430和1440,生成ID的位映射1460。例如,控制器130可以将ID 1410“20”分配到写入第二表1370的LPN 80,并且使用第一至第三散列1420、1430和1440生成ID 1410ID 1410“20”的位映射1460。控制器130可以通过将位映射1460寄存在LPN过滤器1220的位阵列中而配置LPN过滤器1220。

[0144] 当控制器130在第二映射数据的物理片段例如存储在存储器装置150的映射块1320中的P2L信息1350的第一表至第三表1360、1370和1380中搜索对应于从主机102接收的命令的用户数据的LPN 1210时,控制器130可以通过LPN过滤器1220对用户数据的LPN 1210执行LPN过滤,并且检查用户数据的LPN 1210是否存在于第二映射列表,即,P2L片段的P2L映射列表1230,或者对应于用户数据的LPN 1210的P2L片段是否存在于P2L映射列表1230中。此时,仅当用户数据的LPN 1210存在于P2L映射列表1230中时,控制器130可以在第二映射数据的物理片段例如载入被包括在控制器130中的存储器144的映射缓存1240中的P2L信息1350的第一表至第三表1360、1370和1380中搜索用户数据的LPN 1210。即,控制器130可以在P2L片段中扫描对应于用户数据的LPN 1210的P2L片段,并且检查对应于用户数据的

LPN 1210的PPN(物理页面数)1250,即,对应于用户数据的LPN 1210的P2L片段的PPN 1250。

[0145] 更具体地,当控制器130接收写入/读取命令并且写入/读取对应于写入/读取命令的数据时,控制器130可以通过存储在控制器130的存储器144中的第一映射数据和第二映射数据的片段的映射列表,检查数据的第一映射数据和第二映射数据。

[0146] 特别地,为了检查与命令相对应的命令数据的映射数据,控制器130可以将存储在存储器装置150的存储块中的映射块1320中的例如L2P信息1330的第一映射数据和例如P2L信息1350的第二映射数据载入控制器130的存储器144。此时,当L2P信息1330的L2P映射列表和P2L信息1350的P2L映射列表不存在于控制器130的存储器144中时,存储在存储器装置150中的L2P映射列表和P2L映射列表可以载入存储器144。

[0147] 此外,为了检查对应于命令的命令数据的映射数据,控制器130可以检查被载入控制器130的存储器144的L2P信息1330和P2L信息1350。特别地,控制器130可以执行在载入存储器144的映射缓存1240的P2L信息1350的第一表至第三表1360、1370和1380中搜索命令数据的LPN 1210的扫描操作。此时,在执行扫描操作之前,控制器130可以通过LPN过滤器1220对命令数据的LPN 1210执行LPN过滤,并且检查命令数据的LPN 1210是否存在于载入存储器144的P2L映射列表1230中或者检查对应于命令数据的LPN 1210的P2L片段是否存在于P2L映射列表1230中。

[0148] 此外,当命令数据的LPN 1210存在于P2L映射列表1230中时,控制器130可以执行在载入映射缓存1240的P2L信息1350的第一表至第三表1360、1370和1380即P2L片段中搜索命令数据的LPN 1210的扫描操作。即,控制器130可以在P2L信息1350的第一表至第三表1360、1370和1380中执行对命令数据的LPN 1210的扫描操作,或者在P2L信息1350的P2L片段中扫描对应于命令数据的LPN 1210的P2L片段。控制器130可以检查对应于命令数据的LPN 1210的PPN 1250。然后,控制器130可以基于命令数据的PPN 1250,对存储器装置150的存储块中的命令数据执行命令操作。然后,参照图15,将更详细地描述根据本发明实施例的存储器系统的数据处理操作。

[0149] 图15是示意地示出本发明实施例的存储器系统的数据处理操作的流程图。

[0150] 因此,在步骤1510中,存储器系统可以从主机接收命令,例如写入/读取命令,并且在步骤1520中,在搜索并检查命令数据的映射数据之前对与命令对应的命令数据的LPN执行LPN过滤。

[0151] 为了对命令数据的LPN执行LPN过滤,当生成命令数据的映射数据时,存储器系统可以生成和寄存命令数据的LPN的ID。即,当生成包含命令数据的P2L信息的第二映射数据时,存储器系统可以基于任意的设定值转换并分组命令数据的LPN,并且分配ID或生成命令数据的LPN的ID。存储器系统可以通过多个散列以位映射的形式生成ID,将生成的ID寄存在执行LPN过滤的LPN过滤器的位阵列中,并且通过LPN过滤器对命令数据的LPN执行LPN过滤。

[0152] 在步骤1530中,存储器系统可以通过LPN过滤在映射数据的映射片段的映射列表中检查命令数据的LPN。然后,存储器系统可以在映射数据的映射片段中搜索命令数据的LPN或在映射数据中扫描命令数据,并且检查对应于命令数据的LPN的PPN。

[0153] 在步骤1540中,存储器系统可以基于命令数据的PPN,对存储器装置的存储块中的命令数据执行命令操作。

[0154] 已经参照图12至图14详细描述了对应于从主机接收的写入命令的写入数据的映

射数据的检查操作,即,对写入数据的LPN执行LPN过滤并且检查对应于写入数据的LPN的PPN的操作。并且因此,此处省略其详细描述。

[0155] 根据本发明实施例的存储器系统及其操作方法可以最小化存储器系统的性能降低,同时简化存储器系统的操作,从而快速并稳定地将数据处理至存储器装置。

[0156] 尽管为了说明的目的已经描述了各种实施例,但对于本领域技术人员将明显的是,在不脱离如权利要求所限定的本发明的精神和/或范围的情况下可以做出各种改变和变型。

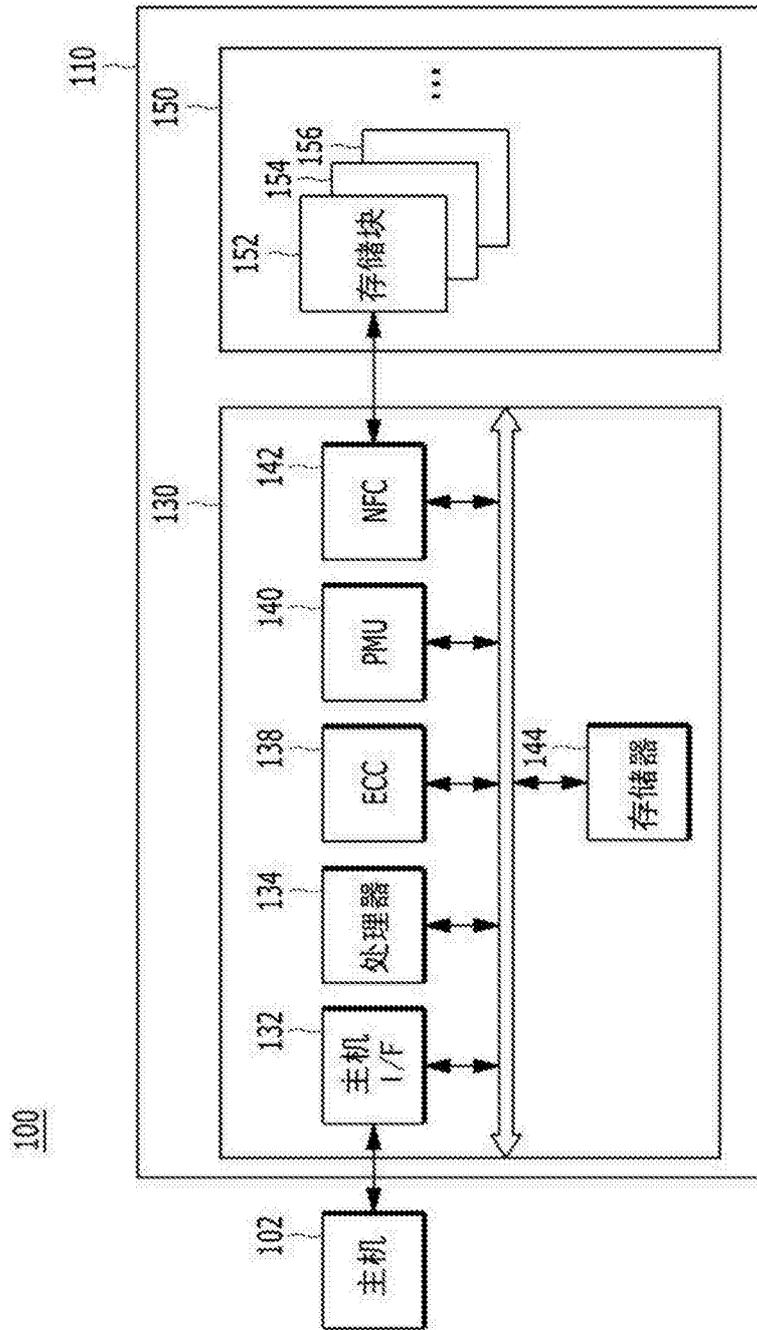


图1

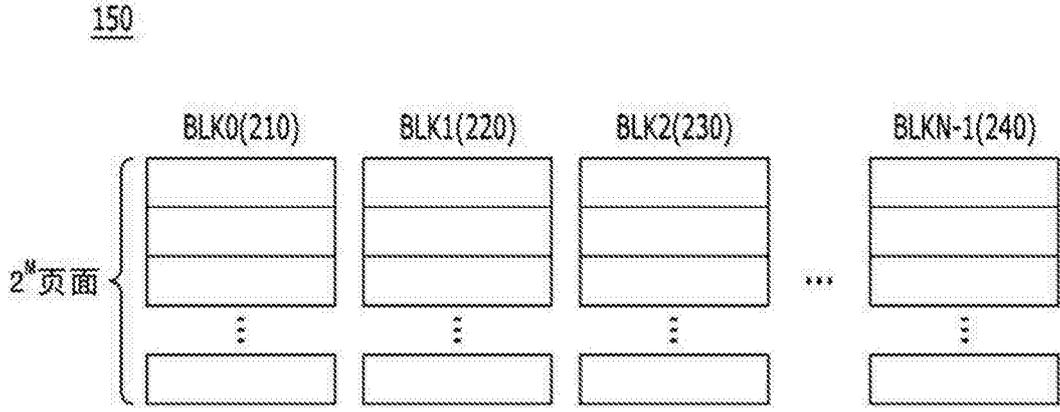


图2

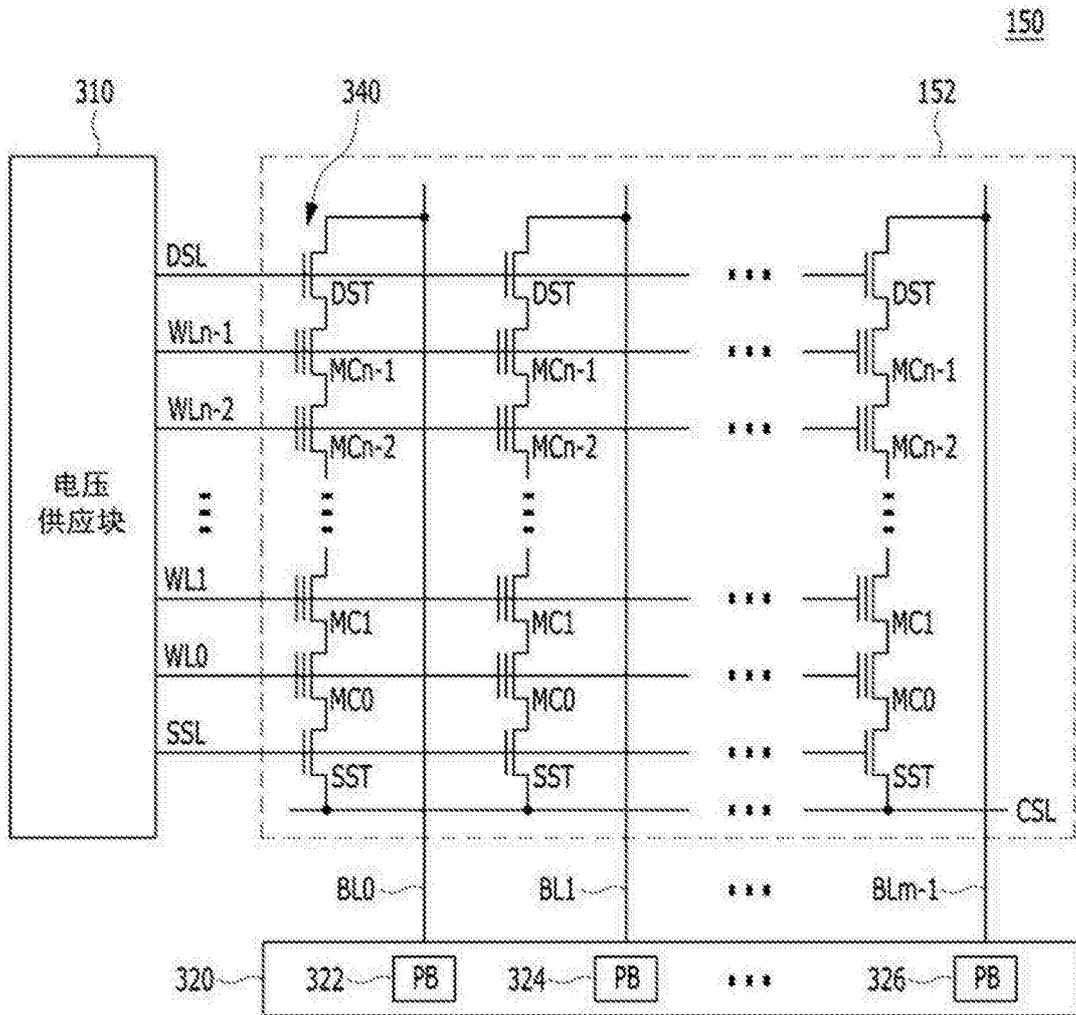


图3

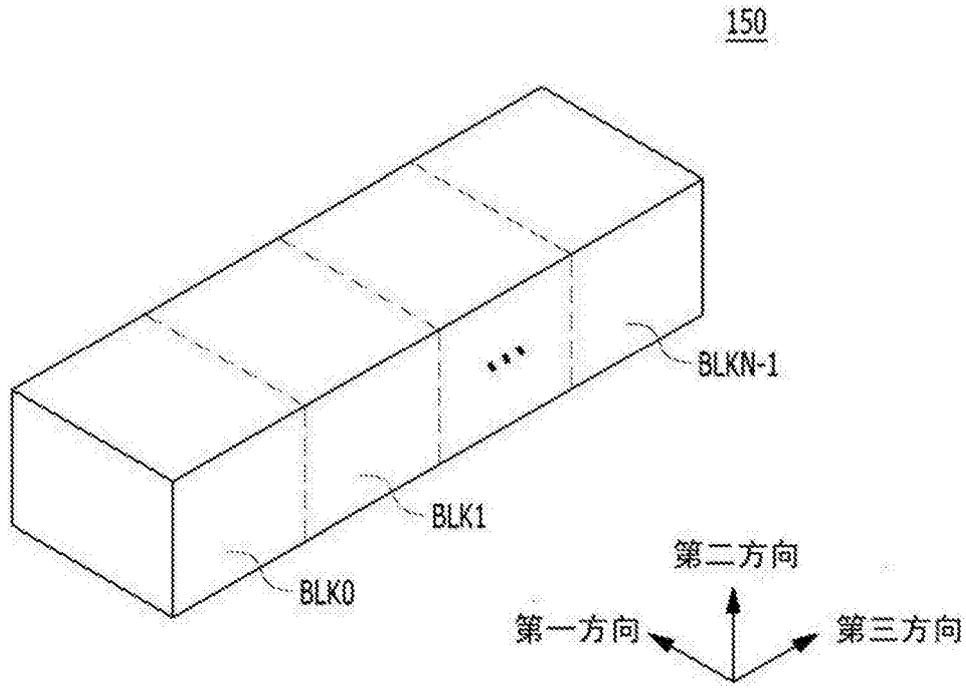


图4

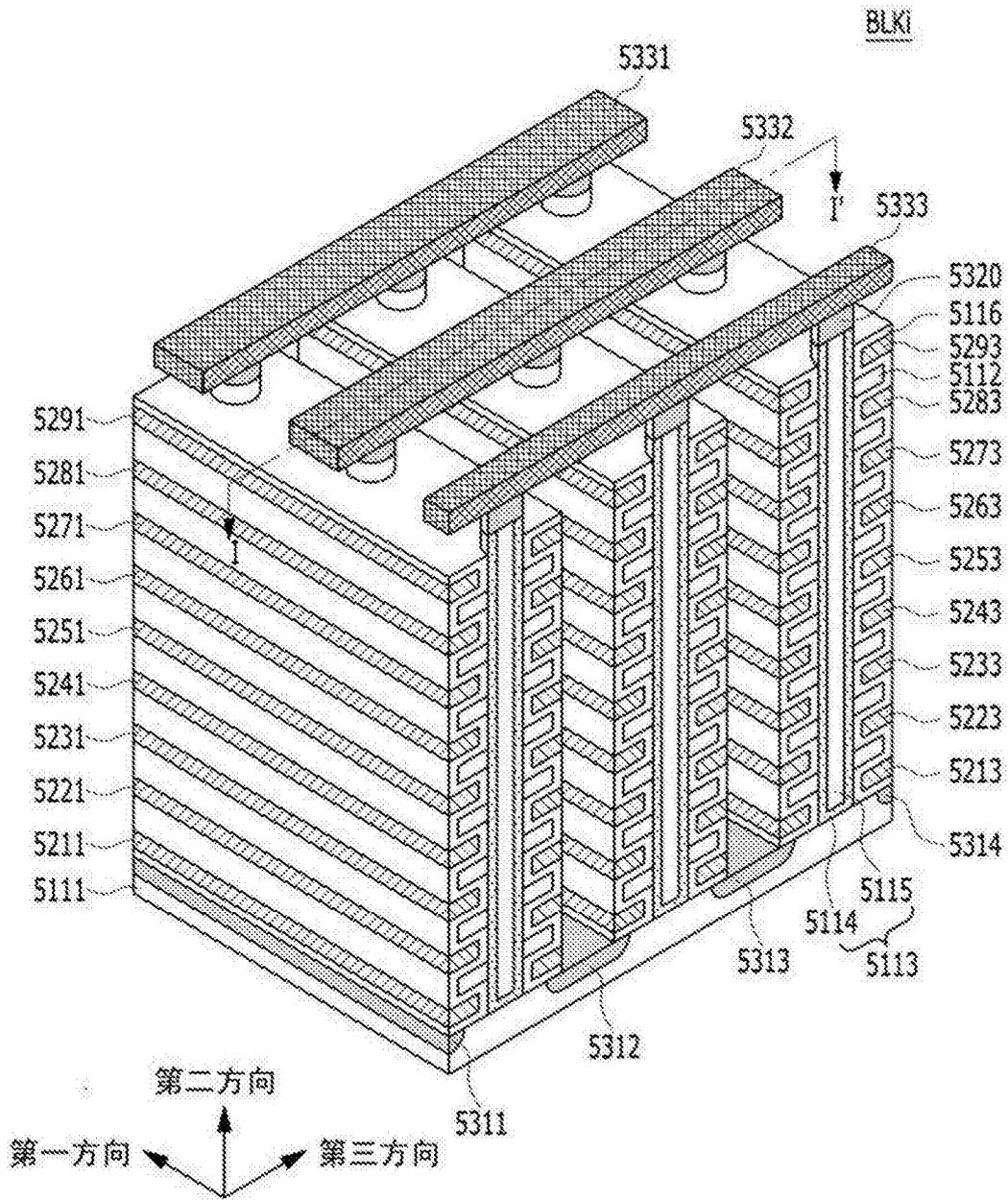


图5

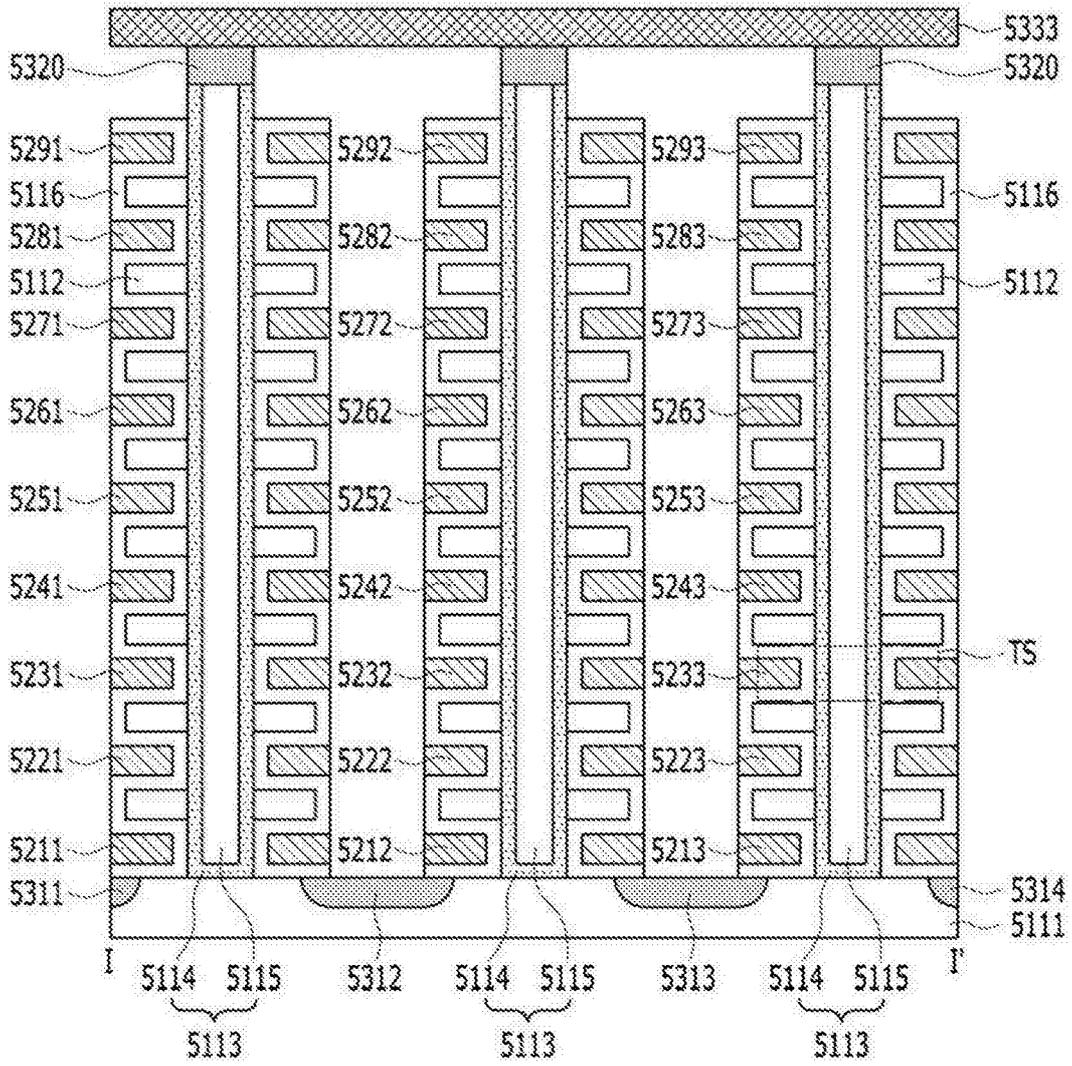


图6

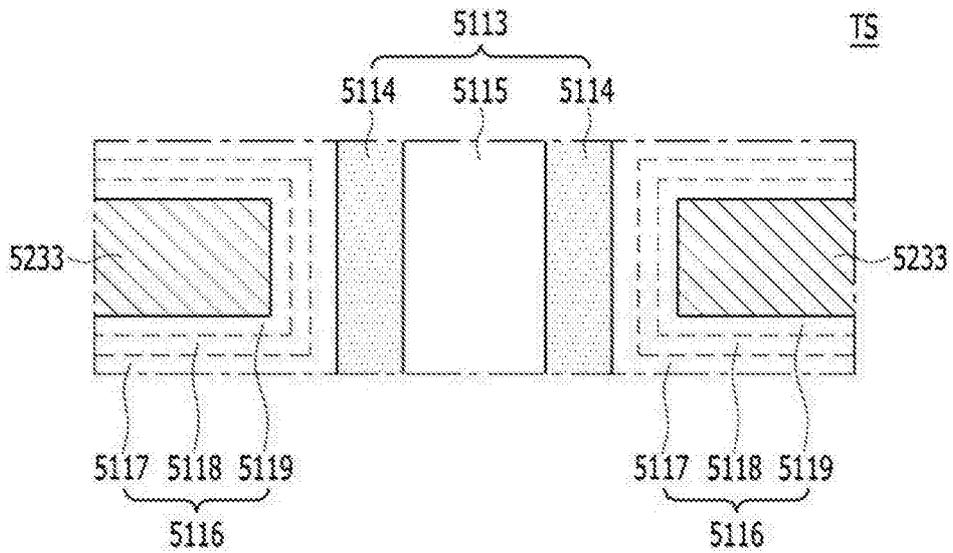


图7

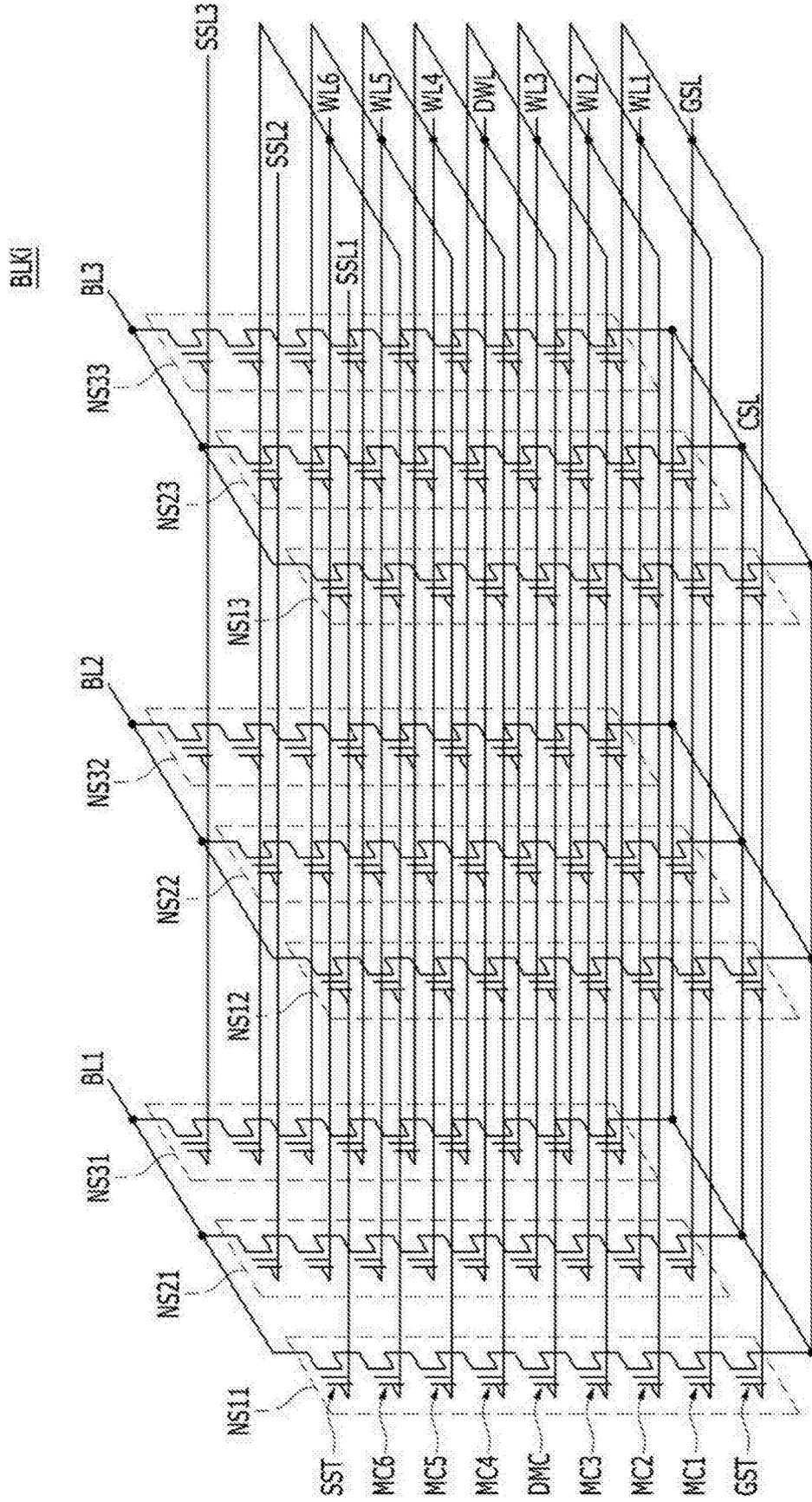


图8

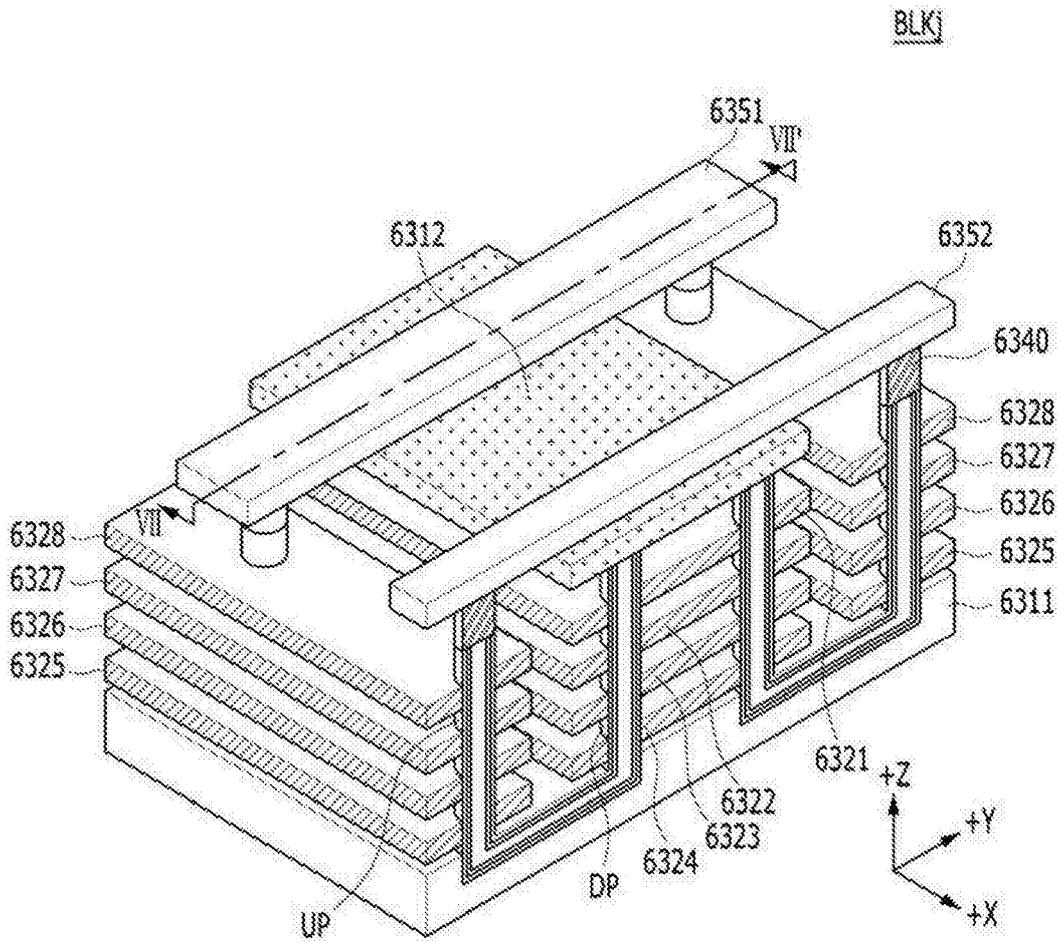


图9

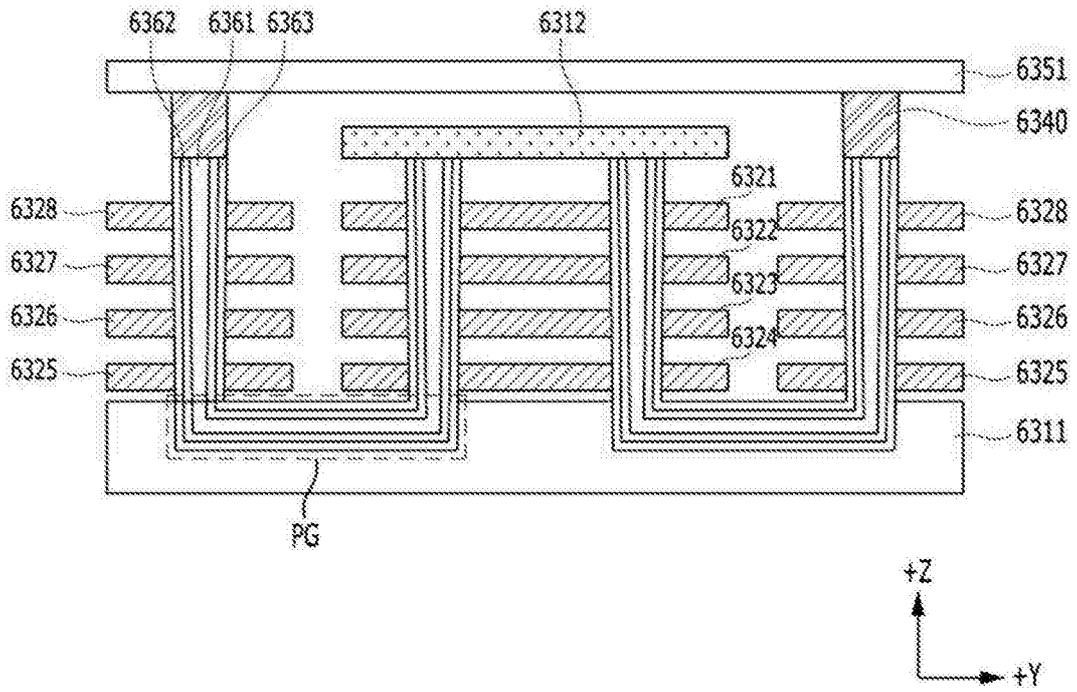


图10

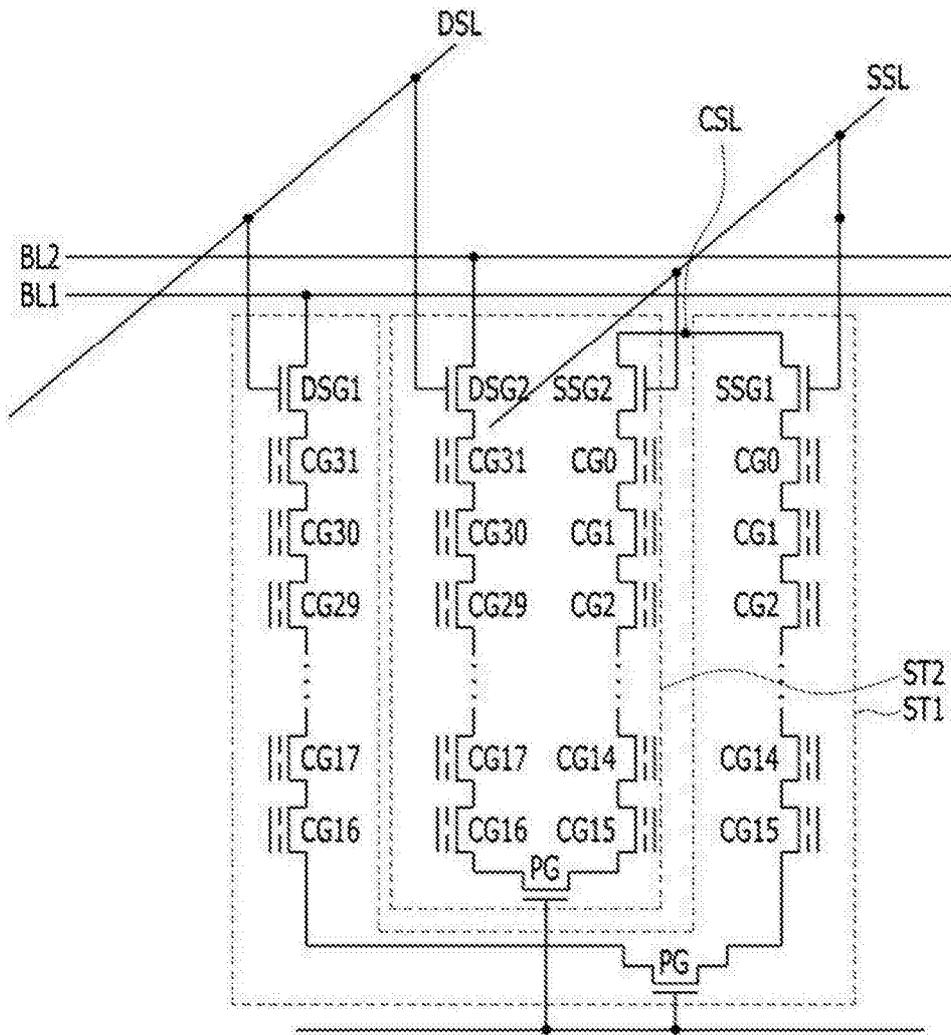


图11

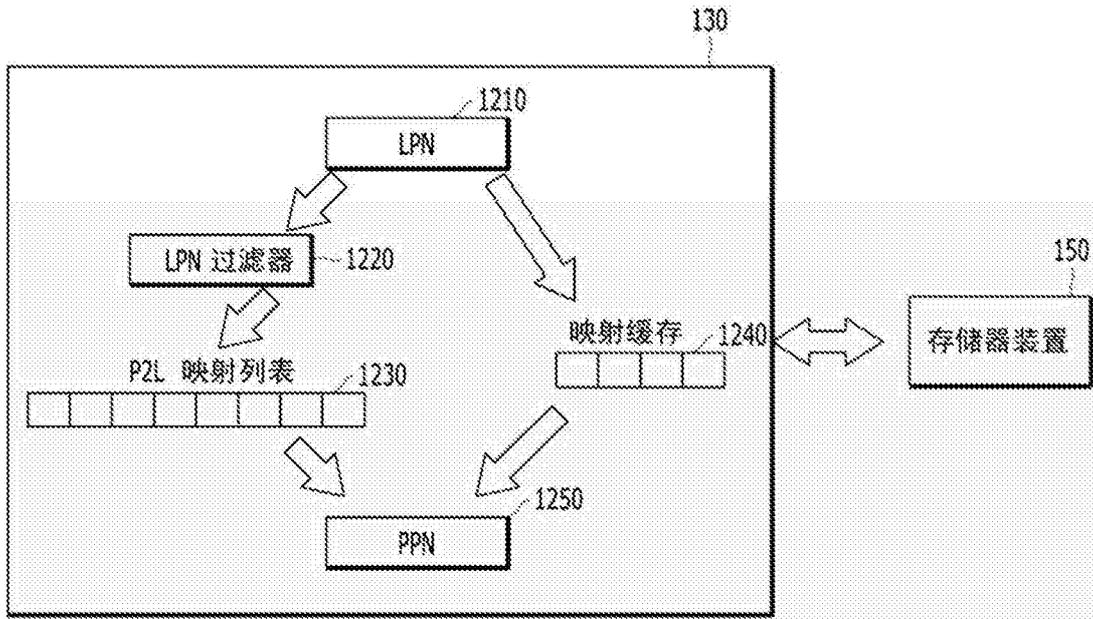


图12

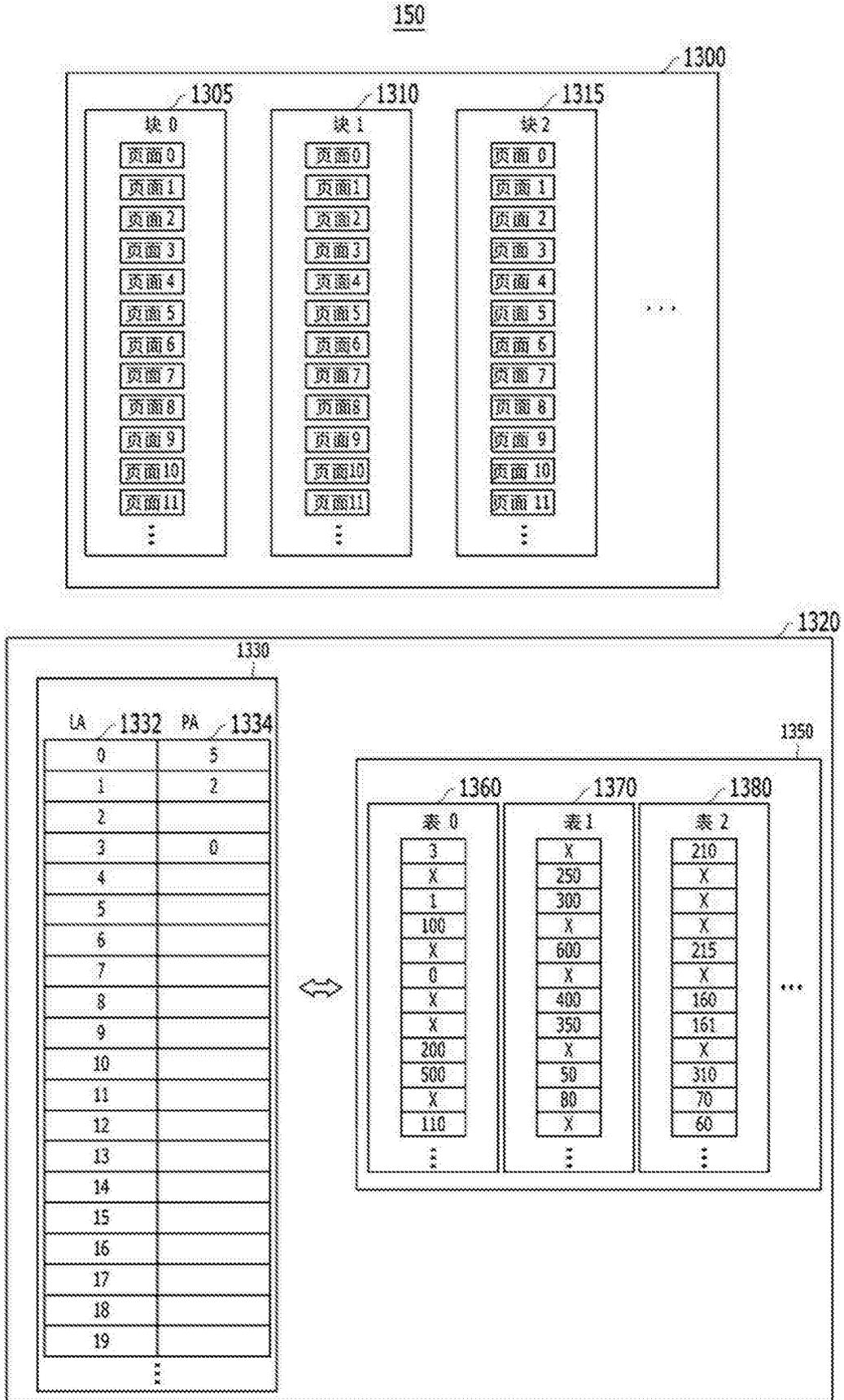


图13

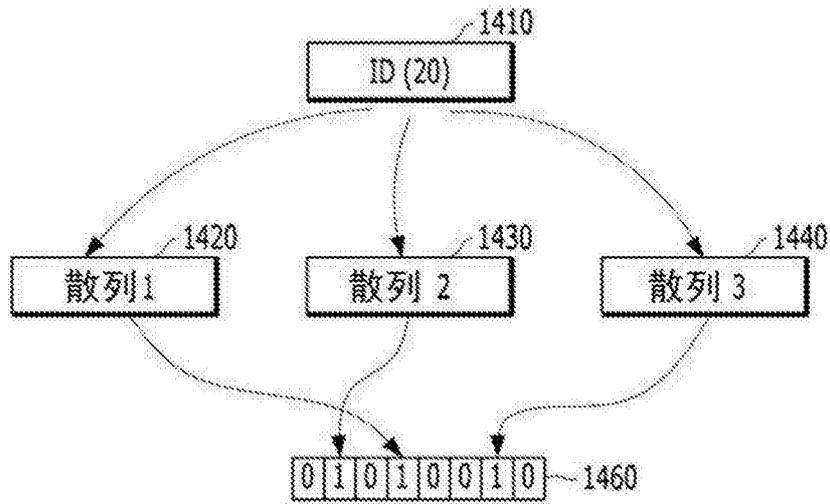


图14

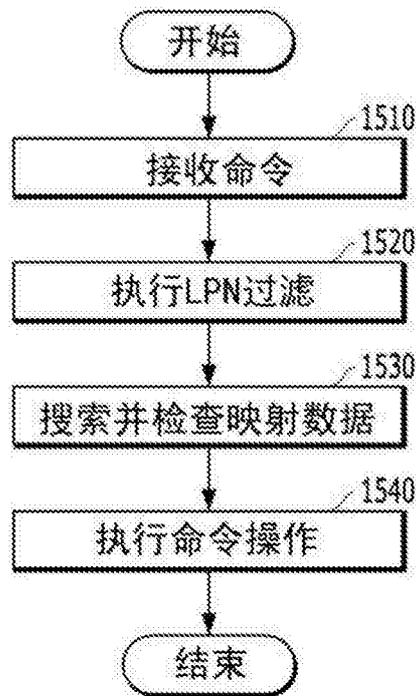


图15