

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008 年 9 月 18 日 (18.09.2008)

PCT

(10) 国際公開番号
WO 2008/111188 A1

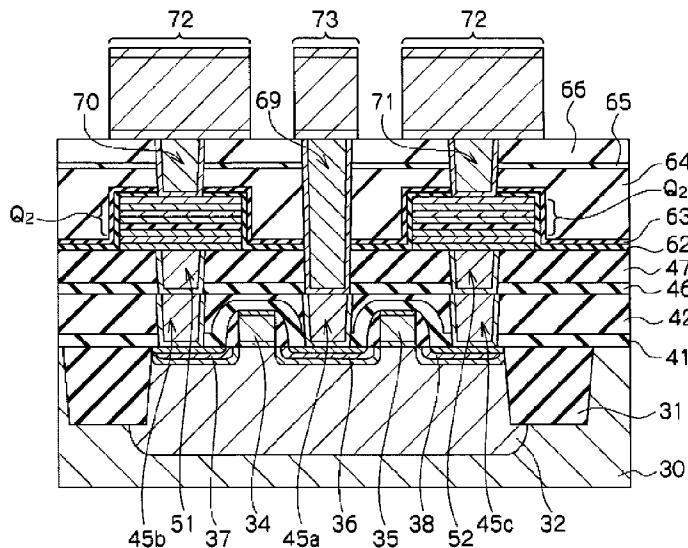
- (51) 国際特許分類:
H01L 21/8246 (2006.01) H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2007/055053
- (22) 国際出願日: 2007 年 3 月 14 日 (14.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICRO-ELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 王 文生 (WANG, Wensheng) [CN/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 川上 光治, 外 (KAWAKAMI, Koji et al.); 〒6500034 兵庫県神戸市中央区京町 7 6 番地 2 入江ビル 9 階 欧和特許事務所 Hyogo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法

[図17]



(57) Abstract: A semiconductor device comprising a semiconductor substrate and, superimposed thereon, a ferroelectric capacitor, wherein the ferroelectric capacitor is composed of an inferior electrode, a ferroelectric film and a superior electrode, and wherein the superior electrode includes at least a first conductive film of first conductive noble metal oxide and, superimposed thereon, a second conductive film of metal nitride compound, and wherein between the first conductive film and the second conductive film, there are interposed a third conductive film of second conductive noble metal oxide and a fourth conductive film of noble metal.

(57) 要約: 半導体基板上に形成された強誘電体キャパシタを有する半導体装置において、強誘電体キャパシタは、下部電極、強誘電体膜及び上部電極から構成さ

[続葉有]

WO 2008/111188 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

れ、その上部電極は、第 1 の導電性貴金属酸化物からなる第 1 導電膜と、前記第 1 導電膜の上に形成される金属窒
化化合物からなる第 2 導電膜とを少なくとも含み、さらに、第 1 導電膜と第 2 導電膜の間に第 2 の導電性貴金属物
からなる第 3 導電膜と貴金属からなる第 4 導電膜を挟んで構成される。

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特に、半導体基板上に形成されて記憶を保持するための強誘電体キャパシタを備えた強誘電体メモリ及びその製造方法に関するものである。

背景技術

[0002] 近年、デジタル技術の進展に伴い、大容量のデータを高速に処理又は保存する傾向が高まっている。このため、電子機器に使用される半導体装置の高集積化及び高性能化が要求されている。

[0003] 半導体記憶装置に関しては、例えばDRAM(Dynamic Random Access Memory)の高集積化を実現するため、DRAMを構成する容量素子の容量絶縁膜として、従来のシリコン(珪素)酸化物又はシリコン窒化物に代えて、強誘電体材料又は高誘電率材料を用いる技術が広く研究開発され始めている。

[0004] 従来より、電源を断っても記憶情報が消失しない不揮発性メモリとして、フラッシュメモリや強誘電体メモリ(FeRAM:Ferro-electric Random Access Memory)が知られている。

[0005] フラッシュメモリは、絶縁ゲート型電界効果トランジスタ(IGFET)のゲート絶縁膜中に埋め込まれたフローティングゲートを有し、フローティングゲートに記憶情報を表わす電荷を蓄積することによって情報を記憶する。その情報の書き込み、消去には絶縁膜を通過するトンネル電流を流す必要があり、比較的高い電圧を必要とする。

[0006] また、より低電圧で且つ高速での書き込み動作及び読み出し動作が可能な不揮発性RAMを実現するため、容量絶縁膜として、自発分極特性を有する強誘電体膜を用いる技術も盛んに研究開発されている。このような半導体記憶装置は、強誘電体メモリ(FeRAM)とよばれる。

[0007] FeRAMは、強誘電体のヒステリシス特性を利用して情報を記憶する。強誘電体膜を一对の電極間に挟んだ強誘電体キャパシタ構造は、電極間の印加電圧に応じた

分極を生じ、印加電圧を取り去っても自発分極を保持する。印加電圧の極性を反転すれば、自発分極の極性も反転する。この自発分極を検出すれば情報を読み出すことができる。従って、この自発分極を検出すれば、情報を読み出すことができる。

[0008] 強誘電体メモリは、フラッシュメモリに比べて低電圧で動作し、省電力で高速の書き込みが可能である。従来のロジック技術にFeRAMを取り入れたロジック混載チップ(SOC: System On Chip)が、ICカードなどの用途として検討されている。

[0009] FeRAMのキャパシタを構成する強誘電体膜は、チタン酸ジルコン酸鉛(PZT)、LaをドーブしたPZT(PLZT)、Ca、Sr若しくはSiを微量ドーブしたPZT系材料、又は、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT、Y1)若しくは $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ (SBTN、YZ)等のBi層状構造化合物等により形成されており、ゾルゲル法、スパッタ法又はMOCVD (Metal Organic Chemical Vapor Deposition : 有機金属気相成長) 法等によって成膜される。

[0010] 通常、これらの成膜法により、下部電極上にアモルファス又は微結晶の状態の強誘電体膜を形成し、その後熱処理によってペロブスカイト構造やビスマス層状構造へと結晶構造を変化させている。また、強誘電体膜を形成した後に酸化により膜質の改善が行われている。

[0011] 従って、キャパシタの電極材料としては、酸化しにくい材料又は酸化しても導電性を維持できる材料を用いることが必要であり、一般的にPt(プラチナ)、Ir(イリジウム)及び IrO_x (酸化イリジウム)等の白金族系金属又はその酸化物が広く用いられている。また、配線材料としては、通常の半導体デバイスと同様に、Al(アルミニウム)を用いるのが一般的である。

[0012] FeRAMでは、強誘電体キャパシタ構造を形成した後の諸工程で発生する水素等によって強誘電体膜が劣化し易いという問題があった。そこで、強誘電体膜を水素等からブロックすべく、例えばイリジウム酸化物(IrO_x)等の導電性酸化物を用いて上部電極を形成する技術が案出された。

[0013] ところが、導電性酸化物を上部電極の材料に用いることにより、その酸素が水素等のブロックに貢献すると考えられる反面、放出される酸素により、上部電極の直上に位置する接続プラグの下地膜、例えばTi、TiN等が酸化してしまい、コンタクト抵抗の増加を招くという問題が発生した。そこで、導電性酸化物上にイリジウム(Ir)等の耐

酸化性金属膜を形成し、下地膜の酸化を防止する技術が案出された。

[0014] さらに、キャパシタの電極として次のような構造が開示されている。

[0015] 特開2002-324894号公報(特許文献1)には、強誘電体膜上に形成される上部電極を第1の導電性酸化膜と第2の導電性酸化膜とにより構成し、さらに第2の導電性酸化膜を第1の導電性酸化膜よりもより化学量論組成に近い組成に形成することにより、強誘電体キャパシタの電気特性が多層配線構造工程に劣化されることなく微細化できることが記載されている。

[0016] 特開2003-17581号公報(特許文献2)には、 $\text{Ti}_x\text{Al}_{1-x}\text{N}$ ($x=0.05\sim0.5$) で示されるチタンアルミナイトライド層により上部電極と下部電極の少なくとも一方を構成し、そのような構造の上部電極と下部電極の間に酸化タンタル等の高誘電率の金属酸化膜を挟む構造のキャパシタを有する半導体装置が記載されている。

[0017] 特開2003-100912号公報(特許文献3)には、半導体装置において、キャパシタの上部電極をPtにより形成し、さらに上部電極の上に耐酸化性のTiAlNバリア膜を設けることにより、上部電極の露出による容量絶縁膜の特性の劣化を回避することが記載されている。

[0018] 特開2006-32451号公報(特許文献4)には、水素の触媒作用によるコンタクトプラグの劣化を防止するために、コンタクトプラグ上のキャパシタの下部電極をPt/IrO_x/Ir/TiAlNの積層構造から構成することが提案されている。

[0019] 特開2003-258201号公報(特許文献5)には、ハードマスクを用いて、キャパシタの構成膜を一括エッチング方法が開示されている。この場合の酸素バリア膜の材料は、TiN、TiAlN、TiAlON、Ir若しくはこれらの酸化物、或いはRu、RuO_xである。

[0020] また、特開2003-152165号公報(特許文献6)には、強誘電体キャパシタの上部電極を露出するコンタクトホールを絶縁膜内に形成し、酸化雰囲気での熱処理の後にTiNよりなる密着膜をコンタクトホール内に形成し、かかるTiN密着膜を水素バリアとして使いながら、さらにコンタクトホール内にW層をCVD法により堆積して充填する方法を採用することにより、強誘電体キャパシタの特性劣化を防止することが提案されている。

[0021] 特許文献1:特開2002-324894号公報

特許文献2:特開2003-17581号公報

特許文献3:特開2003-100912号公報

特許文献4:特開2006-32451号公報

特許文献5:特開2003-258201号公報

特許文献6:特開2003-152165号公報

発明の開示

発明が解決しようとする課題

[0022] しかしながら、上記の特許文献2に記載の構造によれば、キャパシタの上部電極をTiAlN膜のみから構成しているので、上部電極の抵抗を下げるために膜厚を厚くすると、上部電極が酸素を透過し難くなり、後の工程でその下の強誘電体膜を十分に酸化することができなくなる。

[0023] また、特許文献3に記載の構造によれば、上部電極の下層部のPt膜を厚くして上部電極の抵抗を下げ、さらに、その上のTiAlNバリア膜を薄くして酸素透過性を高めることは可能である。しかし、Ptは水素などの還元ガスの触媒として作用するので、TiAlNバリア膜を透過した水素などがPt膜内に侵入した場合にその下の酸化物強誘電体膜の還元劣化を防止することはできない。

[0024] 従って、特許文献2、3に記載の方法では、キャパシタの電気特性を十分に引き出せないことになる。

[0025] これに対して、特許文献1に記載の従来技術を用いる場合には、キャパシタの電気特性を向上できるが、形成条件によってはキャパシタ特性が劣化することがある。

[0026] 即ち、強誘電体膜上のキャパシタ上部電極において、上側の第2の導電性酸化膜を下側の第1の導電性酸化膜よりもより化学量論組成に近い組成に形成しているが、第2導電性酸化膜を厚くすると、それ自体に異常成長が生じてその下の強誘電体膜の膜質を劣化させることがあった。

[0027] 本発明の目的は、キャパシタ特性の改善に適した上部電極から構成される強誘電体キャパシタを有する半導体装置及びその製造方法を提供することにある。

課題を解決するための手段

[0028] 本発明の観点に従えば、半導体基板上に形成される強誘電体キャパシタは下部電極、強誘電体膜及び上部電極とを有し、その上部電極は、導電性貴金属酸化物からなる第1導電膜と、前記第1上に形成される金属窒化化合物からなる第2導電膜を少なくとも含む積層構造である。

発明の効果

[0029] 本発明によれば、強誘電体キャパシタの上部電極において、酸化度が低い第1の導電性貴金属酸化膜は第1導電膜として強誘電体膜上に成長される。そのような第1導電膜はその下の強誘電体膜との界面を平坦に保持してキャパシタ特性を向上させる。

[0030] また、第1導電膜の上に形成される金属窒化化合物からなる第2導電膜は、上部電極の上に形成される層間絶縁膜又はコンタクトホール内を通る水素や水の侵入を防止し、これにより第1導電膜の還元を妨げる。

[0031] 以上のような上部電極の構成を採用することにより、キャパシタの耐工程劣化能力が大幅に向上し、強誘電体キャパシタにおける反転電荷量の向上、抗電圧の低減、疲労耐性及びインプリント耐性が向上する。

図面の簡単な説明

[0032] [図1]図1(a)～(c)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図2]図2(a)～(c)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その2)である。

[図3]図3(a)～(c)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その3)である。

[図4]図4(a)、(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その4)である。

[図5]図5(a)、(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図6]図6(a)、(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その6)である。

[図7]図7(a)、(b)は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図(その7)である。

[図8]図8(a)～(c)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図9]図9(a)～(c)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その2)である。

[図10]図10(a)～(c)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その3)である。

[図11]図11(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その4)である。

[図12]図12(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その5)である。

[図13]図13(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その6)である。

[図14]図14(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その7)である。

[図15]図15(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その8)である。

[図16]図16(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その9)である。

[図17]図17(a)、(b)は、本発明の第2実施形態に係る半導体装置の形成工程を示す断面図(その10)である。

[図18]図18(a)、(b)は、本発明の第2実施形態に係る半導体装置における強誘電体キャパシタの上部電極の第2例、第3例の構造を示す断面図である。

[図19]図19(a)、(b)は、本発明の第3実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図20]図20(a)、(b)は、本発明の第3実施形態に係る半導体装置の形成工程を示す断面図(その2)である。

[図21]図21(a)、(b)は、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図22]図22(a)、(b)は、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図(その2)である。

[図23]図23(a)、(b)は、本発明の第5実施形態に係る半導体装置の形成工程を示す断面図(その1)である。

[図24]図24(a)、(b)は、本発明の第5実施形態に係る半導体装置の形成工程を示す断面図(その2)である。

発明を実施するための最良の形態

[0033] 以下に本発明の実施の形態を図面に基づいて詳細に説明する。

[0034] (第1の実施の形態)

図1～図6は、本発明の第1実施形態に係る半導体装置の形成工程を示す断面図である。なお、本実施形態における半導体装置は、強誘電体メモリであって、便宜上、その構造については、製造方法と共に説明する。

[0035] 先ず、図1(a)に示す構造を形成するまでの工程を説明する。

[0036] シリコン等の半導体基板1の表面に、素子活性領域を区画する素子分離絶縁膜2を、例えばロコス(LOCOS:Local Oxidation of Silicon)法により形成する。なお、素子分離絶縁膜2は、半導体基板1に凹部を形成し、その中に酸化シリコンを埋め込んだ構造のシャロートレンチアイソレーション(STI)を採用してもよい。

[0037] 次に、素子分離絶縁膜2により区画された素子活性領域内に、ゲート絶縁膜3を介してゲート電極4を形成する。ゲート絶縁膜3として、例えば、熱酸化により、厚さが10nm程度のSiO₂膜を形成する。また、ゲート電極4は、例えばパターニングされたポリシリコン膜からなり、その上にはシリサイド層5が形成されている。なお、ポリシリコン膜にはドーパントがドーブされる。

[0038] ゲート電極4の両側の半導体基板1内にはドーパントが複数回に分けてドーブされ、エクステンション領域21を有するソース/ドレイン拡散領域22が形成される。例えば、ゲート電極4をマスクにして半導体基板1にドーパントを導入してエクステンション領域21を形成した後に、ゲート電極4の側面に絶縁性のサイドウォール6を形成し、

さらにサイドウォール6及びゲート電極4をマスクにして半導体基板1にドーパントを導入してソース/ドレイン領域22を形成する。

[0039] それらゲート絶縁膜3、ゲート電極4、シリサイド層5、サイドウォール6、エクステンション領域層21及びソース/ドレイン拡散領域22等によりトランジスタ(MOSFET)trが構成される。

[0040] 次に、MOSFETtrを覆うようにして半導体基板1の全面に酸化シリコン膜(SiON膜)7を形成し、更に全面にシリコン酸化膜8aを形成する。SiON膜7は、シリコン酸化膜8aを形成する際の水素によるゲート絶縁膜3等の劣化を防止するために形成されている。

[0041] シリコン酸化膜8aは、例えば、気相成長(CVD)法により、テトラエトキシシラン(Tetraethoxysilane (TEOS))を反応ガスに用いて700nm程度の厚さに形成される。続いて、CMP(化学機械的研磨)法により、シリコン酸化膜8aの上面を平坦化する。

[0042] その後、窒素(N_2)雰囲気中で、650℃、30分間のアニール処理を行うことにより、シリコン酸化膜8aの脱ガスを行う。次に、シリコン酸化膜8a上に、密着膜8bとしてアルミナ(Al_2O_3)膜を例えばスパッタ法により20nm程度の厚さに形成する。

[0043] 密着膜8bとして、アルミナ膜の他に、厚さが20nm程度のTi膜又は TiO_x 膜等を採用してもよく、又は、厚さが20nmのTi膜と厚さが180nmのPt膜からなる積層構造を採用してもよい。Ti膜は、例えば150℃で形成することができ、Pt膜は、例えば100℃～350℃で形成することができる。密着膜8b及びシリコン酸化膜8aを第1の層間絶縁膜8とする。

[0044] 以上により図1(a)に示す構造が形成される。

[0045] 次に、図1(b)に示すように、密着膜8bの上に下部電極膜9を形成する。下部電極膜9として、例えば、Pt膜をスパッタ法により150nm程度の厚さに形成する。

[0046] 続いて、図1(c)に示すように、下部電極膜9上に強誘電体膜10をアモルファス状態で形成する。強誘電体膜10として、例えばRFスパッタ法によって、PLZT膜を100nm～200nm程度の厚さに形成する。スパッタ用のターゲットとして、例えばPLZT($(Pb, La)(Zr, Ti)O_3$)を用いる。

[0047] 続いて、Ar及び O_2 を含有する雰囲気中で強誘電体膜10及び下部電極膜9に650

℃以下の高速熱処理(RTA:Rapid Thermal Annealing)を施し、更に、酸素雰囲気において温度750℃で強誘電体膜10及び下部電極膜9に2回目のRTAを施す。この結果、強誘電体膜10が結晶化すると共に、下部電極膜9を構成するPt膜が緻密化し、下部電極膜9と強誘電体膜10との界面近傍におけるPtとOとの相互拡散が抑制される。

[0048] その後、図2(a)～(c)に示すように、強誘電体膜10上に上部電極膜11を形成する。

[0049] 上部電極膜11の形成に当たっては、先ず、図2(a)に示すように、強誘電体膜10上に第1導電性酸化膜11aと第2導電性酸化膜11bを順に形成する。

[0050] 第1導電性酸化膜11aとして、成膜の時点で結晶化した IrO_x 膜をスパッタ法により10nm～50nmの厚さに形成する。 IrO_x 膜の成長条件として、例えば、成膜温度を300℃とし、成膜雰囲気に導入するガスとしてAr及び O_2 を用い、スパッタパワーを0.5kW～3.0kW、例えば1.0kW～2.0kW程度とする。この場合、例えば、Arのガス流量を140sccm、 O_2 のガス流量を60sccmとする。

[0051] 第1導電性酸化膜11a上に形成する第2の導電性酸化膜11bとして、 IrO_y 膜をスパッタ法で30nm～200nmの厚さに形成する。この場合、 IrO_y の成膜温度を30℃以上、100℃以下の範囲に設定して成膜の時点で IrO_y を微結晶化し、これによりその後の熱処理による異常成長を抑制する。

[0052] IrO_y の成膜雰囲気に導入するガスとしてAr及び O_2 を用い、 O_2 の流量 f_1 とArの流量 f_2 の割合(f_1/f_2)は、 IrO_x の第1導電性酸化膜11a成長時のその割合よりも高く設定することを前提とする。そして、 IrO_y 成膜時に、例えば、Arの流量を100sccmとし、 O_2 の流量を100sccmとする。この場合、スパッタパワーを0.5kW～3.0kW、例えば1.0kW～2.0kW程度とする。

[0053] 第2導電性酸化膜11bをほぼ同じ膜質に形成するためのスパッタパワーと酸素ガス比率は相関関係がある。例えば、スパッタパワーを低くする場合には酸素ガス比率を下げると、ほぼ同じ膜質が得られる。また、スパッタパワーを高くする場合には酸素ガス比率を上げると、ほぼ同じ膜質が得られる。その膜は、石垣状又は柱状の結晶を有している。

- [0054] このような条件で形成された IrO_y の第2導電性酸化膜11bは、異常酸化を発生させずに、例えば石垣状に接合するきれいな IrO_y 微結晶膜となる。
- [0055] なお、第1の導電性酸化膜11aを構成する金属元素と、第2の導電性酸化膜11bを構成する金属元素は、互いに同じであってもよいし異なってもよい。そのような金属元素は、Ir、Ruなどの酸化され得る貴金属から選ばれる。また、第1、第2の導電性酸化膜11a、11bはそれぞれプラチナに比べて還元ガスの触媒作用が小さい導電膜である。
- [0056] 次に、図2(b)に示すように、第2導電性酸化膜11b上に、貴金属からなる金属膜11cをスパッタ法により50nm～150nmの厚さに形成する。ここで、基板温度を50℃以上で500℃以下の範囲で形成する。例えば、金属膜11cのストレスを緩くするために、350℃以上で450℃の範囲に基板温度を設定する。
- [0057] 貴金属のスパッタに使用するガスとしてArを用い、ガス流量を例えば100～200sccmとする。また、スパッタパワーを0.5kW～3.0kW、例えば1.0kW～2.0kW程度とする。
- [0058] 貴金属としてイリジウム(Ir)を適用する場合には、基板温度を400℃とし、Arのガス流量を199sccmとする。貴金属は、Irの他に、プラチナ、ルテニウム、ロジウム、パラジウムから選択された1種である。そのような貴金属からなる金属膜11cは、柱状の結晶を持つ条件で形成されることが好ましい。
- 次に、図2(c)に示すように、金属膜11c上に水素拡散防止用の金属窒化化合物膜11dを50～100nmの厚さに形成する。金属窒化化合物膜11dとして、例えば、窒化チタンアルミニウム(TiAlN)膜、 TaAlN (窒化タンタルアルミニウム)膜、 TiAlON (窒化酸化チタンアルミニウム)膜、 TaAlON (窒化酸化タンタルアルミニウム)膜、 TiN 膜、 TaN 膜、その他の導電性窒化金属化合物膜がある。
- [0059] 例えば、金属窒化化合物膜11dとして TiAlN 膜を形成する場合には、TiとAlを合金化したターゲットを使用して、Arと窒素(N_2)をそれぞれ40sccm、20sccmの流量で導入した圧力253.3Paの雰囲気中に基板を置いて反応性スパッタ法により TiAlN 膜を形成する。ここで、基板温度を例えば400℃に設定し、また、スパッタパワーを例えば1.0kWに設定する。

- [0060] 上記のような条件で形成された IrO_x の第1導電性酸化膜11a、 IrO_y の第2導電性酸化膜11b、金属膜11c及び金属窒化化合物膜11dはそれぞれ導電膜であって併せて上部電極膜11となる。
- [0061] 上部電極膜11の層構造としては、上記の4層構造に限られるものではない。例えば、第1導電性酸化膜11aの上に金属窒化化合物膜11dを形成した構成を有する2層構造、或いは、第1導電性酸化膜11aの上に金属膜11cと金属窒化化合物膜11dを順に形成した構成を有する3層構造としてもよい。また、第1、第2導電性酸化膜11a、11bを1つの導電性酸化膜とし、その上に金属窒化化合物11dを形成した構成を有する構成としてもよい。
- [0062] 上記の強誘電体膜10及び上部電極膜11の形成方法は第1の例であり、次のような第2例～第5例の工程を含む方法を採用してもよいし、その他の方法を採用してもよい。
- [0063] 第2例は、強誘電体膜10の形成後に、Ar及び O_2 を含有する雰囲気中において、650℃以下の基板温度で例えば560℃のRTA処理を行い、その後に、第1導電性酸化膜11aとして IrO_x を室温或いはそれより高い温度で20nm～75nmの厚さに形成する工程を含む方法である。
- [0064] 室温で成膜する場合には、例えば、Arを100sccm、 O_2 を56sccmに設定し、成膜パワーを2kWとする。また、室温より高い温度、例えば300℃で成膜する場合、Arの流量を140sccm、 O_2 の流量を60sccmとし、成膜パワーを1kWとする。
- [0065] そして、第2の導電性酸化膜11aを形成した後に、第1、第2導電性酸化膜11a、11bをRTAで650℃～750℃（例えば、725℃）で熱処理を行う。この熱処理は、強誘電体膜10を完全に結晶化すると同時に、強誘電体膜10と第1導電性酸化膜11aの界面をフラットにする。この方法は、強誘電体キャパシタの低電圧動作とそのスイッチング特性の向上に非常に有利である。
- [0066] 第3例は、強誘電体膜10の形成後に、第2例と同じ方法で熱処理を行い、更に薄いアモルファス強誘電体膜を形成し、その後、第2例と同じ条件で第1導電性酸化膜11aをアモルファス強誘電体膜上に形成し、熱処理を行う工程を含む方法である。この方法で形成されたキャパシタの特徴は、第2例の方法で説明した特徴の他に、キャ

パシタのリーク電流を低減できるという利点がある。

[0067] 第4例は、強誘電体膜10が結晶化してある場合に、その上にアモルファス強誘電体(不図示)膜を形成し、その後に第1導電性酸化膜11aを形成する工程を含む方法である。

[0068] 第5例は、第2導電性酸化膜11bを形成した後に、再度RTAで650～750℃の温度範囲、例えば700℃の熱処理を行う工程を含む方法である。この方法は、上部電極膜11と強誘電体膜10の密着性を向上する上に、上部電極膜12の結晶を更に良くする。

[0069] 以上のような方法により上部電極膜11を形成した後に、半導体基板1の背面洗浄を行う。

[0070] 続いて、上部電極用マスクパターン(不図示)を使用して上部電極膜11をパターンニングすることにより、図3(a)に示すようなキャパシタ上部電極11qを形成する。そのキャパシタ上部電極11qは、例えば素子分離絶縁膜2の上方に位置させる。

[0071] 次に、 O_2 雰囲気中において温度650℃で60分間の条件で、強誘電体膜10の膜質回復アニール処理を行う。この熱処理は、キャパシタ上部電極11qを形成する際に強誘電体膜10が受けた物理的なダメージ等を回復させるためのものである。

[0072] その後、図3(b)に示すように、マスク(不図示)を用いて強誘電体膜10のパターンニングを行うことにより、キャパシタ誘電体膜10qを形成する。キャパシタ誘電体膜10qは、キャパシタ上部電極11qに重なる領域とこれからはみ出した領域に形成される。

[0073] 続いて、後に形成する第1の保護膜12の剥がれ防止用の酸素アニールを行う。

[0074] 次に、図3(c)に示すように、第1の保護膜12として Al_2O_3 膜をスパッタリング法にてキャパシタ上部電極11q、キャパシタ絶縁膜10q及び密着膜8b上の全面に形成する。第1の保護膜12は、外部からキャパシタ誘電体膜10qに水素が侵入することを防止する。

[0075] さらに、スパッタリングにより生じたキャパシタ絶縁膜10qの損傷を緩和するために、酸素アニールを行う。

[0076] その後、図4(a)に示すように、マスク(不図示)を使用して第1の保護膜12及び下部電極膜9を連続してパターンニングすることにより、下部電極膜9からなるキャパシタ

下部電極9qを形成する。キャパシタ下部電極9qは、キャパシタ誘電体膜10q及びキャパシタ上部電極11qに重なる領域及びそれからはみ出す領域を含む大きさを有している。

[0077] 以上のようなパターンニングにより形成されたキャパシタ下部電極9q、キャパシタ誘電体膜10q及びキャパシタ上部電極11qにより強誘電体キャパシタ Q_1 が構成される。

[0078] 続いて、図4(b)に示すように、次に形成される第2の保護膜13の剥がれを防止するための酸素アニールを行う。

[0079] 第2の保護膜13として Al_2O_3 膜がスパッタリング法により第1の保護膜13及び密着膜8bの上に形成される。続いて、強誘電体キャパシタ Q_1 のリークを低減させるために、酸素アニールを行う。

[0080] その後、図5(a)に示すように、第2の層間絶縁膜14を高密度プラズマ法により全面に形成する。第2の層間絶縁膜14は、TEOSを用いて形成されるシリコン酸化膜であり、その厚さを例えば1.5 μm 程度とする。

[0081] 続いて、CMP法により、第2の層間絶縁膜14の上面を平坦化する。次に、 N_2O ガスを用いたプラズマ処理を第2の層間絶縁膜14に施す。これにより、第2の層間絶縁膜14の表層が若干窒化され、その内部に水分が浸入しにくくなる。

[0082] なお、このプラズマ処理は、N又はOの少なくとも一方が含まれたガスを用いていれば有効的である。

[0083] 次いで、図5(b)に示すように、MOSFETtrのソース/ドレイン拡散領域22まで到達する深さのコンタクトホール14aを、第2の層間絶縁膜14、第2の保護膜13、密着膜8b、シリコン酸化膜8a及びSION膜7に形成する。

[0084] 続いて、コンタクトホール14a内にバリアメタル膜15aとしてTi膜及びTiN膜を連続してスパッタリング法により形成する。続いて、六フッ化タングステンを含むガスを使用してCVD法にてタングステン(W)膜15bをコンタクトホール14a内に埋め込む。

[0085] その後、CMP法により第2の層間絶縁膜14の上面上からW膜15b及びバリアメタル膜15aを除去する。これにより、コンタクトホール14a内に残されたW膜15b及びバリアメタル膜15aを導電性のプラグ15とする。

[0086] 次に、図6(a)に示すように、プラグ15の酸化防止膜16としてSiON膜を、例えばブ

ラズマエンハンストCVD法により形成する。

[0087] 続いて、図6(b)に示すように、SiON膜16、層間絶縁膜14及び第1、第2の保護膜12、13の所定領域をマスク(不図示)を用いてエッチングし、これにより、上部電極11aまで到達するコンタクトホール14bと、下部電極9aのコンタクト領域まで到達するコンタクトホール14cをそれぞれ形成する。

[0088] その後、キャパシタ誘電体膜10qの損傷を回復させるために、酸素アニールを行う。

[0089] 続いて、図7(a)に示すように、酸化防止膜16をエッチバックにより全面にわたって除去することにより、Wプラグ15の表面を露出させる。

[0090] 次に、コンタクトホール14b、14cを通してキャパシタ上部電極11qの表面の一部、キャパシタ下部電極9qの表面の一部が露出し、プラグ15の表面が露出した状態から、図7(b)に示すように、第2の層間絶縁膜14の上とコンタクトホール14b、14c内にTiNバリアメタル膜とAl膜を順に形成し、これらの膜をパターニングすることにより、Al配線17a～17cを形成する。

[0091] 第1のAl配線17aはWプラグ15に接続され、第2のAl配線17bはコンタクトホール14bを通してキャパシタ上部電極11qに接続され、また、第3のAl配線17cはコンタクトホール14cを通してキャパシタ下部電極17cに接続される。

[0092] その後、特に図示しないが、層間絶縁膜の形成、コンタクトプラグの形成及び第2層目以降の配線の形成等を行う。そして、例えばTEOS酸化膜及びSiN膜からなるカバー膜を形成して強誘電体キャパシタを有する強誘電体メモリを完成させる。

[0093] 上述のように本実施形態では、上部電極の第1導電性酸化膜11aの上に、酸化度が高い IrO_y の第2導電性酸化膜11bを形成し、その上に金属膜11c、金属窒化化合物膜11dを形成している。

[0094] これにより、上部電極11qは、その上に形成される層間膜や配線コンタクトを形成する時に発生する水や水素の侵入が金属窒化化合物膜11dにより防止され、しかも、TiAlN等のように上記の金属窒化化合物は、配線17a～17cやプラグ(不図示)を構成するTiNバリアメタル膜との密着性が良好であり、上部電極11qと配線17a～17cとのコンタクトを向上できる。

- [0095] さらに、第2導電性酸化膜11bは上記したような条件により石垣状又は柱状の多数の結晶で成長したので、巨大結晶の異常成長とこれによる空孔(ボソボソ現象)の発生が防止され、その後のプロセスで使用する還元ガスの浸透を抑制してキャパシタの耐工程劣化能力を向上できる。
- [0096] また、上記条件で形成された第1導電性酸化膜11aは、強誘電体膜10の上層と互いに反応しにくくなり、その界面で新たな層の生成が抑制される。
- [0097] 従って、以上のような工程により形成された構造の強誘電体キャパシタ Q_1 によれば、良好な特性を得ることができる。
- [0098] つまり、上部電極11qと強誘電体膜10との界面を改善し、また、工程劣化を改善することができる。この結果、強誘電体キャパシタ Q_1 の反転電荷量を向上させ、抗電圧を低減し、疲労耐性及びインプリント耐性を向上させることができる。そして、このような強誘電体キャパシタは、次世代の低電圧で動作する強誘電体メモリに極めて好適である。
- [0099] ところで、上部電極膜11を構成する第1、第2導電性酸化膜11a、11bのそれぞれの構成金属をA、Bとすれば、第1導電性酸化膜11aは、成膜当初には組成パラメータ x_1 を使って化学式 AO_{x_1} で表され、その後のプロセスを経た実際の状態で組成パラメータ x_2 を使って化学式 AO_{x_2} で表される。
- [0100] なお、AとBは、同一であっても異なってもよい。異なる例としては、AとBの一方がIrであり他方がRuである層である。
- [0101] また、第1導電性酸化膜11a上に形成される第2導電性酸化膜11bは、成膜当初には組成パラメータ y_1 を使って化学式 BO_{y_1} で表され、その後のプロセスを経た実際の状態で組成パラメータ y_2 を使って化学式 BO_{y_2} で表される。そして、第2導電性酸化膜11bは、石垣状又は柱状に接合した多数の微結晶からなり、第1導電性酸化膜11aより酸素の割合が高く、さらに、組成パラメータ x_1 、 x_2 、 y_1 及び y_2 の間には、 $(y_2/y_1) > (x_2/x_1)$ の関係が成立する。
- [0102] つまり、半導体装置の形成工程において、キャパシタ上部電極11q内の酸素量が初期状態から変化しても、第2導電性酸化膜11bの酸化の組成は、第1導電性酸化膜11aの酸素の組成よりも大きい。また、組成 y_1 は、2又はそれ以上が好ましい。 x_1

, x_2 , y_1 及び y_2 の関係については、以下の第2～第5実施形態の第1、第2導電性酸化膜でも同様である。

[0103] (第2の実施の形態)

以下、本発明の実施形態について説明する。但し、ここでは、便宜上、強誘電体メモリの各メモリセルの断面構造については、その製造方法と共に説明する。

[0104] 図8～図17は、本発明の実施形態に係る強誘電体メモリ(半導体装置)の製造方法を工程順に示す断面図である。

[0105] まず、図8(a)に示す構造を形成するまでの工程を説明する。

[0106] n型又はp型のシリコン(半導体)基板30表面に、トランジスタの活性領域を画定するSTI(Shallow Trench Isolation)用の溝を形成し、その中に酸化シリコン等の絶縁膜を埋め込んで素子分離絶縁膜31とする。なお、素子分離絶縁膜31の構造はSTIに限られず、LOCOS法で形成されてもよい。

[0107] 次いで、シリコン基板30の活性領域にp型不純物を導入してpウェル32を形成した後、その活性領域の表面を熱酸化することにより、ゲート絶縁膜33となる熱酸化膜を形成する。

[0108] 続いて、シリコン基板31の上側全面に非晶質又は多結晶のシリコン膜を形成し、これらの膜をフォトリソグラフィ法によりパターンニングして二つのゲート電極34, 35を形成する。

[0109] pウェル32上には、上記の2つのゲート電極34, 35が間隔をおいて平行に配置され、それらのゲート電極34, 35はワード線の一部を構成する。

[0110] 次いで、ゲート電極34, 35をマスクにするイオン注入により、ゲート電極34, 35の横のシリコン基板30にn型不純物を導入し、第1、第2ソース/ドレインエクステンション領域36a、37a、38aを形成する。

[0111] その後に、シリコン基板30の上側全面に絶縁膜を形成し、その絶縁膜をエッチバックしてゲート電極34, 35の側面に絶縁性サイドウォール39として残存させる。その絶縁膜として、例えばCVD法により酸化シリコン膜を形成する。

[0112] 続いて、絶縁性サイドウォール39とゲート電極34, 35をマスクにしながら、シリコン基板30にn型不純物を再びイオン注入することにより、2つのゲート電極34, 35両側

方のシリコン基板30の表層にソース／ドレイン領域(不純物拡散領域)36, 37, 38を形成する。

[0113] シリコン基板30の活性領域に形成されたゲート絶縁膜、ゲート電極34, 35及びソース／ドレイン領域36, 37, 38によって第1、第2のMOSTランジスタ T_1 、 T_2 が構成される。

[0114] 次に、シリコン基板30の上側全面に、スパッタ法によりコバルト層等の高融点金属層を形成した後、この高融点金属層を加熱してシリコンと反応させ、ソース／ドレイン領域36, 37, 38表層に高融点金属シリサイド層39を形成する。この工程では、ゲート電極34, 35の表層部分にも高融点金属シリサイド層40が形成され、それによりゲート電極34, 35が低抵抗化されることになる。素子分離絶縁膜31の上などで未反応となっている高融点金属層は、エッチエッチングにより除去される。

[0115] 続いて、カバー絶縁膜41としてSiON膜をプラズマCVD法により約200nmの厚さに形成する。続いて、カバー絶縁膜41の上に第1層間絶縁膜42として酸化シリコン膜を厚さ約1000nmに形成する。酸化シリコン膜は、TEOSガスを使用するプラズマCVD法により形成される。

[0116] その後に、第1層間絶縁膜42の上面をCMP法により研磨して平坦化する。このCMPの結果、第1層間絶縁膜42の厚さは、シリコン基板30の平坦面上で約700nmとなる。

[0117] 次に、図8(b)に示すように、フォトリソグラフィ法によりカバー絶縁膜41と第1層間絶縁膜42をパターンニングして、 $0.25\mu\text{m}$ の径で第1～第3のソース／ドレイン拡散領域36～38のそれぞれを露出する第1～第3のコンタクトホール42a～42cを形成し、それらの中に導電性プラグ43～45を形成する。

[0118] 導電性プラグ43～45を形成する工程は、第1～第3のコンタクトホール中42a～42c内に厚さ30nmのTi膜と厚さ20nmのTiN膜を順に積層し、これらにより第1の密着膜(グルー膜)43を構成する。さらに、第1密着膜43上に第1のW膜44をCVD法により成長することにより、第1のW膜44を第1～第3のコンタクトホール42a～42c内に充填する。第1のW膜47は、第1層間絶縁膜42上の平坦面上で約300nmの厚さに成長される。

- [0119] この後に、第1層間絶縁膜42の上面上の余分な第1の密着膜43と第1のW膜44をCMP法により除去する。これにより、第1～第3のコンタクトホール42a～42c内にそれぞれ残された第1の密着膜43と第1のW膜44をそれぞれ第1～第3の導電性プラグ45a～45cとする。
- [0120] 次に、図8(c)に示すように、第1～第3の導電性プラグ45a～45c及び第1層間絶縁膜42の上に、SiONよりなる酸化防止膜46をプラズマCVD法により例えば130nmの膜厚に形成する。さらに、酸化防止膜46上に、第2層間絶縁膜47としてシリコン酸化膜を例えば300nmの厚さに形成する。シリコン酸化膜は、TEOSを原料としたプラズマCVD法により例えば300nmの膜厚に形成される。
- [0121] なお、酸化防止膜46として、SiON膜の代わりに、SiN膜や酸化アルミニウム(Al_2O_3)膜を形成してもよい。
- [0122] さらに、図9(a)に示すように、第2層間絶縁膜47及び酸化防止膜46をパターンニングすることにより、pウェル32の両側寄りの第2、第3の導電プラグ45b、45c上に第4、第5のコンタクトホール48b、48cを形成する。
- [0123] 次に、第4、第5のコンタクトホール48b、48c内に、第1の密着膜43、第1のW膜44と同じ条件で、第2の密着膜49と第2のW膜50を順に形成する。その後に、CMPにより第2のW膜50と第2の密着膜49を第2層間絶縁膜43の上面上から除去する。
- [0124] このCMPでは、研磨対象である第2の密着膜49と第2のW膜50の研磨速度が、下地の第2層間絶縁膜47の研磨速度よりも速くなるようなスラリー、例えばCabot Microelectronics Corporation製の商品SSW2000を使用する。
- [0125] 第2層間絶縁膜47上に研磨残を残さないために、このCMPによる研磨量は第2の密着膜49及び第2のW膜50の合計膜厚よりも厚く設定される。即ち、そのCMPはオーバー研磨となる。
- [0126] これにより、第4、第5のコンタクトホール48b、48c内に残された第2のW膜50と第2の密着膜49を第4、第5の導電性プラグ51、52とする。第4、第5の導電性プラグ51、52はそれぞれ、それらの下の導電性プラグ45b、45cを介して第2、第3のソース／ドレイン拡散領域37、38に接続される。
- [0127] 次に、アンモニア(NH_3)プラズマにより発生させたNH基を第2層間絶縁膜47表面

の酸素原子に結合させる。

[0128] これにより、その後に発生させるTi原子が第2層間絶縁膜47上にさらに堆積されても、堆積したTi原子は酸素原子に捕獲されてしまうことがない。これにより、Ti原子は第2層間絶縁膜47表面を自在に移動でき、その結果、第2層間絶縁膜47上には、(002)配向に自己組織化されたTi膜(不図示)が形成される。

[0129] そのアンモニアプラズマ処理は、例えば半導体基板30に対して約9mm(350mils)離間した位置に対向電極を有する平行平板型のプラズマ処理装置を使う。その処理条件として、例えば、266Pa(2Torr)の圧力下、400℃の基板温度で保持された処理容器中にアンモニアガスを350sccmの流量で供給し、被処理基板側に13.56MHzの高周波を100Wのパワーで、また前記対向電極に350kHzの高周波を55Wのパワーで、60秒間供給する。

[0130] 次に、例えば半導体基板30とターゲット(不図示)の間の距離を60mmに設定したスパッタ装置のチャンバ内を0.15PaのAr雰囲気とし、150℃の基板温度で1.4kWのスパッタDCパワーを14秒間供給する。これにより、強い(002)配向のTi膜が例えば20nmの厚さに形成される。

[0131] その後、RTAで窒素の雰囲気中でTi膜を650℃、60秒の熱処理を行い、図9(b)に示すように、Ti膜を(111)配向のTiNの下地導電膜53に変える。この下地導電膜53の厚さとして10nm～50nmが好ましく、本実施例は約20nmとされる。このTiN下地導電膜53は、その上に形成される膜の結晶性を向上する機能を有する。

[0132] なお、下地導電膜53は、窒化チタン膜に限定されず、タングステン膜、ドーフトシリコン膜又は銅膜のいずれかを形成してもよい。

[0133] 次に、図9(c)に示すように、下地導電性膜53の上に、酸素拡散バリア膜54としてTiAlN膜を反応性スパッタにより例えば100nmの厚さに形成する。酸素拡散バリア膜54を形成するスパッタ条件として、TiとAlを合金化したターゲットを使用し、スパッタ雰囲気中にArを40sccm、窒素を10sccmで導入し、スパッタ雰囲気内を253.3Paの圧力下に設定し、400℃の基板温度に設定し、スパッタパワーを1.0kWに設定する。

[0134] 続いて、図10(a)に示すように、酸素拡散バリア膜54上に、下部電極膜55と強誘

電体膜55を順に形成する。

- [0135] 下部電極膜55として、スパッタにより100nmの厚さのIr膜が形成される。下部電極膜55のスパッタ条件として、Ar雰囲気中にIrターゲットを設置し、その内部を0.11Paの圧力下に設定し、基板温度を500℃、スパッタパワーを0.5kWに設定する。
- [0136] 下部電極膜55の形成後に、シリコン基板30をRTAでAr雰囲気中、650℃以上、60秒の熱処理を行う。この熱処理により、下部電極膜55と酸素拡散バリア膜54と下地導電膜53の密着性が向上すると同時に、下部電極膜55の結晶性が改善する。熱処理の雰囲気は、Arに限らない、不活性ガス例えばN₂、Heなどでも良い。
- [0137] なお、下部電極膜55としてIr膜の代わりにPtなどの白金族の金属、あるいはPtO_x、IrO_x、SrRuO₃などの導電性酸化物を用いてもよい。さらに下部電極膜55は、上記の金属あるいは金属酸化物の積層膜としてもよい。
- [0138] 上記の強誘電体膜56として、例えばPZT膜が下部電極膜55上にMOCVD法により形成される。PZT膜は、より具体的には以下のような工程で形成される。
- [0139] まず、Pb(DPM)₂とZr(DMHD)₄とTi(O-iOr)₂(DPM)₂をそれぞれテトラヒドロフラン(THF)溶媒中にいずれも0.3mol/l(モル/リットル)の濃度で溶解し、Pb、Zr及びTiの各液体原料を形成する。さらに、これら3つの液体原料を、MOCVD装置の気化器に、流量が0.474ml(ミリリットル)/分のTHF溶媒とともに、それぞれ0.326ml/分、0.200ml/分、および0.200ml/分の流量で供給し、気化させることにより、Pb、ZrおよびTiの原料ガスを生成する。
- [0140] さらに、MOCVD装置のチャンバ内を665Pa(5Torr)の圧力下に設定し、基板温度を620℃に保持する。そして、上記のPb、ZrおよびTiの各原料ガスを、MOCVD装置のチャンバ中に対し620秒間導入する。これにより、下部電極膜55上には、所望のPZT膜が約100nmの厚さに形成される。
- [0141] その後、酸素を含む雰囲気中において600℃～620℃の温度で60秒間の熱処理をPZT膜に施すことが望ましい。この熱処理はPZT膜表面に吸着した不純物を飛ばし、キャパシタの特性を向上させるために行われる。
- [0142] 続いて、PZT膜上の全面に、例えばスパッタ法により、アモルファス強誘電体膜を形成する。アモルファス強誘電体膜としては、例えば膜厚が1nm～30nm、例えば2

0nmの強誘電体膜を形成する。MOCVDで成膜する場合は、例えば鉛(Pb)供給用の有機ソースとして、 $\text{Pb}(\text{DPM})_2$ ($\text{Pb}(\text{C}_{11}\text{H}_{19}\text{O}_2)_2$) をTHF液に溶かした材料が用いられる。また、ジルコニウム(Zr)供給用の有機ソースとして、 $\text{Zr}(\text{DMHD})_4$ ($\text{Zr}(\text{C}_9\text{H}_{15}\text{O}_2)_4$) をTHF液に溶かした材料が用いられる。チタン(Ti)供給用の有機ソースとして、 $\text{Ti}(\text{O}-i\text{Pr})_2$ ($\text{DPM})_2$ ($\text{Ti}(\text{C}_3\text{H}_7\text{O})_2$ ($\text{C}_{11}\text{H}_{19}\text{O}_2$)) をTHF液に溶かした材料が用いられる。

[0143] 次に、図10(b)、(c)、図11(a)に示すように、強誘電体膜56上に、2層構造の導電性酸化膜、金属膜及び金属窒化化合物膜からなる上部電極膜を形成する。金属窒化化合物膜は水素拡散防止のために形成される。

[0144] まず、図10(b)に示すように、強誘電体膜56上に第1導電性酸化膜57aと第2導電性酸化膜57bを順に形成する。

[0145] 第1導電性酸化膜57aとして、例えば、成膜の時点で結晶化された IrO_x 膜をスパッタ法により20nm～70nm、例えば25nmの厚さに形成する。成膜条件について、例えば、成膜温度を300℃とし、成膜ガスとしてAr及び O_2 を用い、Arの流量を140sccm、 O_2 の流量を60sccmに設定し、スパッタパワーを例えば1kW～2kW程度とする。この条件により形成された IrO_x は、石垣状に結合した結晶となる。

[0146] ついで、半導体基板30を加熱室内に置いてRTA法で熱処理する。この熱処理は強誘電体膜56を完全に結晶化させ、強誘電体膜56を構成するPZT膜中の酸素欠損を補償すると同時に、プラズマダメージを受けた第1導電性酸化膜57aの膜質も回復できる。RTA法の条件については、加熱雰囲気内に置かれる基板温度を25℃に設定し、加熱雰囲気内に酸素を流量200sccm、Arを流量1800sccmで導入し、さらに熱処理時間を60秒間とする。

[0147] さらに、 IrO_x の第1導電性酸化膜57aの上に IrO_y の第2導電性酸化膜57bをスパッタ法により50nm～200nmの厚さに形成する。成膜条件として、圧力が0.8Paに設定されるArと O_2 の雰囲気中に半導体基板30を置き、Irターゲットを使用し、スパッタパワーを1.0kWに設定して成膜時間を39秒間とすると、 IrO_y が約100nmの厚さに成長する。

[0148] この時、 IrO_y の成膜温度を30℃以上、100℃以下の温度範囲、好ましくは50℃以

上、75℃以下の範囲内に設定する。このような条件により、第2導電性酸化膜57bは、成膜の時点で IrO_y が微結晶化して石垣状或いは柱状に多数結合した状態となり、しかも、その後の熱処理によって異常成長が防止される。

[0149] 第2導電性酸化膜57bの成膜時には、IrターゲットとAr及び O_2 のガスを用いる。その際のArに対する O_2 の割合は、 IrO_x の第1導電性酸化膜57の成長時のその割合よりも高くすることを前提とする。 IrO_y 成膜のガスの流量は、例えば、Arの流量を100sccm、 O_2 の流量を100sccmとする。また、スパッタパワーは、例えば1kW程度に設定される。

[0150] 以上の条件で形成された IrO_y からなる第2導電性酸化膜57bは、異常酸化がなく、きれいな結晶膜が得られた。この際、工程劣化を抑えるために、第1実施形態と同様に、 IrO_y 膜は IrO_2 の化学量論組成に近い組成を有しているので、水素に対して触媒作用を生じることがなく、強誘電体膜56が水素ラジカルにより還元されてしまう問題が抑制され、キャパシタの水素耐性が向上する。

[0151] 第1、第2導電性酸化膜57a、57bを構成する材料として、 IrO_x 、 IrO_y 又は IrO_2 の代わりにその他の貴金属であるプラチナ(Pt)、イリジウム(Ir)、ルテニウム(Ru)、ロジウム(Rh)、レニウム(Re)、オスmium(Os)、パラジウム(Pd)かその酸化物、及び SrRuO_3 などの導電性酸化物やこれらのいずれかを選択した積層構造としても良い。

[0152] なお、第1、第2導電性酸化膜57a、57bをそれぞれ構成する貴金属は、同じ元素であってもよいし、異なる元素であってもよい。また、第1、第2の導電性酸化膜57a、57bはそれぞれプラチナに比べて還元ガスの触媒作用が小さい導電膜である。

[0153] 続いて、RTA法によりシリコン基板30を熱処理する。その条件として、例えば基板温度を700℃に設定し、酸素を流量20sccm、Arを流量2000sccmで導入する雰囲気中で基板の熱処理時間を60秒間とする。この熱処理によれば、強誘電体膜56及び第1、2導電性酸化膜57a、57bの密着性向上する上に、第2導電性酸化膜57bの結晶性より安定させ、酸素欠損などの欠陥をなくすることができる。

[0154] 次に、図10(c)に示すように、第2導電性酸化膜57bの上にIrからなる金属膜58をスパッタ法により20nm～100nm、例えば50nmの厚さに形成する。Irのスパッタ法による成長条件として、例えば、基板温度を400℃に設定し、圧力1Paの成膜雰囲気

気中でスパッタパワーを1.0kWに設定する。なお、Irの代わりに、Ru、その他の貴金属を形成してもよい。

[0155] さらに、図11(a)に示すように、金属膜58の上に金属窒化化合物膜59としてTiAlN膜を反応性スパッタ法により例えば50nm～100nmの厚さに形成する。金属窒化化合物膜59を形成するスパッタ条件として、TiとAlを合金化したターゲットを使用し、スパッタ雰囲気中にArを40sscm、窒素を20sccmで導入し、スパッタ雰囲気内を253.3Paの圧力に設定し、400℃の基板温度に設定し、スパッタパワーを1.0kWに設定する。

[0156] なお、金属窒化化合物膜59として、第1実施形態と同様に、TiAlN膜だけでなく、その他にTaAlN膜、TaAlON膜、TiAlON膜等からなる群から選択された膜を使用することも可能である。

[0157] 上記のような IrO_x からなる第1導電性酸化膜57aと、 IrO_y からなる第2導電性酸化膜57bと、貴金属からなる金属膜58と、金属窒化化合物膜59は、それぞれ導電膜であって、合わせてキャパシタの上部電極膜になる。

[0158] 半導体基板30の背面を洗浄した後に、図11(b)に示すように、上部電極を構成する金属膜59の上にスパッタ法で厚さ20nmのアルミナ(Al_2O_3)膜、厚さ200nmの窒化チタン膜を形成し、これらを第1マスク材料層60aとする。更に、第1マスク材料層60a上に、TEOSガスを使用するCVD法により酸化シリコン膜を700nmの厚さに形成し、その酸化シリコン膜を第2マスク材料層60bとする。

[0159] 次いで、第2マスク材料層60b上にフォトリソを塗布し、これを露光、現像して、第4、第5の導電性プラグ51、52の上にキャパシタ平面形状を有する島状のレジストパターンRを形成する。そして、レジストパターンRをマスクにして第2マスク材料層60bをパターニングする。さらに、パターニングされた第2マスク材料層60bをマスクにして第1マスク材料層60aをエッチングする。

[0160] パターニングされた第1、第2マスク材料層60a、60bは、図12(a)に示すように、ハードマスクMとして使用される。レジストパターンRは、第1マスク材料層60aをエッチングした後に除去される。

[0161] 次に、図12(b)に示すように、HBr、 O_2 、Ar及び C_4F_8 の混合ガスをエッチングガス

とするプラズマエッチングにより、ハードマスクMに覆われていない部分の上部電極膜57a、57b、58、59、PZT膜56及び下部電極膜55を連続してドライエッチングする。

[0162] これにより、パターニングされた上部電極膜57a、57b、58、59はキャパシタ上部電極61となり、パターニングされた強誘電体膜56はキャパシタ誘電体膜56qとなり、さらに、パターニングされた下部電極膜55はキャパシタ下部電極55qとなる。キャパシタ上部電極61、キャパシタ誘電体膜56q及びキャパシタ下部電極55qにより強誘電体キャパシタ Q_2 が構成される。

[0163] 続いて、図13(a)に示すように、ドライエッチング或いはウェットエッチにより第2マスク材料層60bを除去する。例えば、ウェットエッチングを選択する場合にはエッチング液としてフッ酸が使用される。

[0164] 次に、図13(b)に示すように、強誘電体キャパシタ Q_2 に覆われていない部分の酸素バリアメタル膜54、下地導電膜53及び第1マスク材料層60aをドライエッチングして除去する。

[0165] さらに、図14(a)に示すように、強誘電体キャパシタ Q_2 を覆うアルミナよりなる第1の保護絶縁膜62をスパッタ法により20nmの厚さに形成する。なお、第1の保護絶縁膜62として、ALD (atomic layer deposition) 法で膜厚2nmのアルミナ膜を形成してもよいし、或いは、スパッタ法によりPZT膜又は TiO_x 膜を形成してもよい。

[0166] 続いて、図14(b)に示すように、ダメージを受けたキャパシタ誘電体膜56qの膜質を回復させる目的で、酸素含有雰囲気中でキャパシタ誘電体膜56qに対して回復アニールを施す。この回復アニールの条件は特に限定されないが、本実施形態では、加熱炉内において基板温度550℃～700℃として行われる。また、キャパシタ誘電体膜56qがPZTの場合には、酸素の雰囲気中において基板温度600℃で60分間のアニールを行うことが望ましい。

[0167] さらに、図15(a)に示すように、第1の保護絶縁膜62及び強誘電体キャパシタ Q_2 を覆う第2の保護絶縁膜63を形成する。第2の保護絶縁膜63は、水素バリア膜として機能する。なお、第2の保護絶縁膜63として、アルミナをCVD法により38nmの厚さに形成してもよい。

- [0168] 次に、図15(b)に示すように、第2の保護絶縁膜63上に、例えば膜厚が1500nmのシリコン酸化物から構成される第3層間絶縁膜64を形成する。シリコン酸化物は、基板全面に、例えばプラズマCVD法により形成される。その原料ガスとして、例えば、TEOSガスと酸素ガスとヘリウムガスとの混合ガスを用いる。なお、第3層間絶縁膜64として、例えば、絶縁性を有する無機膜等を形成してもよい。
- [0169] 続いて、例えばCMP法により、第3層間絶縁膜64の表面を平坦化する。さらに、 N_2O ガス又は N_2 ガス等を用いて発生させたプラズマ雰囲気にて、第3層間絶縁膜64に対して熱処理を行う。熱処理の結果、第3層間絶縁膜64中の水分が除去されると共に、第3層間絶縁膜64の膜質が変化し、その中に水分が入りにくくなる。
- [0170] その後、第3層間絶縁膜64の全面に、例えばスパッタ法又はCVD法により、バリア膜(第3の保護絶縁膜)65を形成する。バリア膜65として、例えば、膜厚が20nm～100nmの酸化アルミニウム膜を形成する。平坦化された第3層間絶縁膜64上に形成されたバリア膜65は平坦となる。
- [0171] 次に、図16(a)に示すように、バリア膜65の全面に第4層間絶縁膜66を形成する。第4層間絶縁膜66として、例えば、TEOSガスを用いてプラズマCVD法により膜厚が800nm～1000nmのシリコン酸化膜を形成する。なお、第4層間絶縁膜66として、 SiON 膜又はシリコン窒化膜等を形成してもよい。この後に、例えばCMP法により、第4層間絶縁膜66の表面を平坦化する。
- [0172] さらに、図16(b)に示すように、強誘電体キャパシタ Q_2 上に第6～第8の導電性プラグ69～71を形成する。第6～第8の導電性プラグ69～71は以下の工程により形成される。
- [0173] まず、強誘電体キャパシタ Q_2 の上方に開口部を有するレジストパターン(不図示)を第4層間絶縁膜66上に形成する。その後に、そのレジストパターンをマスクに使用して第4層間絶縁膜66から第3層間絶縁膜64までをエッチングすることにより、強誘電体キャパシタ Q_2 のキャパシタ上部電極61の上にビアホール66aを形成する。これにより、ビアホール66aから第2の保護絶縁膜63が露出する。
- [0174] レジストパターンを除去した後に、シリコン基板30を酸素雰囲気中に置いて450℃で熱処理する。これにより、第1ビアホール66aの形成に伴ってキャパシタ誘電体膜5

6qに生じた酸素欠損を元の状態に回復させる。

- [0175] この後に、ビアホール66aの形成と同様な方法によって、第4層間絶縁膜66から第3層間絶縁膜42までをエッチングして、pウェル32の中央領域の上にある第1の導電性プラグ45aの上方にコンタクトホール66bを形成する。これにより、コンタクトホール66bからは酸化防止膜46が露出する。
- [0176] 次に、ビアホール66aを通して酸化防止膜46をウェットエッチングすることにより、キャパシタ上部電極61の上面を露出させる。また、コンタクトホール66bを通し第1、第2の保護絶縁膜62、63をエッチングすることにより、第1の導電性プラグ45aの上面を露出させる。
- [0177] その後に、ビアホール66aとコンタクトホール66bの内面にTiN膜を単層で密着膜67として形成する。密着膜67は、Ti膜をスパッタにより形成し、その上にTiN膜をMO CVD法により形成することにより、二層構造から構成することも可能である。
- [0178] TiN膜の形成後にその表面から炭素除去を行うため、窒素と水素の混合ガスプラズマ中での処理が行われる。この処理において、本実施形態では、キャパシタ上部電極60の最上層が水素バリア機能を有する金属窒化化合物膜59及び金属膜58から構成されているために、キャパシタ上部電極60がその水素によって還元されにくい。
- [0179] この後に、密着膜67上にW膜68をCVD法により成長し、これによりビアホール66aとコンタクトホール66bの中をW膜68で埋め込む。続いて、第4層間絶縁膜66上のW膜68及び密着膜67をCMP法により除去する。
- [0180] これにより、コンタクトホール66b内に残されたW膜68を第6の導電性プラグ69とし、さらに、ビアホール66a内に残されたW膜68をビアプラグ70、71とする。
- [0181] 次に、第4層間絶縁膜66上には、例えばスパッタ法により、膜厚60nmのTi膜、膜厚30nmのTiN膜、膜厚360nmのAlCu合金膜、膜厚5nmのTi膜、及び、膜厚70nmのTiN膜を順次形成する。この結果、Ti膜、TiN膜、AlCu合金膜、Ti膜及びTiN膜からなる積層膜が形成される。
- [0182] 続いて、図17に示すように、フォトリソグラフィ技術を用いて積層膜をパターンニングする。これにより、積層膜からなる配線（第1金属配線層）が形成される。即ち、ビア

プラグ70に接続される配線72と、第6の導電性プラグ69に接続される導電性パッド73などが形成される。なお、2つのビアプラグ70、71は配線73によって互いに接続されないこともある。

[0183] その後、更に、層間絶縁膜の形成、コンタクトプラグの形成及び下から第2～5層目以降の配線の形成等を行う。そして、例えばTEOS酸化膜及びSiN膜からなるカバー膜を形成して強誘電体キャパシタを有する強誘電体メモリを完成させる。その詳細の説明は省略する。

[0184] 以上のような構成を有する強誘電体キャパシタ Q_2 の上部電極61において、酸化度が低い第1の導電性酸化膜57aによれば強誘電体膜56との界面が平坦になってキャパシタ特性が向上する。また、酸素の組成が化学量論組成に等しいかこれに近い第2の導電性酸化膜57bによれば構成金属による触媒作用が生じにくく、しかも結晶の密度が均一になって内部の空孔(ボソボソ)が極めて小さく還元性ガスを透過しにくくなる。この結果、強誘電体膜56の還元ガスによる劣化が防止される。

[0185] さらに、第2の導電性酸化膜57bの上にはIr等の貴金属からなる金属膜58が形成されているので、上部電極61の導電性が向上して抵抗が低減される。また、金属膜58は、その上の金属窒化化合物膜59と導電性酸化膜57a、57bの密着性を高める機能も有する。

[0186] 金属窒化化合物膜59は、上部電極61の上の層間絶縁膜64又はコンタクトホール66aを通して侵入する水素や水の金属膜58への侵入を防止し、これにより第1、第2の導電性酸化膜57a、57bの還元を妨げて空孔の発生を防止する。

[0187] 以上のような上部電極61により、キャパシタの耐工程劣化能力が大幅に向上し、この結果、強誘電体キャパシタ Q_1 における反転電荷量の向上、抗電圧の低減、疲労耐性及びインプリント耐性が向上する。

[0188] ところで、上部電極61における4層構造のうち、強誘電体膜56との界面を平坦にするための第1の導電性酸化膜57aと、第1の導電性酸化膜57aに水や水素の侵入を防止するための金属窒化化合物膜59は特性向上に必須となる。

[0189] 従って、上部電極61としては、4層構造の他に、図18(a)に示すように、強誘電体膜56上に第1の導電性酸化膜57aと金属窒化化合物膜59を形成した2層構造とし

てもよい。また、第1、第2の導電性酸化膜57a、57bを1つの導電性酸化膜としてその上に金属窒化化合物膜59を形成してもよい。さらに、図18(b)に示すように、第1の導電性酸化膜57aと金属窒化化合物膜59の間に、低抵抗化のための貴金属製の金属膜58を形成した3層構造としてもよい。

[0190] (第3の実施の形態)

図19、図20は、本発明の第2実施形態に係る強誘電体メモリ(半導体装置)及びその製造方法を示す断面図である。なお、図19、図20において、図8～図17と同じ符号は同じ要素を示している。

[0191] まず、図9(a)に示したと同様に、第2層間絶縁膜47上に導電性プラグ51、52を形成するまでは、第2実施形態と同様なプロセスとする。導電性プラグ51、52を形成するためのCMPによれば、一般的に、導電性プラグ51、52の上面の高さが第2層間絶縁膜47の上面よりも低くなり、導電性プラグ51、52の周囲の第2層間絶縁膜47にリセス47rが形成されやすい。リセス47rの深さは20nm～50nmであり、典型的には約50nm程度である。

[0192] リセスは、第2層間絶縁膜47上に順に形成される下地導電膜53から強誘電体膜56までの複数の膜のそれぞれの面配向に影響を与えるが、その影響は以下のような工程により低減される。

[0193] まず、図19(a)に示すように、第2層間絶縁膜47の表面をアンモニア(NH₃)プラズマで処理し、第2層間絶縁膜47の表面の酸素原子にNH基を結合させる。

[0194] NH基が結合された第2層間絶縁膜47表面では、その上に下地導電膜53を構成するTi原子を堆積する際に、Ti原子は第2層間絶縁膜47の酸素原子に捕獲されにくくなり、第2層間絶縁膜47の表面を自在に移動できる。その結果、図19(b)に示すように、(002)配向に自己組織化されたTi膜53aが第2層間絶縁膜47上に形成される。

[0195] 上記のアンモニアプラズマ処理は、例えばシリコン基板30に対して約9mm(350mils)離間した位置に対向電極(不図示)を有する平行平板型のプラズマ処理装置を使う。そして、266Pa(2Torr)の圧力に調整され、400℃の基板温度で保持された処理容器中にアンモニアガスを350sccmの流量で供給し、シリコン基板30側に13.

56MHzの高周波を100Wのパワーで、また対向電極に350kHzの高周波を55Wのパワーで、60秒間供給することにより実行することができる。

[0196] また、Ti膜の形成条件は、例えば、シリコン基板30とTiターゲットの間の距離を60mmに設定したスパッタ装置中で、0.15PaのAr雰囲気、150℃の基板温度に設定し、さらに1.4kWのスパッタDCパワーをターゲット・基板間に42秒間供給する。これにより、強い(002)配向のTi膜53aが第2層間絶縁膜47上に形成される。Ti膜53aは、例えば60nmの厚さに形成される。

[0197] 次に、窒素雰囲気にシリコン基板30を置いて、基板温度650℃、60秒の条件で、RTAによる熱処理を行うことにより、Ti膜53aを窒化する。これにより、図20(a)に示すように、第2層間絶縁膜47上には、(111)配向のTiNからなる下地導電膜53が形成される。下地導電膜53の厚さは40～200nmが好ましい。本実施形態では、その厚さは約60nmとされる。

[0198] なお、下地導電膜53は窒化チタン膜に限定されず、タングステン膜、シリコン膜、及び銅膜のいずれかを下地導電膜53として形成してもよい。

[0199] ところで、リセス47rの深さやTi膜53aの形成条件によっては、TiNからなる下地導電膜53の上面には凹部が形成される。図20(a)ではその凹部が表されている。このような凹部は、下地導電膜53の上方に形成される強誘電体膜56の結晶性を劣化させる恐れがある。

[0200] そこで、本実施形態では、図20(b)に示すように、CMP法により下地導電膜53の上面を研磨して平坦化し、上記した凹部を除去する。このCMPで使用されるスラリは特に限定されないが、本実施形態ではCabot Microelectronics Corporation製のSSW 2000(商品名)を使用する。

[0201] CMPにより処理され下地導電膜53の厚さは、研磨誤差に起因して、シリコン基板の30面内や、シリコン基板30毎にばらつく。そのばらつきを考慮して、本実施形態では、研磨時間を制御することにより、CMP後の下地導電膜53の厚さの目標値を10nm～100nm、より好ましくは20nmとする。

[0202] 研磨されたままの状態にある下地導電膜53の上面は研磨によって歪んだ状態となりやすい。そして、結晶に歪が発生している下地導電膜53の上方にキャパシタの下

部電極55を形成すると、その歪みを下部電極55が拾ってしまってその結晶性が劣化し、ひいてはその上の強誘電体膜56の強誘電体特性が劣化することになる。

[0203] そこで、図20(b)に示すように、下地導電膜53の研磨面を NH_3 プラズマに曝すことにより、下地導電膜56の結晶の歪みが下地導電膜53の上方に形成される膜に伝わらないようにする。

[0204] これにより、下地導電膜53の上面では、その後に形成される酸素拡散バリア膜54を構成する元素が移動しやすくなり、酸素拡散バリア膜54の結晶方位が良好になる。従って、酸素拡散バリア膜54の上の下部電極55、強誘電体膜56の強誘電体特性が良好になる。

[0205] 以上のように、下地導電膜53の研磨面を NH_3 プラズマに曝した後のプロセスは、第2実施形態と同じ工程となる。

[0206] 従って、本実施形態によれば、下地電極55、強誘電体膜56の結晶方位を改善する他、第2実施形態と同じ効果が得られる。

[0207] (第4の実施の形態)

図21、図22は、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図である。なお、図21、図22において、図8～図17と同じ符号は同じ要素を示している。

[0208] まず、図20(a)に示したように、第2層間絶縁膜47上に下地導電膜53を形成するまでの工程は、第3実施形態と同様である。

[0209] この後に、図21(a)に示すように、下地導電膜35をCMP法により研磨し、その研磨をプラグ51、52の上とその周辺のリセス47rにのみ残す。

[0210] この後に、図21(b)に示すように、アンモニアプラズマを導電性プラグ51、52上の下地導電膜35と第2層間絶縁膜47に施す。

[0211] これにより、図22(a)に示すように、下地導電膜53及び第2層間絶縁膜47上に形成される酸素拡散バリア層54の結晶方位は良好になり、第3実施形態と同様に、下部電極膜55、強誘電体膜56の結晶方位も良好になる。

[0212] 以上のように、下地導電膜53及び第2層間絶縁膜47の研磨面を NH_3 プラズマに曝した後のプロセスは、第3実施形態と同じ工程を経て、図22(b)に示すような構造

の半導体装置が形成される。

[0213] (第5の実施の形態)

図23、図24は、本発明の第4実施形態に係る半導体装置の形成工程を示す断面図である。なお、図23、図24において、図8～図17と同じ符号は同じ要素を示している。

[0214] まず、図8(a)に示したと同様のように、シリコン基板30上にSTI31、pウェル32を形成した後に、第1層間絶縁膜42を形成するまでの工程は、第1実施形態と同様である。

[0215] その後に、図23(a)に示すように、フォトリソグラフィー法によりカバー絶縁膜41と第1層間絶縁膜42をパターニングして、pウェル32の両側寄りの第2、第3のソース/ドレイン拡散領域37、38のそれぞれを露出する第2、第3のコンタクトホール42b、42cを形成し、それらの中に導電性プラグ45b、45cを形成する。導電性プラグ45b、45cの形成方法は第1実施形態と同様である。

[0216] 続いて、第1層間絶縁膜42上に直接に下地導電膜53を形成し、その上に酸素拡散バリア膜54を形成する。下地導電膜53の形成については、第3、第4実施形態と同じ方法を採用してもよい。

[0217] その後に、図23(b)に示すように、第2実施形態と同じプロセスにより下地導電膜53の形成から第1層間絶縁膜64までの構造を形成する。

[0218] 次に、図24(a)に示すように、pウェル32の中央寄りにあるソース/ドレイン領域36の上のフォトリソグラフィー法により第3層間絶縁膜64からカバー絶縁膜41を部分的にエッチングしてコンタクトホール64aを形成する。

[0219] その後に、コンタクトホール64aの中に導電性プラグ79を埋め込む。導電性プラグ79は、第2実施形態の第4導電性プラグ69と同じ方法によって形成される。

[0220] さらに、第2実施形態と同様な方法によりビアホール64bを強誘電体キャパシタ Q_2 上に形成する。

[0221] この後に、図24(b)に示すように、ビアホール64a内を通してキャパシタ上部電極61に接続される配線72を第3層間絶縁膜64上に形成する。

[0222] 以上の実施形態によれば、第3層間絶縁膜64には1回の導電性プラグの形成工程

で済むことになり、第2実施形態に比べて工程が短くなる。

[0223] なお、上記の第1～第5の実施形態では、強誘電体膜としては、PZTを使用したがる、例えば、熱処理により結晶構造がBi層状構造又はペロブスカイト構造となる膜を形成してもよい。このような膜としては、PZT膜の他、La、Ca、Sr及び／又はSi等を微量ドーブしたPZT、SBT、BLT並びにBi系層状化合物などの一般式 XYO_3 (X、Yは元素)で表される膜が挙げられる。また、強誘電体膜は、ゾルーゲル法、有機金属分解法、CSD (Chemical Solution Deposition) 法、化学気相蒸着法、エピタキシャル成長法、スパッタ法又はMOCVD法のいずれかの方法で形成される。

[0224] 以上説明した実施形態は典型例として挙げたに過ぎず、その各実施形態の構成要素を組み合わせること、その変形およびバリエーションは当業者にとって明らかであり、当業者であれば本発明の原理および請求の範囲に記載した発明の範囲を逸脱することなく上述の実施形態の種々の変形を行えることは明らかである。

請求の範囲

- [1] 半導体基板上に形成された強誘電体キャパシタを有する半導体装置において、前記強誘電体キャパシタは、下部電極と、前記下部電極上に形成された強誘電体膜と、前記強誘電体膜上に形成された上部電極とを有し、
前記上部電極は、第1の導電性貴金属酸化物からなる第1導電膜と、前記第1導電膜上に形成される金属窒化化合物からなる第2導電膜とを少なくとも含む積層構造である
ことを特徴とする半導体装置。
- [2] 前記金属窒化化合物は、前記第1の導電性貴金属酸化物を構成する金属元素と異なる金属元素を含むことを特徴とする請求項1に記載の半導体装置。
- [3] 前記第1導電膜と前記第2導電膜の間に形成される貴金属からなる第3導電膜を有することを特徴とする請求項1又は請求項2に記載の半導体装置。
- [4] 前記第1導電膜と前記第3導電膜の間に形成される第2の導電性金属酸化物からなる第4導電膜を有する請求項3に記載の半導体装置。
- [5] 前記第1の導電性酸化物は、前記第3導電膜を構成する前記貴金属と同じ金属元素により構成されることを特徴とする請求項3又は請求項4に記載の半導体装置。
- [6] 前記第1の導電性酸化物は、前記第3導電膜を構成する前記貴金属と異なる金属元素により構成されることを特徴とする請求項3又は請求項4に記載の半導体装置。
- [7] 前記第2導電膜を構成する前記金属窒化化合物は、二つ以上の金属元素を含む窒化化合物であることを特徴とする請求項1乃至請求項6のいずれか1項に記載の半導体装置。
- [8] 前記第4導電膜を構成する金属元素と前記第1導電膜を構成する金属元素は同じ貴金属元素であることを特徴とする請求項4乃至請求項7のいずれか1項に記載の半導体装置。
- [9] 前記第4導電膜を構成する金属元素と前記第1導電膜を構成する金属元素とは異なる貴金属元素から構成されていることを特徴とする請求項4乃至請求項7のいずれか1項に記載の半導体装置。
- [10] 前記第1導電膜は、組成パラメータ x_1 を使って化学式 AO_{x_1} (A: 金属元素)で表さ

れ実際の組成が組成パラメータ x_2 を使って化学式 AO_{x_2} で表される第1酸化物膜であり、

前記第4導電膜は、前記第1導電膜上に形成され、組成パラメータ y_1 を使って化学式 BO_{y_1} で表され実際の組成が組成パラメータ y_2 を使って化学式 BO_{y_2} (B: 金属元素) で表される第2酸化物であって石垣状或いは柱状の結晶からなり、前記第1酸化物膜より酸化の割合が高く構成され、前記組成パラメータ x_1 、 x_2 、 y_1 および y_2 の間には、関係 $(y_2/y_1) > (x_2/x_1)$ が成立する第2酸化物膜であることを特徴とする請求項8又は請求項9に記載の半導体装置。

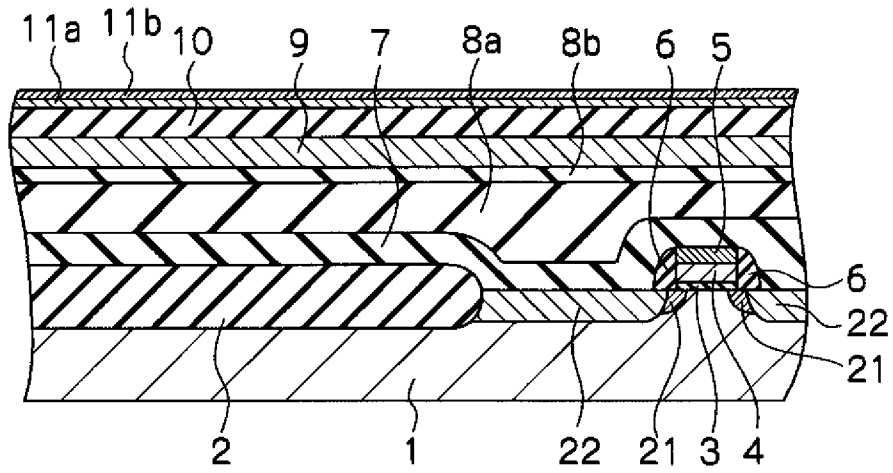
- [11] 前記上部電極の前記第1導電膜又は前記第4導電膜を構成する金属元素はイリジウム又はルテニウムであることを特徴とする請求項1乃至請求項10にいずれか1項に記載の半導体装置。
- [12] 前記第2導電膜は、TiAlN膜、TiAlON膜、TaAlN膜、TaAlON膜から選択された1種であることを特徴とする請求項1乃至11にいずれか1項に記載の半導体装置。
- [13] 前記第3導電膜は、イリジウム膜、プラチナ膜、ルテニウム膜、ロジウム膜及びパラジウム膜からなる群から選択された1種であることを特徴とする請求項3乃至請求項12のいずれか1項に記載の半導体装置。
- [14] 半導体基板の上方に下部電極を形成する工程と、
前記下部電極上に強誘電体膜を形成する工程と、
前記強誘電体膜上に上部電極を形成する工程とを含み、
前記上部電極を形成する工程は、
前記強誘電体膜上に第1の貴金属酸化膜からなる第1導電膜を形成する工程と、
前記第1導電膜の上に、窒素を含有する金属化合物からなる第2導電膜を形成する工程と
を有することを特徴とする半導体装置の製造方法。
- [15] 前記第2導電膜を形成する工程は、スパッタ法を用いることを特徴とする請求項14に記載の半導体装置の製造方法。
- [16] 前記第1導電膜を形成する工程の後であって前記第2導電膜を形成する前に、貴

金属膜からなる第3導電膜を前記第1導電膜上に形成する工程を含むことを特徴とする請求項14又は請求項15に記載の半導体装置の製造方法。

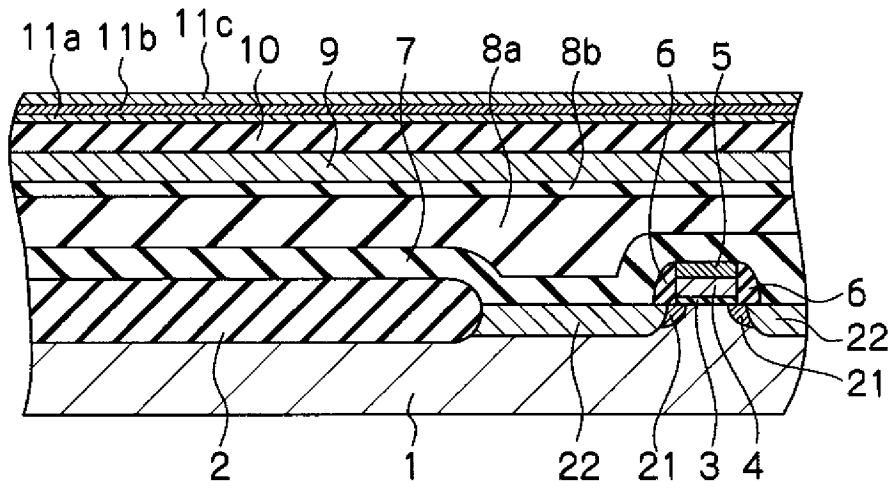
- [17] 前記第1導電膜を形成する工程の後に、第2の貴金属酸化膜からなる第4導電膜を前記第1導電膜上に形成する工程を含み、前記第4導電膜は、前記第1導電膜の形成時よりもアルゴン流量に対する酸素流量の割合が大きいガス流量のスパッタ条件で形成されて、前記第4導電膜において前記第1導電膜よりも酸化の割合を高くすることにより形成されることを特徴とする請求項14乃至請求項16のいずれか1項に記載の半導体装置の製造方法。
- [18] 前記強誘電体膜及び前記第1導電膜を形成した後に、前記半導体基板を不活性ガスと酸化性ガスの混合雰囲気中において第1の温度で熱処理する工程を含むことを特徴とする請求項14乃至17のいずれ1項に記載の半導体装置の製造方法。
- [19] 前記第4導電膜を形成した後に、前記半導体基板を不活性ガスと酸化性ガスの混合雰囲気中において第2の温度で熱処理する工程を含むことを特徴とする請求項17又は請求項18に記載の半導体装置の製造方法。
- [20] 前記強誘電体膜を形成した後であって前記第1導電膜を形成する前において、前記強誘電体膜を不活性ガスと酸化性ガスの混合雰囲気中で第3の温度で熱処理する工程と、前記強誘電体膜より薄いアモルファス強誘電体膜を形成する工程を含み、さらに、前記第1導電膜を形成した後に、酸素を含む雰囲気中において前記第3の温度よりも高い温度で前記強誘電体膜を熱処理して前記強誘電体膜を結晶化する工程を含むことを特徴とする請求項14乃至請求項19のいずれか1項に記載の半導体装置の製造方法。

[図2]

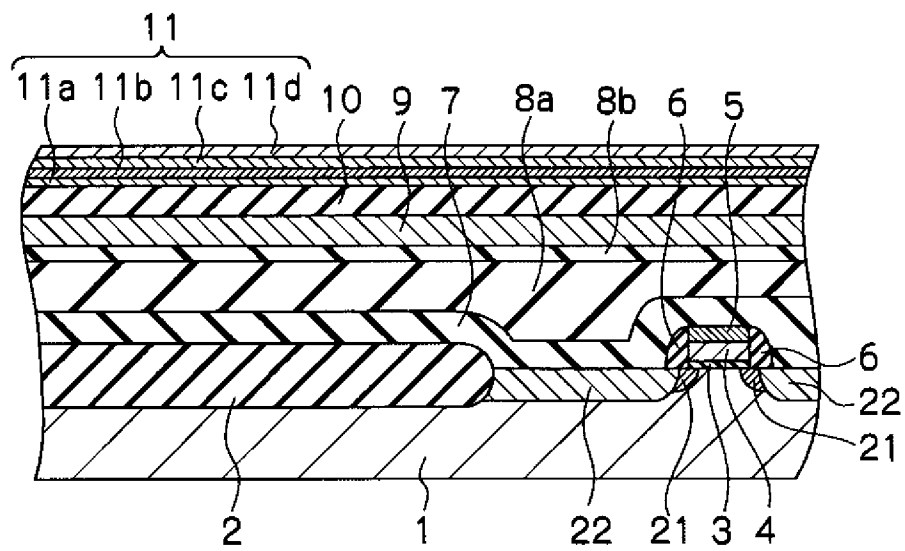
(a)



(b)

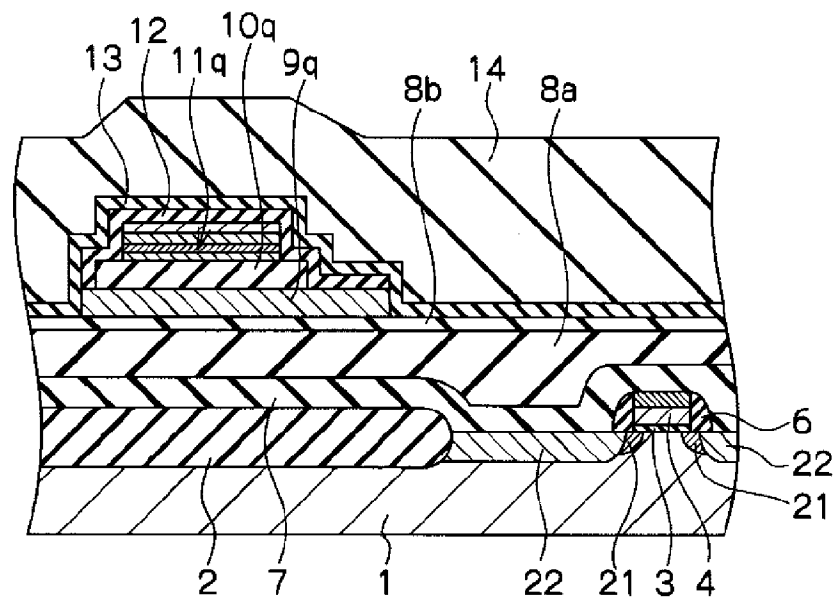


(c)

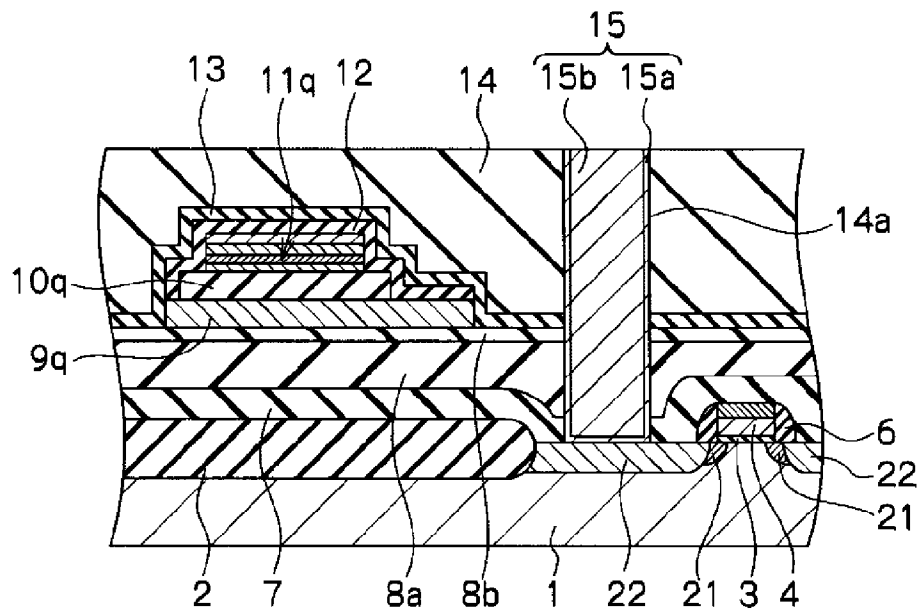


[図5]

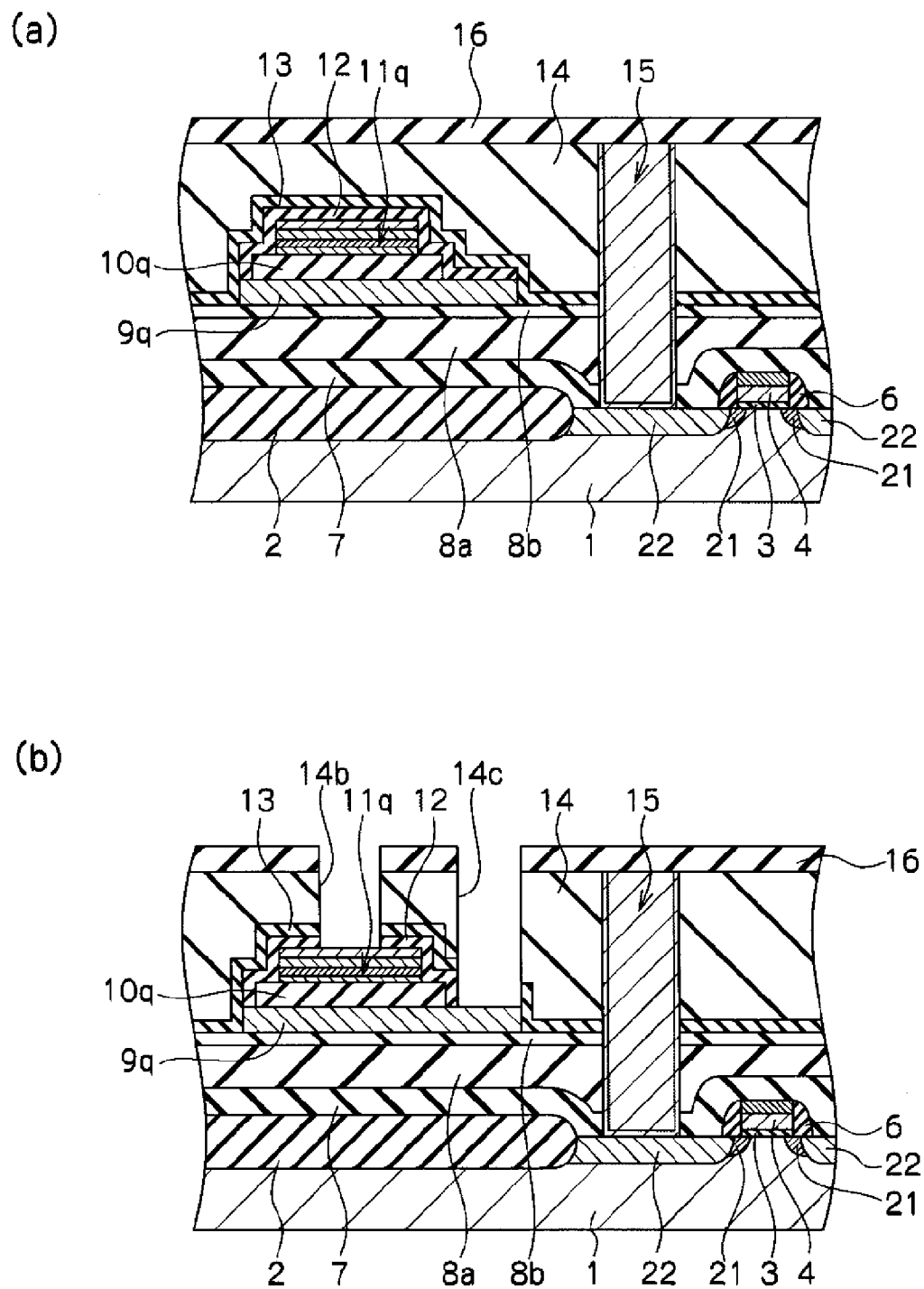
(a)



(b)

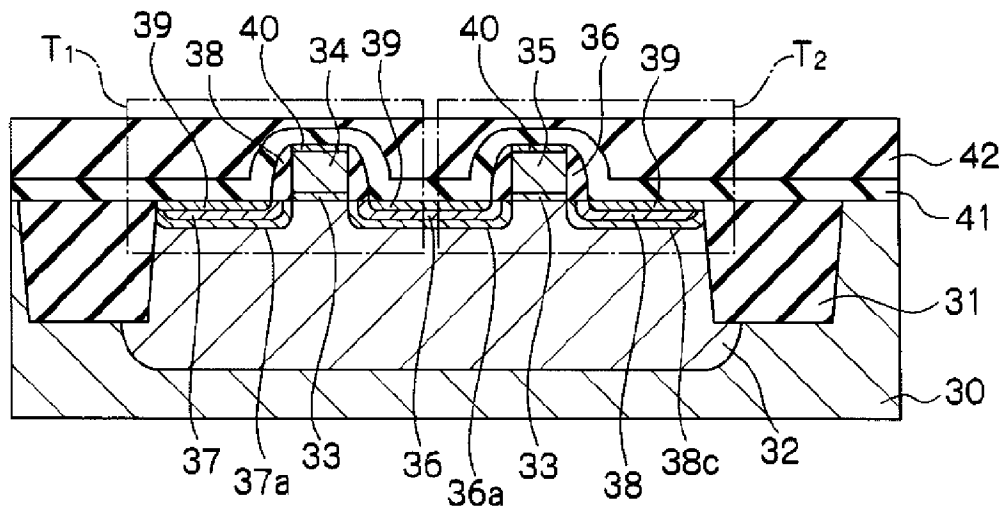


[図6]

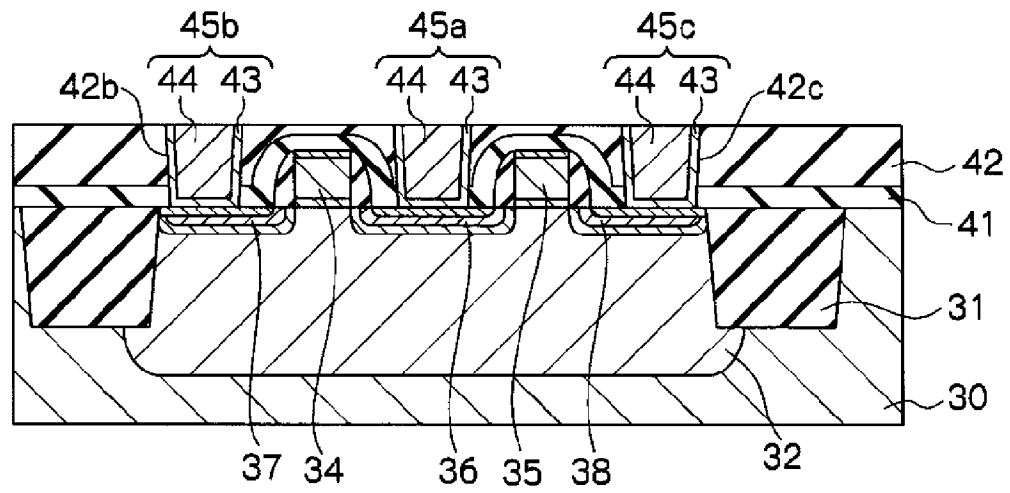


[図8]

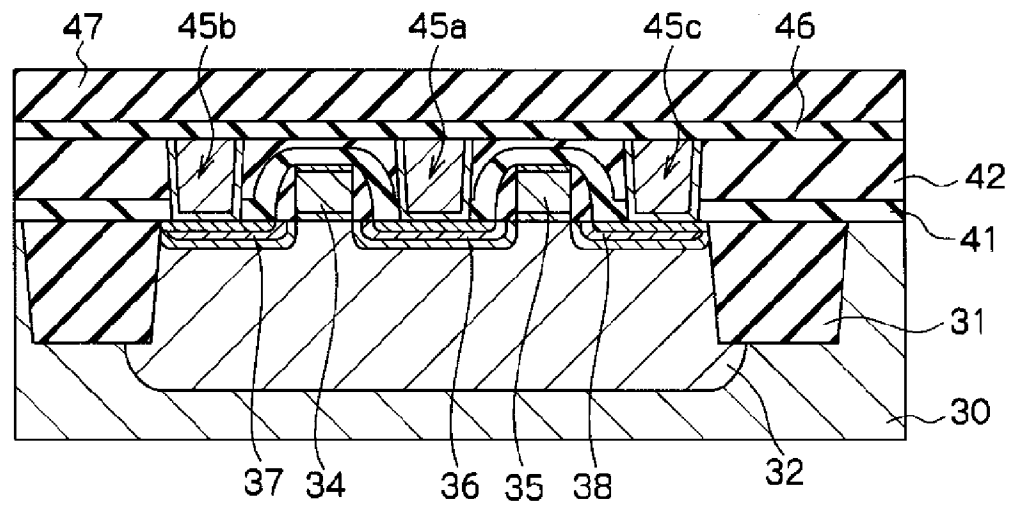
(a)



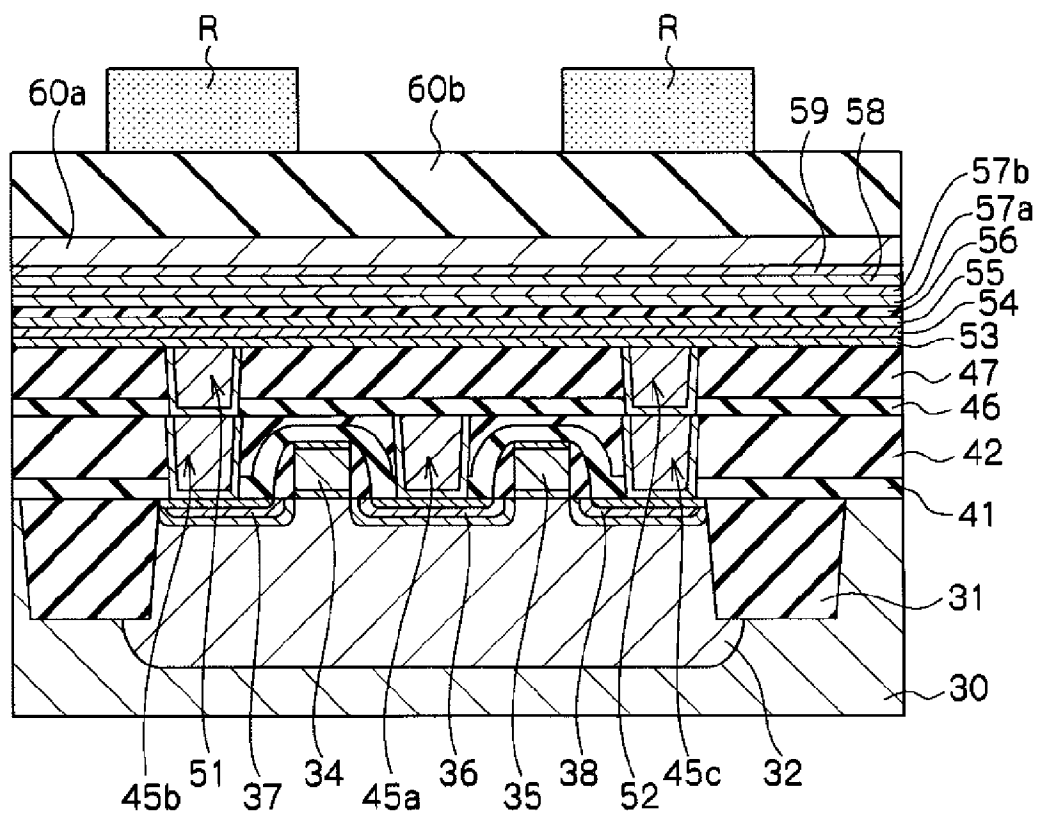
(b)



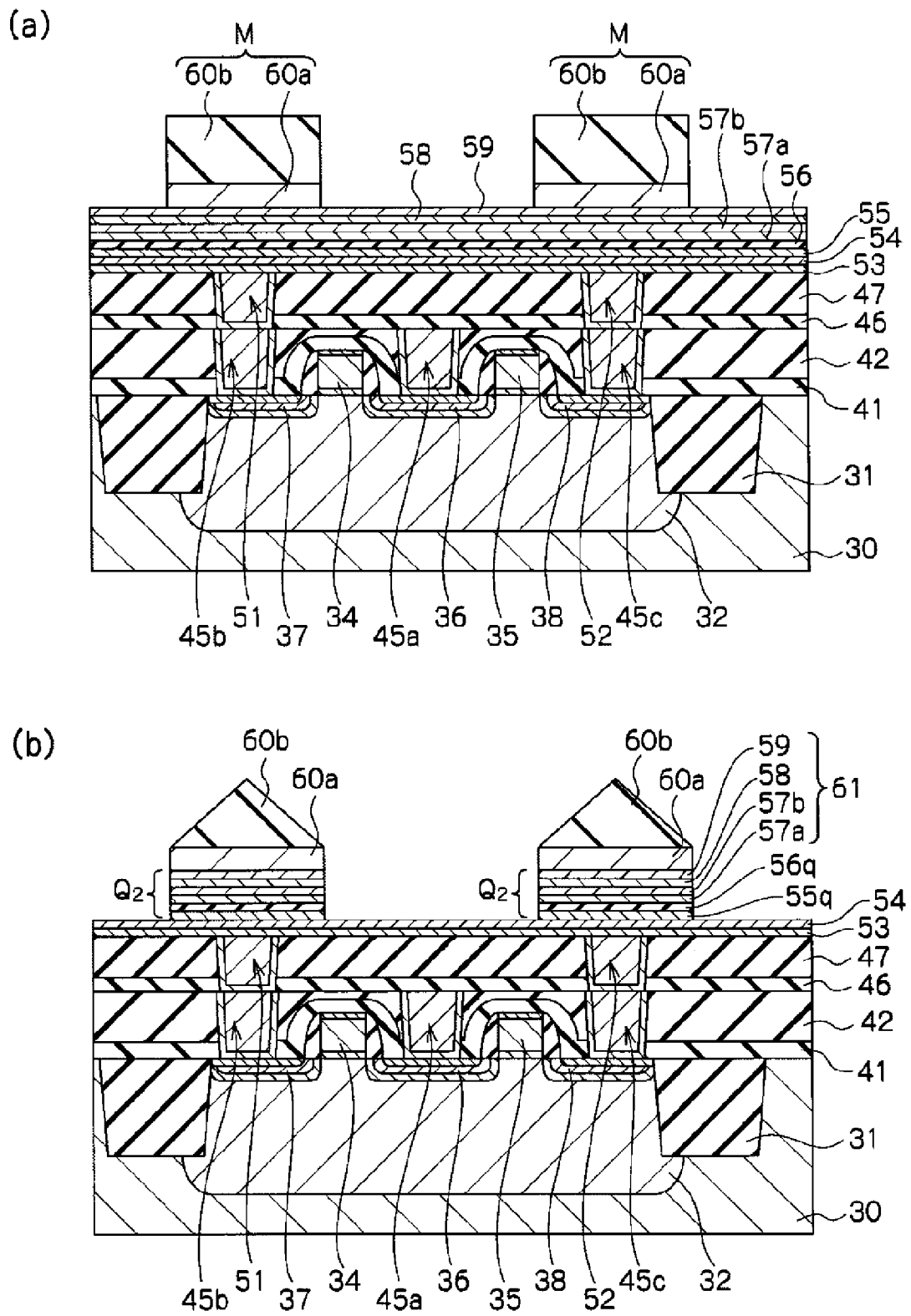
(c)



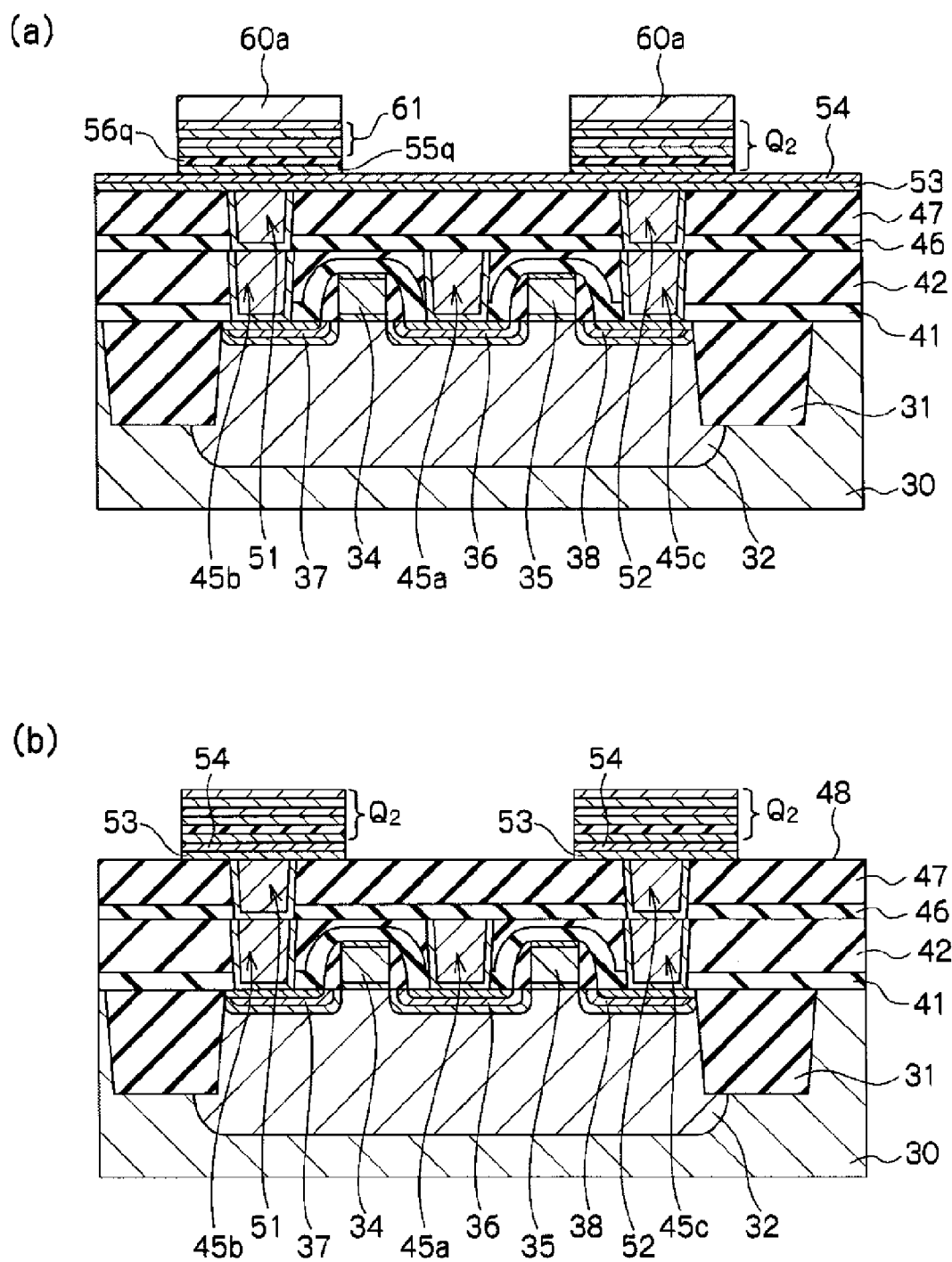
(a)



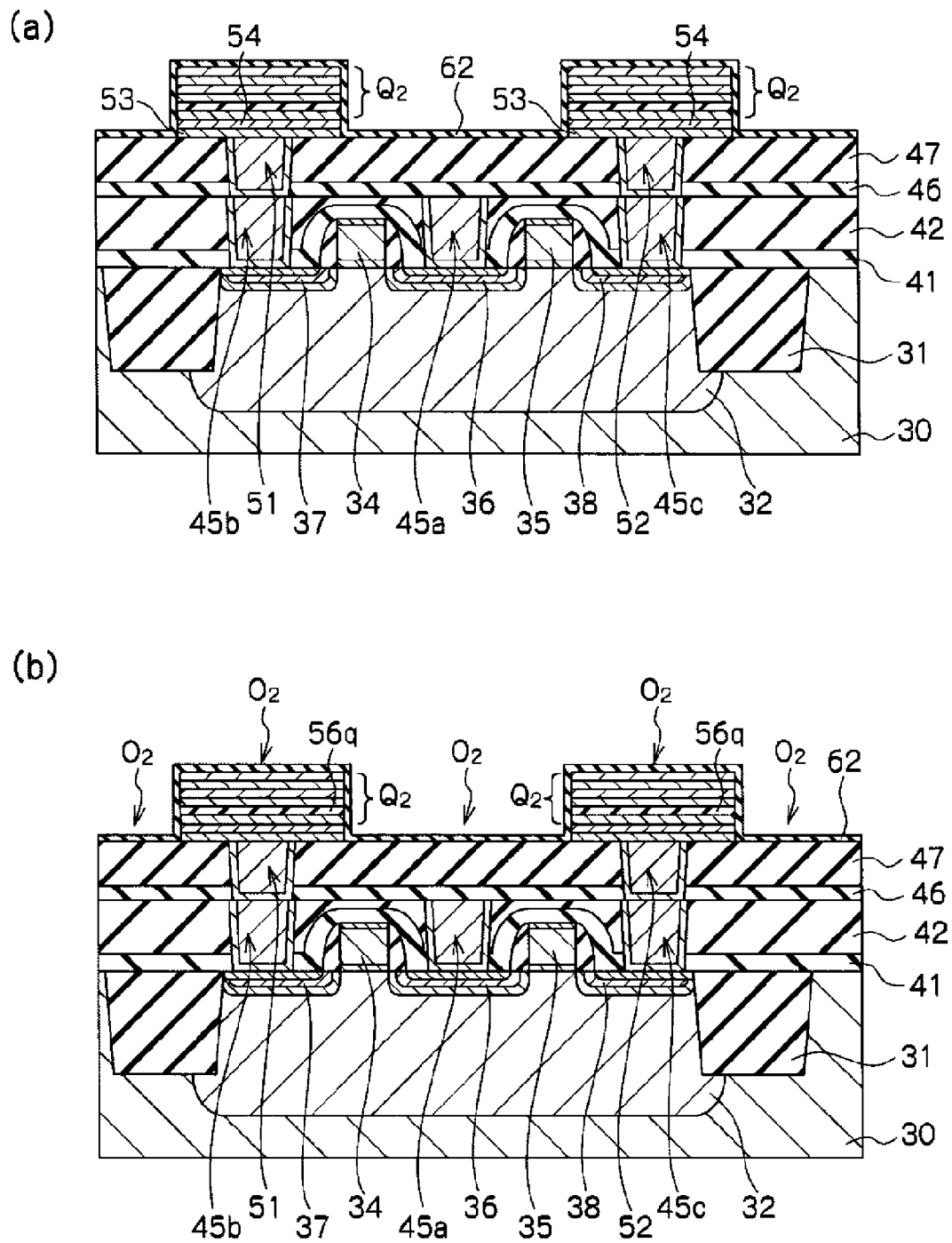
[図12]



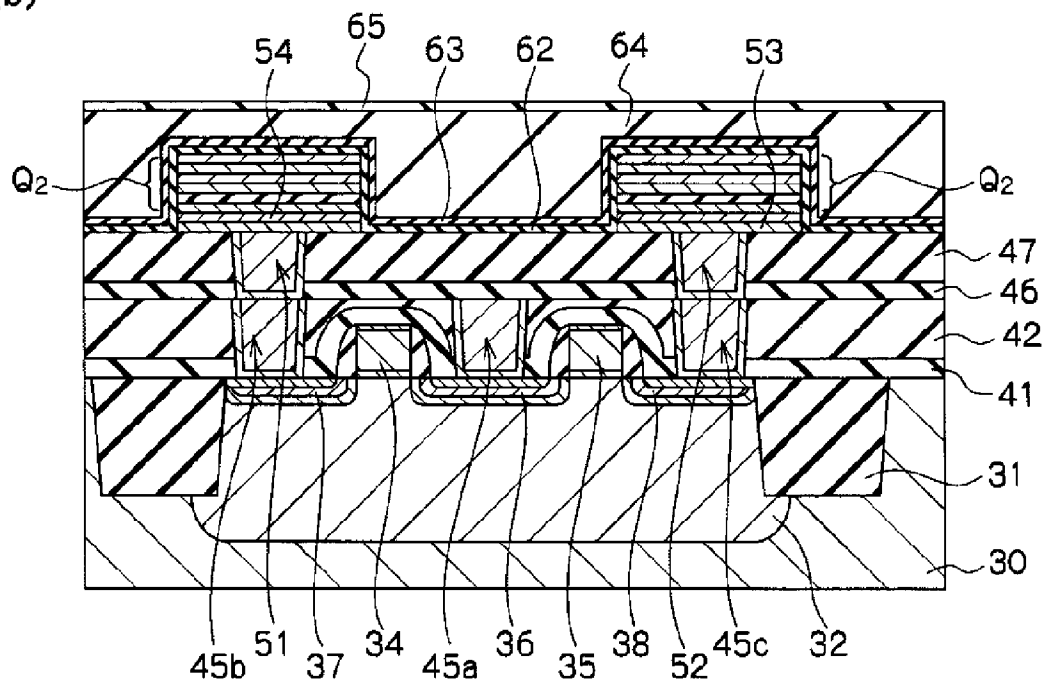
[図13]



[図14]

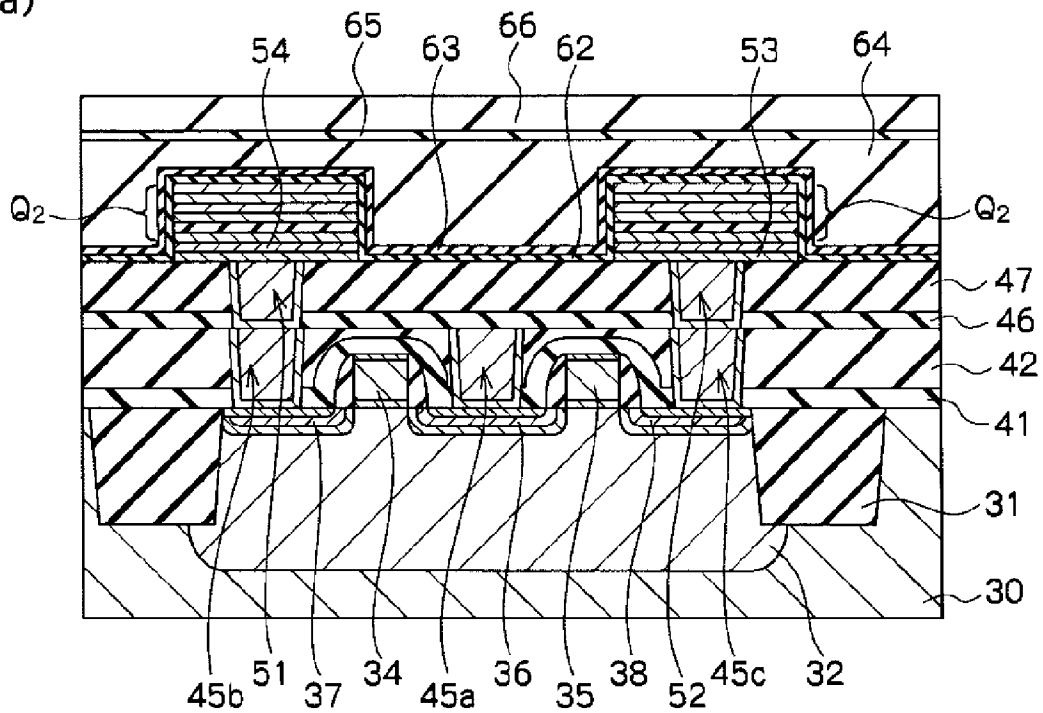


(a)

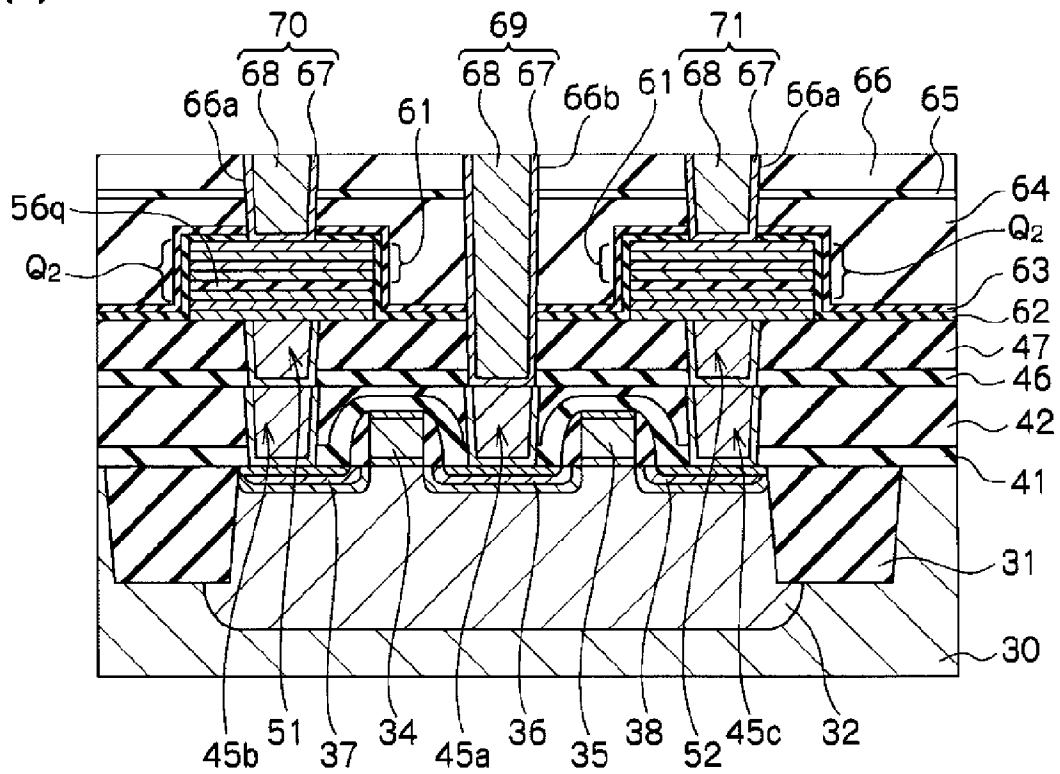


[図16]

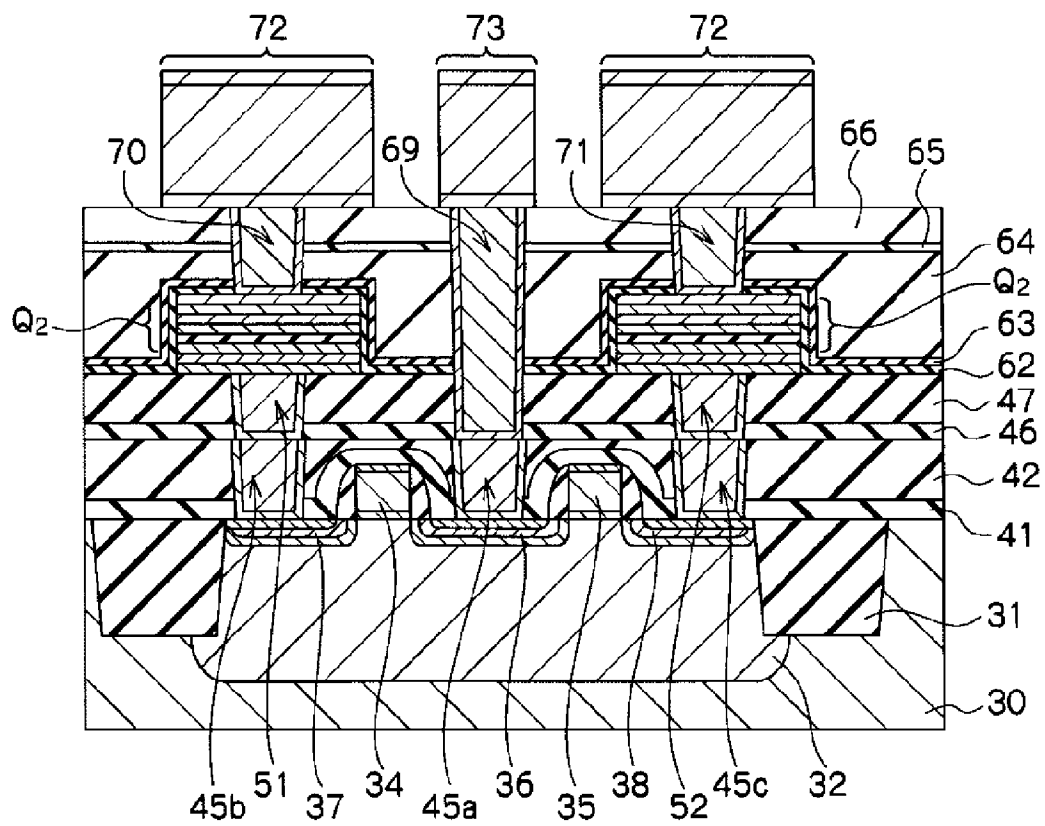
(a)



(b)

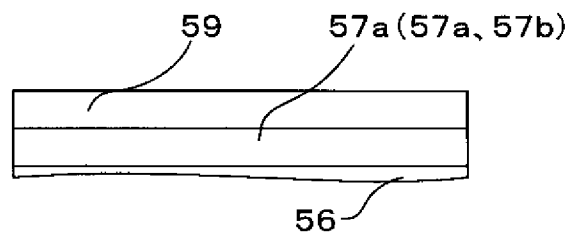


[図17]

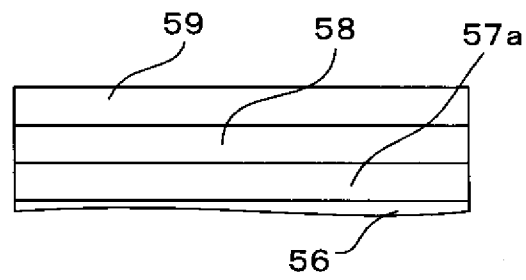


[図18]

(a)

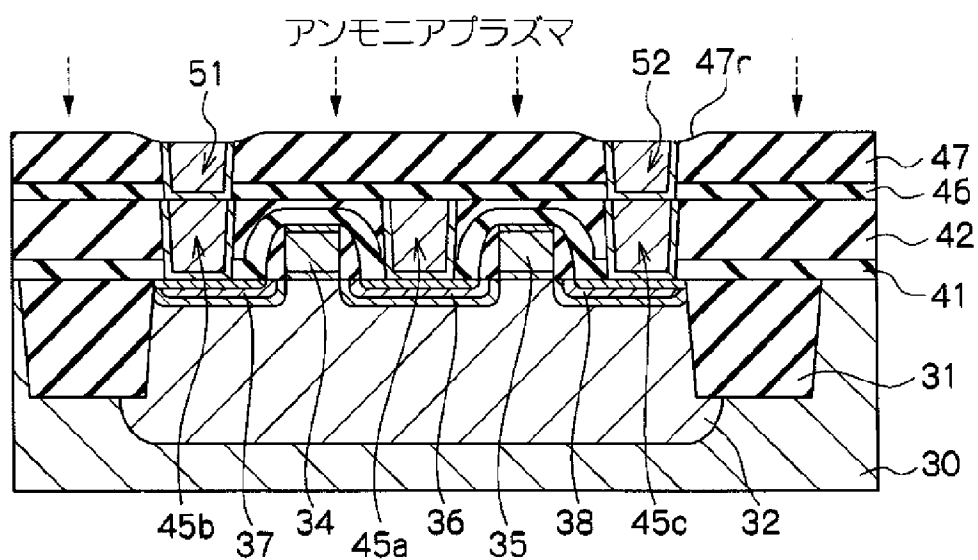


(b)

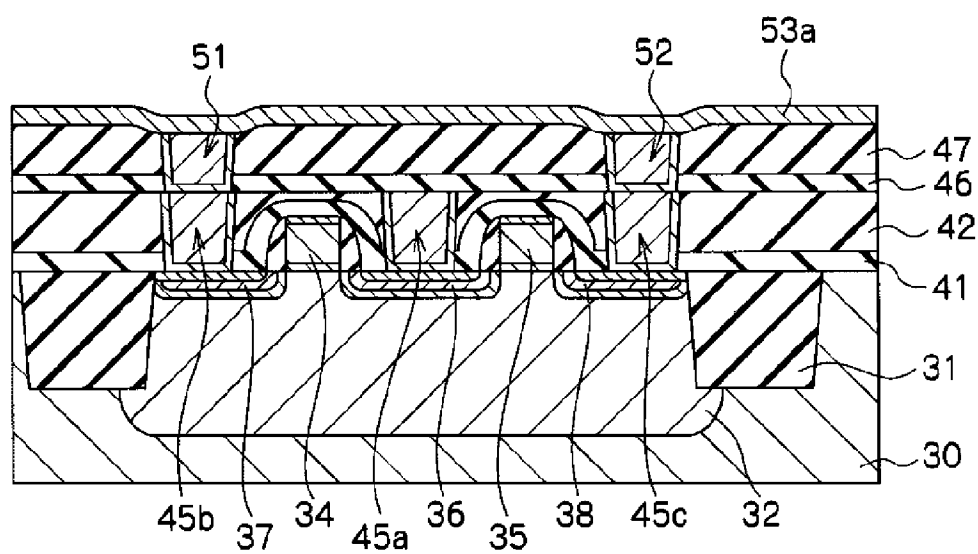


[図19]

(a)

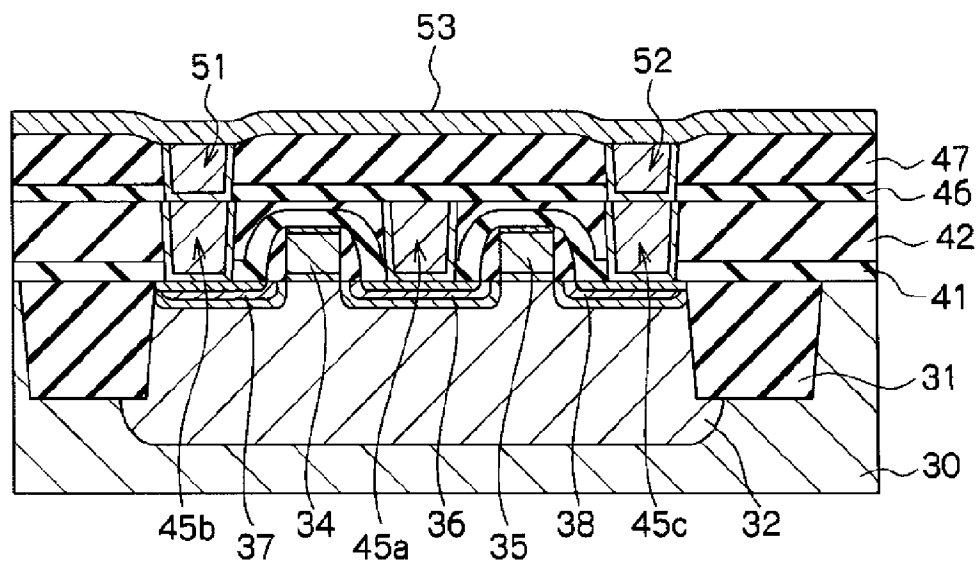


(b)

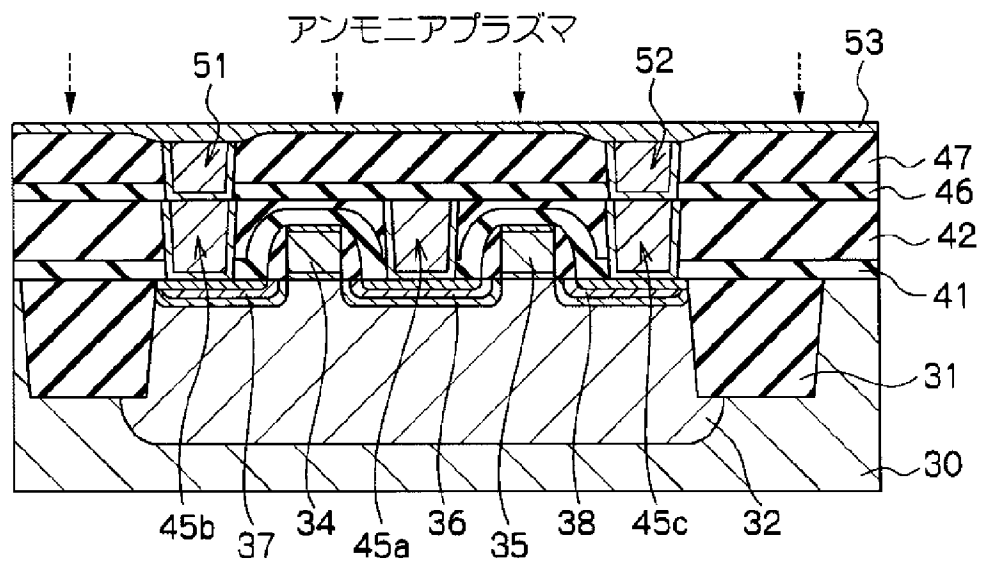


[図20]

(a)

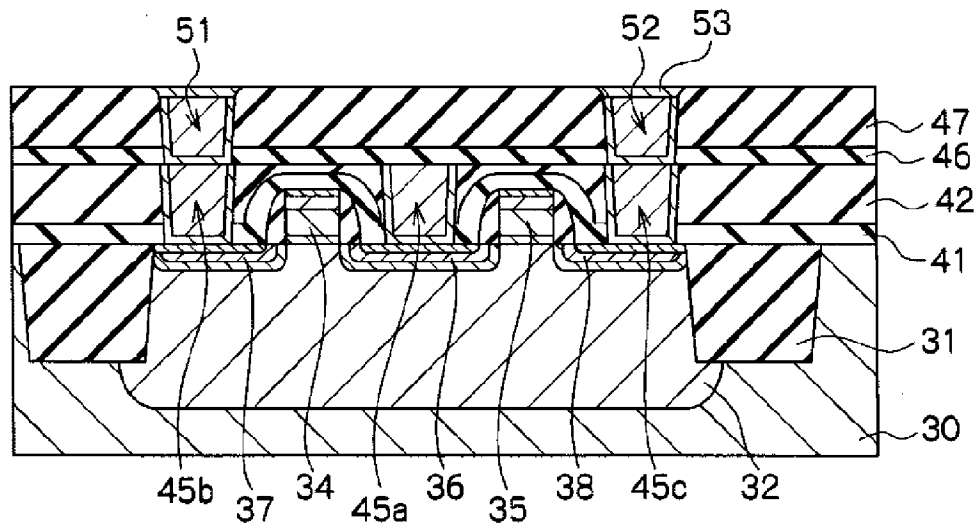


(b)

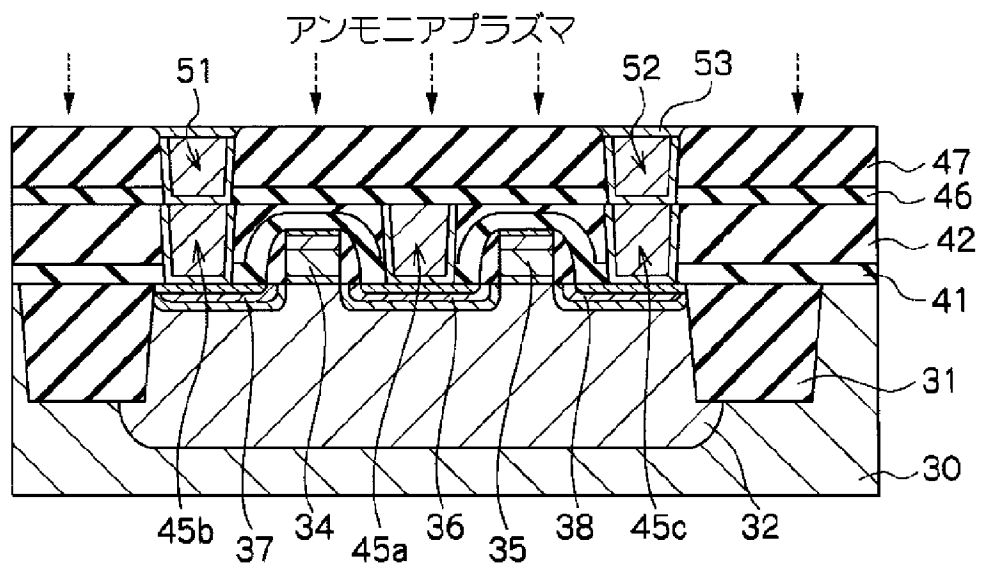


[図21]

(a)

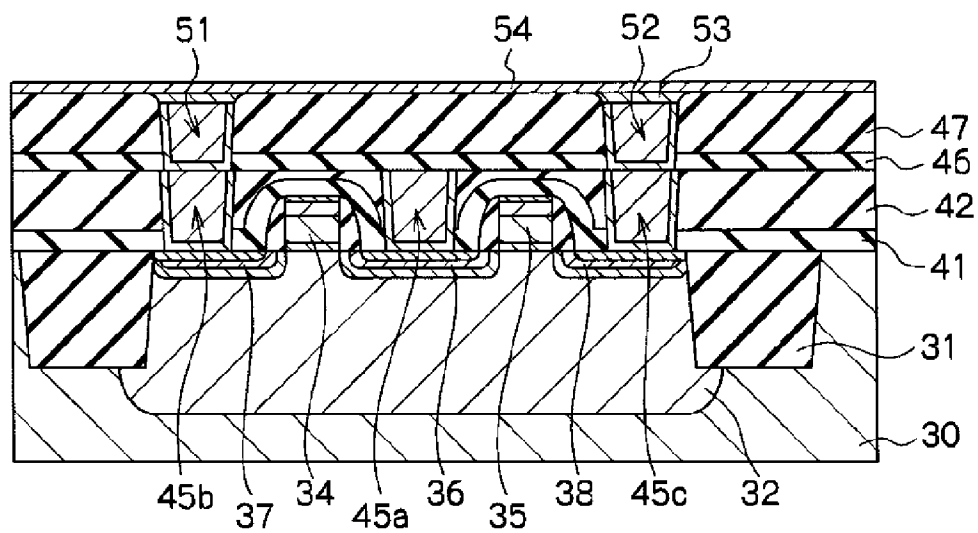


(b)

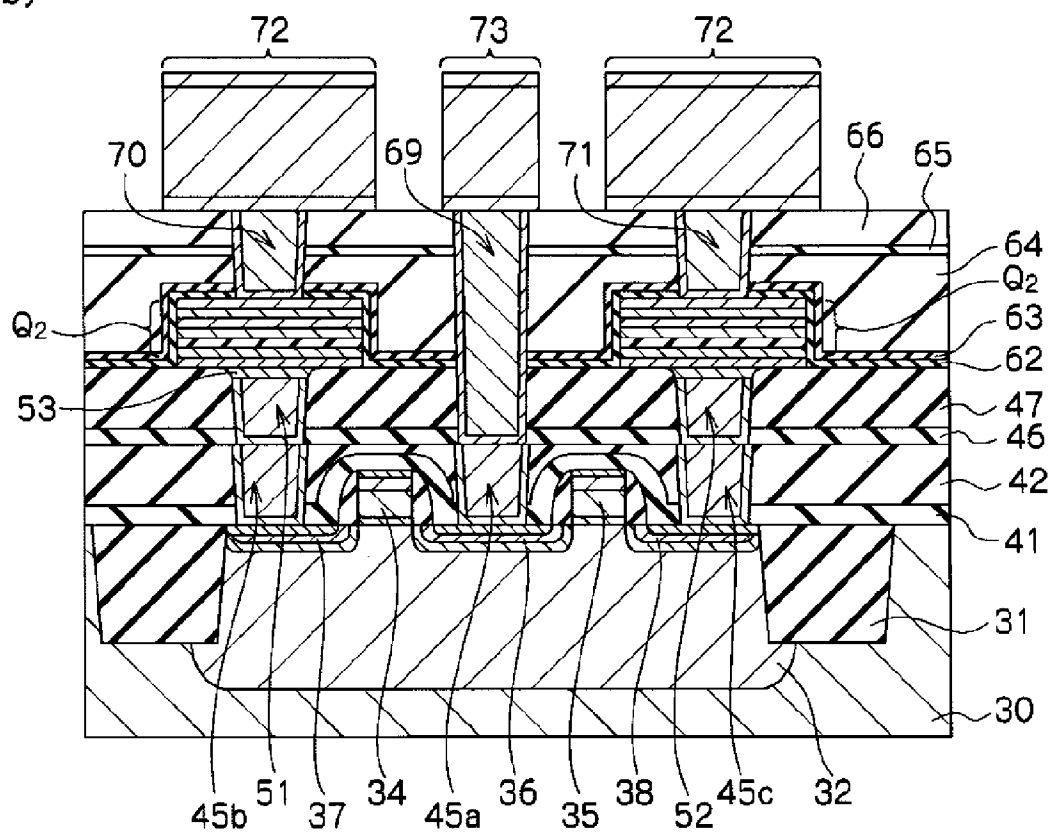


[図22]

(a)

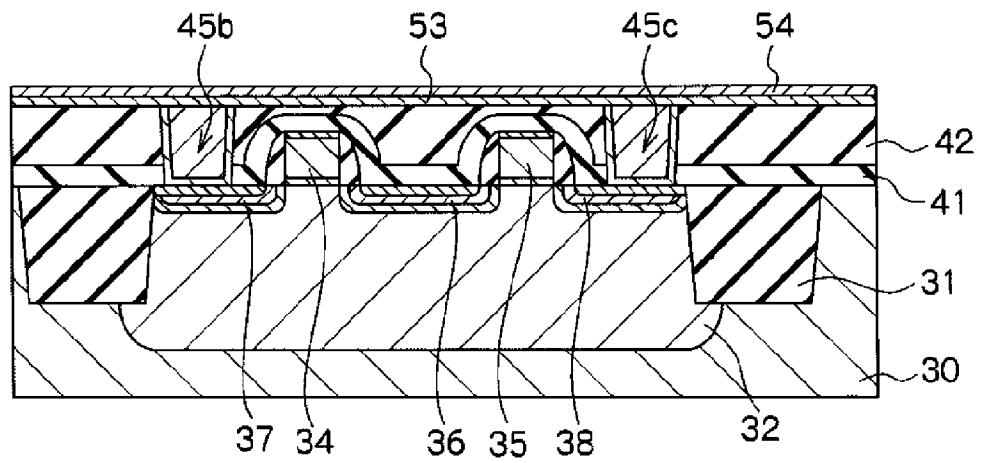


(b)

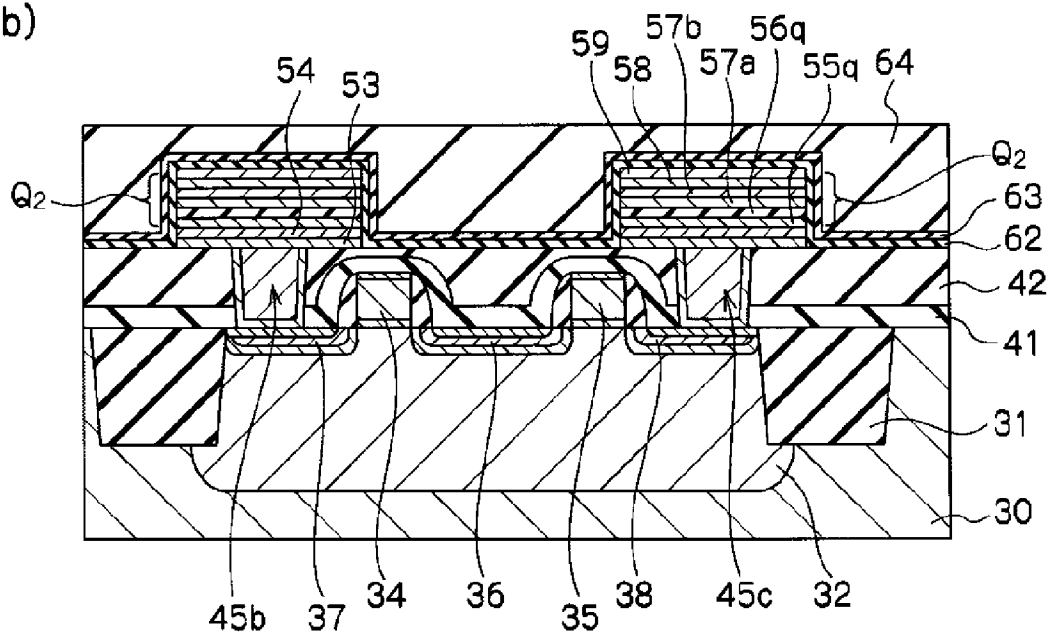


[図23]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055053

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8246(2006.01) i, H01L27/105(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8246, H01L27/105

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-258201 A (Fujitsu Ltd.), 12 September, 2003 (12.09.03), Par. Nos. [0010] to [0054]; Figs. 1 to 2 (Family: none)	1-2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
14 August, 2007 (14.08.07)

Date of mailing of the international search report
28 August, 2007 (28.08.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055053

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 2 .

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee..
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055053

Continuation of Box No.III of continuation of first sheet (2)

In order for a group of inventions claimed in claims to satisfy the requirement of unity of invention, there should be a special technical feature for linking the group of inventions with each other so as to form a single general inventive concept. In this connection, it appears that the group of inventions according to claims 1-20 are linked with each other only in the matter of being a semiconductor device recited in claim 1.

However, this matter cannot be a special technical feature because it is described in the prior art reference JP 2003-258201 A (Fujitsu Ltd.) 12 September, 2003 (12.09.03), [0010]-[0054], [Fig. 1]-[Fig. 2].

Consequently, among the group of inventions claimed in claims 1-20, there is no special technical feature for linking them with each other so as to form a single general inventive concept.

Therefore, it is apparent that the group of inventions claimed in claims 1-20 do not satisfy the requirement of unity of invention.

From the viewpoint of specified aspects of the inventions claimed in the independent claims, the claims of this international application involve ten inventions classified into those of claims 1-2, claims 3-6 & 8-10 & 13, claim 7, claim 11, claim 12, claims 14-15, claim 16, claims 17 & 19, claim 18 and claim 20.

In summing up, this international application involves ten inventions that do not satisfy the requirement of unity of invention.

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H01L21/8246(2006.01)i, H01L27/105(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. H01L21/8246, H01L27/105

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-258201 A (富士通株式会社) 2003.09.12, [0010]-[0054], [図1]-[図2] (ファミリーなし)	1-2

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献
--	---

国際調査を完了した日 1 4 . 0 8 . 2 0 0 7	国際調査報告の発送日 2 8 . 0 8 . 2 0 0 7		
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 河合 俊英	4 M	3 2 3 8
	電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2		

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲 1-2

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であり、請求の範囲 1-20 に記載されている一群の発明は、請求の範囲 1 に記載される半導体装置であるという事項でのみ連関していると認める。

しかしながら、この事項は先行技術文献 JP 2003-258201 A (富士通株式会社) 2003. 09. 12, [0010]-[0054], [図 1]-[図 2] に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲 1-20 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。

そのため、請求の範囲 1-20 に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

そして、独立請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、請求の範囲 1-2 と、請求の範囲 3-6, 8-10, 13 と、請求の範囲 7 と、請求の範囲 11 と、請求の範囲 12 と、請求の範囲 14-15 と、請求の範囲 16 と、請求の範囲 17, 19 と、請求の範囲 18 と、請求の範囲 20 に区分される 10 個の発明が記載されている。

したがって、この国際出願は、発明の単一性の要件を満たさない 10 個の発明を含むものである。