(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0106659
(43) 공개일자 2025년07월10일

(51) 국제특허분류(Int. Cl.)
H01L 21/285 (2006.01) *H10D 84/03* (2025.01)
H10D 84/03 (2025.01) *H10D 84/85* (2025.01)
(52) CPC특허분류
H01L 21/28562 (2013.01)
H10D 84/0167 (2025.01)
(21) 출원번호 10-2024-0033863
(22) 출원일자 2024년03월11일
심사청구일자 없음
(30) 우선권주장
1020240001069 2024년01월03일 대한민국(KR)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
인천대학교 산학협력단
인천광역시 연수구 갯벌로 27, 인천대학교 이노베이션센터(송도동)
(72) 발명자
조은형
경기도 수원시 영통구 태장로82번길 32, 110동 1903호 (망포동, 동수원자이1차)
이정엽
경기도 용인시 수지구 신봉2로 26, 117동 402호 (신봉동, 신봉마을엘지자이1차아파트)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

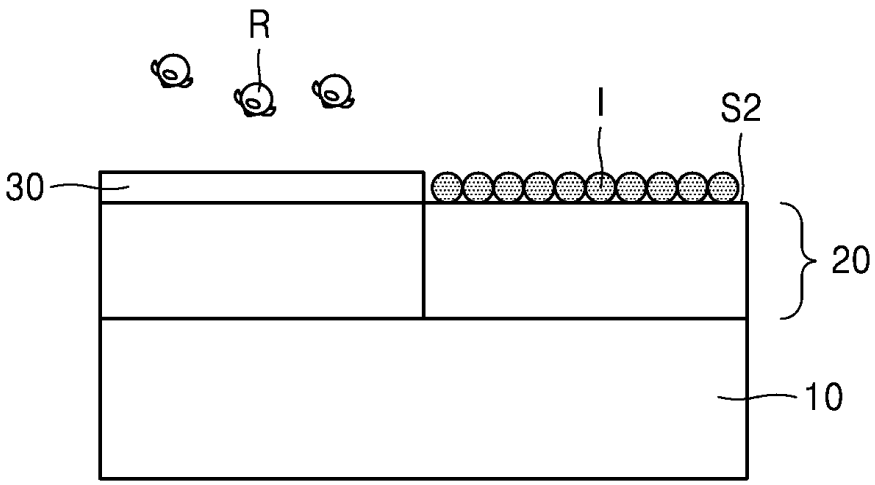
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **반도체 소자의 제조방법**

(57) 요 약

반도체 소자의 제조 방법을 개시한다. 본 반도체 소자의 제조 방법은,_반도체 패턴상에 제1 표면과 제1 표면보다 산성의 특성을 갖는 제2 표면을 포함하는 유전체층을 형성하고, 산-염기 반응에 의해 제1 표면과 제2 표면 중 어느 하나의 표면에만 반응 억제제를 흡착하며, 원자층 증착 공정으로 제1 표면과 제2 표면 중 반응 억제제가 흡착되지 않는 표면상에 선택적으로 타겟층을 형성한다.

대 표 도 - 도1d



(52) CPC특허분류
H10D 84/0172 (2025.01)
H10D 84/038 (2025.01)
H10D 84/856 (2025.01)
(72) 발명자
임용철
경기도 의왕시 내손로 13, 112-1502 (내손동, 인덕원 센트럴 자이)

이한보람
인천광역시 연수구 갯벌로 169 (송도동, 인천대학교 미래관)

명 세 서

청구범위

청구항 1

반도체 패턴상에 제1 표면과 상기 제1 표면보다 산성의 특성을 갖는 제2 표면을 포함하는 유전체층을 형성하는 단계;

산-염기 반응에 의해 상기 제1 표면과 상기 제2 표면 중 어느 하나의 표면에만 반응 억제제를 흡착시키는 단계; 및

원자층 증착 공정으로 상기 제1 표면과 상기 제2 표면 중 상기 반응 억제제가 흡착되지 않는 표면상에 선택적으로 타겟층을 형성하는 단계;를 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1항에 있어서,

상기 흡착하는 단계는,

상기 반응 억제제가 염기성 특성을 갖는 경우, 상기 반응 억제제는 상기 제2 표면상에 흡착되고,

상기 반응 억제제가 산성 특성을 갖는 경우, 상기 반응 억제제는 상기 제1 표면상에 흡착되는 반도체 소자의 제조 방법.

청구항 3

제 1항에 있어서,

상기 제2 표면의 표면 산성도는 상기 제1 표면의 표면 산성도보다 큰 반도체 소자의 제조 방법.

청구항 4

제 1항에 있어서,

상기 제2 표면의 표면 산성도와 상기 제1 표면의 표면 산성도간의 차이는 1이상인 반도체 소자의 제조 방법.

청구항 5

제 1항에 있어서,

상기 제1 표면은, 산화물, 질화물 및 산질화물 중 적어도 하나를 포함하고,

상기 제2 표면은 산화물을 포함하는 반도체 소자의 제조 방법.

청구항 6

제 1항에 있어서,

상기 제1 표면은,

HfO_2, TiO_2, HfZrO, Ta_2O_3, $HfSiO_4$, ZrO_2, ZrSiO2, LaO, AlO, ZrO, TiO, Ta_2O_5, Y_2O_3, $SrTiO_3$ (STO), $BaTiO_3$ (BTO), BaZrO, HfZrO, HfLaO, HfSiO, LaSiO, AlSiO, HfTaO, HfTiO, $(Ba,Sr)TiO_3$ (BST), Al_2O_3, Si_3N_4, 중 적어도 하나를 포함하는 반도체 소자의 제조 방법.

청구항 7

제 1항에 있어서,

상기 제2 표면은,

SiO_2, SnO_2, GeO_2, MnO_2, WO_3, MoO_3 중 적어도 하나를 포함하는 반도체 소자의 제조 방법.

청구항 8

제 1항에 있어서,

상기 반응 억제제는,

10 이상 12이하의 산해리상수(Acid dissociation constant) 지수값을 갖는 반도체 소자의 제조 방법.

청구항 9

제 1항에 있어서,

상기 반응 억제제는,

디메틸아미노 트리메틸실란 (DMATMS), 디메틸아미노 디메틸실란 (DMADMS), 디에틸아미노 트리메틸실란 (DEATMS) 및 디에틸아미노 디메틸실란 (DEADMS) 중 적어도 하나를 포함하는 반도체 소자의 제조 방법.

청구항 10

제 1항에 있어서,

상기 타겟층은

전도성 물질로 구성된 반도체 소자의 제조 방법.

청구항 11

제 1항에 있어서,

상기 타겟층은

구리(Cu), 알루미늄(Al), 텅스텐(W), 코발트(Co), 은(Ag), 금(Au), 플래티늄(Pt), 이리듐(Ir), 로디움(Rh), 또는 루테늄(Ru) 중 적어도 하나를 포함하는 반도체 소자의 제조 방법.

청구항 12

제 1항에 있어서,

상기 타겟층을 형성하는 단계는,

상기 타겟층 형성을 위한 반응체에 의해 상기 반응 억제제가 흡착된 표면으로부터 분리하는 단계;를 더 포함하는 반도체 소자의 제조 방법.

청구항 13

제 12항에 있어서,

상기 반응체는

오존 플라즈마 및 산소 플라즈마 중 적어도 하나를 포함하는 반도체 소자의 제조 방법.

청구항 14

제 1항에 있어서,

상기 유전체층은,

3차원 표면을 갖는 반도체 소자의 제조 방법.

청구항 15

제 1항에 있어서,

상기 제1 표면과 상기 제2 표면은 단차를 가진 반도체 소자의 제조 방법.

청구항 16

제 1항에 있어서,

상기 제2 표면은,

상기 제1 표면을 기준으로 외부로 돌출된 반도체 소자의 제조 방법.

청구항 17

제 1항에 있어서,

상기 반도체 패턴은, 제1 트랜지스터의 채널과 제2 트랜지스터의 채널을 포함하고,

상기 유전체층 중 제1 표면에 대응하는 영역은 상기 제1 트랜지스터의 게이트 절연막을 포함하며,

상기 유전체층 중 제2 표면에 대응하는 영역과 상기 반도체 패턴 사이에는 상기 제2 트랜지스터의 게이트 절연막을 포함하는 반도체 소자의 제조 방법.

청구항 18

제 17항에 있어서,

상기 유전체층 중 제2 표면에 대응하는 영역과 상기 제2 트랜지스터의 게이트 절연막 사이에는 상기 제2 트랜지스터의 게이트 전극을 더 포함하는 반도체 소자의 제조 방법.

청구항 19

제 17항에 있어서,

상기 타겟층은,

상기 제1 트랜지스터의 게이트 전극으로서, 상기 제2 트랜지스터의 게이트 전극과 다른 물질로 형성된 반도체 소자의 제조 방법.

청구항 20

제 17항에 있어서,

상기 반도체 소자는,

기판을 더 포함하고,

상기 제1 트랜지스터와 상기 제2 트랜지스터는 상기 기판의 표면에 대해 수직한 방향으로 배열된 반도체 소자의 제조 방법.

발명의 설명

기 술 분 야

[0001] 개시된 실시예들은 반도체 소자의 제조 방법, 구체적으로, 선택적 원자층 증착 공정을 이용한 반도체 소자의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 소자는 모스 전계 효과 트랜지스터들 (metal oxide semiconductor field-effect transistor, MOSFET)로 구성된 집적회로를 포함한다. 반도체 소자의 크기 및 디자인 룰이 점차 축소됨에 따라, 모스 전계 효과 트랜지스터들의 크기 축소 (scale down)도 점점 가속화되고 있다. 모스 전계 효과 트랜지스터들의 크기 축소에 따라 반도체 소자의 동작 특성이 저하될 수 있다. 이에 따라, 반도체 소자의 고집적화에 따른 한계를 극복하면서 보다 우수한 성능을 가지는 반도체 소자를 형성하기 위한 방법들이 연구되고 있다.

발명의 내용

해결하려는 과제

[0003] 전기적 특성이 향상된 3차원 반도체 소자 및 이의 제조 방법을 제공한다. 생산성이 향상된 3차원 반도체 소자 및 이의 제조 방법을 제공한다.

[0004] 일 실시예가 해결하고자 하는 과제는 이상에서 언급한 과제에만 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 해당 기술 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0005] 예시적인 실시예에 따른 반도체 소자의 제조 방법은, 반도체 패턴상에 제1 표면과 상기 제1 표면보다 산성의 특성을 갖는 제2 표면을 포함하는 유전체층을 형성하는 단계; 산-염기 반응에 의해 상기 제1 표면과 상기 제2 표면 중 어느 하나의 표면에만 반응 억제제를 흡착시키는 단계; 및 원자층 증착 공정으로 상기 제1 표면과 상기 제2 표면 중 상기 반응 억제제가 흡착되지 않는 표면상에 선택적으로 타겟층을 형성하는 단계;를 포함한다.

[0006] 그리고, 상기 흡착하는 단계는, 상기 반응 억제제가 염기성 특성을 갖는 경우, 상기 반응 억제제는 상기 제2 표면상에 흡착되고, 상기 반응 억제제가 산성 특성을 갖는 경우, 상기 반응 억제제는 상기 제1 표면상에 흡착될 수 있다.

[0007] 또한, 상기 제2 표면의 표면 산성도는 상기 제1 표면의 표면 산성도보다 클 수 있다.

[0008] 그리고, 상기 제2 표면의 표면 산성도와 상기 제1 표면의 표면 산성도간의 차이는 1이상일 수 있다.

[0009] 또한, 상기 제1 표면은, 산화물, 질화물 및 산질화물 중 적어도 하나를 포함하고, 상기 제2 표면은 산화물을 포함할 수 있다.

[0010] 그리고, 상기 제1 표면은, HfO_2, TiO_2, HfZrO, Ta_2O_3, $HfSiO_4$, ZrO_2, ZrSiO2, LaO, AlO, ZrO, TiO, Ta_2O_5, Y_2O_3, $SrTiO_3$ (STO), $BaTiO_3$ (BTO), BaZrO, HfZrO, HfLaO, HfSiO, LaSiO, AlSiO, HfTaO, HfTiO, Al_2O_3, Si_3N_4 중 적어도 하나를 포함할 수 있다.

[0011] 또한, 상기 제2 표면은, SiO_2, SnO_2, GeO_2, MnO_2, WO_3, MoO_3 중 적어도 하나를 포함할 수 있다.

[0012] 그리고, 상기 반응 억제제는, 10 이상 12이하의 산 해리 상수(Acid dissociation constant) 지수값을 가질 수 있다.

[0013] 또한, 상기 반응 억제제는, 디메틸아미노 트리메틸실란 (DMATMS), 디메틸아미노 디메틸실란 (DMADMS), 디에틸아미노 트리메틸실란 (DEATMS) 및 디에틸아미노 디메틸실란 (DEADMS) 중 적어도 하나를 포함할 수 있다.

[0014] 그리고, 상기 타겟층은 전도성 물질로 구성될 수 있다.

[0015] 또한, 상기 타겟층은 구리(Cu), 알루미늄(Al), 텅스텐(W), 코발트(Co), 은(Ag), 금(Au), 플래티늄(Pt), 이리듐(Ir), 로디움(Rh), 또는 루테늄(Ru) 중 적어도 하나를 포함할 수 있다.

[0016] 그리고, 상기 타겟층을 형성하는 단계는, 상기 타겟층 형성을 위한 반응체에 의해 상기 반응 억제재를 흡착된 표면으로부터 분리하는 단계;를 더 포함할 수 있다.

[0017] 또한, 상기 반응체는 오존 플라즈마 및 산소 플라즈마 중 적어도 하나를 포함할 수 있다.

[0018] 그리고, 상기 유전체층은, 3차원 표면을 가질 수 있다.

[0019] 또한, 상기 제1 표면과 상기 제2 표면은 단차를 가질 수 있다.

[0020] 그리고, 상기 제2 표면은, 상기 제1 표면을 기준으로 외부로 돌출될 수 있다.

[0021] 또한, 상기 반도체 패턴은, 제1 트랜지스터의 채널과 제2 트랜지스터의 채널을 포함하고, 상기 유전체층 중 제1 표면에 대응하는 영역은 상기 제1 트랜지스터의 게이트 절연막을 포함하며, 상기 유전체층 중 제2 표면에 대응하는 영역과 상기 반도체 패턴 사이에는 제2 트랜지스터의 게이트 절연막을 포함할 수 있다.

[0022] 그리고, 상기 유전체층 중 제2 표면에 대응하는 영역과 상기 제2 트랜지스터의 게이트 절연막 사이에는 제2 트랜지스터의 게이트 전극을 더 포함할 수 있다.

[0023] 또한, 상기 타겟층은, 상기 제1 트랜지스터의 게이트 전극으로서, 제2 트랜지스터의 게이트 전극과 다른 물질로

형성될 수 있다.

[0024] 그리고, 상기 반도체 소자는, 기판을 더 포함하고, 상기 제1 트랜지스터와 상기 제2 트랜지스터는 상기 기판의 표면에 대해 수직한 방향으로 배열될 수 있다.

발명의 효과

[0025] 예시적인 실시예에 따른 산-염기 반응을 이용하여 화학적으로 유사한 복수 개의 표면 중 특정 표면에만 타겟층을 형성하여 반도체 소자의 공정 수율을 높일 수 있다.

도면의 간단한 설명

[0026] 도 1a 내지 도 1d는 일 실시예에 따른 반도체 소자를 제조하는 일부 과정을 설명하는 참조도면이다.

도 2는 일 실시예에 따른 금속 산화물 별 표면 산성도를 나타내는 참조도면이다.

도 3은 일 실시예에 따른 반응 억제제 처리 후 타겟층을 형성한 결과를 나타내는 도면이다.

도 4a 내지 도 4e는 일 실시예에 따른 3개의 서로 다른 표면 특성을 갖는 유전체층상에 타겟층을 형성하는 방법을 설명하는 참조도면이다.

도 5는 일 실시예에 따른 알데히드 반응기를 가진 반응 억제제가 선택적 원자층 증착 공정에 적용된 결과를 나타내는 TEM(Transmission Electron Microscope)이다.

도 6a는 일 실시예에 따른 타겟층의 형성과 함께 반응 억제제가 제거되는 과정을 설명하는 참조도면이다.

도 6b는 다른 실시예에 따른 타겟층의 형성과 함께 반응 억제제가 제거되는 과정을 설명하는 참조도면이다.

도 6c는 일 실시예에 따른 복수 개의 타겟층을 동시에 형성하는 과정을 설명하는 참조도면이다.

도 7는 일 실시예들에 따른 3차원 반도체 소자를 설명하기 위한 평면도이다.

도 8a 내지 도 8c는 각각 도 7의 A-A', B-B' 및 C-C' 선에 따른 단면도들이다.

도 9a 내지 도 9g는 도 8c에 도시된 3차원 반도체 소자 중 게이트 전극을 형성하는 방법을 설명하는 참조도면이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부된 도면을 참조하여 다양한 실시예에 따른 반도체 소자의 제조방법에 대해 상세히 설명한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다.

[0028] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 도면에서 각 구성요소의 크기나 두께는 설명의 명료성을 위하여 과장되어 있을 수 있다. 또한, 소정의 물질층이 기판이나 다른 층 상에 존재한다고 설명될 때, 그 물질층은 기판이나 다른 층에 직접 접하면서 존재할 수도 있고, 그 사이에 다른 제3의 층이 존재할 수도 있다. 그리고, 아래의 실시예에서 각 층을 이루는 물질은 예시적인 것이므로, 이외에 다른 물질이 사용될 수도 있다.

[0029] 또한, 도면에 도시된 구성 요소들 간의 선들의 연결 또는 연결 부재들은 기능적인 연결 및/또는 물리적 또는 회로적 연결들을 예시적으로 나타낸 것으로서, 실제 장치에서는 대체 가능하거나 추가의 다양한 기능적인 연결, 물리적인 연결, 또는 회로 연결들로서 나타내어질 수 있다.

[0030] “상기” 의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 복수 모두에 해당하는 것일 수 있다.

[0031] 요소 목록 앞에 오는 "적어도 하나"와 같은 표현은 전체 요소 목록을 한정하는 것이고, 목록 중 개별적인 요소를 한정하지 않는다. 예를 들어, "A, B 및 C 중 적어도 하나" 또는 "A, B, 및 C로 이루어진 군에서 선택된 적어도 하나"와 같은 표현은, A만, B만, C만, 또는 ABC, AB, BC 및 AC 와 같이 A, B, 및 C 중 둘 이상의 조합으로 해석될 수 있다.

[0032] "약" 또는 "실질적으로"가 수치와 관련하여 사용되는 경우, 관련된 수치는 명시된 수치 주변의 제조 또는 동작

편차(예를 들어, ±10%)를 포함하는 것으로 해석될 수 있다. 또한, "일반적으로" 및 "실질적으로"라는 용어가 기하학적 형상과 관련하여 사용될 때, 기하학적 정밀도가 요구되지 않고, 형상에 대한 관용도는 본 실시예의 범위내에 있음을 의도할 수 있다. 또한, 수치 또는 형상이 "약" 또는 "실질적으로"로 한정되는지 여부에 관계없이, 이러한 값 및 형상은 명시된 수치 주변의 제조 또는 동작 편차(예를 들어, ±10%)를 포함하는 것으로 해석될 수 있다.

[0033] 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

[0034] 모든 예들 또는 예시적인 용어의 사용은 단순히 기술적 사상을 상세히 설명하기 위한 것으로서 청구범위에 의해 한정되지 않는 이상 이러한 예들 또는 예시적인 용어로 인해 범위가 한정되는 것은 아니다.

[0035] 도 1a 내지 도 1d는 일 실시예에 따른 반도체 소자를 제조하는 일부 과정을 설명하는 참조도면이다.

[0036] 도 1a를 참조하면, 반도체층(10)상에 서로 다른 복수 개의 표면 특성을 갖는 유전체층(20)을 형성할 수 있다. 반도체층(10)은 실리콘, 저마늄, 실리콘저마늄 등을 포함할 수 있다. 도면에는 반도체층(10)이 하나의 층으로 도시되어 있으나, 이에 한정되지 않는다. 반도체층(10)은 패턴화된 반도체 패턴일 수 있다. 반도체층(10)과 유전체층(20) 사이에 전도층 등 다른 물질층이 더 배치될 수 있다.

[0037] 유전체층(20)은 서로 다른 특성을 갖는 복수 개의 물질로 형성될 수 있다. 예를 들어, 유전체층(20)은 제1 물질로 형성된 제1 영역(21)과 제1 물질보다 산성 특성을 갖는 제2 물질로 형성된 제2 영역(22)을 포함할 수 있다. 다른 표현으로, 제1 물질은 제2 물질에 비해 염기성 특성을 가질 수 있다. 제1 영역(21)과 제2 영역(22)은 모두 외부로 노출될 수 있다. 제1 영역(21) 중 외부로 노출된 표면을 제1 표면(S1)이라고 하고, 제2 영역(22) 중 외부로 노출된 표면을 제2 표면(S2)이라고 칭할 수 있다.

[0038] 제1 물질과 제2 물질은 화학적으로 유사한 물질일 수 있다. 예를 들어, 제1 물질과 제2 물질 모두 산화물일 수 있다. 예를 들어, 제1 물질은, HfO_2, TiO_2, HfZrO, Ta_2O_3, $HfSiO_4$, ZrO_2, ZrSiO2, LaO, AlO, ZrO, TiO, Ta_2O_5, Y_2O_3, $SrTiO_3$ (STO), $BaTiO_3$ (BTO), BaZrO, HfZrO, HfLaO, HfSiO, LaSiO, AlSiO, HfTaO, HfTiO, $(Ba,Sr)TiO_3$ (BST), Al_2O_3, Si_3N_4 중 적어도 하나를 포함할 수 잇다. 제2 물질은 SiO_2, SnO_2, GeO_2, MnO_2, WO_3, MoO_3 중 적어도 하나를 포함할 수 있다.

[0039] 제1 물질 및 제2 물질 모두 산화물인 경우, 제1 물질 및 제2 물질이 산성인지 염기성인지 여부는 물질의 표면 산성도에 의해 상대적으로 결정될 수 있다. 제1 물질의 표면 산성도와 제2 물질의 표면 산성도의 차이는 약 1 이상일 수 있다. 예를 들면, 유전체층(20)은 하프늄 산화물을 포함하는 영역과 실리콘 산화물을 포함하는 영역을 포함할 수 있다. 이때 하프늄 산화물은 실리콘 산화물에 비해 염기성 특성을 가지며, 실리콘 산화물은 하프늄 산화물에 비해 산성 특성을 가질 수 있다. 또는 유전체층(20)은 실리콘 산화물을 포함하는 영역과 망간 산화물을 포함하는 영역을 포함할 수 있다. 실리콘 산화물은 망간 산화물이 비해 염기성 특성을 가지며, 망간 산화물은 실리콘 산화물에 비해 산성 특성을 가질 수 있다.

[0040] 제1 영역(21)과 제2 영역(22) 각각은 은, 마그네슘, 구리, 지르코늄, 아연, 하프늄, 크롬, 알루미늄, 코발트, 철, 티타늄, 실리콘, 주석, 게르마늄, 망간, 텡스텐, 몰리브덴, 리튬, 납, 아연, 스칸듐, 탄탈, 라탄, 바륨, 스토론튬, 티타늄 중 적어도 하나를 포함하는 산화물일 수 있다.

[0041] 도 1b를 참조하면, 산-염기 반응에 의해 유전체층(20)의 일부 표면상에 반응 억제제(I)를 흡착시킬 수 있다. 반응 억제제(I)는 염기성의 특성을 가질 수 있다. 반응 억제제(I)는 약 11 이상 12이하의 산해리상수(Acid dissociation constant)의 지수(pKa)를 가질 수 있다. 예를 들어, 염기성의 반응 억제제(I)는 디메틸아미노 트리메틸실란 (DMATMS), 디메틸아미노 디메틸실란 (DMADMS), 디에틸아미노 트리메틸실란 (DEATMS), 디에틸아미노 디메틸실란 (DEADMS) 등의 아미노실란 전구체(P)를 포함할 수 있다.

[0042] 반응 억제제(I)는 산-염기 반응에 의해 유전체층(20)의 표면 중 산성 특성을 갖는 표면, 예를 들어, 제2 표면(S2)에 흡착이 잘 되는 반면, 상대적으로 염기성 특성을 갖는 표면, 예를 들어, 제1 표면(S1)에는 흡착이 잘 되지 않을 수 있다. 또한, 반응 억제제(I)는 후술하는 타겟층(30)의 전구체(P) 및 반응체(R) 중 적어도 하나와 반응하지 않을 수 있다.

[0043] 반응 억제제(I)는 염기성의 특성을 갖는다고 하였으나, 이에 한정되지 않는다. 반응 억제제(I)는 산성 특성을 가질 수도 있다. 산성의 반응 억제제(I)는 제1 표면(S1)과 제2 표면(S2) 중 염기성의 표면에 흡착될 수 있다.

[0044] 도 1c를 참조하면, 유전체층(20)상에 전구체(P)를 제공할 수 있다. 전구체(P)는 유전체층(20) 중 반응 억제제(I)가 형성되지 않는 표면, 예를 들어, 제1 표면(S1)상에 형성될 수 있다. 전구체(P)는 반응 억제제(I)와 반응하지 않기 때문에 반응 억제제(I)가 흡착된 제2 표면(S2)상에는 잘 형성되지 않을 수 있다. 전구체(P)는 유전체층(20)상에 형성하고자 하는 층, 즉, 타겟층의 물질에 따라 달라질 수 있다. 타겟층(30)이 전도 물질인 경우, 전구체(P)는 구리(Cu), 알루미늄(Al), 텅스텐(W), 코발트(Co), 은(Ag), 금(Au), 플래티늄(Pt), 이리듐(Ir), 로디움(Rh), 또는 루테늄(Ru) 등을 포함할 수 있다.

[0045] 도 1d를 참조하면, 유전체층(20)상에 반응체(R)를 제공함으로써 타겟층(30)이 형성될 수 있다. 반응체(R)는 전구체(P)와 반응하여 타겟층(30)을 형성하되 반응 억제제(I)와는 타겟층(30) 형성을 위한 반응을 하지 않을 수 있다. 반응체(R)는 예를 들어 물, 암모니아, 수소, 산소, 오존 등을 포함할 수 있다.

[0046] 도 1c의 전구체(P) 제공 후 과잉 공급된 전구체(P)와 부산물의 제거를 위한 퍼지 및 배출 단계가 수행되고, 도 1d의 타겟층(30) 형성 후 과잉 공급된 반응체(R)와 부산물의 제거를 위한 퍼지 및 배출 단계가 수행될 수 있다. 원자층 증착 공정은, 전구체(P) 제공 단계, 잉여 전구체(P)의 퍼지 및 배출 단계, 반응체(R) 제공 단계 및 잉여 반응체(R)의 퍼지와 배출 단계를 기본 사이클이라고 할 수 있다. 요구되는 두께의 타겟층(30)을 형성하기 위해서는 기본 사이클이 반복될 수 있다. 이하 설명의 편의를 도모하기 위해 퍼지 및 배출 단계를 명시적으로 기재하지 않을 수 있으며, 도 1c 및 도 1d 과정을 통칭하여 원자층 증착 공정이라고 칭할 수 있다.

[0047] 반응 억제제(I)를 이용하여 원자층 증착 공정을 수행하면, 표면 중 특정 표면에는 타겟층(30)이 형성될 수 있어, 반도체 소자의 공정 단계를 간소화시킬 수 있다. 특히, 피타겟층(30)이 화학적으로 유사한 특성을 갖는 서로 다른 표면을 갖는 경우, 산-염기 반응을 이용하여 반응 억제제(I)를 흡착시킴으로서 선택적 증착 효율을 높일 수 있다.

[0048] 유전체층(20)이 금속 산화물으로 형성된 서로 다른 표면을 갖는 경우, 유전체층(20)의 표면이 산성인지 염기성인지 여부는 샌더슨 전기 음성도에 기반한 표면 산성도(surface acidity, SA)에 의해 결정될 수 있다.

[0049] 금속 산화물의 표면 산성도(SA)는 하기 [수학식 1]과 같이 정의될 수 있다.

[0050] [수학식 1]

[0051] $$SA = N_m - 2\delta_m$$

[0052] 여기서, Nm은 금속 산화물의 산화수(oxidation number)를 의미하고, δ_m 은 금속 이온의 샌더슨 부분 전하를 의미하는 것으로, 금속 이온의 샌더슨 부분 전하(δ_m)는 하기 수학식 2와 같이 정의될 수 있다.

[0053] [수학식 2]

[0054] $$\delta_m = \frac{(x+y)\sqrt{((S_{M^{n+}})^x(S_E)^y)} - S_{M^{n+}}}{2.08\sqrt{S_{M^{n+}}}}$$

[0055] 여기서, $S_{M^{n+}}$ 및 S_E 각각은 산화 상태에서의 금속 이온과 금속 산화물의 샌더슨 (Sanderson) 전기음성도를 나타내며, x는 금속 산화물의 한 분자에 포함된 금속 개수이고, y는 금속 산화물의 한 분자에 포함된 산소 개수를 나타낸다.

[0056] 도 2는 일 실시예에 따른 금속 산화물 별 표면 산성도를 나타내는 참조도면이다.

[0057] 도 2를 참조하면, 금속 산화물은 물질별로 표면 산성도가 다름을 확인할 수 있다. 표면 산성도가 큰 물질일수록 산성 특성을 가지며 표면 산성도가 작을수록 염기성 특징을 가질 수 있다. 유전체층(20)의 표면이 제1 금속 산화물을 포함하는 제1 표면과 제2 금속 산화물을 포함하는 제2 표면을 포함하는 경우, 제1 표면과 제2 표면 중 어느 하나는 상대적으로 염기성 특성을 가질 수 있으며, 나머지 하나는 산성 특성을 가질 수 있다.

[0058] 예를 들어, 유전체층(20)이 하프늄 산화물을 포함하는 제1 표면과 실리콘 산화물을 포함하는 제2 표면을 포함하는 경우, 도 2에 표면 산성도에 따르면 하프늄 산화물의 표면 산성도는 약 1.178이고, 실리콘 산화물은 약

2.728이다. 따라서, 하프늄 산화물을 포함하는 제1 표면은 염기성 표면일 수 있고, 실리콘 산화물을 포함하는 제2 표면은 산성 표면일 수 있다. 염기성 표면인지 산성 표면인지 여부는 상대적인 특성일 수 있다. 예를 들어, 실리콘 산화물은 하프늄 산화물에 비해 산성 특성을 가질 수 있으나, 텅스텐 산화물에 비해 염기성 특성을 가질 수 도 있다.

[0059] 도 3은 일 실시예에 따른 반응 억제제(I) 처리 후 타겟층(30)을 형성한 결과를 나타내는 도면이다. 도 3 참조하면, 반응 억제제(I)로 약염기성의 DMATMS를 이용하였다. DMATMS를 처리하지 않는 실리콘 산화막과 하프늄 산화막상에는 원자층 증착 공정의 사이클이 증가할수록 타겟층(30)인 티타늄 산화막의 두께가 증가함을 확인할 수 있다.

[0060] 반면에 DMATMS로 표면 처리한 실리콘 산화막에는 100 사이클까지 티타늄 산화막이 형성되지 않음을 확인할 수 있다. 이는 DMATMS가 실리콘 산화물에 흡착되었음을 예상할 수 있고, DMATMS는 티타늄 산화막의 반응 억제제(I)의 역할을 하였음을 예상할 수 있다.

[0061] DMATMS로 표면 처리한 하프늄 산화막은 DMATMS로 표면 처리하지 않는 하프늄 산화막과 마찬가지로 사이클에 비례하는 두께의 타타늄 산화막이 형성되었음을 확인할 수 있다. 이는 DMATMS가 하프늄 산화막에 잘 흡착되지 않음을 의미할 수 있다.

[0062] 도 4a 내지 도 4e는 일 실시예에 따른 3개의 서로 다른 표면 특성을 갖는 유전체층상에 타겟층을 형성하는 방법을 설명하는 참조도면이다.

[0063] 도 4a를 참조하면, 반도체층(10)상에 세 개의 서로 다른 표면 특성을 갖는 유전체층(20a)을 형성할 수 있다. 반도체층(10)은 실리콘, 저마늄, 실리콘저마늄 등을 포함할 수 있다. 도면에는 반도체층(10)이 하나의 층으로 도시되어 있으나, 이에 한정되지 않는다. 반도체층(10)은 패턴화될 수 있다.

[0064] 유전체층(20a)은 서로 다른 특성을 갖는 제1 표면(S1), 제2 표면(S2) 및 제3 표면(S3)을 포함할 수 있다. 제1 표면(S1)과 제2 표면(S2)은 화학적으로 유사한 표면일 수 있고, 제3 표면(S3)은 제1 표면(S1) 및 제2 표면(S2)과 화학적으로 유사하지 않는 표면일 수 있다. 제1 표면(S1)과 제2 표면(S2)은 금속 산화물로 형성되면서 표면 산성도가 다를 수 있고, 제3 표면(S3)은 산화물이 아닌 물질로 형성될 수 있다. 예를 들어, 제1 표면(S1)은 실리콘 산화물을 포함할 수 있고, 제2 표면(S2)은 하프늄 산화물을 포함할 수 있으며, 제3 기판은 실리콘 질화물을 포함할 수 있다.

[0065] 도 4b를 참조하면, 산-염기 반응에 의해 제1 표면(S1)과 제2 표면(S2) 중 어느 하나의 표면에 제1 반응 억제제(I1)가 흡착될 수 있다. 제1 반응 억제제(I1)가 염기성 특성을 갖는 경우, 제1 표면(S1)과 제2 표면(S2) 중 산성 특성을 갖는 표면상에 제1 반응 억제제(I1)가 흡착될 수 있다. 예를 들어, 제1 표면(S1)이 제2 표면(S2)보다 산성 특성을 갖는 물질을 포함하는 경우, 제1 반응 억제제(I1)는 제1 표면(S1)상에 흡착될 수 있다. 그러나, 이에 한정되지 않는다. 제1 반응 억제제(I1)가 산성 특성을 갖는 경우, 제1 표면(S1)과 제2 표면(S2) 중 염기성의 특성을 갖는 표면상에 제1 반응 억제제(I1)가 흡착될 수 있다.

[0066] 도 4c를 참조하면, 제3 표면(S3)상에 제2 반응 억제제(I2)를 흡착시킬 수 있다. 제2 반응 억제제(I2)는 제1 표면(S1)과 제2 표면(S2)에 포함된 물질, 제1 반응 억제제(I1)과 반응하지 않으면서 제3 표면(S3)에 포함된 물질에 흡착할 수 있는 물질로 구성될 수 있다. 예를 들어, 제3 표면(S3)은 실리콘 질화물을 포함하는 경우, 제2 반응 억제제(I2)는 알데히드 반응기를 가질 수 있다. 예를 들어, 제2 반응 억제제(I2)는 포름알데히드(formaldehyde), 프로피온알데히드 (propionaldehyde), 피발알데히드 (pivalaldehyde), 벤즈알데히드(benzaldehyde), 사이클로헥산알데히드 (cyclohexanealdehyde, CHAD) 중 적어도 하나를 포함할 수 있다.

[0067] 도 4d를 참조하면, 제2 표면(S2)상에 원자층 증착 방법으로 타겟층(30)을 형성할 수 있다. 타겟층(30)을 형성하기 위한 전구체 및 반응체 중 적어도 하나는 제1 반응 억제제(I1) 및 제2 반응 억제제(I2)와 반응하지 않을 수 있다. 그리하여, 타겟층(30)은 제1 표면(S1)과 제3 표면(S3)에는 형성되지 않고, 제2 표면(S2)에만 형성되는 바, 타겟층(30)은 선택적으로 형성될 수 있다.

[0068] 도 4e를 참조하면, 제1 표면(S1)과 제3 표면(S3) 상의 제1 반응 억제제(I1)와 제2 반응 억제제(I2)를 제거할 수 있다.

[0069] 도 5는 일 실시예에 따른 알데히드 반응기를 가진 반응 억제제가 선택적 원자층 증착 공정에 적용된 결과를 나타내는 TEM(Transmission Electron Microscope)이다.

[0070] 유전체층(20)은 실리콘 산화물로 형성된 표면과 실리콘 질화물로 형성된 제2 표면(S2)이 교번적으로 유전체층

(20)상에 알데히드 반응기를 갖는 반응 억제제를 제공한 후, 루테늄막을 원자층 증착 공정으로 성장시켰다. 도 5를 참조하면, 루테늄 막은 실리콘 산화막의 표면상에만 성장되었음을 확인할 수 있다. 이는 알데이드 반응기를 갖는 반응 억제제가 실리콘 질화물의 표면상에 흡착됨으로써 실리콘 질화물 표면상에는 루테늄 막이 성장하지 않았음을 의미한다.

[0071] 한편, 타겟층(30)의 증착과 반응 억제제의 제거는 반응 억제제(I), 전구체(P) 및 반응체(R)의 종류에 따라 동시에 수행될 수도 있다.

[0072] 도 6a는 일 실시예에 따른 타겟층의 형성과 함께 반응 억제제가 제거되는 과정을 설명하는 참조도면이다. 도 6a에 도시된 바와 같이, 제1 반응 억제제(I1) 및 제2 반응 억제제(I2) 중 적어도 하나는 타겟층(30)의 형성시 동시에 제거될 수 있다. 예를 들어, 제1 반응 억제제(I1)는 타겟층(30)의 반응체(R)와 반응하여 휘발성의 생성물을 생성할 수 있다. 예를 들어, 제1 반응 억제제(I1)는 tertiary butyl chloride (TBC)나 tertiary butyl iodide (TBI) 등일 수 있다. 휘발성의 생성물은 제1 표면(S1)으로부터 분리됨으로써 제1 반응 억제제(I1)가 제거될 수 있다. 따라서, 반응체(R)를 제공함으로써 제1 표면(S1)에서 제1 반응 억제제(I1)를 제거함과 동시에 제2 표면(S2)상에 타겟층(30)을 형성할 수 있다.

[0073] 도 6b는 다른 실시예에 따른 타겟층의 형성과 함께 반응 억제제가 제거되는 과정을 설명하는 참조도면이다. 도 6b를 참조하면, 반응체(R)가 물이나 암모니아가 아닌 산소 플라즈마, 오존 플라즈마와 같은 강한 물질인 경우, 반응체(R)는 제2 표면(S2)상에 타겟층(30)을 형성시킴과 동시에 제1 반응 억제제(I1)와 제2 반응 억제제(I2) 각각을 제1 표면(S1)과 제3 표면(S3)으로부터 분리시킬 수 있다.

[0074] 도 6c는 일 실시예에 따른 복수 개의 타겟층을 동시에 형성하는 과정을 설명하는 참조도면이다. 도 6c를 참조하면, 반응체(R)를 제공하면, 반응체(R)는 전구체(P)와 반응하여 제2 타겟층(30)을 형성할 수 있고, 제1 반응 억제제(I1)와 반응하여 제2 타겟층(30a)을 형성하고, 전구체(P)와 반응하여 제2 타겟층(30b)을 형성할 수 있다. 제1 표면(S1)과 제2 표면(S2)상에는 하나의 반응체(R)에 의해 서로 다른 타겟층(30a, 30b)이 형성될 수 있음도 물론이다.

[0075] 앞서 기술한 산-염기 반응을 이용한 선택적 원자층 증착 공정은 반도체 소자를 제조하는 공정에 적용될 수 있다.

[0076] 도 7는 일 실시예들에 따른 3차원 반도체 소자를 설명하기 위한 평면도이다. 도 8a 내지 도 8c는 각각 도 7의 A-A', B-B' 및 C-C' 선에 따른 단면도들이다.

[0077] 도 7 내지 도 8c를 참조하면, 기판(100) 상에 싱글 하이트 셀들(SHC)이 제공될 수 있다. 기판(100)은 서로 대향하는 제1 면(100a) 및 제2 면(100b)을 포함할 수 있다. 제1 면(100a)은 기판(100)의 전면일 수 있고, 제2 면(100b)은 기판(100)의 후면일 수 있다. 일 실시예로, 기판(100)은 실리콘 기반의 절연 물질(예를 들어, 실리콘 산화물 및/또는 실리콘 질화물)을 포함하는 절연 기판일 수 있다. 다른 실시예로, 기판(100)은 실리콘, 저마늄, 실리콘저마늄 등을 포함하는 반도체 기판일 수 있다.

[0078] 일 예로, 기판(100)은 제1 하부 절연막(LIL1) 및 제2 하부 절연막(LIL2)을 포함할 수 있다. 제1 하부 절연막(LIL1)은 제2 하부 절연막(LIL2) 상에 제공될 수 있다. 제1 하부 절연막(LIL1)은 실리콘 계열의 절연 물질(예를 들어, 실리콘 산화물) 및/또는 반도체 물질(Si 또는 SiGe)을 포함할 수 있다. 제2 하부 절연막(LIL2)은 실리콘 기반의 절연 물질(예를 들어, 실리콘 산화물, 실리콘 산질화물 또는 실리콘 질화물)을 포함할 수 있다.

[0079] 소자 분리막(ST)이 기판(100) 내에 제공될 수 있다. 소자 분리막(ST)은 싱글 하이트 셀(SHC)을 정의할 수 있다. 평면적 관점에서, 싱글 하이트 셀(SHC)은 제1 방향(D1)으로 서로 이웃하는 소자 분리막들(ST)의 사이에서 정의될 수 있다. 소자 분리막(ST)은 후술하는 후면 금속 층(BSM)과 후술하는 관통 도전 패턴(TC) 사이에 개재될 수 있다. 일 예로, 소자 분리막(ST)은 실리콘 기반의 절연 물질(예를 들어, 실리콘 산화물, 실리콘 산질화물 또는 실리콘 질화물)을 포함할 수 있다.

[0080] 일 실시예로, 싱글 하이트 셀들(SHC) 각각은 로직 회로를 구성하는 로직 셀일 수 있다. 싱글 하이트 셀들(SHC) 각각은 앞서 도 2를 참조하여 설명한 3차원 소자를 포함하는 로직 셀일 수 있다. 싱글 하이트 셀들(SHC)은 제1 방향(D1)을 따라 배열될 수 있다.

[0081] 각각의 싱글 하이트 셀(SHC)은 기판(100) 상에 순차적으로 적층된 하부 활성 영역(LAR) 및 상부 활성 영역(UAR)을 포함할 수 있다. 하부 및 상부 활성 영역들(LAR, UAR) 중 어느 하나는 PMOSFET 영역이고, 하부 및 상부 활성 영역들(LAR, UAR) 중 다른 하나는 NMOSFET 영역일 수 있다. 하부 활성 영역(LAR)은 FEOL 층의 하위 티어

(bottom tier)에 제공될 수 있고, 상부 활성 영역(UAR)은 FEOL 층의 상위 티어(top tier)에 제공될 수 있다. 하부 및 상부 활성 영역들(LAR, UAR)의 NMOSFET 및 PMOSFET은 수직적으로 적층되어, 3차원 적층 트랜지스터를 구성할 수 있다. 일 실시예로, 하부 활성 영역(LAR)은 NMOSFET 영역이고, 상부 활성 영역(UAR)은 PMOSFET 영역일 수 있다. 하부 및 상부 활성 영역들(LAR, UAR) 각각은 제2 방향(D2)으로 연장되는 바(bar) 형태 또는 라인 형태를 가질 수 있다.

[0082] 하부 활성 영역(LAR)은 하부 채널 패턴들(LCH) 및 하부 소스 드레인 패턴들(LSD)을 포함할 수 있다. 하부 채널 패턴(LCH)은, 한 쌍의 하부 소스 드레인 패턴들(LSD) 사이에 개재될 수 있다. 하부 채널 패턴(LCH)은, 한 쌍의 하부 소스 드레인 패턴들(LSD)을 서로 연결할 수 있다.

[0083] 하부 채널 패턴(LCH)은, 서로 이격되어 적층된 제1 반도체 패턴(SP1) 및 제2 반도체 패턴(SP2)을 포함할 수 있다. 제1 및 제2 반도체 패턴들(SP1, SP2) 각각은 실리콘(Si), 저마늄(Ge) 또는 실리콘저마늄(SiGe)을 포함할 수 있다. 바람직하게는, 제1 및 제2 반도체 패턴들(SP1, SP2) 각각은 결정질 실리콘(crystalline silicon)을 포함할 수 있다. 제1 및 제2 반도체 패턴들(SP1, SP2) 각각은 나노 시트(Nanosheet)일 수 있다. 일 예로, 하부 채널 패턴(LCH)은 제2 반도체 패턴(SP2)으로부터 이격되어 적층된 하나 이상의 반도체 패턴을 더 포함할 수 있다.

[0084] 하부 소스 드레인 패턴들(LSD)은 기판(100) 상에 제공될 수 있다. 각각의 하부 소스 드레인 패턴들(LSD)은 선택적 에피택시얼 성장(SEG) 공정으로 형성된 에피택시얼 패턴일 수 있다. 일 예로, 하부 소스 드레인 패턴(LSD)의 상면은, 하부 채널 패턴(LCH)의 제2 반도체 패턴(SP2)의 상면보다 높을 수 있다.

[0085] 하부 소스 드레인 패턴들(LSD)은 불순물로 도핑되어 제1 도전형을 가질 수 있다. 제1 도전형은 N형 또는 P형일 수 있다. 본 실시예에서, 제1 도전형은 N형일 수 있다. 하부 소스 드레인 패턴들(LSD)은 실리콘(Si) 및/또는 실리콘저마늄(SiGe)을 포함할 수 있다.

[0086] 하부 소스 드레인 패턴(LSD) 상에 제1 층간 절연막(110)이 제공될 수 있다. 제1 층간 절연막(110)은 하부 소스 드레인 패턴들(LSD)을 덮을 수 있다.

[0087] 하부 소스 드레인 패턴(LSD)의 아래에 하부 활성 콘택(LAC)이 제공될 수 있다. 하부 활성 콘택(LAC)은 하부 소스 드레인 패턴(LSD)과 전기적으로 연결될 수 있다. 하부 활성 콘택(LAC)은 기판(100) 내에 매립될 수 있다. 하부 활성 콘택(LAC)은 기판(100)의 제2 면(100b)에서 제1 면(100a)까지 수직하게 연장될 수 있다. 하부 활성 콘택(LAC)은 구리(Cu), 알루미늄(Al), 루테늄(Ru), 코발트(Co), 텅스텐(W) 및 몰리브덴(Mo)으로 이루어진 군에서 선택된 금속을 포함할 수 있다.

[0088] 제1 층간 절연막(110) 상에 상부 활성 영역(UAR)이 제공될 수 있다. 상부 활성 영역(UAR)은 상부 채널 패턴들(UCH) 및 상부 소스 드레인 패턴들(USD)을 포함할 수 있다. 상부 채널 패턴들(UCH)은 하부 채널 패턴들(LCH)과 각각 수직적으로 중첩될 수 있다. 상부 소스 드레인 패턴들(USD)은 하부 소스 드레인 패턴들(LSD)과 각각 수직적으로 중첩될 수 있다. 상부 채널 패턴(UCH)은, 한 쌍의 상부 소스 드레인 패턴들(USD) 사이에 개재될 수 있다. 상부 채널 패턴(UCH)은, 한 쌍의 상부 소스 드레인 패턴들(USD)을 서로 연결할 수 있다.

[0089] 상부 채널 패턴(UCH)은, 서로 이격되어 적층된 제3 반도체 패턴(SP3) 및 제4 반도체 패턴(SP4)을 포함할 수 있다. 상부 채널 패턴(UCH)의 제3 및 제4 반도체 패턴들(SP3, SP4)은, 상술한 하부 채널 패턴(LCH)의 제1 및 제2 반도체 패턴들(SP1, SP2)과 동일한 반도체 물질을 포함할 수 있다. 제3 및 제4 반도체 패턴들(SP3, SP4) 각각은 나노 시트(Nanosheet)일 수 있다. 일 예로, 상부 채널 패턴(UCH)은 제4 반도체 패턴(SP4)과 이격되어 적층된 하나 이상의 반도체 패턴을 더 포함할 수 있다.

[0090] 하부 채널 패턴(LCH)과 그 위의 상부 채널 패턴(UCH) 사이에 적어도 하나의 더미 채널 패턴(DSP)이 개재될 수 있다. 더미 채널 패턴(DSP)과 상부 채널 패턴(UCH) 사이에 시드층(SDL)이 개재될 수 있다.

[0091] 더미 채널 패턴(DSP)은 하부 및 상부 소스 드레인 패턴들(LSD, USD)과 이격될 수 있다. 즉, 더미 채널 패턴(DSP)은 어떠한 소스 드레인 패턴과도 연결되지 않을 수 있다. 더미 채널 패턴(DSP)은 실리콘(Si), 저마늄(Ge) 또는 실리콘저마늄(SiGe)과 같은 반도체 물질을 포함하거나, 또는 실리콘 산화막 또는 실리콘 질화막 같은 실리콘 기반의 절연 물질을 포함할 수 있다. 일 실시예에서, 더미 채널 패턴(DSP)은 실리콘 기반의 절연 물질을 포함할 수 있다.

[0092] 상부 소스 드레인 패턴들(USD)은 제1 층간 절연막(110)의 상면 상에 제공될 수 있다. 각각의 상부 소스 드레인 패턴들(USD)은 선택적 에피택시얼 성장(SEG) 공정으로 형성된 에피택시얼 패턴일 수 있다. 일 예로, 상부 소스 드레인 패턴(USD)의 상면은, 상부 채널 패턴(UCH)의 제4 반도체 패턴(SP4)의 상면보다 높을 수 있다.

[0093] 상부 소스 드레인 패턴들(USD)은 불순물로 도핑되어 제2 도전형을 가질 수 있다. 제2 도전형은, 하부 소스 드레인 패턴(LSD)의 제1 도전형과 다를 수 있다. 제2 도전형은 P형일 수 있다. 상부 소스 드레인 패턴들(USD)은 실리콘저마늄(SiGe) 및/또는 실리콘(Si)을 포함할 수 있다.

[0094] 싱글 하이트 셀(SHC) 상에 복수개의 게이트 전극들(GE)이 제공될 수 있다. 구체적으로, 적층된 하부 및 상부 채널 패턴들(LCH, UCH) 상에 게이트 전극(GE)이 제공될 수 있다. 평면적 관점에서, 게이트 전극(GE)은 제1 방향(D1)으로 연장되는 바(bar) 형태를 가질 수 있다. 게이트 전극(GE)은, 적층된 하부 및 상부 채널 패턴들(LCH, UCH)과 수직적으로 중첩될 수 있다.

[0095] 게이트 전극(GE)은 기판(100)의 제1 면(100a)으로부터 게이트 캐핑 패턴(GP)까지 수직한 방향(즉, 제3 방향(D3))으로 연장될 수 있다. 게이트 전극(GE)은 하부 활성 영역(LAR)의 하부 채널 패턴(LCH)으로부터 상부 활성 영역(UAR)의 상부 채널 패턴(UCH)까지 제3 방향(D3)으로 연장될 수 있다. 게이트 전극(GE)은 최하부의 제1 반도체 패턴(SP1)으로부터 최상부의 제4 반도체 패턴(SP4)까지 제3 방향(D3)으로 연장될 수 있다.

[0096] 게이트 전극(GE)은 제1 내지 제4 반도체 패턴들(SP1-SP4) 각각의 상면, 바닥면 및 양 측벽들 상에 제공될 수 있다. 다시 말하면, 본 실시예에 따른 트랜지스터는, 게이트 전극(GE)이 채널을 3차원적으로 둘러싸는 3차원 전계 효과 트랜지스터(예를 들어, MBCFET(Multi Bridge Channel FET) 또는 GAAFET(Gate-All-around FET))를 포함할 수 있다.

[0097] 게이트 전극(GE)은 FEOL(Front-End-of-Line) 층의 하위 티어, 즉 하부 활성 영역(LAR) 내에 제공된 하부 게이트 전극(LGE) 및 FEOL 층의 상위 티어, 즉 상부 활성 영역(UAR) 내에 제공된 상부 게이트 전극(UGE)을 포함할 수 있다. 하부 게이트 전극(LGE)과 상부 게이트 전극(UGE)은 서로 수직적으로 중첩될 수 있다. 일 실시예로, 하부 게이트 전극(LGE)과 상부 게이트 전극(UGE)은 서로 연결된 것으로 도시되어 있다. 그러나, 이에 한정되지 않는다. 하부 게이트 전극(LGE)와 상부 게이트 전극(UGE)는 절연 물질(미도시)에 의해 서로 이격 배치될 수도 있다. 하부 게이트 전극(LGE)와 상부 게이트 전극(UGE)는 서로 다른 전도성 물질을 포함하여 서로 다른 문턱 전압을 가질 수 있다.

[0098] 하부 게이트 전극(LGE)은, 제1 활성 패턴(AP1)과 제1 반도체 패턴(SP1) 사이에 개재된 제1 내측 전극(PO1), 제1 반도체 패턴(SP1)과 제2 반도체 패턴(SP2) 사이에 개재된 제2 내측 전극(PO2), 제2 반도체 패턴(SP2)과 더미 채널 패턴(DSP) 사이에 개재된 제3 내측 전극(PO3)을 포함할 수 있다.

[0099] 상부 게이트 전극(UGE)은, 더미 채널 패턴(DSP)(또는 시드층(SDL))과 제3 반도체 패턴(SP3) 사이에 개재된 제4 내측 전극(PO4), 제3 반도체 패턴(SP3)과 제4 반도체 패턴(SP4) 사이에 개재된 제5 내측 전극(PO5), 및 제4 반도체 패턴(SP4) 위의 외측 전극(PO6)을 포함할 수 있다.

[0100] 게이트 전극(GE)의 양 측벽들 상에 한 쌍의 게이트 스페이서들(GS)이 각각 배치될 수 있다. 외측 전극(PO6)의 양 측벽들 상에 한 쌍의 게이트 스페이서들(GS)이 각각 배치될 수 있다. 게이트 스페이서들(GS)은 게이트 전극(GE)을 따라 제1 방향(D1)으로 연장될 수 있다. 게이트 스페이서들(GS)의 상면들은 게이트 전극(GE)의 상면보다 높을 수 있다. 게이트 스페이서들(GS)의 상면들은 제2 층간 절연막(120)의 상면과 공면을 이룰 수 있다. 게이트 스페이서들(GS)은 SiCN, SiCON 및 SiN 중 적어도 하나를 포함할 수 있다. 다른 예로, 게이트 스페이서들(GS)은 SiCN, SiCON 및 SiN 중 적어도 두 개로 이루어진 다중 막(multi-layer)을 포함할 수 있다.

[0101] 게이트 전극(GE)의 상면 상에 게이트 캐핑 패턴(GP)이 제공될 수 있다. 게이트 캐핑 패턴(GP)은 게이트 전극(GE)을 따라 제1 방향(D1)으로 연장될 수 있다. 예를 들어, 게이트 캐핑 패턴(GP)은 SiON, SiCN, SiCON 및 SiN 중 적어도 하나를 포함할 수 있다.

[0102] 게이트 전극(GE)과 제1 내지 제4 반도체 패턴들(SP1-SP4) 사이에 게이트 절연막(GI)이 개재될 수 있다. 게이트 절연막(GI)은 실리콘 산화막, 실리콘 산화질화막 및/또는 고유전막을 포함할 수 있다. 일 실시예로, 게이트 절연막(GI)은 반도체 패턴(SP1-SP4)의 표면을 직접 덮는 실리콘 산화막 및 실리콘 산화막 상의 고유전막을 포함할 수 있다. 다시 말하면, 게이트 절연막(GI)은 실리콘 산화막과 고유전막의 다중 막(multi-layer)을 포함할 수 있다.

[0103] 고유전막은, 실리콘 산화막보다 유전상수가 높은 고유전율 물질을 포함할 수 있다. 일 예로, 고유전율 물질은 하프늄 산화물, 하프늄 실리콘 산화물, 하프늄 지르코늄 산화물, 하프늄 탄탈 산화물, 란탄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 리튬 산화물, 알루미늄 산화물, 납 스칸듐 탄탈 산화물, 및 납 아연 니오브산염

중 적어도 하나를 포함할 수 있다.

[0104] 상부 소스 드레인 패턴(USD) 및 게이트 전극들(GE) 상에 제2 층간 절연막(120)이 제공될 수 있다. 제2 층간 절연막(120)은 상부 소스 드레인 패턴(USD)을 덮을 수 있다. 제3 층간 절연막(130)이 제2 층간 절연막(120)을 덮을 수 있다.

[0105] 제2 및 제3 층간 절연막들(120, 130)을 관통하여 상부 소스 드레인 패턴들(USD)과 각각 전기적으로 연결되는 상부 활성 콘택들(UAC)이 제공될 수 있다. 상부 활성 콘택(UAC)의 상면은 제3 층간 절연막(130)의 상면과 공면을 이룰 수 있다.

[0106] 제3 층간 절연막(130) 및 게이트 캐핑 패턴(GP)을 관통하여 상부 게이트 전극(UGE)과 전기적으로 연결되는 상부 게이트 콘택(UGC)이 제공될 수 있다. 상부 활성 콘택(UAC) 및 상부 게이트 콘택(UGC) 각각은 구리(Cu), 알루미늄(Al), 루테늄(Ru), 코발트(Co), 텅스텐(W) 및 몰리브덴(Mo)으로 이루어진 군에서 선택된 금속을 포함할 수 있다.

[0107] 제1 방향(D1)으로 서로 인접하는 게이트 전극들(GE) 사이에 커팅 패턴(CT)이 제공될 수 있다. 커팅 패턴(CT)은 인접하는 게이트 전극들(GE)을 서로 분리할 수 있다. 인접하는 게이트 전극들(GE)은 커팅 패턴(CT)에 의해 제1 방향(D1)으로 이격될 수 있다. 커팅 패턴(CT)은 제2 방향(D2)으로 연장되는 바(bar) 형태 또는 라인 형태를 가질 수 있다. 커팅 패턴(CT)은 실리콘 산화물 및 실리콘 질화물과 같은 절연 물질을 포함할 수 있다.

[0108] 제3 층간 절연막(130) 상에 제4 층간 절연막(140)이 제공될 수 있다. 제4 층간 절연막(140) 내에 제1 금속 층(M1)이 제공될 수 있다. 제1 금속 층(M1)은 상부 배선들(UMI)을 포함할 수 있다. 제1 금속 층(M1)은 상부 비아(UVI)를 더 포함할 수 있다. 상부 비아(UVI)는 상부 배선(UMI)을 상부 활성 콘택(UAC) 또는 상부 게이트 콘택(UGC)과 전기적으로 연결할 수 있다. 상부 배선(UMI) 및 상부 비아(UVI) 각각은 구리(Cu), 알루미늄(Al), 루테늄(Ru), 코발트(Co), 텅스텐(W) 및 몰리브덴(Mo)으로 이루어진 군에서 선택된 금속을 포함할 수 있다.

[0109] 제1 금속 층(M1) 상에 추가적인 금속 층들(예를 들어, M2, M3, M4 등)이 적층될 수 있다. 제1 금속 층(M1) 및 제1 금속 층(M1) 상의 금속 층들(예를 들어, M2, M3, M4 등)은 반도체 소자의 BEOL(back end of line) 층을 구성할 수 있다. 제1 금속 층(M1) 상의 금속 층들(예를 들어, M2, M3, M4 등)은 로직 셀들을 서로 연결하기 위한 라우팅 배선들을 포함할 수 있다.

[0110] 기판(100)의 제2 면(100b) 아래에 하부 층간 절연막(210)이 제공될 수 있다. 하부 층간 절연막(210) 내에 후면 금속 층(BSM)이 제공될 수 있다. 후면 금속 층(BSM)은 하부 배선들(LMI)을 포함할 수 있다. 후면 금속 층(BSM)은 하부 비아(LVI)를 더 포함할 수 있다. 하부 비아(LVI)는 하부 배선(LMI)을 하부 활성 콘택(LAC), 하부 게이트 콘택(LGC) 또는 도 5의 하부 콘택 패턴(LCP)과 전기적으로 연결할 수 있다.

[0111] 하부 배선(LMI) 및 하부 비아(LVI) 각각은 구리(Cu), 알루미늄(Al), 루테늄(Ru), 코발트(Co), 텅스텐(W) 및 몰리브덴(Mo)으로 이루어진 군에서 선택된 금속을 포함할 수 있다.

[0112] 후면 금속 층(BSM) 아래에 추가적인 하부 금속 층들이 적층될 수 있다. 일 실시예로, 하부 금속 층들은 파워 전송 네트워크를 포함할 수 있다. 파워 전송 네트워크는 후면 금속 층(BSM)에 소스 전압(VSS) 및 드레인 전압(VDD)을 인가하기 위한 배선 네트워크를 포함할 수 있다.

[0113] 파워 전송 네트워크를 통해 후면 금속 층(BSM)으로 소스 전압(VSS) 및 드레인 전압(VDD)이 인가될 수 있다. 도 4a를 다시 참조하면, 소스 전압(VSS) 및 드레인 전압(VDD) 중 어느 하나가 하부 배선(LMI) 하부 비아(LVI) 및 하부 활성 콘택(LAC)을 통해 하부 소스 드레인 패턴(LSD)으로 인가될 수 있다. 소스 전압(VSS) 및 드레인 전압(VDD) 중 다른 하나는 파워 탭 셀을 통해 후면 금속 층(BSM)에서 제1 금속 층(M1)으로 인가될 수 있다. 파워 탭 셀을 통해 제1 금속 층(M1)으로 인가된 전압은, 상부 배선(UMI), 상부 비아(UVI) 및 상부 활성 콘택(UAC)을 통해 상부 소스 드레인 패턴(USD)으로 인가될 수 있다. 파워 탭 셀은 서로 인접하는 싱글 하이트 셀들(SHC) 사이에 개재될 수 있다.

[0114] 관통 도전 패턴(TC)이 층간 절연막(110, 120, 130)을 수직한 방향(즉, 제3 방향(D3))으로 관통할 수 있다. 관통 도전 패턴(TC)은 층간 절연막(110, 120, 130)을 수직한 방향으로 관통하는 관통 홀(TH) 내에 제공될 수 있다. 복수의 관통 도전 패턴들(TC)은 평면적 관점에서 제약없이 배치될 수 있다. 일 예로, 도 3에서 복수의 관통 도전 패턴들(TC)이 제1 및 제 2방향들(D1, D2)을 따라 2차원 적으로 배치된 것으로 도시되었으나, 이에 제한되는 것은 아니다.

[0115] 관통 도전 패턴(TC)은 층간 절연막(110, 120, 130)을 관통하여 제1 금속 층(M1)과 후면 금속 층(BSM)을 서로 전

기적으로 연결할 수 있다. 관통 도전 패턴(TC)은 상부 비아(UVI)을 통해 제1 금속 층(M1)에 전기적으로 연결될 수 있고, 하부 콘택 패턴(LCP)을 통해 후면 금속 층(BSM)에 전기적으로 연결될 수 있다.

[0116] 관통 도전 패턴(TC)은 시드층(SL) 및 시드층(SL) 상의 메인층(ML)을 포함할 수 있다. 메인층(ML)의 내부에는 심(seam)이 제공되지 않을 수 있다. 억제제(IN)가 관통 도전 패턴(TC)의 시드층(SL)의 측면 상에 제공될 수 있다. 관통 스페이서(TS)가 관통 도전 패턴(TC)의 측면 상에 제공될 수 있다.

[0117] 도 9a 내지 도 9g은 도 8c에 도시된 3차원 반도체 소자 중 게이트 전극을 형성하는 방법을 설명하는 참조도면이다.

[0118] 도 9a에 도시된 바와 같이, 기판(100)상에 하부 채널 패턴(LCH), 더미 채널 패턴(DSP), 시드층(SDL) 및 상부 채널 패턴(UCH)을 순차적으로 형성할 수 있다. 그리고, 하부 채널 패턴(LCH), 더미 채널 패턴(DSP), 시드층(SDL) 및 상부 채널 패턴(UCH)의 표면을 덮는 게이트 절연막(GI)을 형성할 수 있다. 게이트 절연막(GI)은 상부 채널 패턴(UCH), 시드층(SDL) 및 더미 채널 패턴(DSP)의 일부를 덮는 상부 게이트 절연막(UGI)과 하부 채널 패턴(LCH)을 덮는 상부 게이트 절연막(UGI)과 하부 채널 패턴(LCH), 더미 채널 패턴(DSP)의 나머지를 덮는 하부 게이트 절연막(LGI)을 포함할 수 있다.

[0119] 게이트 절연막(GI)은 실리콘 산화막, 실리콘 산화질화막 및/또는 고유전막을 포함할 수 있다. 일 실시예로, 게이트 절연막(GI)은 반도체 패턴의 표면을 직접 덮는 실리콘 산화막 및 실리콘 산화막 상의 고유전막을 포함할 수 있다. 다시 말하면, 게이트 절연막(GI)은 실리콘 산화막과 고유전막의 다중 막(multi-layer)을 포함할 수 있다. 고유전막은 HfO_2, TiO_2, HfZrO, Ta_2O_3, $HfSiO_4$, ZrO_2, $ZrSiO_2$, LaO, AlO, ZrO, TiO, Ta_2O_5, Y_2O_3, $SrTiO_3$ (STO), $BaTiO_3$ (BTO), BaZrO, HfZrO, HfLaO, HfSiO, LaSiO, AlSiO, HfTaO, HfTiO, (Ba,Sr)TiO_3 (BST), Al_2O_3, Si_3N_4, 중 적어도 하나를 포함할 수 있다.

[0120] 도 9b에 도시된 바와 같이, 게이트 절연막(GI)을 덮는 제1 전도막(210)을 형성할 수 있다. 제1 전도막(210)은 W, TiN, TaN, WN, Re, Ir, Ru, Mo, Al, Cu, Co, Ni, 및 TiAlC 중 적어도 하나를 포함할 수 있다. 제1 전도막(210)은 하부 채널 패턴(LCH)들 사이, 상부 채널 패턴(UCH)들의 사이, 하부 채널 패턴, 시드층(SDL) 및 상부 채널 패턴(UCH)상에 형성될 수 있다.

[0121] 도 9c에 도시된 바와 같이, 제1 전도막(210)의 일부 영역 상에 희생 패턴(220)을 형성할 수 있다. 희생 패턴(220)은 하부 게이트 절연막(LGI)에 대응할 수 있다. 즉, 희생 패턴(220)은 제1 전도막(210) 중 하부 채널 패턴(LCH)들 및 더미 채널 패턴(DSP)의 일부을 덮는 영역 상에 형성될 수 있다. 제1 전도막(210) 중 상부 채널 패턴(UCH) 및 시드층(SDL)을 덮는 영역은 외부로 노출될 수 있다. 희생 패턴(220) 은 스핀 온 하드마스크(spin-on-hard mask, SOH) 물질(ex, 실리콘 산화물)로 형성될 수 있다.

[0122] 도 9d에 도시된 바와 같이, 희생 패턴(220)에 의해 노출된 제1 전도막(210)을 제거할 수 있다. 제1 전도막(210)의 일부가 제거됨으로써 상부 게이트 절연막(UGI)이 외부로 노출될 수 있다. 제거되지 않은 제1 전도막(210)은 하부 게이트 전극(LGE)이 될 수 있다.

[0123] 도 9e에 도시된 바와 같이, 희생 패턴(220)상에 반응 억제막(230)를 형성할 수 있다. 반응 억제막(230)는 산-염기 반응에 의해 희생 패턴(220)상에만 형성될 수 있다.

[0124] 하부 채널 패턴(LCH), 더미 채널 패턴(DSP), 시드층(SDL) 및 상부 채널 패턴(UCH)은 도 1a에서 설명한 반도체층에 대응하고, 상부 게이트 절연막(UGI)와 희생 패턴(220)은 도 1a에서 설명한 유전체층(20)에 대응할 수 있다. 즉, 반도체 소자에서 유전체층은 3차원 표면을 가질 수 있다. 상부 게이트 절연막(UGI)의 표면은 도 1a에 설명한 유전체층(20)의 제1 표면(S1)에 대응하고, 희생 패턴(220)의 표면은 도 1a에 설명한 유전체층(20)의 제2 표면(S2)에 대응할 수 있다. 유전체층의 제1 표면과 제2 표면은 단차를 가질 수 있다. 제2 표면은 제1 표면을 기준으로 외부로 돌출 될 수 있다. 반응 억제막(230)의 형성은 도 1b에서 설명하는 반응 억제제의 흡착에 대응할 수 있다. 즉 산-염기 반응에 의해 반응 억제막은 상부 게이트 절연막(UGI)에는 흡착되지 않으면서 희생 패턴(220)상에만 형성될 수 있다.

[0125] 도 9f에 도시된 바와 같이, 노출된 상부 게이트 절연막(UGI)상에 제2 전도막 즉, 상부 게이트 전극(UGE)를 형성할 수 있다. 상부 게이트 전극(UGE)은 하부 게이트 전극(LGE)와 다른 물질로 형성될 수 있다. 상부 게이트 전극(UGE)과 하부 게이트 전극(LGE)은 다른 물질로 형성되기 때문에 하부 트랜지스터의 문턱 전압과 상부 트랜지스터의 문턱 전압을 다르게 할 수 있다.

[0126] 도 9g에 도시된 바와 같이, 하부 게이트 전극(LGE)상에 형성된 희생 패턴(220) 및 반응 억제막(230)을 제거할 수 있다.

[0127] 상부 게이트 절연막(GI) 및 희생 패턴(220)은 유사한 금속 산화물 물질로 형성되어 있기 때문에 전도성 물질은 하프늄 산화물과 희생 패턴(220) 모두에 증착될 수 있다, 이는 추후 희생 패턴(220)만을 제거하기 어려워질 수 있다. 또한 반도체 소자의 제조 시 다른 산화물이 더 존재할 수 있으며, 마찬가지로 다른 산화물에도 전도성 물질이 증착하게 되면 다양한 결함이 발생할 수 있다.

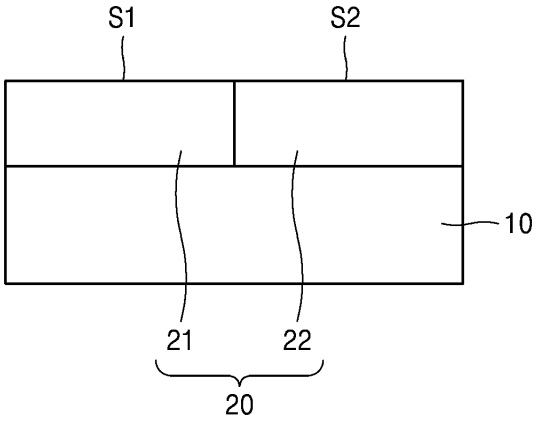
[0128] 일 실시예에 따르면, 산-염기 반응을 이용하여 희생 패턴(220)의 표면에만 반응 억제막이 형성되는 바, 전도성 물질은 상부 게이트 절연막(GI)에만 증착될 수 있다. 따라서, 반도체 소자의 공정 수율을 높일 수 있고, 반도체 소자의 결함 발생을 줄일 수 잇다.

[0129] 도 9c 및 도 9e에서 제1 전도막(210)의 일부 영역상에 희생 패턴(220) 및 반응 억제막(230)을 형성한다고 하였으나, 이에 한정되지 않는다. 상부 게이트 절연막(GI) 이외의 다른 산화물이 형성된 영역에도 희생 패턴(220) 및 반응 억제막(230)을 형성할 수 있다. 산-염기 반응을 이용한 선택적 원자층 증착 방법은 앞서 기술한 반도체 소자 이외의 다양한 반도체 소자의 제조에 이용될 수 있음은 물론이다.

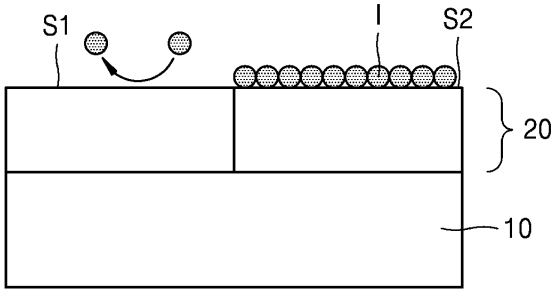
[0130] 상술한 반도체 소자 및 산-염기 반응을 이용한 반도체 소자의 제조 방법은 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 구체적인 실시예의 예시로서 해석되어야 한다. 본 발명의 범위는 따라서 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

도면

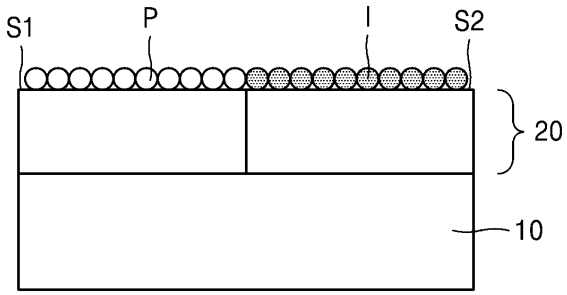
도면1a



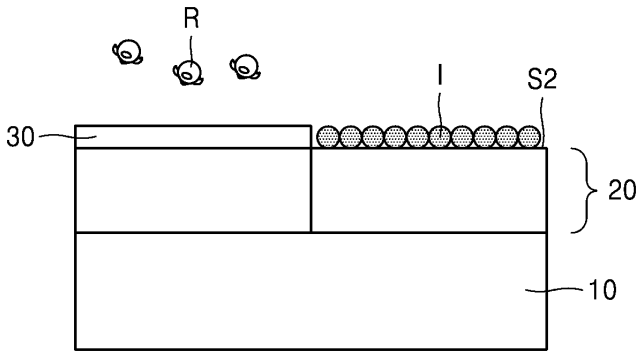
도면1b



도면1c



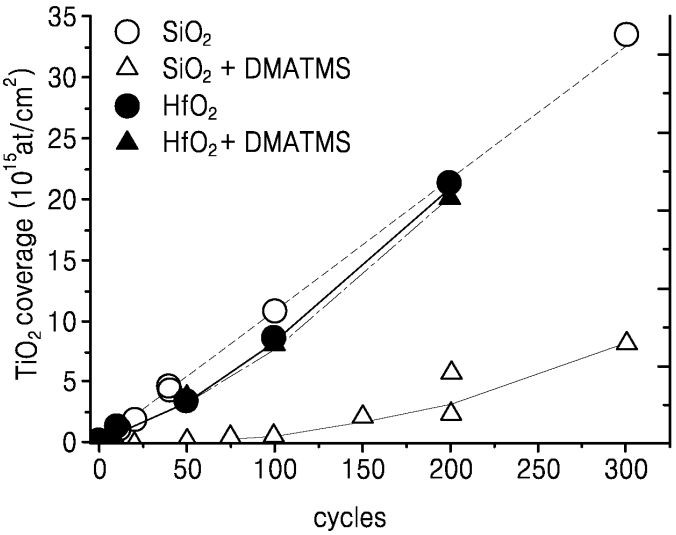
도면1d



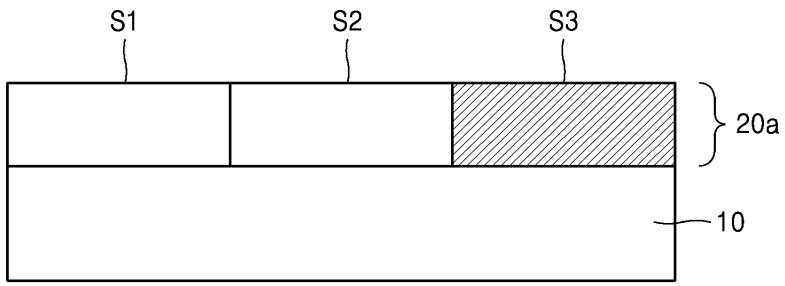
도면2

Metal oxide	x	y	S_{Mn+}	S_E	d_m	N_m	SA
Ag_2O	2	1	1.826	3.654	0.356	1	0.289
MgO	1	1	1.318	3.654	0.768	2	0.465
CuO	1	1	1.98	3.654	0.511	2	0.978
ZrO_2	1	2	0.90	3.654	1.463	4	1.075
ZnO	1	1	2.223	3.654	0.427	2	1.146
HfO_2	1	2	0.956	3.654	1.411	4	1.178
Cr_2O_3	2	3	1.66	3.654	0.788	3	1.425
Al_2O_3	2	3	1.71	3.654	0.763	3	1.475
Co_2O_4	3	4	2.56	3.654	0.367	2.67	1.932
Fe_2O_3	2	3	2.20	3.654	0.536	3	1.928
TiO_2	1	2	1.50	3.654	1.000	4	1.999
SiO_2	1	2	2.14	3.654	0.636	4	2.728
SnO_2	1	2	2.30	3.654	0.557	4	2.886
GeO_2	1	2	2.62	3.654	0.409	4	3.181
MnO_2	1	2	2.74	3.654	0.357	4	3.286
WO_3	1	3	1.67	3.654	1.043	6	3.914
MoO_3	1	3	2.20	3.654	0.697	6	4.605

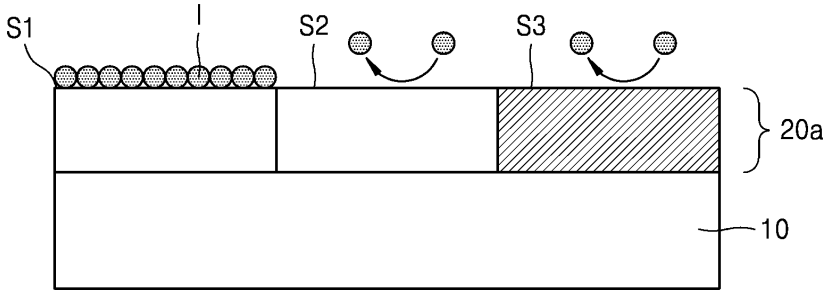
도면3



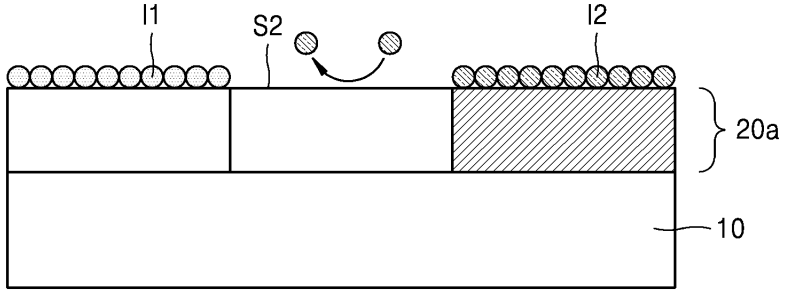
도면4a



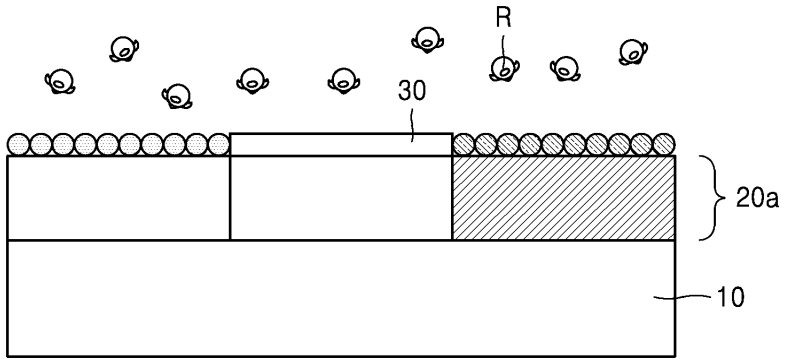
도면4b



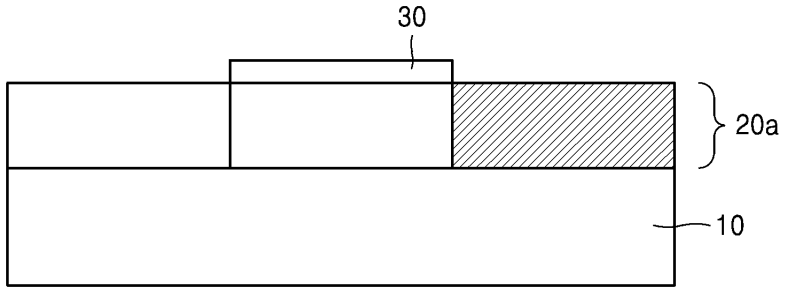
도면4c



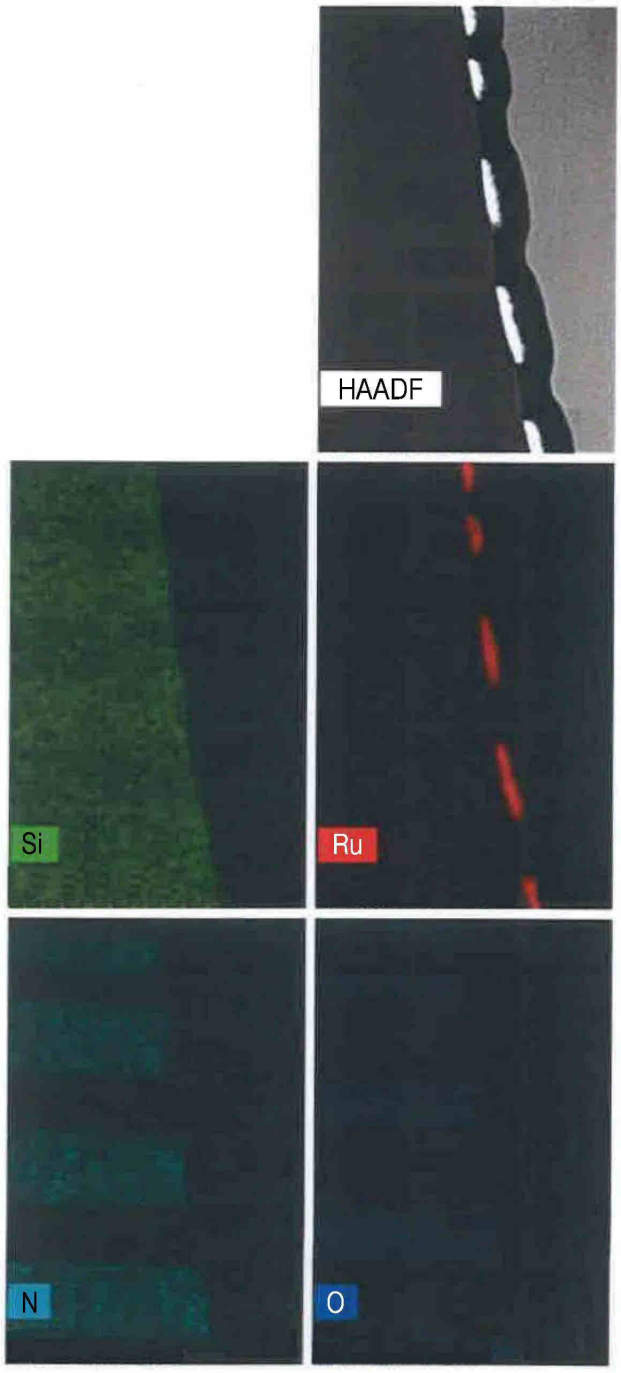
도면4d



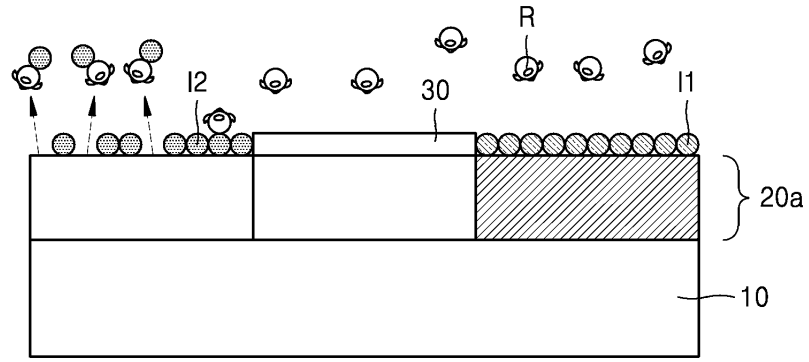
도면4e



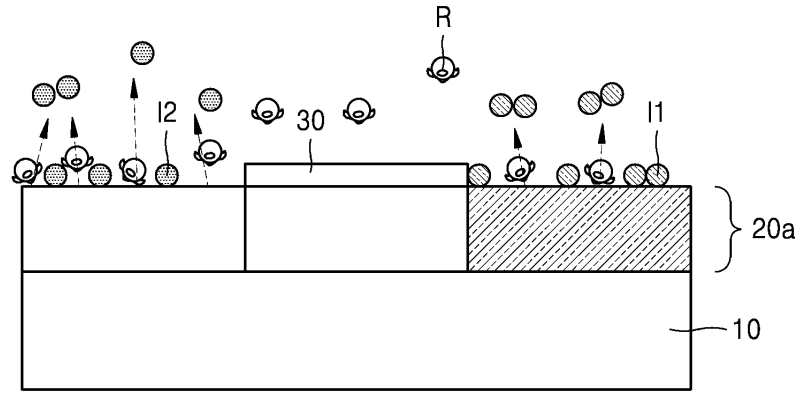
도면5



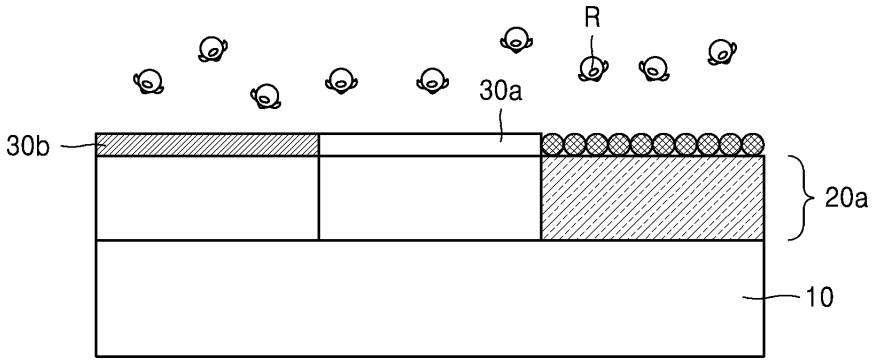
도면6a



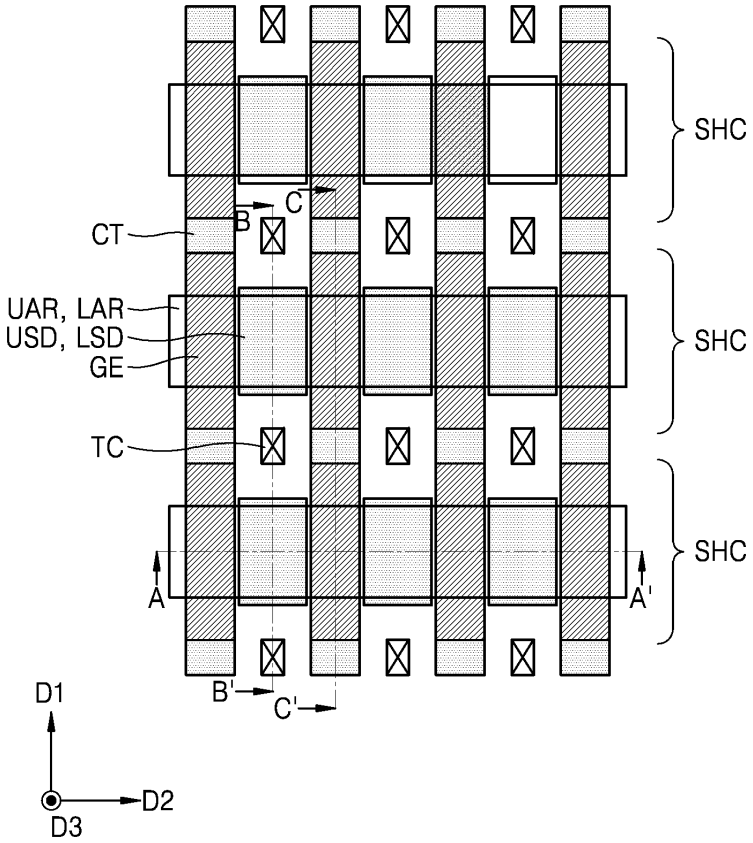
도면6b



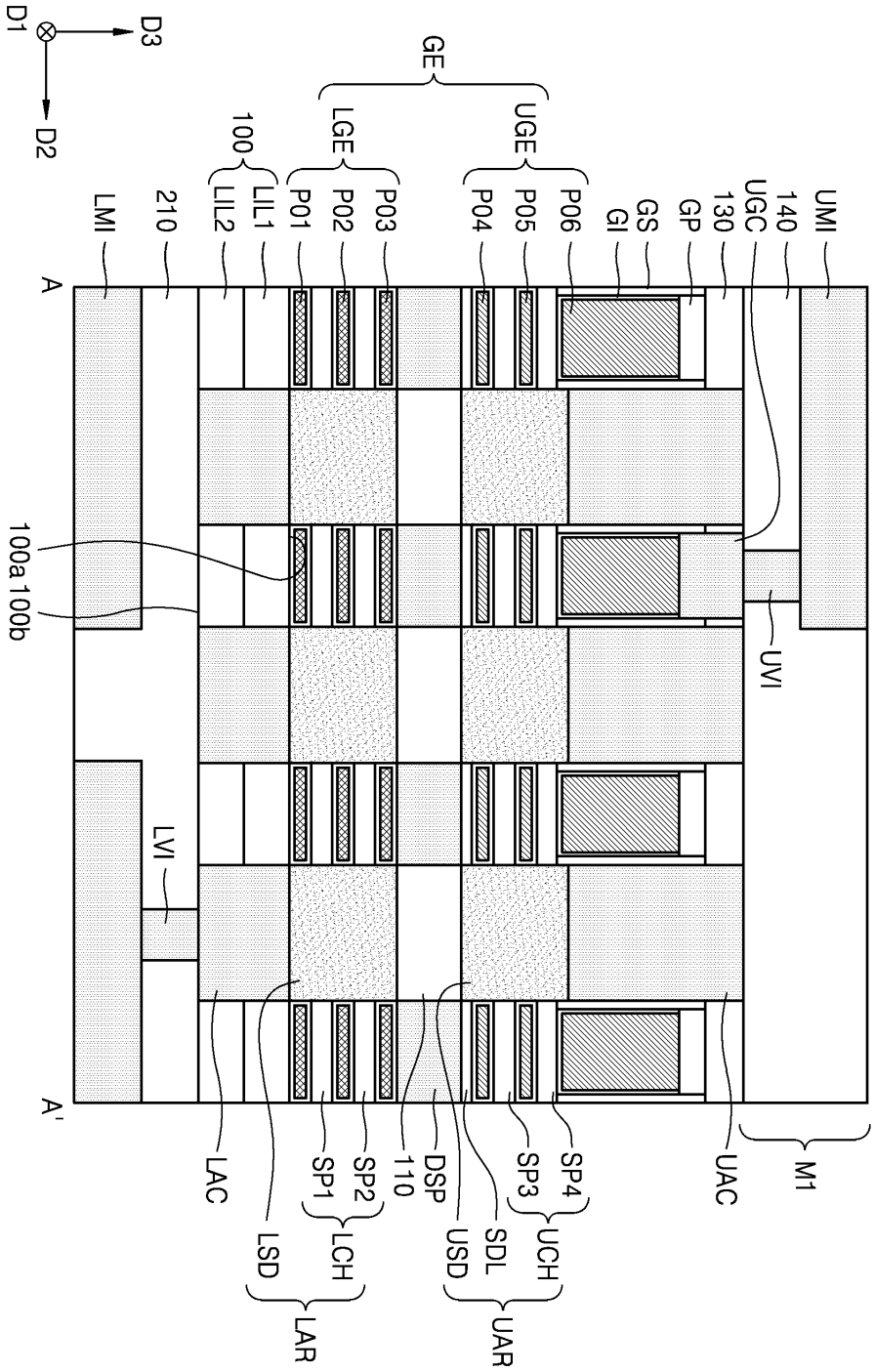
도면6c



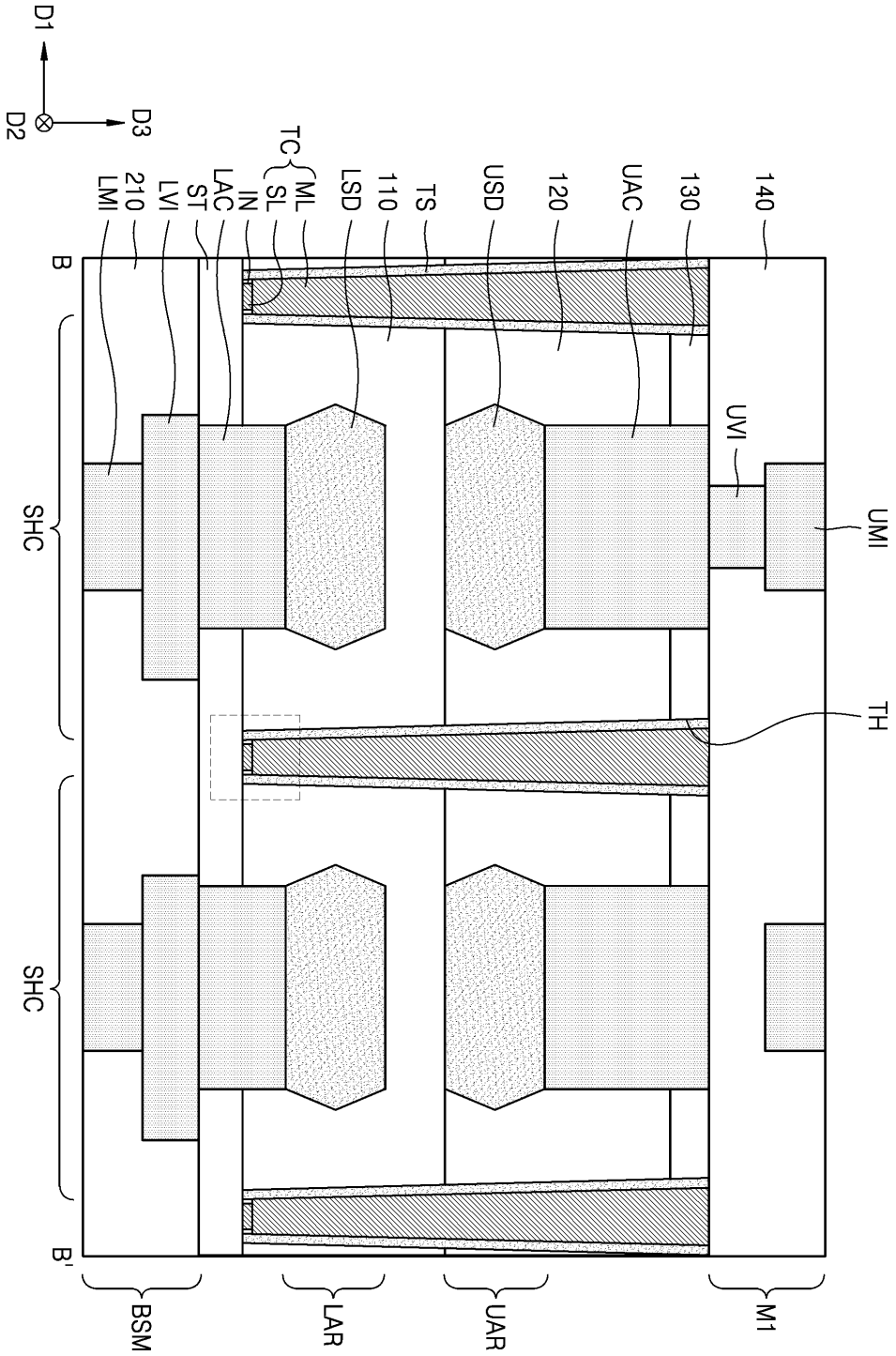
도면7



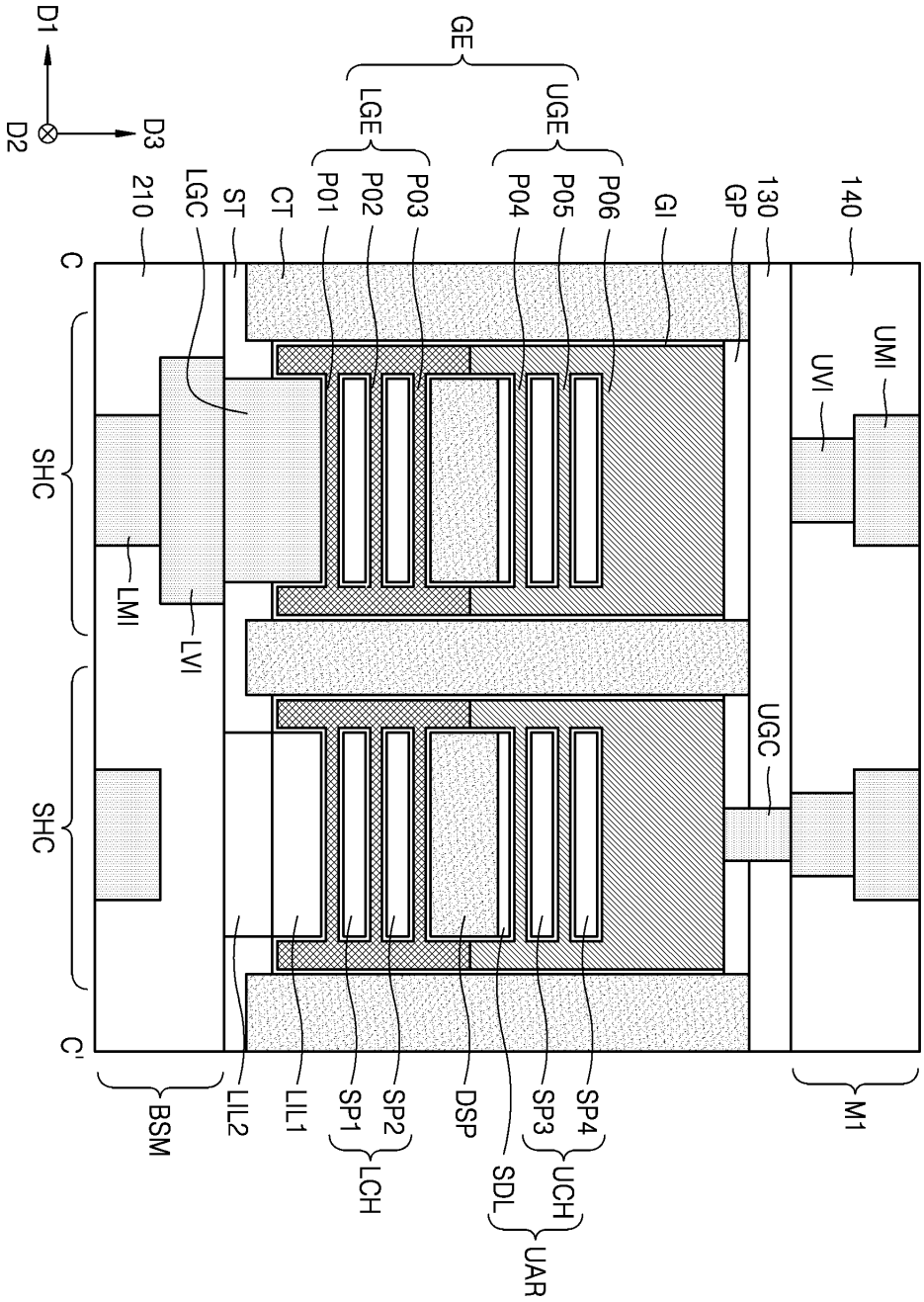
도면8a


D1
D3
D2
GE
LGE
UGE
100
LIL1
LIL2
P01
P02
P03
P04
P05
P06
GI
GS
GP
130
UGC
140
UMI
LMI
210
A
A'
100a
100b
UVI
LVI
LAC
LSD
LAR
SP1
SP2
LCH
110
DSP
USD
SDL
UAR
SP3
SP4
UCH
UAC
M1

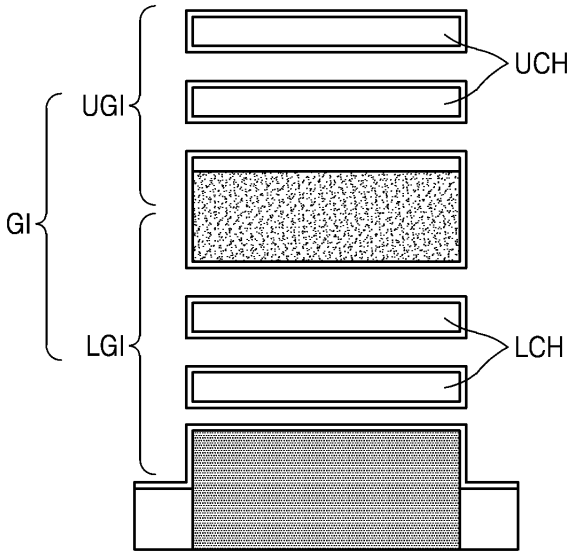
도면8b


D1
D2
D3
TC
SL
ML
IN
LAC
ST
LVI
210
LMI
LSD
110
TS
USD
120
UAC
130
140
UVI
UMI
TH
SHC
SHC
B
B'
BSM
LAR
UAR
M1

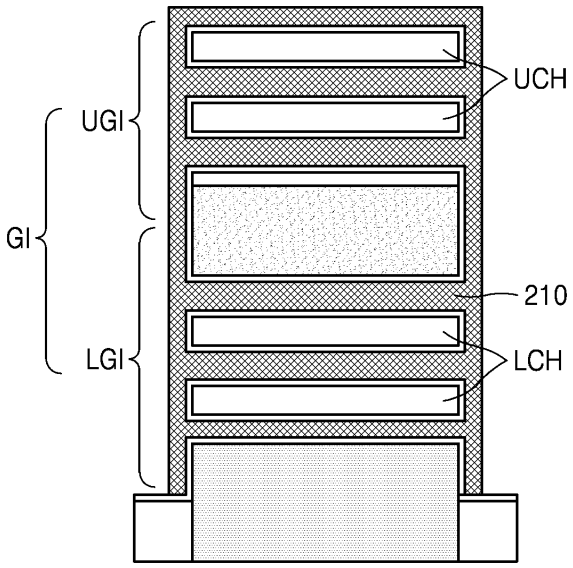
도면8c


D1
D2
D3
GE
LGE
UGE
P01
P02
P03
P04
P05
P06
210
LGC
ST
CT
GI
GP
130
140
UMI
UVI
C
SHC
LMI
LVI
UGC
SHC
C'
BSM
LIL2
LIL1
SP1
SP2
DSP
SP3
SP4
LCH
SDL
UCH
UAR
M1

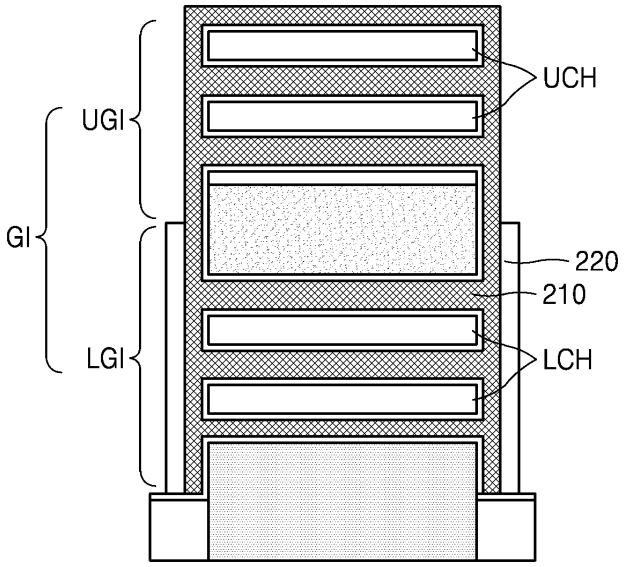
도면9a



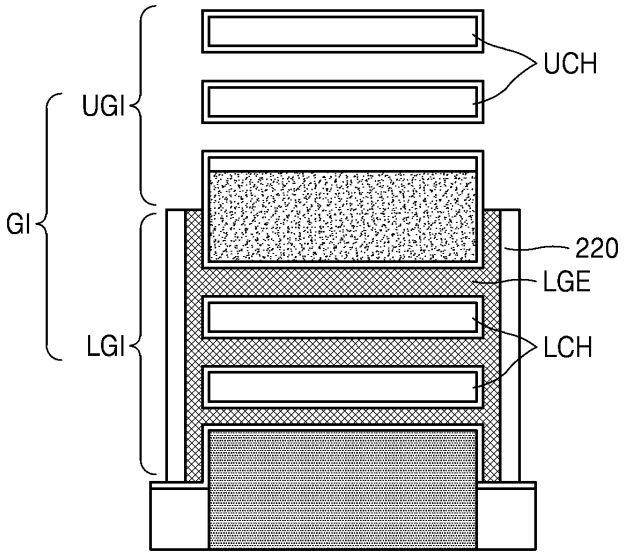
도면9b



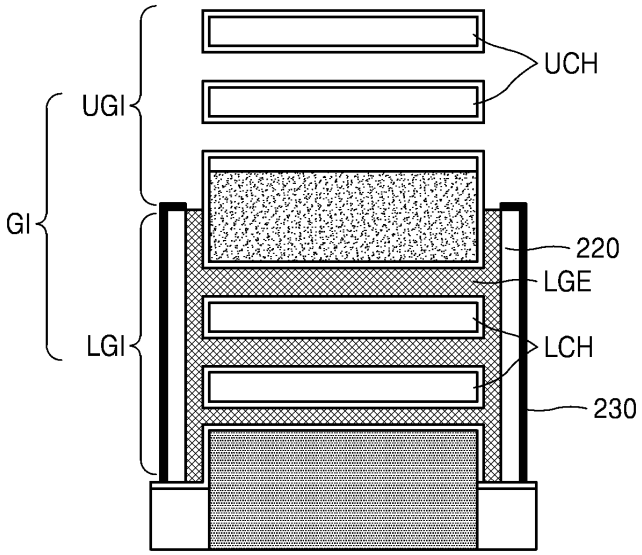
도면9c



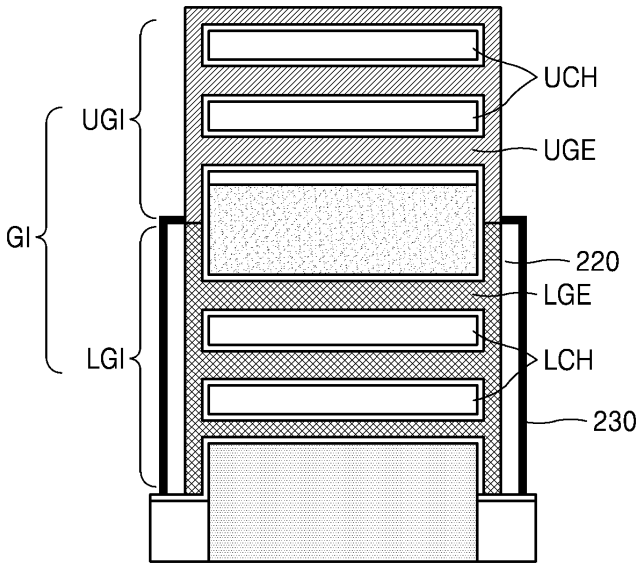
도면9d



도면9e



도면9f



도면9g

