



(12) 发明专利

(10) 授权公告号 CN 101425458 B

(45) 授权公告日 2012. 10. 17

(21) 申请号 200810171147. 1

(56) 对比文件

(22) 申请日 2008. 10. 22

US 2007/0232071 A1, 2007. 10. 04, 说明书
0022-0037 段, 附图 1-5.

(30) 优先权数据

11/876, 649 2007. 10. 22 US

审查员 王曦

(73) 专利权人 应用材料公司

地址 美国加利福尼亚州

(72) 发明人 夏立群 米哈拉·鲍尔西努

维克多·恩古源 德里克·R·维迪

伊沙姆·迈' 萨德 杨海春 卢欣亮

高乾泰 张梅

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国

(51) Int. Cl.

H01L 21/31 (2006. 01)

H01L 21/311 (2006. 01)

H01L 21/336 (2006. 01)

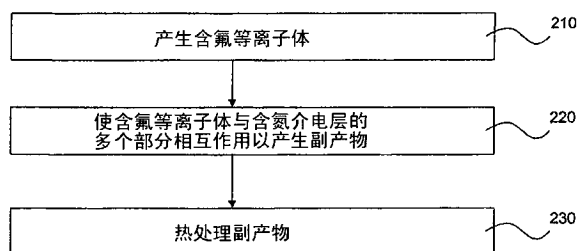
权利要求书 3 页 说明书 11 页 附图 9 页

(54) 发明名称

形成至少一层介电层的方法和系统

(57) 摘要

本发明提供形成至少一层介电层的方法和系统。其中一种结构的形成方法, 包括: 横跨衬底表面形成至少一个部件; 在所述至少一个部件上方形成含氮介电层; 以第一速率去除所述至少一个部件的至少一个侧壁上的第一部分含氮层, 以第二速率去除与所述至少一个部件的底部区域邻近的衬底上方的第二部分含氮层, 该第一速率大于该第二速率; 以及在该含氮介电层上方形成介电层。



1. 一种结构的形成方法,包括:
横跨衬底表面形成至少一个部件;
在所述至少一个部件上方形成含氮介电层;
以第一速率去除所述至少一个部件的至少一个侧壁上的第一部分含氮层,以第二速率去除与所述至少一个部件的底部区域邻近的衬底上方的第二部分含氮层,该第一速率大于该第二速率;以及
在该含氮介电层上方形成介电层。
2. 根据权利要求1的方法,其中形成至少一个部件包括形成至少一个晶体管栅极。
3. 根据权利要求2的方法,所述方法还包括:
在衬底中形成与所述至少一个晶体管栅极邻近的至少一个接触区域;以及
在所述至少一个晶体管栅极的至少一个侧壁上形成至少一个介电间隔部。
4. 根据权利要求1的方法,其中去除所述第一部分含氮介电层和第二部分含氮介电层还包括以第三速率去除所述至少一个部件上方的第三部分含氮介电层,该第三速率与该第二速率的比为2:1或更高。
5. 根据权利要求1的方法,其中形成含氮介电层包括形成氮化硅 SiN 层或氮氧化硅 SiON 层。
6. 根据权利要求1的方法,其中形成含氮介电层包括形成氮碳化硅 SiCN 层。
7. 根据权利要求6的方法,还包括将 SiCN 层氧化成氮氧化硅层。
8. 根据权利要求1的方法,其中去除第一部分含氮介电层和第二部分含氮介电层包括:
产生含氟等离子体;
使含氟等离子体与该第一部分含氮介电层、第二部分含氮介电层相互作用以生成副产物;以及
热处理该副产物以去除所述第一部分含氮介电层和所述第二部分含氮介电层。
9. 根据权利要求8的方法,其中利用选自三氟化氮 NF_3 、四氟化硅 SiF_4 、四氟甲烷 CF_4 、氟化甲烷 CH_3F 、二氟甲烷 CH_2F_2 、三氟甲烷 CHF_3 、八氟丙烷 C_3F_8 和六氟乙烷 C_2F_6 组成的集合中的前驱体产生含氟等离子体。
10. 根据权利要求8的方法,其中使含氟等离子体与所述第一部分含氮介电层和所述第二部分含氮介电层相互作用包括在温度在 -100°C 到 $1,000^\circ\text{C}$ 之间的基座上放置衬底。
11. 根据权利要求8的方法,其中热处理副产物包括升华该副产物。
12. 根据权利要求8的方法,其中热处理副产物具有 -50°C 到 $1,000^\circ\text{C}$ 之间的处理温度。
13. 根据权利要求8的方法,所述方法还包括升降衬底以使所述衬底靠近喷头。
14. 一种晶体管的形成方法,所述方法包括:
在衬底上方形成至少一个晶体管栅极;
在所述至少一个晶体管栅极的侧壁上形成至少一个介电间隔部;
在衬底中形成邻近所述晶体管栅极的至少一个接触区域;
在所述至少一个晶体管栅极上方形成含氮介电层;
以第一速率去除所述至少一个晶体管栅极的至少一个侧壁上的第一部分含氮层,以第二速率去除与所述至少一个晶体管栅极的底部区域邻近的衬底上方的第二部分含氮层,其

中该第一速率大于该第二速率；以及

在该含氮介电层上方形成介电层。

15. 根据权利要求 14 的方法，其中形成含氮介电层包括形成氮化硅 SiN 层或氮氧化硅 SiON 层。

16. 根据权利要求 14 的方法，其中形成含氮介电层包括形成氮碳化硅 SiCN 层。

17. 根据权利要求 16 的方法，所述方法还包括将 SiCN 层氧化成氮氧化硅层。

18. 根据权利要求 14 的方法，其中去除第一部分含氮介电层和第二部分含氮介电层包括：

产生含氟等离子体；

使含氟等离子体与该第一部分含氮介电层、第二部分含氮介电层相互作用以生成副产物；以及

热处理该副产物以去除该第一部分含氮介电层和第二部分含氮介电层。

19. 根据权利要求 18 的方法，其中利用选自三氟化氮 NF_3 、四氟化硅 SiF_4 、四氟甲烷 CF_4 、氟化甲烷 CH_3F 、二氟甲烷 CH_2F_2 、三氟甲烷 CHF_3 、八氟丙烷 C_3F_8 和六氟乙烷 C_2F_6 组成的集合中的前驱体产生含氟等离子体。

20. 根据权利要求 18 的方法，其中使含氟等离子体与第一部分含氮介电层和第二部分含氮介电层相互作用包括在温度 -100°C 到 $1,000^\circ\text{C}$ 之间的基座上放置衬底。

21. 根据权利要求 18 的方法，其中热处理副产物包括升华该副产物。

22. 根据权利要求 18 的方法，其中热处理副产物具有在 -50°C 到 $1,000^\circ\text{C}$ 之间的处理温度。

23. 根据权利要求 18 的方法，还包括升降该衬底以使所述衬底靠近喷头。

24. 一种结构的形成方法，包括：

横跨衬底表面形成至少一个部件；

在所述至少一个部件上方形成第一介电层；

在所述第一介电层上方形成第二介电层；

以第一速率去除所述至少一个部件的至少一个侧壁上的第二介电层的第一部分，以第二速率去除与所述至少一个部件的底部区域邻近的衬底上方的第二介电层的第二部分，该第一速率大于该第二速率；以及

在蚀刻后的第二介电层上方形成第三介电层。

25. 根据权利要求 24 的方法，其中去除第二介电层的第一部分和第二部分还包括以第三速率去除所述至少一个部件上方的第二介电层的第三部分，该第三速率与该第二速率的比为 2 : 1 或更高。

26. 根据权利要求 24 的方法，其中去除第二介电层的第一部分和第二部分还包括：在不去除与所述至少一个部件的底部区域邻近的第一介电层的条件下，去除所述至少一个部件上方的第一介电层的一部分。

27. 根据权利要求 24 的方法，其中该第一介电层包括碳化硅层、氮碳化硅层、氮硼化硅层、氮化硼层、氧化硅层、碳氧化硅层和氮氧化硅层中的至少之一，该第二介电层包括氮化硅层。

28. 根据权利要求 24 的方法，其中去除第二介电层的第一部分和第二部分包括：

产生含氟等离子体；

使含氟等离子体与该第二介电层的第一部分和第二部分相互作用以生成副产物；以及热处理该副产物以去除该第二介电层的第一部分和第二部分。

29. 根据权利要求 28 的方法，其中利用选自三氟化氮 NF_3 、四氟化硅 SiF_4 、四氟甲烷 CF_4 、氟化甲烷 CH_3F 、二氟甲烷 CH_2F_2 、三氟甲烷 CHF_3 、八氟丙烷 C_3F_8 和六氟乙烷 C_2F_6 组成的集合中的前驱体产生含氟等离子体。

30. 根据权利要求 28 的方法，其中使含氟等离子体与第二介电层的第一部分和第二部分相互作用包括在温度 -100°C 到 $1,000^\circ\text{C}$ 之间的基座上放置衬底。

31. 根据权利要求 28 的方法，其中热处理副产物包括升华该副产物。

32. 根据权利要求 28 的方法，其中热处理副产物具有 -50°C 到 $1,000^\circ\text{C}$ 之间的处理温度。

33. 根据权利要求 28 的方法，所述方法还包括升降该衬底以使所述衬底靠近喷头。

34. 一种设备，包括：

室；

基座，设置在该室中，用来支撑衬底，其中横跨该衬底形成至少一个部件，在所述至少一个部件上方形成有含氮层；

喷头，设置在该室中并在该基座的上方；以及

与该室相连的等离子体发生器，其中该等离子体发生器被构造为产生包括氟离子和氢离子的等离子体，该等离子体被提供到该室中，用于以第一速率去除所述至少一个部件的至少一个侧壁上的第一部分含氮层，以第二速率去除与所述至少一个部件的底部区域邻近的衬底上方的第二部分含氮层，该第一速率大于该第二速率。

35. 根据权利要求 34 的设备，所述设备还包括连接在该等离子体发生器与该室之间的等离子体分配装置。

36. 根据权利要求 34 的设备，所述设备还包括设置在该衬底下方的至少一个针，其中所述至少一个针操作为朝向该喷头升降该衬底。

37. 根据权利要求 34 的设备，所述设备还包括在该室中的至少一个泵通道。

38. 根据权利要求 34 的设备，其中该基座操作为提供 -100°C 到 $1,000^\circ\text{C}$ 之间的温度。

39. 根据权利要求 34 的设备，其中该喷头操作为提供 -50°C 到 $1,000^\circ\text{C}$ 之间的温度。

形成至少一层介电层的方法和系统

[0001] 相关申请的交叉参考

[0002] 本申请涉及共同转让的 Lubomirsky 等、2006 年 5 月 30 日提交的,题为“PROCESS CHAMBER FOR DIELECTRIC GAPFILL”的美国临时专利申请第 60/803,499 号。本申请涉及共同转让的 Janakiraman 等、2002 年 5 月 14 日发布的,题为“INTEGRATION OF REMOTE PLSAMA GENERATOR WITH SEMICONDUCTOR PROCESSING CHAMBER”的美国专利第 6,387,207 号。本申请涉及共同转让的 Janakiraman 等、2004 年 12 月 14 日发布的,题为“BLOCKER PLATE BY-PASS FOR REMOTE PLASMA CLEAN”的美国专利 No. 6,830,624。本申请还涉及共同转让的 Zhao 等、题为“CVD PROCESSING CHAMBER”的美国专利第 5,558,717 号。所涉及的申请的全部内容通过参考引入本发明中。

技术领域

[0003] 本申请涉及半导体领域,更具体地,涉及形成至少一层介电层的方法和系统。

背景技术

[0004] 自从几十年前半导体器件的出现,半导体器件的几何形状在尺寸上显著减小。现代半导体制造装置一般生产部件尺寸为 250nm、180nm 和 65nm 的器件,而即将开发和实施的新装置使器件甚至具有更小的几何形状。然而,小尺寸意味着器件单元必须靠近一起工作,这会增加包括串音和寄生电容的电干扰机会。

[0005] 为了减小电干扰的程度,采用介电绝缘材料填充器件单元、金属线和其它器件部件之间的间隙、沟槽和其它空隙。选择在器件部件之间的空隙中容易形成并且具有低介电常数(即,k 值)的介电材料。具有较低 k 值的介电材料有利于最小化串音和 RC 延时同时减小器件的总体功耗。传统介电材料包括氧化硅,当用传统 CVD 技术沉积时,氧化硅的平均 k 值在 4.0 到 4.2 之间。

[0006] 在形成半导体器件期间,采用氮化硅介电膜作为各种应用中的阻挡层或蚀刻终止层。氮化硅介电膜具有与诸如低 k 介电材料的氧化硅不同的蚀刻速率。氮化硅介电膜可以对诸如所述氮化硅介电膜下方的晶体管栅极等结构提供期望的保护。

[0007] 然而,横跨具有密集并且绝缘的器件的晶片而形成的氮化硅介电膜可能具有不均匀的厚度,这是不想要的。而且,形成在呈阶梯式高度分布的部分的底部、侧壁和顶部的氮化硅介电膜的厚度也会不利地影响随后的低-k 介电材料的间隙填充效果。当半导体器件的形状按比例缩小时这种情况变得更糟。

发明内容

[0008] 根据示例性实施方式,一种结构的形成方法包括横跨衬底表面形成至少一个部件。在所述至少一个部件上方形成含氮介电层。以第一速率去除所述至少一个部件的至少一个侧壁上的第一部分含氮层,以第二速率去除与所述至少一个部件的底部区域邻近的衬底上方的第二部分含氮层。该第一速率大于该第二速率。在该含氮介电层上方形成介电层。

[0009] 根据另一示例性实施方式,一种晶体管的形成方法包括在衬底上方形成至少一个晶体管栅极。在所述至少一个晶体管栅极的侧壁上形成至少一个介电间隔部。在衬底中形成邻近所述晶体管栅极的至少一个接触区域。在所述至少一个晶体管栅极上方形成含氮介电层。以第一速率去除所述至少一个晶体管栅极的至少一个侧壁上的第一部分含氮层,以第二速率去除与所述至少一个晶体管栅极的底部区域邻近的衬底上方的第二部分含氮层,其中该第一速率大于该第二速率。在该含氮介电层上方形成介电层。

[0010] 根据一替代实施方式,一种结构的形成方法包括横跨衬底表面形成至少一个部件;在所述至少一个部件上方形成第一介电层。在所述第一介电层上方形成第二介电层。以第一速率去除所述至少一个部件的至少一个侧壁上的第二介电层的第一部分,以第二速率去除与所述至少一个部件的底部区域邻近的衬底上方的第二介电层的第二部分,该第一速率大于该第二速率。在蚀刻后的第二介电层上方形成第三介电层。

[0011] 根据其它示例性实施方式,一种设备装置包括室。基座设置在该室中,用来支撑衬底,其中横跨该衬底形成至少一个部件,在所述至少一个部件上方形成有含氮层。喷头设置在该室中并在该基座的上方。等离子体发生器与该室相连,其中该等离子体发生器被构造为产生包括氟离子和氢离子的等离子体。该等离子体被提供到该室中,用于以第一速率去除所述至少一个部件的至少一个侧壁上的第一部分含氮层,以第二速率去除与所述至少一个部件的底部区域邻近的衬底上方的第二部分含氮层,该第一速率大于该第二速率。

[0012] 关于其它实施方式和特征,一部分将在下面的说明书中阐明,一部分对本领域技术人员来说通过研究本说明书将变得更加明显,或者通过本发明的实践获知。通过说明书所描述的装置、组合和方法可以实现本发明的特征和优点。

附图说明

[0013] 参照说明书的其它部分和附图,可以实现对本发明的本质和优点的进一步理解,其中在整个附图中用相似的附图标记表示相似的组成部分。在一些实施例中,次级标记与附图标记相关。当引用一个不带有次级标记的附图标记时,这个附图标记意指所有这样的多种相似的组成部分。

[0014] 图 1A 至图 1D 是示出在两个晶体管栅极之间填充示例性介电材料的示例性工艺的示意截面图。

[0015] 图 1E 是形成在示例性晶体管上方形成的示例性介电结构的示意截面图。

[0016] 图 2A 是示出去除含氮介电层的多个部分的示例性工艺的流程图。

[0017] 图 2B 是示出去除含氮介电层的多个部分的另一个示例性工艺的流程图。

[0018] 图 3A 是示出示例性薄膜沉积系统的垂直截面图。

[0019] 图 3B 是示出薄膜沉积系统的示例性系统监视器 / 控制器组件的简化图。

[0020] 图 4 是示例性蚀刻系统的示意截面图。

具体实施方式

[0021] 本发明描述了在至少一个部件 (feature) (例如横跨衬底表面形成的晶体管栅极) 上方形成至少一层介电层的系统和方法。介电层经蚀刻处理。蚀刻处理可以期望减小间隙和 / 或沟槽的纵横比 (例如, 大约 5 : 1 或更高的纵横比)。然后可以在蚀刻的介电层

上方形成介电层,以使得可以用介电材料基本无缝地填充这种纵横比的间隙和 / 或沟槽。

[0022] 本发明的方法包括横跨衬底表面形成至少一个部件。在至少一个部件上方形成介电层。以第一速率去除部件拐角周围的第一部分介电层,以第二速率去除在邻近至少一个部件底部区域的衬底上方的第二部分介电层。在蚀刻后的介电层上方形成介电层。

[0023] 示例性工艺

[0024] 图 1A 至图 1D 是示出在两个晶体管栅极之间填充示例性介电材料的示例性工艺的示意截面图。

[0025] 参见图 1A,横跨衬底 100 的表面形成至少一个部件 101。部件 101 可以是,例如,晶体管、晶体管栅极、沟槽、开口、间隙、导电线或其它具有纵横比的部件。晶体管 101 可以形成在衬底 100 的上方。衬底可以是例如硅衬底、III-V 族化合物衬底、硅 / 锗 (SiGe) 衬底、外延衬底 (epi-substrate)、绝缘体上硅 (SOI) 衬底、显示器基板例如液晶显示器 (LCD)、等离子体显示器、电致发光 (EL) 灯显示器或发光二极管 (LED) 衬底。在一些实施方式中,衬底 100 可以是半导体晶片 (例如 200mm、300mm、400mm 等硅晶片)。

[0026] 每个晶体管 101 可以包括形成在衬底 100 上方的栅极介电层 105。晶体管栅极 110 形成在栅极介电层 105 的上方。接触区域 120,例如源 / 漏极区域,形成在衬底 100 中并且邻近晶体管栅极 110。栅极介电层 105 可以由,例如,氧化硅、氮化硅、氮氧化硅、高 k 介电材料 (例如氧化铝 (Al_2O_3)、氧化铪 (HfO_2)、氮氧化铪 (HfON)、硅酸铪 (HfSiO_4)、氧化锆 (ZrO_2)、氮氧化锆 (ZrON)、硅酸锆 (ZrSiO_4)、氧化钇 (Y_2O_3)、氧化镧 (La_2O_3)、氧化铈 (CeO_2)、氧化钛 (TiO_2)、氧化钽 (Ta_2O_5))、其它介电材料或上述物质的各种组合制成。栅极介电层可以通过,例如,化学气相沉积 (CVD) 工艺、物理气相沉积 (PVD) 工艺、其它适于形成栅极介电材料层的半导体工艺或上述工艺各种组合来形成。

[0027] 晶体管栅极 110 可以由,例如,多晶硅;非晶硅;金属材料,例如,Ru、Ti、Ta、W、Hf、Cu、Al;金属氮化物;金属氧化物,例如 RuO_2 或 IrO_2 ;金属氮化物,例如 MoN、WN、TiN、TaN、TaAlN;栅极硅化物,例如 CoSi_2 或 NiSi ;适于用作晶体管栅极的其它金属材料,或上述物质的各种组合。在一些实施方式中,晶体管栅极 110 可以通过 CVD 工艺、PVD 工艺、电化学电镀工艺、无电镀工艺或上述工艺的各种组合形成。

[0028] 接触区域 120 可以形成在衬底 100 内。接触区域 120 可以具有 n 型掺杂剂例如磷和砷或 p 型掺杂剂例如硼。接触区域 120 可以通过至少一道注入工艺形成。在一些实施方式中,接触区域 120 可以包括至少一个轻掺杂漏极 (LDD)。

[0029] 再次参见图 1A,例如氧化物层 113、氮化物层 115 和氧化物层 117 的至少一层介电层形成在晶体管栅极 110 的侧壁上。可以将氧化物层 113、氮化物层 115 和氧化物层 117 构造为保护晶体管栅极 110 和 / 或用作向衬底中注入离子以形成接触区域 120 的掩模。在一些实施方式中,氧化物层 113、氮化物层 115 和氧化物层 117 可以通过,例如 CVD 工艺形成。值得注意的是,多层间隔部只是一个示例性实施方式。在其它的实施方式中可以采用单介电层间隔部。

[0030] 在一些实施方式中,晶体管栅极 110 可以具有大约 35 纳米 (nm) 的宽度和大约 100nm 的高度。晶体管栅极 110 之间的空隙可以是大约 180nm。氧化物层 113、氮化物层 115 和氧化物层 117 的底部宽度可以是大约 35nm。值得注意的是,可以采用其它尺寸的晶体管 101 来实现期望的晶体管。本发明的范围不限于此。

[0031] 在图 1B 中,至少一层介电层例如介电层 125 可以形成在晶体管 101 的上方。介电层 125 可以是,例如氮化硅 (SiN) 层、氮氧化硅 (SiON) 层、氮碳化硅 (SiCN) 层、氧化硅层、碳氧化硅层、碳化硅层、氮硼化硅层、氮化硼层、其它介电层或上述层的各种组合。

[0032] 在一些形成含氮介电层的实施方式中,可以由含硅前驱体例如硅烷 (SiH_4)、二氯硅烷 (SiH_2Cl_2)、三氯硅烷 (SiHCl_3)、和四氯硅烷 (SiCl_4),和含氮前驱体例如氮气 (N_2) 和氨气 (NH_3) 形成。在其它的实施方式中,介电层 125 可以由含硅前驱体例如烷氧基乙硅烷、烷氧基-烷基乙硅烷、烷氧基-乙酰氧基乙硅烷、和聚硅酸盐;以及含氮前驱体例如氮气和氨气形成。例如烷氧基乙硅烷可以包括 $\text{Si}_2(\text{EtO})_6$ 乙氧基乙硅烷、 $\text{Si}_2(\text{MeO})_6$ 甲氧基乙硅烷和 $\text{Si}_6(\text{MeO})_{12}$ 甲氧基环己基硅烷,其中 Et 表示乙基 (C_2H_5) 以及 Me 表示甲基 (CH_3)。在一些实施方式中,烷氧基-烷基乙硅烷可包括 $\text{Si}_2(\text{EtO})_4(\text{Me})_2$ 四乙氧基二甲基乙硅烷、 $\text{Si}_2(\text{EtO})_4(\text{Et})_2$ 四乙氧基二乙基乙硅烷、 $\text{Si}_2(\text{EtO})_2(\text{Me})_4$ 二乙氧基-四甲基乙硅烷、 $\text{Si}_2(\text{MeO})_4(\text{Me})_2$ 四甲氧基-二甲基乙硅烷、以及 $\text{Si}_4\text{O}_2(\text{Me})_8$ 甲基环己基硅烷、 $\text{Si}_6(\text{MeO})_6(\text{Me})_6$ 甲氧基-甲基环己基硅烷、 $\text{Si}_4\text{O}_2(\text{H}_2)_4$ 氢环己基硅烷。在一些实施方式中,烷氧基-乙酰氧基乙硅烷可包括 $\text{Si}_2(\text{AcO})_6$ 乙酰氧基乙硅烷、 $\text{Si}_2(\text{Me})_4(\text{AcO})_2$ 四甲基-二乙酰氧基乙硅烷和 $\text{Si}_2(\text{Me})_2(\text{AcO})_4$ 二甲基-四乙酰氧基乙硅烷,其中 Ac 表示乙酰基。在一些实施方式中,聚硅酸盐可以包括环戊基硅烷或其它成分。

[0033] 再次参见图 1B,可以发现介电层 125 在晶体管 101 的拐角 126 周围具有修剪 (pinch-off) 轮廓和/或负分布 (negative profile)。如果形成厚的介电层 125,介电层 125 的修剪轮廓和/或负分布可能在晶体管 101 之间产生空隙或缝隙。在一些实施方式中,晶体管栅极 110 上的介电层 125 的厚度“a”大于衬底 100 上的邻近晶体管 101 底部区域的介电层 125 的厚度“b”。在另一个实施方式中,介电层 125 的厚度“b”大于晶体管 101 侧壁上的介电层 125 的厚度“c”。

[0034] 参照图 1C,蚀刻工艺 130 可以以第一蚀刻速率去除晶体管 101 的拐角 126 周围的介电层 125 的第一部分,以第二蚀刻速率去除邻近晶体管 101 底部区域 127 的介电层 125 的第二部分,其中第一蚀刻速率大于第二蚀刻速率。

[0035] 在去除介电层 125 例如氮化硅 (SiN) 层的多个部分的某些实施方式中,蚀刻工艺 130 可以用含氟前驱体例如三氟化氮 (NF_3)、四氟化硅 (SiF_4)、四氟化碳 (CF_4)、氟化甲烷 (CH_3F)、二氟化甲烷 (CH_2F_2)、三氟化甲烷 (CHF_3)、八氟化丙烷 (C_3F_8)、六氟化乙烷 (C_2F_6)、其它含氟前驱体或上述物质的各种组合;以及含氢前驱体例如氢气 (H_2)、氨气 (NH_3)、肼 (N_2H_4)、叠氮酸 (HN_3)、其他含氢前驱体或上述物质的各种组合。在一些实施方式中,蚀刻工艺 130 可以具有大约每分钟 10 标准立方厘米 (sccm) 和大约每分钟 5 标准升 (slm) 之间的的气体流速;在大约 100 毫托和大约 200 托之间的处理压力;在大约 5 瓦和大约 3,000 瓦之间的射频 (RF) 功率以及大约 100kHz 和大约 64MHz 之间的 RF。在其它的实施方式中,RF 可以在大约 400kHz 和大约 13.67MHz 之间。

[0036] 在一些实施方式中,将 NF_3 、 H_2 和 He 提供给外部等离子体发生器用于产生等离子体,如图 2A 中步骤 210 所述。 NF_3 可以具有大约 50sccm 的流速; H_2 可以具有大约 300sccm 的流速;He 可以具有大约 100sccm 的流速。处理压力是大约 3 托,RF 功率是大约 40 瓦。在一些实施方式中,可以在被配置为执行蚀刻工艺 130 的蚀刻室中产生等离子体。可以按照下述反应式产生等离子体:

[0037] $\text{NF}_3 + \text{H}_2 \rightarrow \text{NH}_x\text{F}_y \text{ (或 } \text{NH}_x\text{F}_y\text{HF)} + \text{HF} + \text{F}$

[0038] 然后将等离子体导入到用于蚀刻氮化硅层的多个部分的蚀刻室中。远程产生的等离子体可以与氮化硅相互作用以产生副产物,例如 $(\text{NF}_4)_2\text{SiF}_6$, 如图 2A 中步骤 220 所述。在一些实施方式中,衬底 100 放置在温度在大约 -100°C 和大约 $1,000^\circ\text{C}$ 之间的基座上方。在其它实施方式中,基座的温度可以为大约 30°C 。期望基座的温度可以促进等离子体与氮化硅的相互作用。在一些实施方式中,等离子体与氮化硅的相互作用可以指蚀刻步骤。蚀刻步骤可以按照如下反应式所述:

[0039] $\text{NH}_x\text{F}_y\text{HF} + \text{SiN} \rightarrow (\text{NF}_4)_2\text{SiF}_6 + \text{N}_2 + \text{NH}_3$

[0040] 然后如图 2A 中步骤 230 所述,副产物 $(\text{NF}_4)_2\text{SiF}_6$ 经受热处理以分解和 / 或升华副产物。在一些实施方式中,可以通过将副产物接近喷头来实现热处理,其中可操作该喷头以提供大约 -50°C 到大约 $1,000^\circ\text{C}$ 之间的处理温度。在一实施方式中,处理温度是大约 180°C 。在其它的实施方式中,热处理可以通过,例如烤箱、炉子、快速热退火 (RTA) 装置、或其它热装置来执行。副产物的分解和 / 或升华可以如下反应式所述:

[0041] $(\text{NF}_4)_2\text{SiF}_6 \rightarrow \text{SiF}_4 + \text{NH}_3 + \text{HF}$

[0042] 再次参见图 1C,基本可以消除介电层 125 的修剪轮廓和 / 或负分布。在一些形成厚度大约 $1,000\text{\AA}$ 的介电层 125 的实施方式中,蚀刻工艺 130 可以将厚度 b 减少大约 14%, 和将厚度 c 减少大约 50%。在形成厚度大约 $600\text{\AA}$ 的氮介电层 125 的其它实施方式中,蚀刻工艺 130 可以减少大约 11% 的厚度 b 和大约 40% 的厚度 c。由于蚀刻工艺 130 可以以比邻近晶体管 101 底部区域 127 的介电层 125 要快的蚀刻速率去除晶体管 101 的拐角 126 周围的介电层 125,蚀刻后的介电层 125a 之间的间隙 (图 1C 所示) 的纵横比小于介电层 125 之间的间隙 (图 1B 所示) 的纵横比。

[0043] 在一些实施方式中,蚀刻工艺 130 可以以比去除厚度 b 快的速率去除厚度 a。对厚度 a 的蚀刻速率与对厚度 b 的蚀刻速率的比率可以是大约 2 : 1 或更高。在其它的实施方式中,该比率可以是 10 : 1 或更高。在一些实施方式中,蚀刻工艺 130 可以以基本等于或快于对厚度 b 的去除速率来去除此厚度。对此厚度的蚀刻速率与对厚度 b 的蚀刻速率的比率可以是大约 1 : 1 更高。在其它的实施方式中,该比例是大约 2 : 1 或更高。

[0044] 在图 1D 中,在蚀刻后的介电层 125a 上方形成介电层 135。介电层 135 可以由,例如氧化物、氮化物、氮氧化物、低 k 介电材料、超低 k 介电材料、其它介电材料或上述物质的各种组合制成。介电层 135 可以通过,例如 CVD 工艺、旋转涂敷工艺、其它适用于形成介电层的方法或上述方法的各种组合形成。由于基本上消除了介电层 125 的修剪轮廓和负分布 (如图 1B 所示),期望介电层 135 可以填充在蚀刻后的介电层 125a 之间的间隙中。

[0045] 再次参见图 1D,晶体管 101 可以是 p 型金属氧化物半导体场效应晶体管 (MOSFET)。蚀刻后的介电层 125a 例如含氮层是水平挤压晶体管栅极 110 的压缩层。蚀刻后的介电层 125a 可以感应晶体管栅极 110 下面的衬底 200 中的晶体管 101 沟道区域中的压缩应变。

[0046] 还发现厚度 b' 可以影响 PMOSFET 的空穴迁移率。厚度 b' 的增加可以预期地提高 PMOSFET 的空穴迁移率。由于蚀刻工艺 130 可能不会充分地蚀刻邻近晶体管 101 底部 127 的介电层 125,蚀刻后的介电层 125 的残余厚度 b' 可以预期地改善 PMOSFET 的空穴迁移率。在一些实施方式中,蚀刻后的介电层 125a 的厚度 b' 可以是大约 $600\text{\AA}$ 或更高。因

此,厚度 b' 可以预期地提高 PMOSFET 的空穴迁移率并同时减小晶体管 101 之间的纵横比。

[0047] 图 1E 是形成在示例性晶体管上方的示例性介电结构的示意截面图。在图 1E 中,介电层 140 和介电层 145 可以连续地形成在晶体管 101 的上方。在一些实施方式中,介电层 140 和 145 是不同的介电层。在其它的实施方式中,介电层 140 和 145 可以相似于上述图 1B 中的介电层 125。在其它的实施方式中,介电层 140 和 145 是 SiC 层 /SiN 层、SiCN 层 /SiN 层、SiCN 层 /SiN 层、BN 层 /SiN 层或上述层的各种组合。

[0048] 在一些实施方式中,上述参照图 1C 描述的蚀刻工艺 130 可以以比去除与晶体管 101 底部区域 127 邻近的介电层 145 的第二部分要快的速率去除晶体管栅极 110 的上表面上方的介电层 145 的第一部分。在其它的实施方式中,蚀刻工艺 130 还可以去除晶体管栅极 110 的上表面上方的介电层 140 的一部分,而基本不去除与晶体管 101 底部区域 127 邻近的介电层。

[0049] 值得注意的是介电层的数量不限于上述的示例性实施方式所描述的。多于两层的介电层可以形成在晶体管 101 的上方,然后将这些介电层进行蚀刻工艺 130 以实现蚀刻后的结构的期望纵横比。还应当注意蚀刻工艺 130 可以包括用于去除介电层 140 和 / 或介电层 145 的多个部分的单一步骤或多个步骤。

[0050] 图 2B 是示出去除氮碳化硅 (SiCN) 层的多个部分的示例性工艺的流程。在一些实施方式中,介电层 125 是氮碳化硅层。已经发现,由于碳的存在, $\text{NF}_3/\text{H}_2/\text{He}$ 前驱体可能不能预期地去除 SiCN 层。在一些实施方式中, SiCN 层可以在,例如,图 2B 中步骤 240 所述的沉积室中被氧化。SiCN 层可以被,例如氧、臭氧、其它含氧气体或上述气体的各种组合氧化。氧化之后, SiCN 中的碳可以预期地被去除, SiCN 层可以基本上被氧化为氮氧化硅 (SiON) 层。

[0051] 再次参见 2B,步骤 250 可以产生含氟等离子体。在一些实施方式中,步骤 250 可以与上述图 2A 中步骤 210 相似。在其它实施方式中,步骤 250 可以用 NF_3/NH_3 前驱体产生含氟等离子体。在其它的实施方式中,步骤 250 可以使用 $\text{NF}_3/\text{H}_2/\text{He}$ 前驱体和 NF_3/NH_3 前驱体产生含氟等离子体。

[0052] 再次参见图 2B,步骤 260 使含氟等离子体与 SiON 层的多个部分相互作用以形成副产物;步骤 270 热处理副产物来分解或升华副产物。在一些实施方式中,步骤 260 和 270 分别与上述图 2A 中的步骤 220 和 230 相似。

[0053] 步骤 270 之后,在蚀刻后的介电层上方可形成介电层。介电层和形成介电层的方法可以与上述结合图 1D 所描述的相似。

[0054] 示例性膜沉积系统

[0055] 可以沉积介电层的沉积系统可以包括高密度等离子体化学气相沉积 (HDP-CVD) 系统、等离子体增强化学气相沉积 (PECVD) 系统、次大气压化学气相沉积 (SACVD) 系统、和热化学气相沉积系统、及其它类型的系统。可以实现本发明实施方式的 CVD 系统的具体实例包括 CENTURA ULTIMA™ HDP-CVD 室 / 系统,和 PRODUCER™ PECVD 室 / 系统例如从加利福尼亚州的圣克拉拉的 Applied Materials 公司可得到的 PRODUCER™ Celera™ PECVD。

[0056] 可以使用本发明示例方法的衬底处理系统的实例包括共同转让的 Lubomirsky 等、2006 年 5 月 30 日提交的,题为“PROCESS CHAMBER FOR DIELECTRIC GAPFILL”的美国临时专利申请 No. 60/803,499 中所示和所述的,所述专利申请的全部内容通过参考引入本发

明中。其它的示例性系统可以包括美国专利 No. 6, 387, 207 和 6, 830, 624 所示和所述, 所述美国专利的全部内容也通过参考引入本发明中。

[0057] 下面参见图 3A, CVD 系统 10 的垂直截面示出, CVD 系统 10 具有包括室壁 15a 和室盖组件 15b 的真空或处理室 15。CVD 系统 10 包括用于向衬底 (未示出) 分散处理气体的气体分配歧管 11, 衬底放置在处理室 15 中心的加热基座 12 上。气体分配歧管 11 可以由导电材料形成, 以用作形成电容等离子体的电极。在处理期间, 衬底 (例如, 半导体晶片) 放置在基座 12 的平坦 (或轻微凸起) 的表面 12a 上。基座 12 可以可控地在低负载 / 无负载位置 (图 3A 所示) 和上方的处理位置 (图 3A 中虚线 14 所示) 之间移动, 所述上方的处理位置非常接近歧管 11。中心板 (未示出) 包括提供晶片位置信息的传感器。

[0058] 通过常规的平坦的、圆形气体分配面板 13a 的穿孔 13b 将沉积和载体气体导入到室 15 中。更具体地, 使沉积处理气体通过入口歧管 11、通过常规的冲孔的阻隔板 42, 然后通过气体分配面板 13a 中的穿孔 13b 流入到室中。

[0059] 在到达歧管 11 之前, 沉积和载体气体从气体源 7 通过气体供应线路 8 进入到混合系统 9 中, 在混合系统 9 中沉积和载体气体混合, 然后送至歧管 11。一般, 每种处理气体的供应线路包括 (i) 可以用于自动或手动关闭流入室中的处理气体流的几个安全关断阀 (未示出), 和 (ii) 测量通过供应线路的气体流量的流量控制器 (未示出)。当在处理中使用有毒气体时, 几个安全关断阀设置在常规结构的每条气体供应线路上。

[0060] CVD 系统 10 中进行的沉积处理可以是热处理或等离子体增强处理。在等离子体增强处理中, RF 电源 44 在气体分配面板 13a 和基座 12 之间供应电力, 以在面板 13a 和基座 12 之间的柱状区域内激励处理气体混合物来形成等离子体。(该区域将称为“反应区域”)。等离子体成分起反应以在基座 12 上支撑的半导体晶片表面上沉积期望的膜。RF 电源 44 是混频 RF 电源, 一般供应 13.56MHz 的高 RF 频率 (RF1) 和 360KHz 的低 RF 频率 (RF2) 的电力来增强导入到真空室 15 中的反应粒种的分解。在热处理中, 不需使用 RF 电源 44, 处理气体混合物发生热反应以在支撑在基座 12 上的半导体晶片的表面上沉积期望的膜, 其中将处理气体混合物进行电阻加热来为反应提供热能。

[0061] 在等离子体增强沉积处理期间, 等离子体加热整个处理室 10, 处理室 10 包括围绕废气排出通道 23 和关断阀 24 的室主体的壁 15a。当等离子体没有导通时或没有处于热沉积处理期间, 热的液体循环通过处理室 15 的壁 15a, 以维持室在提高的温度下。未示出剩余处理室壁 15a 中的通道。用于加热室壁 15a 的流体包括典型流体类型, 即水基乙二醇或油基传热流体。这种加热 (指通过“热交换”加热) 可以有利地减少或消除不期望的反应产物的凝聚并促进了处理气体挥发产物的消除和可能污染处理的其他污染物的消除 (这些物质本来会凝聚在冷却真空通道的壁上并在没有气体流过期间迁移回到处理室中)。

[0062] 残余的没有沉积到层中的气体混合物, 包括反应副产物, 通过真空泵 (未示出) 从室 15 中排出。具体地, 气体通过围绕反应区域的环形、槽状孔排出, 并进入环形排气压力通风部 17。通过在室的柱形侧壁 15a 的顶部 (包括壁上的上部的介电衬套 19) 与圆形室盖 20 的底部之间的间隙来限定环形槽 16 和压力通风部 17。对于在晶片上方获得均匀的处理气体流以在晶片上沉积均匀的膜, 槽孔 16 和压力通风部 17 的 360 度可循环、均匀性和一致性是非常重要的。

[0063] 排气压力通风部 17 的横向扩展部分 21 下面的气流, 从排气压力通风部 17, 通过检

视端口（未示出），通过向下延伸的气体通道 23，通过真空关断阀 24（所述真空关断阀主体与较下方的室壁 15a 集成在一起），进入通过前级管道（foreline）（未示出）与外部真空泵（未示出）相连的排出口 25。

[0064] 利用内嵌单回路的内置式加热器元件来电阻加热基座 12 的晶片支撑浅盘（优选铝、陶瓷或上述物质的组合），该加热器元件被构造为以两个并行同心圆环的形式绕两个整圈。加热器元件的外部趋向邻近于支撑浅盘的周缘，同时内部在具有较小半径的同心圆环的路径上。通往加热器元件的布线经过基座 12 的基杆（stem）。

[0065] 一般，任何或所有的室衬套、气体入口歧管面板和各种其它反应器硬件由例如铝、阳极氧化铝或陶瓷制成。这种 CVD 装置的实例如共同转让的 Zhao 等、题为“CVD PROCESSING CHAMBER”的美国专利 No. 5, 558, 717 所描述的，所述美国专利的全部内容通过参考引入本发明中。

[0066] 随着通过机械手刀片（未示出）经室 10 一侧的插入 / 去除开口 26 将晶片移入 / 移出室 15 的主体，升降机械装置和电动机 32（图 3A）提升和降低加热器基座组件 12 及加热器基座组件 12 的晶片升降针 12b。电动机 32 在处理位置 14 和较低的晶片加载位置之间提升和降低基座 12。连接至供应线路 8 的电动机、阀或流量控制器，气体传递系统，节流阀，RF 电源 44，以及室和衬底加热系统均由系统控制器通过控制线路 36 控制，在图中仅示出了其中的一些。控制器 34 根据光学传感器的反馈来确定可移动机械组件例如节流阀和衬托器（susceptor）在控制器 34 的控制下由适当的电动机移动的位置。

[0067] 在示例性实施方式中，系统控制器包括硬盘驱动器（存储器 38）、软盘驱动器和处理器 37。处理器包括单板机（SBC）、模拟和数字输入 / 输出板、接口板和步进电机控制板。CVD 系统 10 的各个部分符合欧洲通用模块（Versa Modular European, VME）标准，该标准限定了板、插件架和接连器的尺寸和类型。VME 标准还可以限定具有 16 位数字总线和 24 位地址总线的总线结构。

[0068] 系统控制器 34 控制 CVD 机器的所有活动。系统控制器执行系统控制软件，系统控制软件是存储在计算机可读介质例如存储器 38 中的计算机程序。优选地，存储器 38 是硬盘驱动器，但是存储器 38 还可以是其他类型的存储器。计算机程序包括规定具体工艺的时间、气体混合物、室压力、室温度、RF 功率水平、衬托器位置和其它参数的指令组。还可以使用存储在其它存储装置中，例如，软盘或其它适当的驱动器中的其它计算机程序来操作控制器 34。

[0069] 可以利用通过控制器 34 执行的计算机程序产品来执行在衬底上沉积膜的工艺或清洁室 15 的工艺。可以以任何常规计算机可读程序语言，例如，68000 汇编语言、C、C++、Pascal、Fortran 或其他语言编写计算机程序代码。适当的计算机程序代码利用常规文本编辑器写成单文件或多文件，并存储或包含在计算机可用的媒介，例如计算机存储器系统。如果所输入的代码文本是高级语言形式，编辑代码然后将得到的编译代码与预编译 Microsoft **Window**[®] 的库存程序的目标代码链接。为了执行链接、编译目标代码，系统用户调用目标代码，使计算机系统将该代码加载在存储器中。然后，读取 CPU 并执行代码来执行程序中识别的任务。

[0070] 如图 3B 所示，用户和控制器 34 之间的界面通过 CRT 监视器 50a 和光笔 50b 实现，图 3B 是衬底处理系统中系统监视器和 CVD 系统 10 的简化示意图，衬底处理系统可以包括

一个或多个室。在优选实施方式中,使用两个监视器 50a,一个安装在干净的室壁上用于操作者,另一个在壁的后面用于服务技术员。监视器 50a 同时显示相同的信息,但是仅一个光笔 50b 被使能。光笔 50b 笔尖中的光传感器检测 CRT 显示器发出的光。为了选择具体的显示屏或功能,操作者接触显示屏的指定区域并按下笔 50b 上的按钮。接触区域改变它的高亮颜色,或显示新的菜单或屏,以确认光笔和显示屏之间的通信连接。其它的装置,例如键盘、鼠标或其它指示或通信装置,可以替代或附加于光笔 50b 来使用以允许用户与控制器 34 通信。

[0071] 图 3A 示出安装在处理室 15 的盖组件 15b 上的远程等离子体发生器 60,处理室 15 包括气体分配面板 13a 和气体分配歧管 11。如图 3A 中可以清楚看到的,安装适配器 64 将远程等离子体发生器 60 安装在盖组件 15b 上。适配器 64 一般由金属材料制成。混合装置 70 与气体分配歧管 11(图 3A)的上游侧相连。混合装置 70 包括设置在用于混合气体的混合块的槽 74 内部的混合嵌入物 72。陶瓷绝缘体 66 放置在安装适配器 64 和混合装置 70(图 6A)之间。陶瓷绝缘体 66 可以由陶瓷材料例如 Al_2O_3 (99%纯度)、Teflon®等制成。当安装混合装置 70 和陶瓷绝缘体 66 时,混合装置 70 和陶瓷绝缘体 66 可以形成盖组件 15b 的一部分。陶瓷绝缘体 66 使金属适配器 66 与混合装置 70、气体分配歧管 11 绝缘,以使盖组件 15b 中要形成的辅助等离子体的电势最小化,下面将更加详细描述。三相阀 77 控制直接或通过远程等离子体发生器 60 流向处理室 15 的处理气体流。

[0072] 期望远程等离子体发生器 60 是紧凑的、独立的单元,该单元能够方便地安装在盖组件 15b 上并且容易被改型翻新到现有室上而不需要花费大量金钱和时间去修改。一个适合的单元是 Woburn,Mass 的 Applied Science and Technology 公司市售的 **ASTRON®** 发生器。**ASTRON®** 发生器用低场环形等离子体来离解处理气体。在一个实施方式中,等离子体离解的处理气体包括含氟气体例如 NF_3 和载体气体例如氩,以产生用于清洁处理室 15 中的膜沉积物的自由氟。

[0073] 示例性蚀刻系统

[0074] 可以执行蚀刻处理的蚀刻系统可以包括,例如,加利福尼亚州圣克拉拉的 Applied Materials 公司市售的 SiConi™ Preclean 室 / 系统。

[0075] 图 4 是示例性蚀刻室的示意截面图。蚀刻室 400 可以包括室壁 430。蚀刻室 400 可以包括等离子体分配装置 410 例如向放置在基座 420 上的衬底 100 分散处理等离子体 415 的管、管道和 / 或歧管,基座 420 处于处理室的中心。蚀刻室 400 可以通过等离子体分配装置 410 与等离子体发生器 405 连接。等离子体发生器 405 用以产生等离子体 415。衬底 100 可以通过针 440 可控制地在较低位置 / 接近喷头 450 的较高位置之间移动。衬底 100 可以具有部件 101 和形成在所述部件 101 上方的介电层 125(图 1B 中所示)。

[0076] 在一些实施方式中,等离子体分配装置 410 可以将例如通过上述图 2A 或 2B 中步骤 210 或 250 产生的等离子体 415,分别导入到处理室 400 中。在一些实施方式中,用于蚀刻等离子体 415 的供应线路可以包括 (i) 能够用于自动或手动关闭流入室的处理等离子体流的安全关断阀(未示出),和 (ii) 测量通过供应线路的等离子体 415 的流量的流量控制器(未示出)。

[0077] 再次参见图 4,室壁 430 可以具有充分防止蚀刻剂和 / 或所述室壁上的副产物凝聚的温度。在一些实施方式中,可以操作基座 420 来提供大约 $-100^{\circ}C$ 到大约 $1,000^{\circ}C$ 之间的

期望温度来凝结衬底 100 表面即衬底 100 上方的介电层 125 上的蚀刻剂。然后,蚀刻剂可以预期地与形成在衬底 100 上方的介电层 125 发生相互作用,以产生上述图 2A 或 2B 中产生的副产物。产生副产物之后,针 440 可以升降衬底 100 使所述衬底靠近喷头 450。可以操作喷头 450 来提供大约 -50°C 到大约 $1,000^{\circ}\text{C}$ 之间的处理温度。在一些实施方式中,喷头 450 可以分别进行上述图 2A 或 2B 中的步骤 230 或 270,以分解和 / 或升华副产物从而去除介电层 125 的多个部分。

[0078] 再次参见图 4,可以在蚀刻室 400 中设置至少一个泵通道 460,以预期地去除副产物和 / 或分解气体。泵通道 460 可以与,例如,泵或电动机相连,以预期地去除副产物。在一些实施方式中,泵通道 460 可以具有至少一个孔(未示出),通过孔可以预期地去除副产物。

[0079] 在一些实施方式中,RF 电源(未示出)可以连接等离子体发生器 405 来激励包括含氟前驱体和含氢前驱体的处理气体以形成等离子体 415。可以操作 RF 电源以提供大约 5 瓦和大约 3,000 瓦之间的 RF 功率。RF 电源可以提供大约 100kHz 和大约 64MHz 之间的 RF 频率的功率。

[0080] 系统控制器(未示出)可以控制蚀刻系统的所有活动。系统控制器执行系统控制软件,系统控制软件是存储在计算机可读介质例如存储器中的计算机程序。在一些实施方式中,存储器是硬盘驱动器,但是存储器还可以是其他类型的存储器。计算机程序包括规定具体工艺的时间、气体混合物、室压力、室温度和其它参数的指令组。还可以使用存储在其它存储装置,例如,软盘或其它适当的驱动器中的其它计算机程序来操作控制器。

[0081] 用于蚀刻衬底上方的膜的多个部分的处理可以由上述通过控制器执行的计算机程序产品来实现。可以以任何常规计算机可读程序语言,例如,68000 汇编语言、C、C++、Pascal、Fortran 或其他语言编写计算机程序代码。适当的计算机程序代码利用常规文本编辑器写成单文件或多文件,并存储或包含在计算机可用的媒介,例如计算机存储器系统。如果以高级语言写入代码文本,编辑代码然后将得到的编译代码与预编译 Microsoft **Window**[®] 的库存程序的目标代码链接。为了执行链接、编译目标代码,系统用户调用目标代码,使计算机系统将该代码加载到存储器中。然后,CPU 读取并执行代码来执行程序中识别的任务。

[0082] 由已经说明的几个实施方式,本领域技术人员可以理解在不脱离本发明的精神的条件下,本发明可以有各种修改、替代结构和等效物。另外,为了避免不必要的复杂化本发明,很多熟知的工艺和元件没有描述。因此,上述说明不应当被视为对本发明的范围的限制。

[0083] 在给出数值范围时,可以理解除非上下文清楚地另有规定,还具体公开了在该范围的上限和下限之间的、一直到下限的十分之一单位的每个居间值。在提及范围内的任何提及值或居间值与在提及范围内的任何其它提及值或居间值之间的每个较小范围也包含在本发明中。这些较小范围的上限和下限可以独立地包含在该范围中,或者也可以被该范围排除限,上限和 / 或下限都包含在所述较小范围内的每个范围以及上限和下限都不包含在所述较小范围内的每个范围也包含在本发明中,且受到在提及范围中被具体排除的那些的限制。在提及范围包括上限和 / 或下限时,排除了这些上限 / 下限的任何一个或两者的范围也包含在本发明中。

[0084] 如在说明书或所附权利要求所用的,除非上下文清楚地另行规定,否则名词都包括复数形式。因此,例如“一种方法”包括一个或多个这种方法,“一种前驱体”包括本领域技术人员所熟知的一个或多个前驱体和等效物、等等。

[0085] 而且,当在本说明书或所附权利要求中使用术语“包括”、“包含”等时,意在具体说明提及的部件、整数、成分或步骤,但它们不排除存在或增加一个或多个其它部件、整数、成分、步骤、行为或基团。

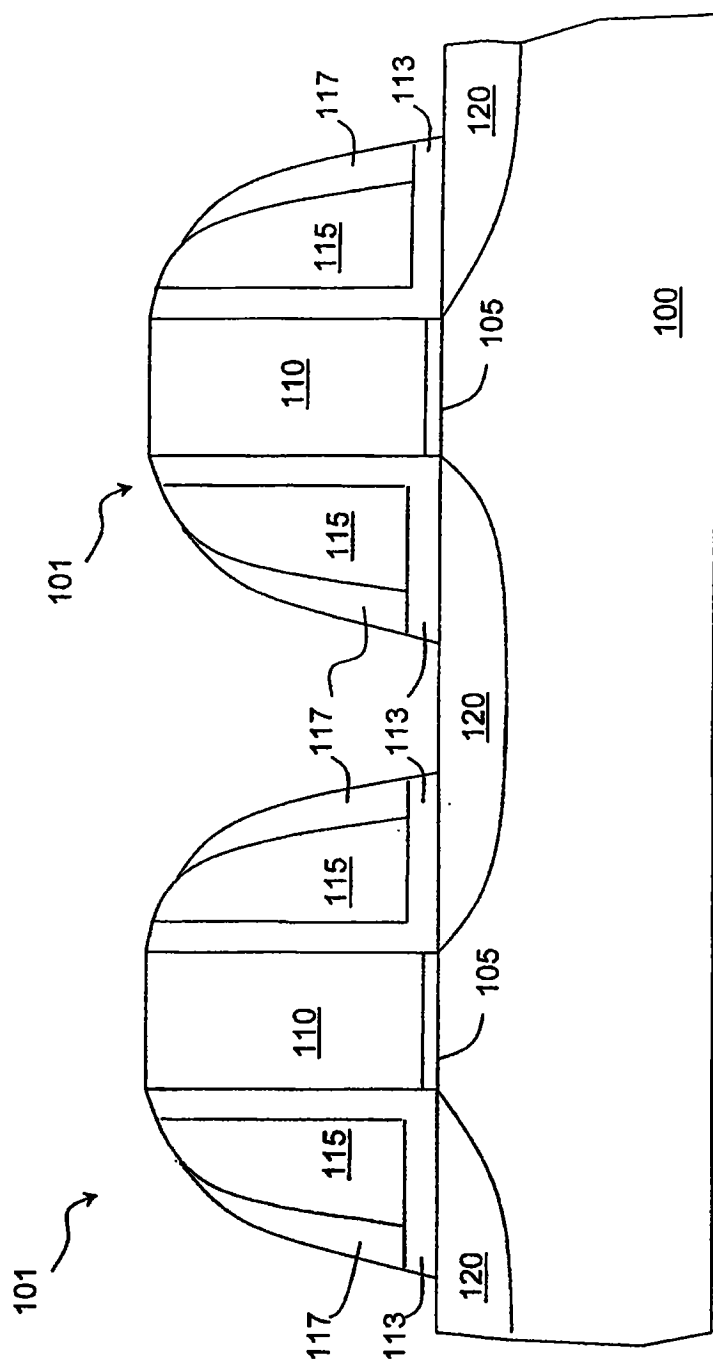


图 1A

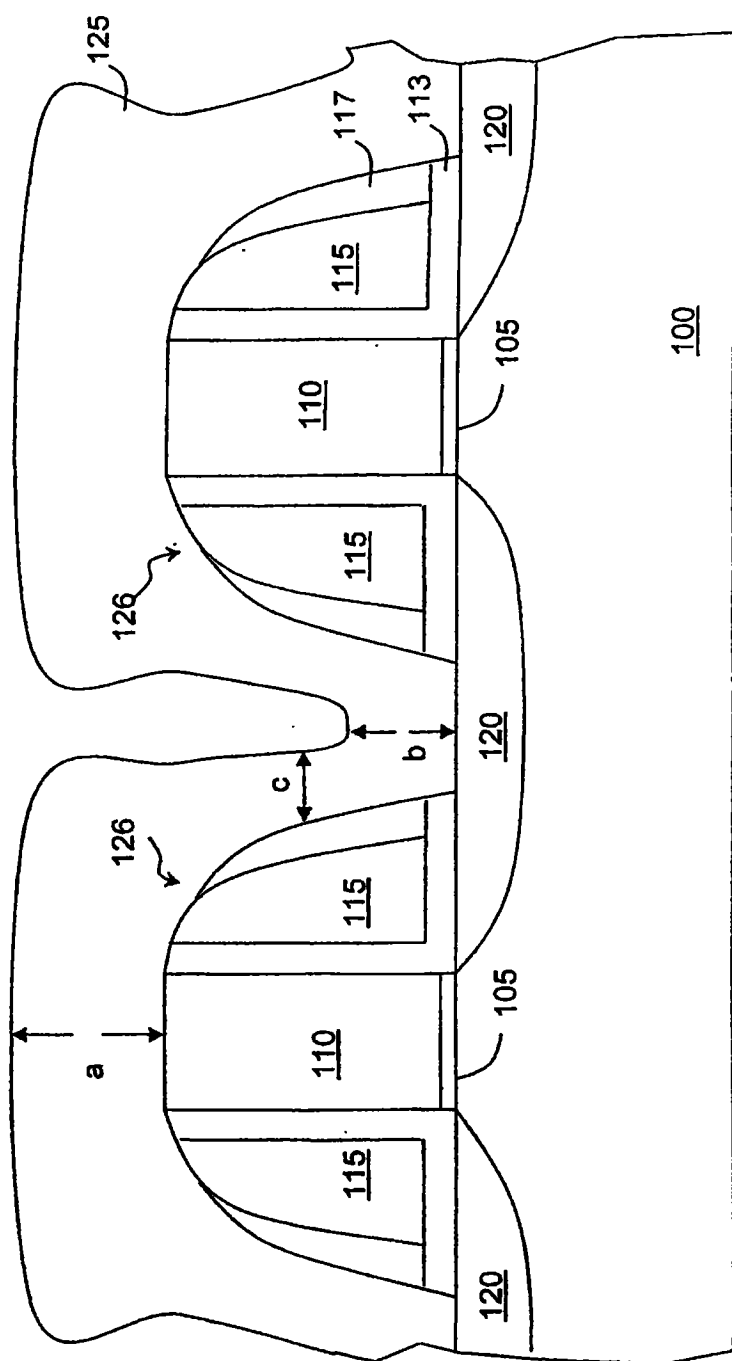


图 1B

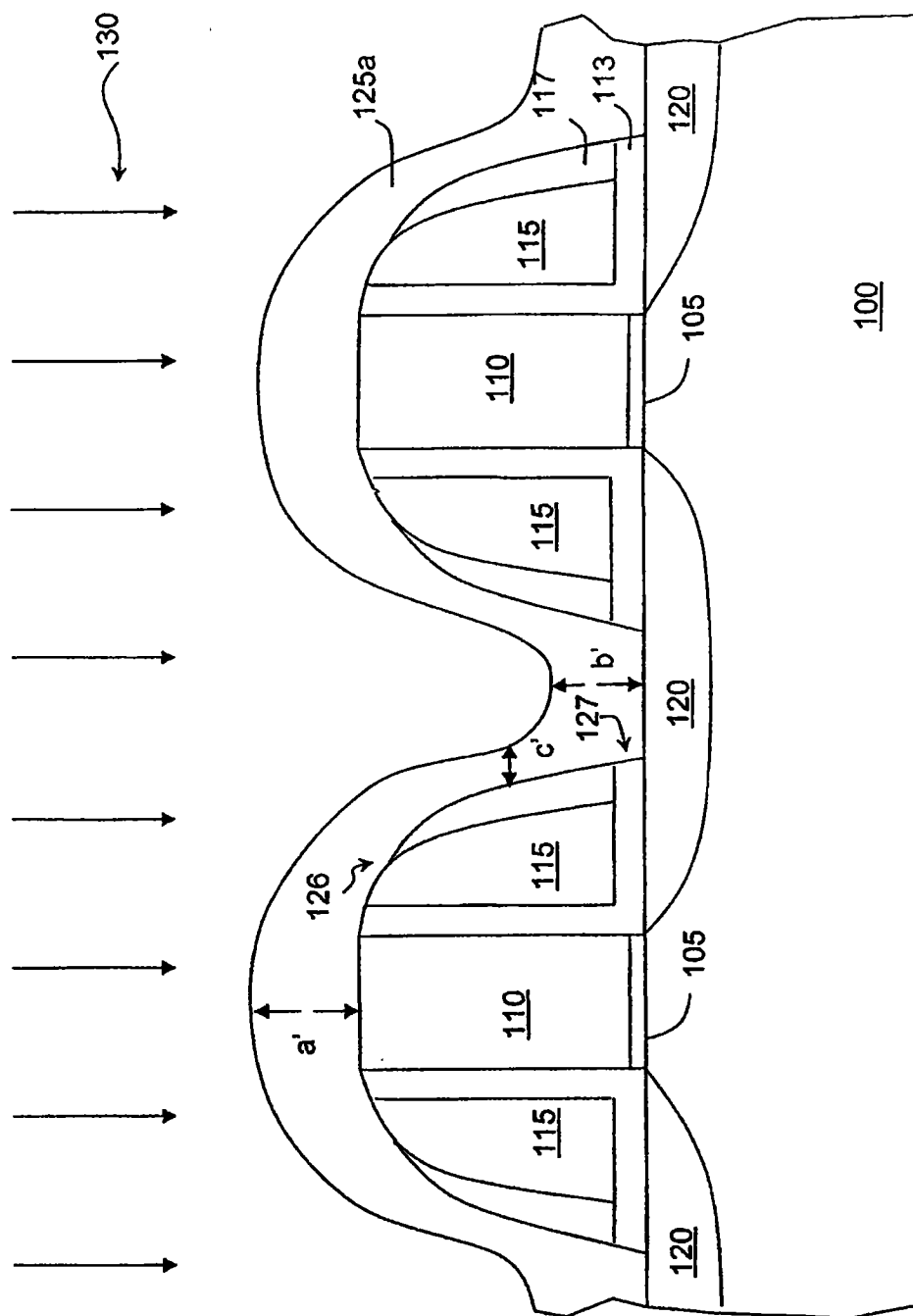


图 1C

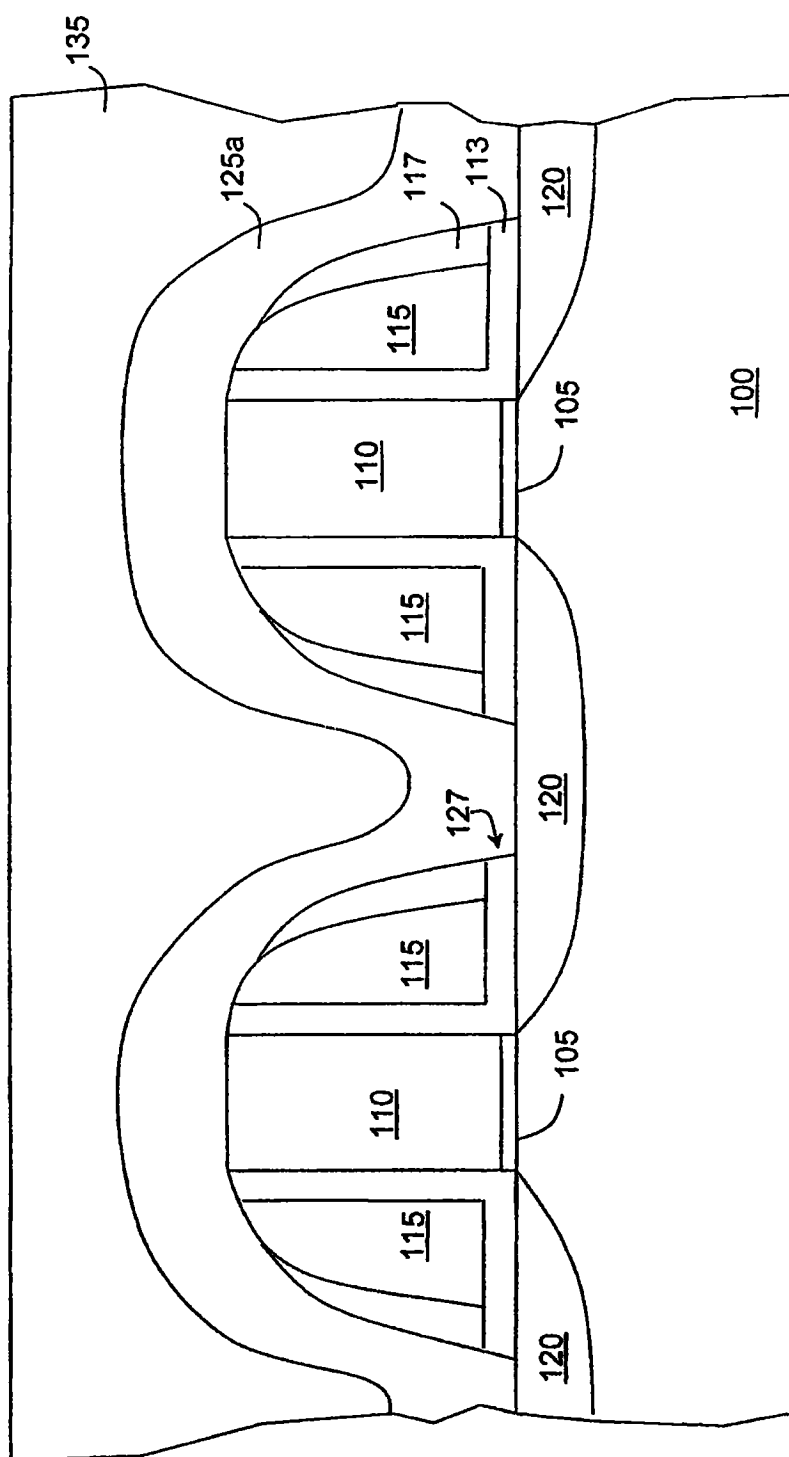


图 1D

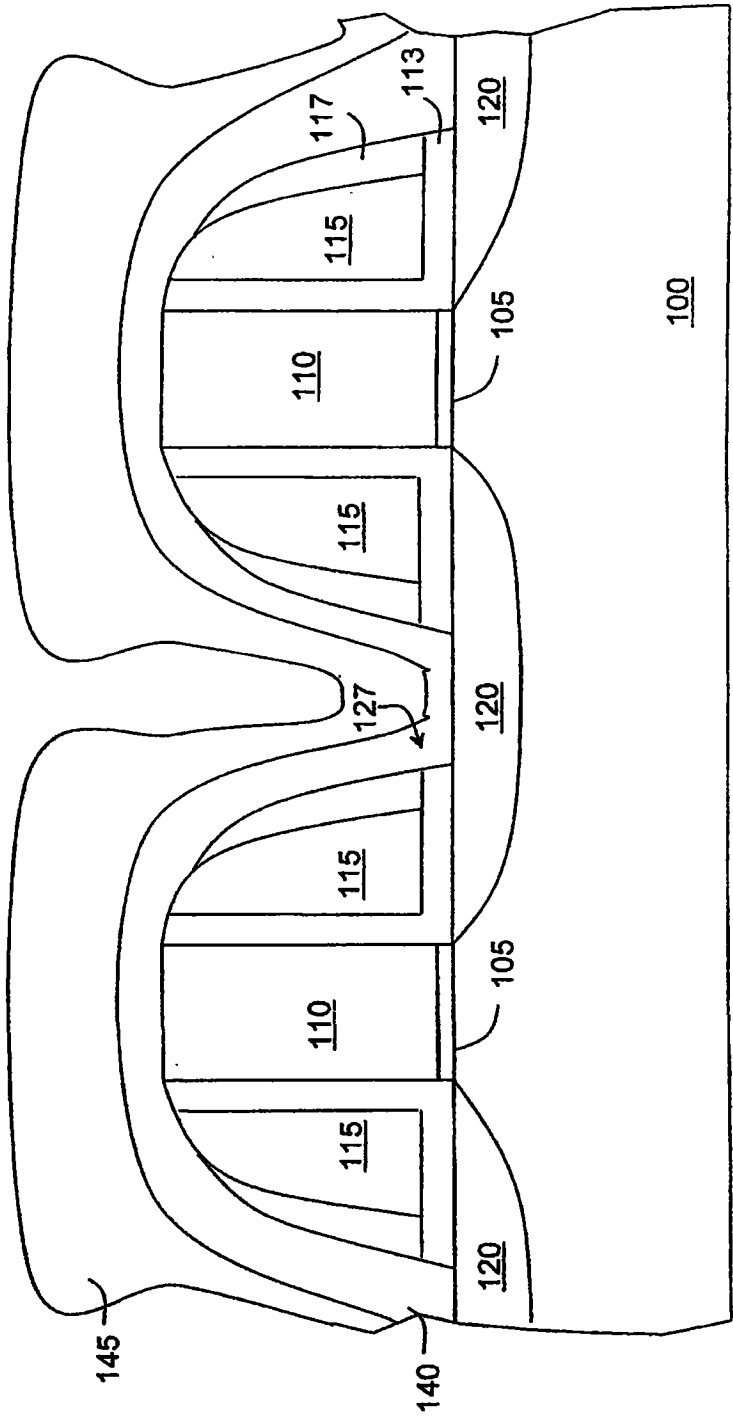


图 1E

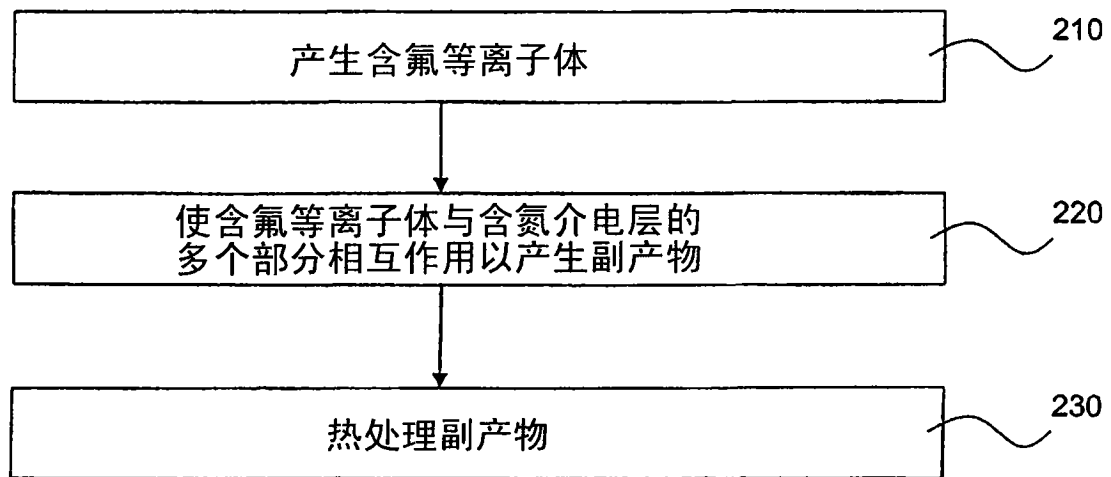


图 2A

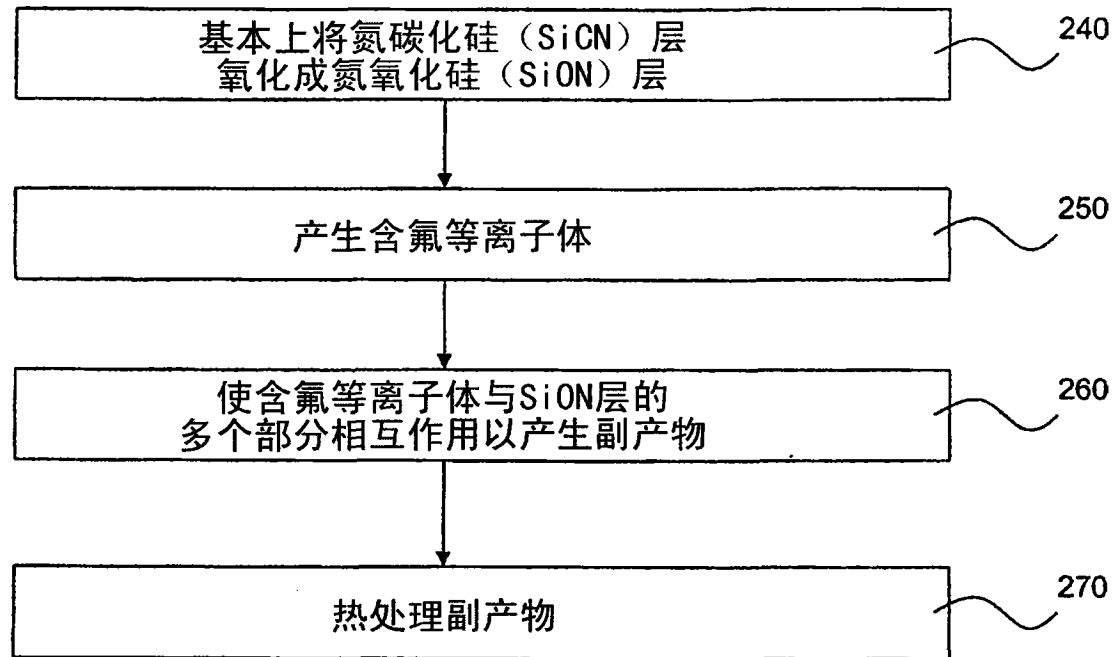


图 2B

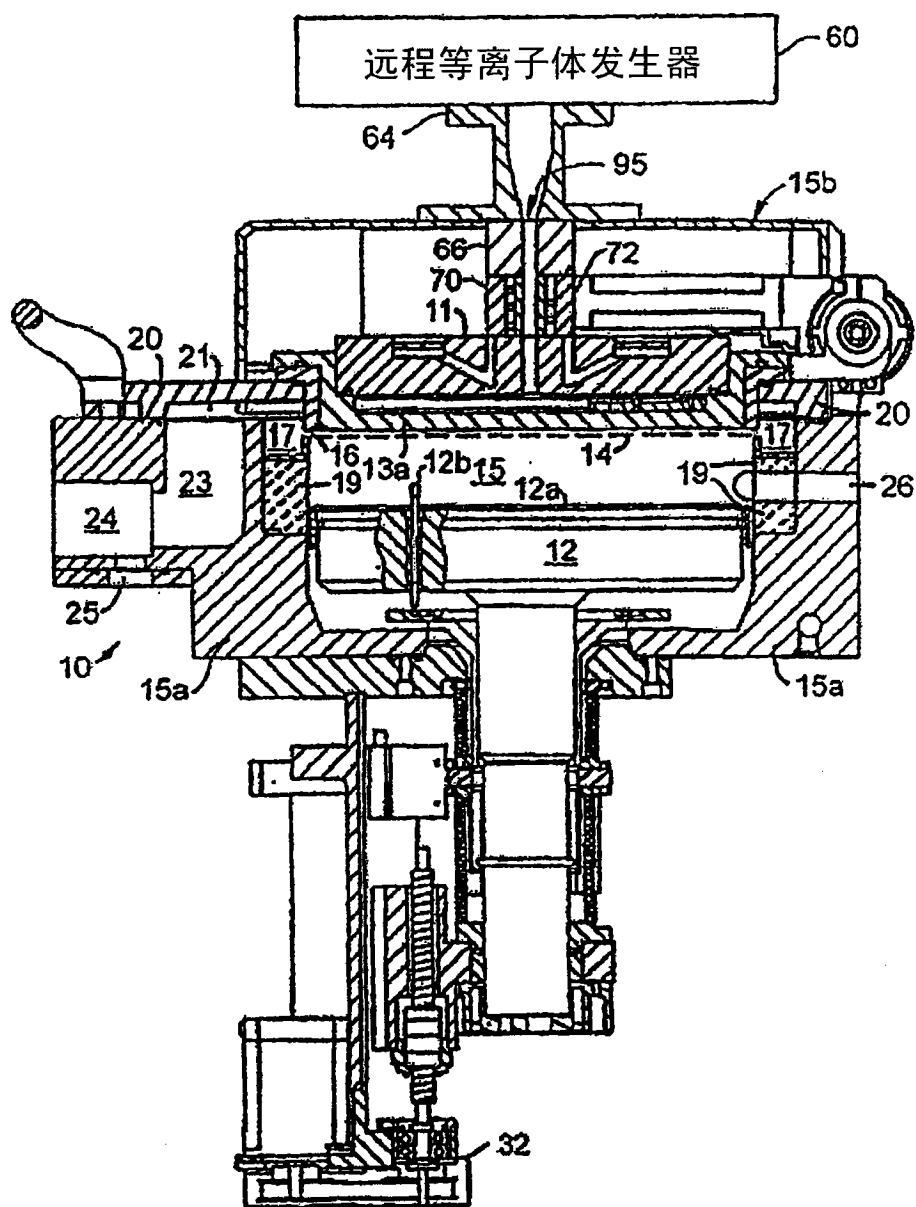


图 3A

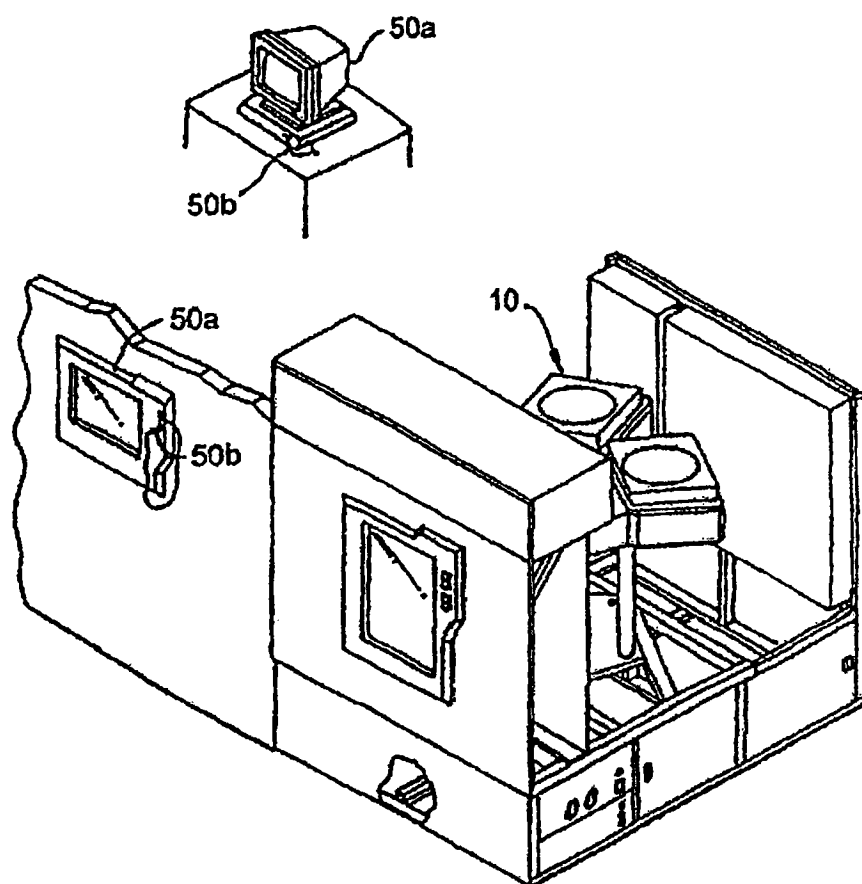


图 3B

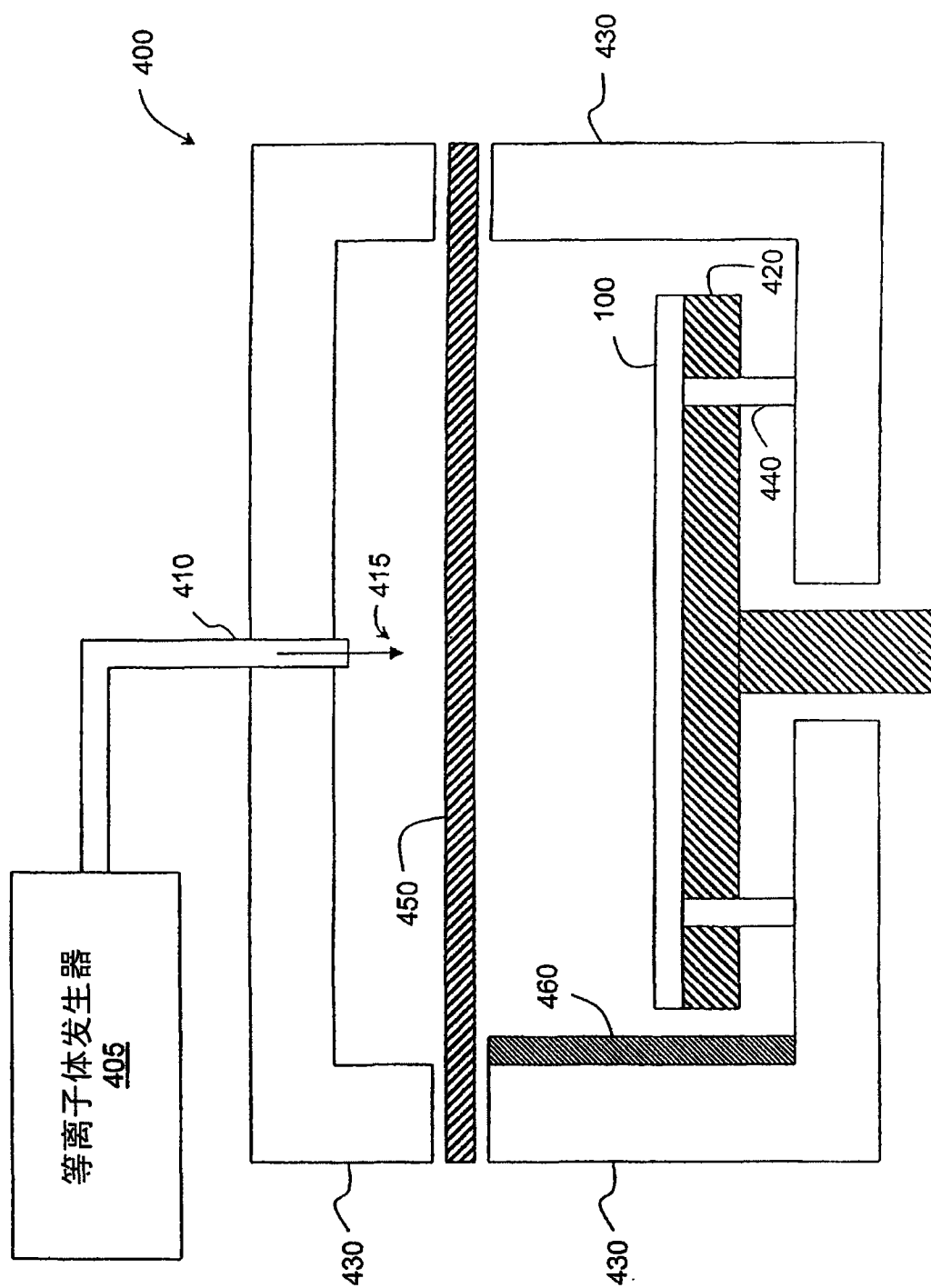


图 4