

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4402202号
(P4402202)

(45) 発行日 平成22年1月20日(2010.1.20)

(24) 登録日 平成21年11月6日(2009.11.6)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 9 F 9/30 (2006.01)

G O 9 F 9/30 3 3 8

G O 9 F 9/35 (2006.01)

G O 9 F 9/35 3 0 7

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 B

請求項の数 17 (全 27 頁) 最終頁に続く

(21) 出願番号 特願平11-182704
 (22) 出願日 平成11年6月29日(1999.6.29)
 (65) 公開番号 特開2001-13525(P2001-13525A)
 (43) 公開日 平成13年1月19日(2001.1.19)
 審査請求日 平成18年6月22日(2006.6.22)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 小濱 健太

(56) 参考文献 特開平10-104663(JP,A)

最終頁に続く

(54) 【発明の名称】 反射型半導体表示装置

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配置された複数の画素TFTおよび複数の前記画素TFTのそれぞれのソース電極またはドレイン電極に電氣的に接続された反射電極を有する画素部と、

nチャネル型TFTを有する駆動回路とを有し、

前記画素TFTおよび前記nチャネル型TFTは、それぞれ第1の導電層で形成されるゲート電極を有し、

前記ゲート電極のそれぞれは、第2の導電層で形成されるゲート配線と接続部で電氣的に接続され、

前記接続部は、前記画素TFTおよび前記nチャネル型TFTの各チャネル形成領域の外側に設けられ、

前記画素TFTのLDD領域は、前記画素TFTのゲート電極と重ならないように配置され、

前記nチャネル型TFTのLDD領域は、前記nチャネル型TFTのゲート電極と重なるように配置され、

前記駆動回路の一部または全部は、前記反射電極の下部に配置され、

前記nチャネル型TFTのソース電極またはドレイン電極にコンタクトホールを介して電氣的に接続される電源線は、前記nチャネル型TFTおよび前記nチャネル型TFTのソース電極またはドレイン電極と、前記反射電極との間に形成されることを特徴とする反射型半導体表示装置。

10

20

【請求項 2】

マトリクス状に配置された複数の画素 T F T および複数の前記画素 T F T のそれぞれのソース電極またはドレイン電極に電氣的に接続された反射電極を有する画素部と、

第 1 の n チャンネル型 T F T と第 2 の n チャンネル型 T F T を有する駆動回路とを有し、

前記画素 T F T 、前記第 1 および前記第 2 の n チャンネル型 T F T は、それぞれ第 1 の導電層で形成されるゲート電極を有し、

前記ゲート電極のそれぞれは、第 2 の導電層で形成されるゲート配線と接続部で電氣的に接続され、

前記接続部は、前記画素 T F T 、前記第 1 および前記第 2 の n チャンネル型 T F T の各チャンネル形成領域の外側に設けられ、

前記画素 T F T の L D D 領域は、前記画素 T F T のゲート電極と重ならないように配置され、

前記第 1 の n チャンネル型 T F T の L D D 領域は、前記第 1 の n チャンネル型 T F T のゲート電極と重なるように配置され、

前記第 2 の n チャンネル型 T F T の L D D 領域は、前記第 2 の n チャンネル型 T F T のゲート電極と少なくとも一部が重なるように配置され、

前記駆動回路の一部または全部は、前記反射電極の下部に配置され、

前記第 1 および前記第 2 の n チャンネル型 T F T のソース電極またはドレイン電極にコンタクトホールを介して電氣的に接続される電源線は、前記第 1 および前記第 2 の n チャンネル型 T F T 、並びに前記第 1 および前記第 2 の n チャンネル型 T F T のソース電極またはドレイン電極と、前記反射電極との間に形成されることを特徴とする反射型半導体表示装置。

【請求項 3】

画素部と駆動回路とを同一の基板上に有し、

前記画素部は、L D D 領域がゲート電極と重ならないように設けられた複数の画素 T F T および複数の前記画素 T F T のそれぞれのソース電極またはドレイン電極に電氣的に接続された反射電極を有し、

前記駆動回路は、L D D 領域がゲート電極と重なるように設けられた第 1 の n チャンネル型 T F T と、L D D 領域の一部がゲート電極と重なるように設けられた第 2 の n チャンネル型 T F T とを有し、

前記画素 T F T のゲート電極と、前記第 1 および前記第 2 の n チャンネル型 T F T のゲート電極は、それぞれ第 1 の導電層で形成され、且つ前記ゲート電極のそれぞれに電氣的に接続されるゲート配線は第 2 の導電層で形成され、

各前記ゲート電極と前記ゲート配線とは、前記画素 T F T 、前記第 1 および前記第 2 の n チャンネル型 T F T のそれぞれのチャンネル形成領域の外側の接続部で電氣的に接続され、

前記駆動回路の一部または全部は、前記反射電極の下部に配置され、

前記第 1 および前記第 2 の n チャンネル型 T F T のそれぞれのソース電極またはドレイン電極にコンタクトホールを介して電氣的に接続される電源線は、前記第 1 および前記第 2 の n チャンネル型 T F T 、並びに前記第 1 および前記第 2 の n チャンネル型 T F T のそれぞれのソース電極またはドレイン電極と、前記反射電極との間に形成されることを特徴とする反射型半導体表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、

前記画素部は、前記画素 T F T のソースまたはドレイン領域に電氣的に接続され一導電型の不純物元素を含む半導体層と、容量配線と、前記半導体層と前記容量配線との間の絶縁膜とで形成される保持容量を有し、

前記容量配線は前記第 1 の導電層と前記第 2 の導電層とで形成されることを特徴とする反射型半導体表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記第 1 の導電層が、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とし、

前記第 2 の導電層が、アルミニウムまたは銅を主成分とすることを特徴とする反射型半導体表示装置。

【請求項 6】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記第 1 の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (A) と、前記導電層 (A) 上に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (B) と、前記導電層 (B) が前記導電層 (A) に接しない領域に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種と窒素とを含む導電層 (C) とを有し、

10

前記第 2 の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層 (D) と、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも 1 種を主成分とする導電層 (E) とを有することを特徴とする反射型半導体表示装置。

【請求項 7】

請求項 6 において、

前記接続部で前記導電層 (C) と前記導電層 (D) が電氣的に接続されていることを特徴とする反射型半導体表示装置。

20

【請求項 8】

請求項 6 または請求項 7 において、

前記導電層 (B) は、前記導電層 (B) 中の酸素濃度が 30 ppm 以下であることを特徴とする反射型半導体表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれかーに記載の反射型半導体表示装置において、表示媒体として液晶を用いる反射型液晶表示装置。

【請求項 10】

請求項 9 に記載の反射型液晶表示装置を有するノートブック型パーソナルコンピュータ。

【請求項 11】

請求項 9 に記載の反射型液晶表示装置を有するビデオカメラ。

30

【請求項 12】

請求項 9 に記載の反射型液晶表示装置を有する携帯情報端末。

【請求項 13】

請求項 9 に記載の反射型液晶表示装置を有するデジタルカメラ。

【請求項 14】

請求項 9 に記載の反射型液晶表示装置を有する携帯書籍。

【請求項 15】

請求項 9 に記載の反射型液晶表示装置を有するデジタルビデオディスクプレーヤー。

【請求項 16】

請求項 9 に記載の反射型液晶表示装置を有するフロントプロジェクタ。

40

【請求項 17】

請求項 9 に記載の反射型液晶表示装置を有するリアプロジェクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】

本発明は、反射型の半導体表示装置に関する。特に、その表示媒体に液晶を用いた反射型液晶表示装置に関する。また、特に、反射型のアクティブマトリクス型液晶表示装置に関する。なお、本発明の反射型の半導体表示装置には、その表示媒体に印加電圧に応答して

50

光学的特性が変調され得るその他のいかなる表示媒体（例えば、エレクトロルミネセンス素子等）を用いることもできる。

【 0 0 0 3 】

【従来の技術】

【 0 0 0 4 】

最近安価なガラス基板上に半導体薄膜を形成した半導体装置、例えば薄膜トランジスタ（ＴＦＴ）を作製する技術が急速に発達してきている。その理由は、アクティブマトリクス型液晶表示装置（液晶パネル）の需要が高まってきたことによる。

【 0 0 0 5 】

また、石英基板を利用し多結晶珪素膜でもって薄膜トランジスタを作製するアクティブマトリクス型液晶表示装置が市場に出始めている。この場合、複数の画素ＴＦＴによって構成される画素部と、画素部を駆動する駆動回路とが同一基板上に形成されている。

【 0 0 0 6 】

さらに、レーザーアニール等の技術を利用することにより、ガラス基板上に結晶性珪素膜を形成し薄膜トランジスタを作製する技術も知られている。この技術を利用すると、複数の画素ＴＦＴによって構成される画素部と、画素部を駆動する駆動回路とを同一ガラス基板上に形成することができる。

【 0 0 0 7 】

【発明が解決しようとする課題】

【 0 0 0 8 】

近年、アクティブマトリクス型液晶表示装置がノート型のパーソナルコンピュータに多用されてきている。パーソナルコンピュータの表示装置には、複数のソフトウェアの同時表示や、デジタルカメラからの映像の表示を実現するために多階調の液晶表示装置が要求されている。

【 0 0 0 9 】

さらに、最近では、携帯情報端末、モバイルコンピュータ、カーナビゲーションなどの普及に伴い、小型で、高精細・高解像度・高画質なアクティブマトリクス型液晶表示装置が求められている。

【 0 0 1 0 】

携帯情報端末やモバイルコンピュータ等に用いられるアクティブマトリクス型液晶表示装置はバッテリー駆動を前提としているので、消費電力の小さなものが要求されている。そこで、モバイルコンピュータなどの表示装置として反射型のアクティブマトリクス型液晶表示装置が注目を集めている。反射型の液晶表示装置は透過型の液晶表示装置とは異なり、バックライトを必要としない。このことが低消費電力を実現できる理由の一つである。

【 0 0 1 1 】

また、モバイルコンピュータ等に用いられるアクティブマトリクス型液晶表示装置には、可能な限り小型なものが要求されていることは言うまでもない。

【 0 0 1 2 】

さらに、アクティブマトリクス回路を構成する画素ＴＦＴを駆動するためのソースドライバやゲートドライバ等の駆動回路以外に、他の駆動回路（プロセッサ回路、メモリ回路、Ａ／Ｄコンバータ回路、Ｄ／Ａコンバータ回路、ガンマ補正回路等の各種補正回路およびパルス発振回路等）を同一基板上に組み込むＳＯＰ（システム・オン・パネル）構造が注目を集めている。

【 0 0 1 3 】

ここで、アクティブマトリクス型液晶表示装置の構成の一例を図１５に示す。図１５は、説明の便宜上、アクティブマトリクス型液晶表示装置のアクティブマトリクス基板のみが示されており、対向基板は省略されている。５００１はアクティブマトリクス基板、５００２および５００３はソースドライバ、５００４および５００５はゲートドライバ、５００６は画素部である。なお、アクティブマトリクス基板５００１は、ガラス基板や石英基板などの絶縁基板をベースとしている。

10

20

30

40

50

【 0 0 1 4 】

また、より複雑な構成をとるアクティブマトリクス型液晶表示装置においては、図 1 5 の 5 0 0 7 ~ 5 0 1 0 に示す様な位置に、他の駆動回路が配置されることが検討されている。他の駆動回路回路は、プロセッサ回路の様な複雑なロジック回路やメモリ回路の様な面積の広い回路で構成されるため、駆動回路全体の占有面積は大きくなると予想される。

【 0 0 1 5 】

以上の様に、一般的には 1 枚の絶縁基板上にアクティブマトリクス回路 5 0 0 1、ソースドライバ 5 0 0 2 ならびに 5 0 0 3、ゲートドライバ 5 0 0 4 ならびに 5 0 0 5、および他の駆動回路を配置する構成となる。従って、決められた基板サイズ上で表示領域をできるだけ多く確保するためには、画素部以外の占有面積を可能な限り小さくする必要がある。

10

【 0 0 1 6 】

しかしながら、図 1 5 に示す様な従来構造をとる場合、画素部以外の占有面積を小さくすることには限界があり、このことがアクティブマトリクス型液晶表示装置の小型化を妨げる問題の一つとなっている。

【 0 0 1 7 】

そこで、本出願人による特許出願である特開平 1 0 - 1 0 4 6 6 3 号公報には、上述のドライバ等の占有面積の問題を解決する技術が開示されている。特開平 1 0 - 1 0 4 6 6 3 号公報には、画素部、駆動回路、および他のコントロール回路（他の駆動回路）を 1 枚の絶縁基板上に集積化する反射型のアクティブマトリクス型液晶表示装置を構成するに際し、駆動回路および他のコントロール回路を画素部の領域内に形成する構成が開示されている。

20

【 0 0 1 8 】

特開平 1 0 - 1 0 4 6 6 3 号公報によると、何れの実施例においても、画素部の画素 T F T に接続されている反射画素電極の下部にドライバ回路やコントロール回路を構成する T F T が配置されることが開示されている。また、ドライバ回路やコントロール回路を構成するための配線が B M（ブラックマスク）配線と同じ層に形成される様子が示されている。

【 0 0 1 9 】

しかし、特開平 1 0 - 1 0 4 6 6 3 号公報に開示されている構造では、ドライバ回路やコントロール回路に流れるクロック信号やデータ信号などが B M 配線層に流れ、B M 配線層に生じる電気ノイズが画素電極に悪影響を及ぼすことになる。この電気ノイズが液晶分子の挙動に影響を及ぼすことがあり、表示画像の乱れが生じることがある。

30

【 0 0 2 0 】

また、従来のアクティブマトリクス型液晶表示装置には、次のような問題もあった。

【 0 0 2 1 】

画素 T F T と駆動回路を構成する T F T とでは動作条件が同一でなく、それぞれの T F T に要求される特性は少なからず異なっている。例えば、画素 T F T はスイッチ素子として機能するものであり、液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素 T F T に要求される特性はオフ電流値（T F T がオフ動作時に流れるドレイン電流）を十分低くすることである。一方、駆動回路のバッファ回路は高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高めておく必要がある。また電流駆動能力を高めるために、オン電流値（T F T がオン動作時に流れるドレイン電流）を十分確保する必要がある。

40

【 0 0 2 2 】

オフ電流値を低減するための T F T の構造として、低濃度ドレイン（L D D : Lightly Doped Drain）構造が知られている。この構造はチャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域またはドレイン領域との間に低濃度に不純物元素を添加した領域を設けたものであり、この領域を L D D 領域と呼んでいる。また、ホットキャリ

50

アによるオン電流値の劣化を防ぐための手段として、LDD領域をゲート絶縁膜を介してゲート電極と重ねて配置させた、いわゆるGOLD (Gate-drain Overlapped LDD) 構造が知られている。このような構造とすることで、ドレイン近傍の高電界が緩和されてホットキャリア注入を防ぎ、劣化現象の防止に有効であることが知られている。

【0023】

一方、アクティブマトリクス型液晶表示装置の商品としての価値を高めるために、画面の大型化および高精細化が要求がなされている。しかし、画面の大型化および高精細化により走査線（ゲート配線）の数が増えその長さも増大するので、ゲート配線の低抵抗化がより必要となる。すなわち走査線が増えるに従って液晶への充電時間が短くなり、ゲート配線の時定数（抵抗×容量）を小さくして高速で応答させる必要がある。例えば、ゲート配線を形成する材料の比抵抗が $100\ \mu\text{cm}$ の場合には画面サイズが6インチクラスがほぼ限界となるが、 $3\ \mu\text{cm}$ の場合には27インチクラス相当まで表示が可能とされている。

10

【0024】

しかしながら、画素部の画素TFTと、シフトレジスタ回路やバッファ回路などの駆動回路のTFTとは、その要求される特性は必ずしも同じではない。例えば、画素TFTにおいてはゲートに大きな逆バイアス（nチャンネル型TFTでは負の電圧）が印加されるが、駆動回路のTFTは基本的に逆バイアス状態で動作することはない。また、動作速度に関しても、画素TFTは駆動回路のTFTの $1/100$ 以下で良い。

【0025】

また、GOLD構造はオン電流値の劣化を防ぐ効果は高いが、その反面、通常のLDD構造と比べてオフ電流値が大きくなってしまいう問題があった。従って、画素TFTに適用するには好ましい構造ではなかった。逆に通常のLDD構造はオフ電流値を抑える効果は高いが、ドレイン近傍の電界を緩和してホットキャリア注入による劣化を防ぐ効果は低かった。このように、アクティブマトリクス型液晶表示装置のような動作条件の異なる複数の集積回路を有する半導体表示装置において、全てのTFTを同じ構造で形成することは必ずしも好ましくなかった。このような問題点は、特に結晶質シリコンTFTにおいて、その特性が高まり、またアクティブマトリクス型液晶表示装置に要求される性能が高まるほど顕在化してきた。

20

【0026】

また、大画面のアクティブマトリクス型の液晶表示装置を実現するために、配線材料としてアルミニウム（Al）や銅（Cu）を使用することも考えられるが、耐食性や耐熱性が悪いといった欠点があった。従って、TFTのゲート電極をこのような材料で形成することは必ずしも好ましくなく、そのような材料をTFTの製造工程に導入することは容易ではなかった。勿論、配線を他の導電性材料で形成することも可能であるが、アルミニウム（Al）や銅（Cu）ほど低抵抗な材料はなく、大画面の表示装置を作製することは困難であった。

30

【0027】

そこで、本発明は上記の問題を鑑みてなされたものであり、上述のドライバ等の占有面積の問題を解決し、かつ良好な表示画像を提供することができる大画面可能な反射型液晶表示装置を提供することを目的とする。

40

【0028】

【課題を解決するための手段】

【0029】

本発明は、アクティブマトリクス回路、ソースドライバおよびゲートドライバ等の駆動回路、および他の駆動回路を1枚の絶縁基板上に集積化する反射型のアクティブマトリクス型液晶表示装置を構成するに際し、画素部と駆動回路および他の駆動回路とを重ねさせる。なお、本明細書においては、ソースドライバならびにゲートドライバ等の駆動回路および他の駆動回路をまとめて駆動回路という場合がある。

【0030】

50

本発明の構成はバックライト等からの光の光路（開口部）を確保する必要がある透過型のアクティブマトリクス型液晶表示装置では困難な構成である。なぜならば、透過型のアクティブマトリクス型液晶表示装置の画素部は、その殆どの領域が開口部であり、画素部において透過光量を落とさずに駆動回路を構成するのは困難であるからである。

【 0 0 3 1 】

そこで、本発明はバックライトからの光の光路を確保する必要のない反射型のアクティブマトリクス型液晶表示装置において、光の反射板となる画素電極の下方に駆動回路を配置しようとするものである。

【 0 0 3 2 】

以下に本発明の構成を記載する。

10

【 0 0 3 3 】

請求項 1 に記載の発明によると、

マトリクス状に配置された複数の画素 T F T および前記複数の画素 T F T のそれぞれのソース電極またはドレイン電極に接続された反射電極を有する画素部と、

複数の駆動回路 T F T を有する駆動回路と、

を有する反射型半導体表示装置において、

前記画素 T F T および前記駆動回路 T F T は、第 1 の導電層で形成されるゲート電極を有しており、

前記ゲート電極は、第 2 の導電層で形成されるゲート配線と接続部で電氣的に接触しており、

20

前記接続部は、前記画素 T F T と前記駆動回路の T F T とが有するチャネル形成領域の外側に設けられており、

前記駆動回路の一部または全部は、前記反射電極の下部に配置され、

前記駆動回路の電源線は、前記反射電極と前記前記画素 T F T および前記駆動回路 T F T のソース電極またはドレイン電極との間に形成されることを特徴とする反射型半導体表示装置が提供される。

【 0 0 3 4 】

また、請求項 2 に記載の発明によると、

マトリクス状に配置された複数の画素 T F T および前記複数の画素 T F T のそれぞれのソース電極またはドレイン電極に接続された反射電極を有する画素部と、

30

複数の駆動回路 T F T を有する駆動回路と、

を有する反射型半導体表示装置において、

前記画素 T F T および前記駆動回路 T F T は、第 1 の導電層で形成されるゲート電極を有しており、

前記ゲート電極は、第 2 の導電層で形成されるゲート配線と、前記画素 T F T と前記駆動回路の T F T とが有するチャネル形成領域の外側に設けられた接続部で電氣的に接触しており、

前記画素 T F T の L D D 領域は、前記画素 T F T のゲート電極と重ならないように配置され、

前記駆動回路の第 1 の n チャネル型 T F T の L D D 領域は、前記第 1 の n チャネル型 T F T のゲート電極と重なるように配置され、

40

前記駆動回路の第 2 の n チャネル型 T F T の L D D 領域は、前記第 1 の n チャネル型 T F T のゲート電極と少なくとも一部が重なるように配置されており、

前記駆動回路の一部または全部は、前記反射電極の下部に配置され、

前記駆動回路の電源線は、前記反射電極と前記前記画素 T F T および前記駆動回路 T F T のソース電極またはドレイン電極との間に形成されることを特徴とする反射型半導体表示装置が提供される。

【 0 0 3 5 】

また、請求項 3 に記載の発明によると、

画素部と駆動回路とを同一の基板上に有する反射型半導体表示装置において、

50

前記画素部には、ＬＤＤ領域がゲート電極と重ならないように設けられた画素ＴＦＴおよび前記画素ＴＦＴのそれぞれのソース電極またはドレイン電極に接続された反射電極を有しており、

前記駆動回路には、ＬＤＤ領域の全部がゲート電極と重なるように設けた第１のｎチャネル型ＴＦＴと、ＬＤＤ領域の一部がゲート電極と重なるように設けた第２のｎチャネル型ＴＦＴとを有しており、

前記画素ＴＦＴと、前記第１および第２のｎチャネル型ＴＦＴのゲート電極は、第１の導電層で形成され、前記ゲート電極に接続するゲート配線は第２の導電層で形成され、

前記ゲート電極と前記ゲート配線とは、前記画素ＴＦＴと前記駆動回路のＴＦＴとのチャネル形成領域の外側の接続部で電氣的に接続しており、

前記駆動回路の一部または全部は、前記反射電極の下部に配置され、

前記駆動回路の電源線は、前記反射電極と前記前記画素ＴＦＴおよび前記駆動回路ＴＦＴのソース電極またはドレイン電極との間に形成されることを特徴とする反射型半導体表示装置が提供される。

【００３６】

また、請求項１乃至請求項３のいずれかーにおいて、前記画素部には、前記画素ＴＦＴのソースまたはドレイン領域に接続し一導電型の不純物元素を含む半導体層と、容量配線と、前記半導体層と前記容量配線との間の絶縁膜とで保持容量が形成され、前記容量配線は前記第１の導電層と前記第２の導電層とで形成されるようにしてもよい。

【００３７】

また、請求項１乃至請求項４のいずれかーにおいて、前記第１の導電層が、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも１種を主成分とし、前記第２の導電層が、アルミニウムまたは銅を主成分とするようにしてもよい。

【００３８】

また、請求項１乃至請求項４のいずれかーにおいて、前記第１の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも１種と窒素とを含む導電層（Ａ）と、前記導電層（Ａ）上に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも１種を主成分とする導電層（Ｂ）と、前記導電層（Ｂ）が前記導電層（Ａ）に接しない領域に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも１種と窒素とを含む導電層（Ｃ）とを有し、前記第２の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層（Ｄ）と、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも１種を主成分とする導電層（Ｅ）とを有するようにしてもよい。

【００３９】

また、請求項１乃至請求項４のいずれかーにおいて、前記第１の導電層は、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも１種と窒素とを含む導電層（Ａ）と、前記導電層（Ａ）上に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも１種を主成分とする導電層（Ｂ）と、前記導電層（Ｂ）が前記導電層（Ａ）に接しない領域に形成され、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも１種と窒素とを含む導電層（Ｃ）とを有し、前記第２の導電層は、少なくとも、アルミニウムまたは銅を主成分とする導電層（Ｄ）と、タンタル、タングステン、チタン、モリブデンから選ばれた少なくとも１種を主成分とする導電層（Ｅ）とを有し、前記接続部で導電層（Ｃ）と導電層（Ｄ）が接触しているようにしてもよい。

【００４０】

請求項６または請求項７において、前記導電層（Ｂ）は、添加元素としてアルゴンを含み、かつ、前記導電層（Ｂ）中の酸素濃度が３０ｐｐｍ以下であるようにしてもよい。

【００４１】

【発明の実施の形態】

【００４２】

図１を参照する。図１には、本発明の反射型液晶表示装置のアクティブマトリクス基板の

10

20

30

40

50

上面図が示されている。説明の便宜上、図の一部分は透視図としている。また、説明の便宜上、対向基板は省略されている。

【 0 0 4 3 】

図 1 に示される本発明の反射型液晶表示装置において、101 はアクティブマトリクス基板、102 および 103 はソースドライバ、104 および 105 はゲートドライバ、106 は画素部である。図 1 に示されるように、本発明の反射型液晶表示装置においては、ソースドライバ 102 ならびに 103 およびゲートドライバ 104 ならびに 105 は、画素部 106 の下部に形成されている。

【 0 0 4 4 】

また、図 1 に示される本発明の反射型液晶表示装置は、ソースドライバ 102 の 4 つの端面のうち 2 つはアクティブマトリクス基板の端面に面しているが、残りの端面のうち一つはゲートドライバ 105 に面している。また同様に、ソースドライバ 103 の 4 つの端面のうち 2 つはアクティブマトリクス基板の端面に面しているが、残りの端面のうち一つはゲートドライバ 104 に面している。また同様に、ゲートドライバ 104 の 4 つの端面のうち 2 つはアクティブマトリクス基板の端面に面しているが、残りの端面のうち一つはソースドライバ 102 に面している。また同様に、ゲートドライバ 105 の 4 つの端面のうち 2 つはアクティブマトリクス基板の端面に面しているが、残りの端面のうち一つはソースドライバ 103 に面している。このようなドライバの配置によって、反射型のアクティブマトリクス型液晶表示装置の小型化が実現されている。

【 0 0 4 5 】

また、図 1 においては示していないが、ソースドライバやゲートドライバ以外の他の駆動回路（メモリ、CPU、コントロール回路など）は、ソースドライバおよびゲートドライバが存在する以外の部分に形成されるようにしてもよい。

【 0 0 4 6 】

このような回路配置をとることによって、小型な反射型液晶表示装置が実現できる。

【 0 0 4 7 】

ここで、図 2 を参照する。図 2 には本発明の反射型液晶表示装置のある実施形態の断面図が示されている。基板 200 上に複数の TFT が形成されている。ここでは、画素部を構成する TFT を画素 TFT 204 とし、ソースドライバやゲートドライバ等の駆動回路を構成する TFT を駆動回路 TFT（P チャネル型駆動回路 TFT 201、第 1 の N チャネル型駆動回路 TFT 202 および第 2 の N チャネル型駆動回路 TFT 203）とする。また、205 は保持容量である。

【 0 0 4 8 】

図 2 に示される様に、画素 TFT 202 のドレイン電極 206 に接続された画素電極 207 の下部に、駆動回路 TFT（P チャネル型駆動回路 TFT 201、第 1 の N チャネル型駆動回路 TFT 202 および第 2 の N チャネル型駆動回路 TFT 203）が形成されている。

【 0 0 4 9 】

また、図 2 に示される様に、本発明の反射型液晶表示装置は、駆動回路 TFT（P チャネル型駆動回路 TFT 201、第 1 の N チャネル型駆動回路 TFT 202 および第 2 の N チャネル型駆動回路 TFT 203）の電源線（VDD または GND）が、第 2 層間膜 208 の上部に第 3 配線 209、210 および 211 として形成され、コンタクトホールを介してそれぞれ P チャネル型駆動回路 TFT 201、第 1 の N チャネル型駆動回路 TFT 202 および第 2 の N チャネル型駆動回路 TFT 203 のソースまたはドレイン電極に接続されている。

【 0 0 5 0 】

また、P チャネル型駆動回路 TFT 201、第 1 の N チャネル型駆動回路 TFT 202 および第 2 の N チャネル型駆動回路 TFT 203 をそれぞれ接続したり、回路同士を接続する配線は、TFT のソース・ドレイン配線と同じ層または TFT のゲート配線と同じ層に形成されている。このような構成をとることによって第 3 配線 209、210 および 21

10

20

30

40

50

1には安定した電圧が供給され、クロック信号やデータ信号等の電気信号は供給されない。よって、第3配線209、210および211に供給される電圧によっては電気ノイズが発生しない。よって、第3配線209、210および211は上部の画素電極に及ぼす影響を極力小さくすることができる。

【0051】

また、駆動回路TFTによって構成される回路にクロック信号やデータ信号等の電気信号が供給され、電気ノイズが発生する。しかし、本発明の構成においては、この電気ノイズは安定した電圧が供給される第3配線がシールド線となり、画素電極に影響を及ぼすことはない。よって、数十MHzといったような高周波数のクロック信号によってドライバを駆動する場合でも、ドライバで発生する電気ノイズが画素電極に及ぼす影響を極力小さく

10

【0052】

従って、本願発明によると、画素電極の下方に駆動回路を構成しても、画素電極に及ぼされる電気ノイズによる影響を極力抑えることができるので、良好な表示画像を得ることができる。

【0053】

なお、図2においては、Pチャネル型駆動回路TFT201、第1のNチャネル型駆動回路TFT202および第2のNチャネル型駆動回路TFT203の構造が示されているだけであるが、実際には、複数のNチャネル型駆動回路TFTと複数のPチャネル型駆動回路TFTとが電氣的に接続され様々な回路を構成している。

20

【0054】

ここで、以下の実施例をもって、本発明を更に詳細に説明する。ただし、以下の実施例は、本発明のある実施形態に過ぎず、本発明が以下の実施例に限定されるわけではない。

【0055】

(実施例1)

【0056】

次に、図3～図8を用いて、本実施例の反射型液晶表示装置の作製方法の一例について説明する。

【0057】

図3(A)において、基板1001には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20程度低い温度であらかじめ熱処理しておいても良い。この基板1001のTFT形成表面には、基板1001からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜1002を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を100nm、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を200nmの厚さに積層形成する。

30

【0058】

次に、20～150nm(好ましくは30～80nm)の厚さで非晶質構造を有する半導体膜1003aを、プラズマCVD法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜1002と非晶質シリコン膜1003aとは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。その場合、下地膜を形成した後、一旦大気雰囲気中に晒すことがなくその表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる(図3(A))。

40

【0059】

そして、公知の結晶化技術を使用して非晶質シリコン膜1003aから結晶質シリコン膜1003bを形成する。例えば、レーザー結晶化法や熱結晶化法(固相成長法)を適用す

50

れば良いが、ここでは、特開平 7 - 1 3 0 6 5 2 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 1 0 0 3 b を形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、4 0 0 ~ 5 0 0 で 1 時間程度の熱処理を行い、含有水素量を 5 atom% 以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ（本実施例では 5 5 n m ）よりも 1 ~ 1 5 % 程度減少する（図 1（B））。

【0060】

そして、結晶質シリコン膜 1 0 0 3 b を島状にパターンニングして、島状半導体層 1 0 0 4 ~ 1 0 0 7 を形成する。その後、プラズマ C V D 法またはスパッタ法により 5 0 ~ 1 0 0 n m の厚さの酸化シリコン膜によるマスク層 1 0 0 8 を形成する（図 3（C））。

【0061】

そしてレジストマスク 1 0 0 9 を設け、n チャネル型 T F T を形成することとなる島状半導体層 1 0 0 5 ~ 1 0 0 7 の全面に $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で p 型を付与する不純物元素としてボロン（B）を添加する。このボロン（B）の添加は、しきい値電圧を制御する目的でなされる。ボロン（B）の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン（B）添加は必ずしも必要ではない（図 3（D））。

【0062】

ドライバ等の駆動回路の n チャネル型 T F T の L D D 領域を形成するために、n 型を付与する不純物元素を島状半導体層 1 0 1 0、1 0 1 1 に選択的に添加する。そのため、あらかじめレジストマスク 1 0 1 3 ~ 1 0 1 6 を形成する。n 型を付与する不純物元素としては、リン（P）や砒素（As）を用いれば良く、ここではリン（P）を添加すべく、フォスフィン（ PH_3 ）を用いたイオンドープ法を適用した。形成された不純物領域 1 0 1 7、1 0 1 8 のリン（P）濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域 1 0 1 7 ~ 1 0 1 9 に含まれる n 型を付与する不純物元素の濃度を（ n^- ）と表す。また、不純物領域 1 0 1 9 は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン（P）を添加する（図 4（A））。その後、レジストマスク 1 0 1 3 ~ 1 0 1 6 を除去する。

【0063】

次に、マスク層 1 0 0 8 をフッ酸などにより除去した後、図 3（D）と図 4（A）で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で 5 0 0 ~ 6 0 0 で 1 ~ 4 時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用いる。レーザー光には K r F エキシマレーザー光（波長 2 4 8 n m）を用いる。本実施例では、レーザー光の形状を線状ビームに加工して用い、発振周波数 5 ~ 5 0 H z、エネルギー密度 1 0 0 ~ 5 0 0 m J / c m² として線状ビームのオーバーラップ割合を 8 0 ~ 9 8 % で走査することによって島状半導体層が形成された基板全面を処理する。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。

【0064】

そして、ゲート絶縁膜 1 0 2 0 をプラズマ C V D 法またはスパッタ法を用いて 1 0 ~ 1 5 0 n m の厚さでシリコンを含む絶縁膜で形成する。例えば、1 2 0 n m の厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い（図 4（B））。

【0065】

次に、ゲート電極を形成するために第 1 の導電層を成膜する。この第 1 の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層（A）1 0 2 1 と金属膜から成る導電層（B）1 0 2 2 とを積層させる。導電層（B）1 0 2 2 はタンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素、または前記元素を主

10

20

30

40

50

成分とする合金か、前記元素を組み合わせた合金膜（代表的にはMo-W合金膜、Mo-Ta合金膜）で形成すれば良く、導電層（A）1021は窒化タンタル（Ta₂N₅）、窒化タングステン（W₂N₃）、窒化チタン（TiN）膜、窒化モリブデン（MoN）で形成する。また、導電層（A）1021は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層（B）は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン（W）は酸素濃度を30ppm以下とすることで20μm以下の比抵抗値を実現することができる。

【0066】

導電層（A）1021は10～50nm（好ましくは20～30nm）とし、導電層（B）1022は200～400nm（好ましくは250～350nm）とすれば良い。本実施例では、導電層（A）1021に30nmの厚さの窒化タンタル膜を、導電層（B）1022には350nmのTa膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層（A）1021の下に2～20nm程度の厚さでリン（P）をドーピングしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層（A）または導電層（B）が微量に含有するアルカリ金属元素がゲート絶縁膜1020に拡散するのを防ぐことができる（図4（C））。

【0067】

次に、レジストマスク1023～1027を形成し、導電層（A）1021と導電層（B）1022とを一括でエッチングしてゲート電極1028～1031と容量配線1032を形成する。ゲート電極1028～1031と容量配線1032は、導電層（A）から成る1028a～1032aと、導電層（B）から成る1028b～1032bとが一体として形成されている。この時、後にドライバ等の駆動回路を構成するTFETのゲート電極1029、1030は不純物領域1017、1018の一部と、ゲート絶縁膜1020を介して重なるように形成する（図4（D））。

【0068】

次いで、ドライバのPチャネル型TFETのソース領域およびドレイン領域を形成するために、P型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極1028をマスクとして、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFETが形成される領域はレジストマスク1033で被覆しておく。そして、ジボラン（B₂H₆）を用いたイオンドーピング法で不純物領域1034を形成した。この領域のボロン（B）濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域1034に含まれるP型を付与する不純物元素の濃度を（p⁺）と表す（図5（A））。

【0069】

次に、Nチャネル型TFETにおいて、ソース領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク1035～1037を形成し、N型を付与する不純物元素を添加して不純物領域1038～1042を形成した。これは、フォスフィン（PH₃）を用いたイオンドーピング法で行い、この領域のリン（P）濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域1038～1042に含まれるN型を付与する不純物元素の濃度を（n⁺）と表す（図5（B））。

【0070】

不純物領域1038～1042には、既に前工程で添加されたリン（P）またはボロン（B）が含まれているが、それに比して十分に高い濃度でリン（P）が添加されるので、前工程で添加されたリン（P）またはボロン（B）の影響は考えなくても良い。また、不純物領域1038に添加されたリン（P）濃度は図5（A）で添加されたボロン（B）濃度の1/2～1/3なのでp型の導電性が確保され、TFETの特性に何ら影響を与えること

はなかった。

【0071】

そして、画素マトリクス回路のnチャネル型TF TのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極1031をマスクとして自己整合的にn型を付与する不純物元素をイオンドーブ法で添加する。添加するリン(P)の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ であり、図4(A)および図5(A)と図5(B)で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域1043、1044のみが形成される。本明細書中では、この不純物領域1043、1044に含まれるn型を付与する不純物元素の濃度を(n^{++})と表す(図5(C))。

【0072】

その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファースアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファースアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~800、代表的には500~600で行うものであり、本実施例では550で4時間の熱処理を行った。また、基板1001に石英基板のような耐熱性を有するものを使用した場合には、800で1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができる。

【0073】

この熱処理において、ゲート電極1028~1031と容量配線1032を形成する金属膜1028b~1032bは、表面から5~80nmの厚さで導電層(C)1028c~1032cが形成される。例えば、導電層(B)1028b~1032bがタングステン(W)の場合には窒化タングステン(WN)が形成され、タンタル(Ta)の場合には窒化タンタル(TaN)を形成することができる。また、導電層(C)1028c~1032cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極1028~1031を晒しても同様に形成することができる。さらに、3~100%の水素を含む雰囲気中で、300~450で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0074】

島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留する。勿論、そのような状態でもTF Tを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましい。この触媒元素を除去する手段の一つにリン(P)によるゲッタリング作用を利用する手段がある。ゲッタリングに必要なリン(P)の濃度は図5(B)で形成した不純物領域(n^{+})と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TF Tおよびpチャネル型TF Tのチャネル形成領域から触媒元素をゲッタリングをすることができた(図5(D))。

【0075】

活性化および水素化の工程が終了したら、ゲート配線とする第2の導電膜を形成する。この第2の導電膜は低抵抗材料であるアルミニウム(Al)や銅(Cu)を主成分とする導電層(D)と、にチタン(Ti)やタンタル(Ta)、タングステン(W)、モリブデン(Mo)から成る導電層(E)とで形成すると良い。本実施例では、チタン(Ti)を0.1~2重量%含むアルミニウム(Al)膜を導電層(D)1045とし、チタン(Ti)膜を導電層(E)1046として形成した。導電層(D)1045は200~400nm(好ましくは250~350nm)とすれば良く、導電層(E)1046は50~200(好ましくは100~150nm)で形成すれば良い(図6(A))。

【0076】

そして、ゲート電極に接続するゲート配線を形成するために導電層(E)1046と導電層(D)1045とをエッチング処理して、ゲート配線1047、1048と容量配線1049を形成した。エッチング処理は最初に SiCl_4 と Cl_2 と BCl_3 との混合ガスを用いたドライエッチング法で導電層(E)の表面から導電層(D)の途中まで除去し、その後リン酸系のエッチング溶液によるウェットエッチングで導電層(D)を除去することにより、下地との選択加工性を保ってゲート配線を形成することができる。

【0077】

図17には、図6(C)における、破線A-A'部の上面図が示されている。図17に示される様に、ゲート電極1028および1029はゲート配線1047の一部と重なり、電氣的に接触している様子がわかる。

10

【0078】

第1の層間絶縁膜1050は500~1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線1051~1054と、ドレイン配線1055~1058を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0079】

次に、パッシベーション膜1059として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50~500nm(代表的には100~300nm)の厚さで形成する。この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜1059に開口部を形成しておいても良い(図6(C))。

20

【0080】

その後、有機樹脂からなる第2層間絶縁膜1060を1.0~1.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

30

【0081】

次に、第2層間絶縁膜にコンタクトホールを形成し、ドライバ等の駆動回路を構成するpチャネル型TFTおよびnチャネル型TFTのソースまたはドレイン電極に接続する第3配線1061、1062および1063を形成する(図7)。本実施例においては、第3配線1061、1062および1063には、ソース電極およびドレイン電極と同じ材料が用いられた。また、第3配線1061、1062および1063には、他の金属が用いられても良い。

【0082】

その後、有機樹脂からなる第3層間絶縁膜1064を1.0~1.5μmの厚さに形成する。有機樹脂としては、第2層間絶縁膜と同様の樹脂をもちいることができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。

40

【0083】

そして、第2層間絶縁膜1060および第3層間絶縁膜1064にドレイン配線1058に達するコンタクトホールを形成し、画素電極1065を形成する。本発明の反射型液晶表示装置においては、画素電極は金属膜を用いる。本実施例では、Ti膜を300nmに形成し、その後AlとTiの合金膜を100nmに形成した(図7)。

【0084】

こうして同一基板上に、駆動回路TFTと画素部の画素TFTとを有した基板を完成させることができた。駆動回路にはpチャネル型TFT801、第1のnチャネル型TFT802、第2のnチャネル型TFT803、画素部には画素TFT804、保持容量805

50

が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼んでいる。

【 0 0 8 5 】

次に、上記の工程によって作製されたアクティブマトリクス基板をもとに、反射型液晶表示装置を作製する工程を説明する。

【 0 0 8 6 】

図7の状態のアクティブマトリクス基板に配向膜1066を形成する。本実施例では、配向膜1066にはポリイミドを用いた。次に、対向基板を用意する。対向基板は、ガラス基板1067、透明導電膜からなる対向電極1068、配向膜1069とで構成される。

【 0 0 8 7 】

なお、本実施例では、配向膜には、液晶分子が基板に対して平行に配向するようなポリイミド膜を用いた。なお、配向膜形成後、ラビング処理を施すことにより、液晶分子がある一定のプレチルト角を持って平行配向するようにした。

【 0 0 8 8 】

次に、上記の工程を経たアクティブマトリクス基板と対向基板とを公知のセル組み工程によって、シール材やスペーサ（共に図示せず）などを介して貼り合わせる。その後、両基板の間に液晶1070を注入し、封止剤（図示せず）によって完全に封止する。よって、図8に示すような反射型液晶表示装置が完成する。

【 0 0 8 9 】

なお本実施例では、反射型液晶表示装置がTN（ツイスト）モードによって表示を行うようにした。そのため、偏光板（図示せず）が反射型液晶表示装置の上部に配置された。

【 0 0 9 0 】

駆動回路のpチャンネル型TFT801には、島状半導体層1004にチャンネル形成領域806、ソース領域807a、807b、ドレイン領域808a、808bを有している。第1のnチャンネル型TFT802には、島状半導体層1005にチャンネル形成領域809、ゲート電極1029と重なるLDD領域810（以降、このようなLDD領域をLovと記す）、ソース領域811、ドレイン領域812を有している。このLov領域のチャンネル長方向の長さは0.5～3.0μm、好ましくは1.0～1.5μmとした。第2のnチャンネル型TFT803には、島状半導体層1006にチャンネル形成領域813、LDD領域814、815、ソース領域816、ドレイン領域817を有している。このLDD領域はLov領域とゲート電極1030と重ならないLDD領域（以降、このようなLDD領域をLoffと記す）とが形成され、このLoff領域のチャンネル長方向の長さは0.3～2.0μm、好ましくは0.5～1.5μmである。画素TFT804には、島状半導体層1007にチャンネル形成領域818、819、Loff領域820～823、ソースまたはドレイン領域824～826を有している。Loff領域のチャンネル長方向の長さは0.5～3.0μm、好ましくは1.5～2.5μmである。さらに、容量配線132、149と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT804のドレイン領域826に接続し、n型を付与する不純物元素が添加された半導体層827とから保持容量805が形成されている。図8では画素TFT804をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【 0 0 9 1 】

以上の様に本発明は、画素TFTおよびドライバが要求する仕様に応じて各回路を構成するTFTの構造を最適化し、液晶表示装置の動作性能と信頼性を向上させることを可能とすることができる。さらにゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易とし、ゲート配線を低抵抗材料で形成することにより、配線抵抗を十分低減できる。従って、画素部（画面サイズ）が4インチクラス以上の表示装置にも適用することができる。

【 0 0 9 2 】

（実施例2）

【 0 0 9 3 】

10

20

30

40

50

図 9 を参照する。図 9 には、本発明の反射型液晶表示装置のアクティブマトリクス基板の上面図が示されている。説明の便宜上、図の一部分は透視図としている。また、説明の便宜上、対向基板は省略されている。

【 0 0 9 4 】

図 9 に示される本発明の反射型液晶表示装置において、901 はアクティブマトリクス基板、902 および 903 はソースドライバ、904 はゲートドライバ、905 はデジタルビデオデータ分割回路、906 は画素部、907 は F P C 端子である。

【 0 0 9 5 】

本実施例の反射型液晶表示装置においても、ソースドライバ、ゲートドライバおよびデジタルビデオデータ分割回路等の駆動回路が画素部の画素電極の下部に配置されている。

10

【 0 0 9 6 】

図 10 を参照する。図 10 には、本実施例の反射型液晶表示装置の回路ブロック図が示されている。ソースドライバ 901 は、D F F 回路（レジスタ回路）901 - 1、ラッチ回路 901 - 2、セクタ回路（1）901 - 3、D / A 変換回路 901 - 4、セクタ回路（2）901 - 5 を有している。その他、バッファ回路やレベルシフト回路（いずれも図示せず）を有している。また、説明の便宜上、D / A 変換回路 901 - 4 にはレベルシフト回路が含まれている。

【 0 0 9 7 】

また、903 はゲイトドライバであり、シフトレジスタ回路、バッファ回路、レベルシフト回路等（いずれも図示せず）を有している。

20

【 0 0 9 8 】

画素部 904 は、640 × R G B × 480 の画素を有している。各画素には画素 T F T が配置されており、各画素 T F T のソース領域にはソース信号線が、ゲート電極にはゲート信号線が電氣的に接続されている。また、各画素 T F T のドレイン領域には画素電極が電氣的に接続されている。各画素 T F T は、各画素 T F T に電氣的に接続された画素電極への映像信号（階調電圧）の供給を制御している。各画素電極に映像信号（階調電圧）が供給され、各画素電極と対向電極との間に挟まれた液晶に電圧が印加され液晶が駆動される。

【 0 0 9 9 】

905 はデジタルビデオデータ分割回路（S P C ; Serial-to-Parallel Conversion Circuit と呼ぶこともある）である。905 - R、905 - G、905 - B には、それぞれ、赤、緑、青の映像に対応するデジタルビデオデータが入力される。デジタルビデオデータ分割回路 905 は、外部から入力されるデジタルビデオデータの周波数を 1 / x に落とすための回路である（x は 2 以上の自然数）。外部から入力されるデジタルビデオデータを分割することにより、駆動回路の動作に必要な信号の周波数も 1 / x に落とすことができる。本実施例の液晶表示装置においては、デジタルビデオデータ分割回路 905 は、外部から入力される 80 M H z の 8 ビットデジタルビデオデータを 10 M H z に落としソースドライバに出力する。

30

【 0 1 0 0 】

本実施例の反射型液晶表示装置によると、ソースドライバおよびゲートドライバだけでなく、デジタルビデオデータ分割回路をも画素部の画素電極下部に設けることができる。このように、本発明は、駆動回路の面積が大きいデジタルドライバに特に有利であることがわかる。

40

【 0 1 0 1 】

また、本実施例の反射型液晶表示装置には、イメージセンサ等の素子を一体形成しても良い。

【 0 1 0 2 】

（実施例 3）

【 0 1 0 3 】

図 11 を参照する。図 11 には、本発明の反射型液晶表示装置のアクティブマトリクス基

50

板の上面図が示されている。説明の便宜上、図の一部分は透視図としている。また、説明の便宜上、対向基板は省略されている。

【0104】

図11に示される本発明の反射型液晶表示装置において、1101はアクティブマトリクス基板、1102および1103はソースドライバ、1104、1105および1106はゲートドライバ、1107は画素部、1108はFPC端子である。

【0105】

図11に示すように、本発明の反射型アクティブマトリクス型液晶表示装置においては、比較的自由にドライバ回路を配置することができる。本実施例のドライバの配置によると、アクティブマトリクス回路の駆動を分割し、時分割駆動、多点同時駆動も可能となる。

【0106】

(実施例4)

【0107】

本実施例の反射型液晶表示装置の断面図を図12に示す。本実施例の反射型液晶表示装置においては、アクティブマトリクス基板上に形成されたTFTが逆スタガ型の構造をとっている。

【0108】

基板2001は絶縁表面を有するものであり、ガラス基板、石英基板、プラスチック基板などの絶縁基板の他に、表面に絶縁被膜が形成された金属基板、シリコン基板、或いはセラミック基板などを適用することが可能である。ガラス基板は、例えばコーニング社の#1737基板に代表されるような、低アルカリガラス基板を適用することが望ましい。さらに、その表面に酸化シリコンまたは窒化シリコンを主成分として含む絶縁膜が密接形成されていると好ましい。図12には、この基板2001上に形成された画素部のnチャンネル型TFT2052、保持容量2053、ドライバ等の駆動回路のnチャンネル型TFT2051ならびにpチャンネル型TFT2050が示されている。

【0109】

ゲート電極2002~2005はアルミニウム(Al)、チタン(Ti)、タンタル(Ta)、クロム(Cr)、モリブデン(Mo)、タングステン(W)、ニッケル(Ni)、銅(Cu)から選ばれた一種または複数種の元素を含む材料から形成され、端面がテーパ形状となるようにパターン形成する。また、図示していないが、前記材料の積層構造としても良い。例えば、基板側から窒化タンタル(TaN)とTaの2層構造としても良い。さらに、ゲート電極の表面に陽極酸化法などで酸化物を被覆形成しておいても良い。

【0110】

ゲート電極を覆って形成するゲート絶縁膜は、窒化シリコン膜2006と酸化シリコン膜2007とから形成されている。ここでは2層構造で示したが、1層構造としても良いし、前記材料に限定される必要はない。ゲート絶縁膜の厚さは20~200nm、好ましくは70~150nmとすると良い。

【0111】

基板2001側からゲート電極、ゲート絶縁膜の順に形成した後に、TFTの活性層には結晶性半導体膜を適用し島状にパターン形成する。結晶性半導体膜の作製方法に特に限定はないが、非晶質シリコン膜をレーザー結晶化技術または熱結晶化技術、或いは非晶質シリコンの結晶化を助長する触媒元素を用いる結晶化の技術で作製した結晶性シリコン膜を用いることが最も望ましい。勿論、他の半導体材料で代用することも可能である。活性層の厚さは20~150nm、好ましくは30~75nmで形成する。

【0112】

駆動回路のpチャンネル型TFT2050の活性層には、チャンネル形成領域2009、ソース領域2010、ドレイン領域2011が形成されている。nチャンネル型TFT2051の活性層には、チャンネル形成領域2012、ソース領域2015、ドレイン領域2016、LDD領域2013、2014が形成されている。このLDD領域2013、2014にはn型を付与する不純物元素が $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ の濃度で含まれて

10

20

30

40

50

いる。n型を付与する不純物元素には、半導体技術の分野で周知のものであれば良く、代表的にはリン(P)や砒素(As)などを用いれば良い。LDD領域2013、2014はゲート電極2003とゲート絶縁膜とを介して重なるように設けられたGOLD構造となっている。

【0113】

画素部のnチャンネル型TF T(画素TF T)2052の活性層にはチャンネル形成領域2017、2022、ソースまたはドレイン領域2020、2021、2025、LDD領域2018a、2018b、2019a、2019b、2023a、2023b、2024a、2024bが設けられている。このLDD領域のn型を付与する不純物濃度は $1 \times 10^{17} \sim 2.5 \times 10^{18} \text{ cm}^{-3}$ の範囲にすれば良いが、駆動回路のnチャンネル型TF TのLDD領域2013、2014の不純物濃度よりも $1/2$ から $1/5$ の濃度とするのが好ましい。

10

【0114】

駆動回路のnチャンネル型TF TのLDD領域は、ドレイン近傍の高電界を緩和してホットキャリア注入によるオン電流値の劣化を防ぐことを主な目的として設けるものであり、そのために適したn型を付与する不純物元素の濃度は $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ とすれば良かった。一方、画素部のnチャンネル型TF TのLDD領域は、オフ電流値を低減することを主たる目的とするために設けられる。

【0115】

この駆動回路のnチャンネル型TF Tのゲート電極と重なるLDD領域(以下、Lov領域という。尚、ovはoverlapの意味である。)のチャンネル長方向の長さは、チャンネル長 $3 \sim 8 \mu\text{m}$ に対して $0.5 \sim 3.0 \mu\text{m}$ 、好ましくは $1.0 \sim 1.5 \mu\text{m}$ とすれば良い。また、画素部のnチャンネル型TF Tのゲート電極と重ならないLDD領域(以下、Loffという。尚、offとはoffsetの意味である。)のチャンネル長方向の長さは $0.5 \sim 3.5 \mu\text{m}$ 、代表的には $1.5 \sim 2.5 \mu\text{m}$ とすれば良い。

20

【0116】

チャンネル保護膜2026~2029は酸化シリコン膜などで形成され、図示するように活性層上にそのまま残しても良いが、第1の層間絶縁膜2030を形成する前に除去しても差し支えない。第1の層間絶縁膜2030は、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層構造で形成すれば良い。例えば、窒化酸化シリコン膜2030aと酸化シリコン膜2030bとすることができる。また、第1の層間絶縁膜の膜厚は $500 \sim 1500 \text{ nm}$ とすれば良い。

30

【0117】

第1の層間絶縁膜にはそれぞれのTF Tのソースまたはドレイン領域に達するコンタクトホールが形成され、ソース配線2032、2034、2035とドレイン配線2033、2036が設けられる。図示していないがこの配線をTi膜を 200 nm 、Tiを含有するAl膜を 450 nm 、さらにTi膜を 150 nm の厚さで形成した3層積層構造としても良い。

【0118】

パッシベーション膜2037は、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で $30 \sim 500 \text{ nm}$ 、代表的には $50 \sim 200 \text{ nm}$ の厚さで形成する。さらに、第2の層間絶縁膜2038を約 1000 nm の厚さで形成する。第2の層間絶縁膜はポリイミド、ポリアミド、アクリル、ポリイミドアミド、ベンゾシクロブテンなどの有機樹脂膜を用いて形成すると良い。有機樹脂膜を用いることの利点は、膜の形成法が比較的簡便である点や、比誘電率が低いので寄生容量を低減できる点、さらに平坦性に優れる点などがある。例えば、塗布した後に熱重合するタイプのポリイミドを用いると、 300 程度で形成することができる。尚、上述した以外の有機樹脂膜や、有機系酸化シリコン化合物などを用いることも可能である。

40

【0119】

次に、第2層間絶縁膜2038およびパッシベーション膜2037にコンタクトホールを

50

形成し、ドライバ等の駆動回路を構成するpチャネル型TFTおよびnチャネル型TFTのソースまたはドレイン電極に接続する第3配線2039および2040を形成する。本実施例においては、第3配線2039および2040には、ソース電極およびドレイン電極と同じ材料が用いられた。また、第3配線2039および2040には、他の金属が用いられても良い。

【0120】

その後、有機樹脂からなる第3層間絶縁膜2041を1.0～1.5μmの厚さに形成する。有機樹脂としては、第2層間絶縁膜と同様の樹脂をもちいることができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0121】

そして、第3層間絶縁膜2041、第2層間絶縁膜2038およびパッシベーション膜2037にドレイン配線2036に達するコンタクトホールを形成し、画素電極2042を設ける。本発明の反射型液晶表示装置においては、画素電極は金属膜を用いる。本実施例では、Ti膜を300nmに形成し、その後AlとTiの合金膜を100nmに形成する。

【0122】

2044は対向基板、2045は対向電極、2046、2043は配向膜、2047は液晶である。

【0123】

(実施例5)

【0124】

上記実施例においては、ネマチック液晶を用いたTNモードとして用いられているが、他の表示モードなども用いることができる。

【0125】

さらに、応答速度の速い無しきい値反強誘電性液晶または強誘電性液晶を用いて、本発明のアクティブマトリクス型液晶表示装置を構成してもよい。

【0126】

本発明の反射型液晶表示装置には、TN液晶以外にも様々な液晶を用いることが可能である。例えば、1998, SID, "Characteristics and Driving Scheme of Polymer-Stabilized Monostable FLC Display Exhibiting Fast Response Time and High Contrast Ratio with Gray-Scale Capability" by H. Furue et al.や、1997, SID DIGEST, 841, "A Full-Color Thresholdless Antiferroelectric LCD Exhibiting Wide Viewing Angle with Fast Response Time" by T. Yoshida et al.や、1996, J. Mater. Chem. 6(4), 671-673, "Thresholdless antiferroelectricity in liquid crystals and its application to displays" by S. Inui et al.や、米国特許第5594569号に開示された液晶を用いることが可能である。

【0127】

ある温度域において反強誘電相を示す液晶を反強誘電性液晶という。反強誘電性液晶を有する混合液晶には、電場に対して透過率が連続的に変化する電気光学応答特性を示す、無しきい値反強誘電性混合液晶と呼ばれるものがある。この無しきい値反強誘電性混合液晶は、V字型の電気光学応答特性を示すものがあり、その駆動電圧が約±2.5V程度(セル厚約1μm～2μm)のものも見出されている。

【0128】

ここで、V字型の電気光学応答を示す無しきい値反強誘電性混合液晶の印加電圧に対する光透過率の特性を示す例を図16に示す。図16に示すグラフの縦軸は透過率(任意単位)、横軸は印加電圧である。なお、液晶表示装置の入射側の偏光板の透過軸は、液晶表示装置のラビング方向にほぼ一致する無しきい値反強誘電性混合液晶のスメクティック層の法線方向とほぼ平行に設定されている。また、出射側の偏光板の透過軸は、入射側の偏光板の透過軸に対してほぼ直角(クロスニコル)に設定されている。

【0129】

図 16 に示されるように、このような無しき値反強誘電性混合液晶を用いると、低電圧駆動かつ階調表示が可能となることがわかる。

【0130】

このような低電圧駆動の無しき値反強誘電性混合液晶をアナログドライバを有する液晶表示装置に用いた場合には、画像信号のサンプリング回路の電源電圧を、例えば、5V～8V程度に抑えることが可能となる。よって、ドライバの動作電源電圧を下げることができ、液晶表示装置の低消費電力化および高信頼性が実現できる。

【0131】

また、このような低電圧駆動の無しき値反強誘電性混合液晶をデジタルドライバを有する液晶表示装置に用いた場合にも、D/A変換回路の出力電圧を下げるので、D/A変換回路の動作電源電圧を下げるので、ドライバの動作電源電圧を低くすることができる。よって、液晶表示装置の低消費電力化および高信頼性が実現できる。

10

【0132】

よって、このような低電圧駆動の無しき値反強誘電性混合液晶を用いることは、比較的LDD領域（低濃度不純物領域）の幅が小さなTFE（例えば、0nm～500nmまたは0nm～200nm）を用いる場合においても有効である。

【0133】

また、一般に、無しき値反強誘電性混合液晶は自発分極が大きく、液晶自体の誘電率が高い。このため、無しき値反強誘電性混合液晶を液晶表示装置に用いる場合には、画素に比較的大きな保持容量が必要となってくる。よって、自発分極が小さな無しき値反強誘電性混合液晶を用いるのが好ましい。また、液晶表示装置の駆動方法を線順次駆動とすることにより、画素への階調電圧の書き込み期間（ピクセルフィールドピリオド）を長くし、保持容量が小さくてもそれを補うようにしてもよい。

20

【0134】

なお、このような無しき値反強誘電性混合液晶を用いることによって低電圧駆動が実現されるので、液晶表示装置の低消費電力が実現される。

【0135】

なお、図16に示すような電気光学特性を有する液晶であれば、いかなるものも本発明の反射型液晶表示装置の表示媒体として用いることができる。

【0136】

30

また、本発明の半導体表示装置には、印加電圧に応答して光学的特性が変調され得るその他のいかなる表示媒体を用いてもよい。例えば、エレクトロルミネセンス素子などを用いてもよい。

【0137】

（実施例6）

【0138】

本実施例では、本発明の反射型液晶表示装置にタッチパネルを組み合わせた例を示す。本実施例の反射型液晶表示装置には、上述の実施例の反射型液晶表示装置を用いることができる。

【0139】

40

ここで、図13を参照する。図13には、本実施例で用いるタッチパネルが示されている。図13に示すタッチパネルは、発光素子と受光素子とをパネル周囲に対向して設けられた光学式（又は光電式）のものである。図13（A）は正面図であり、図13（B）は図13（A）の一点鎖線A-A'に沿った断面図である。

【0140】

図13に示すように、パネル3000の1辺に発光素子3100a～3100eがライン状に配列され、これに対向する辺に受光素子3200a～3200eがライン状に配列されている。パネル3000を指で触れると、触れた位置で発光素子3100bからの光が遮断されるため、これに対向している受光素子3200bの出力信号が減少する。即ち、出力信号が減少した受光素子の位置として、指先が触れた位置が検出される。

50

【 0 1 4 1 】

なお、本発明の反射型液晶表示装置に組み合わせて用いられるタッチパネルは、図 1 3 に示される以外のものも用いることができる。

【 0 1 4 2 】

(実施例 7)

【 0 1 4 3 】

本発明の反射型液晶表示装置を表示媒体として組み込んだ電子機器を例に挙げる。

【 0 1 4 4 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図 1 4 に示す。

【 0 1 4 5 】

図 1 4 (A) はパーソナルコンピュータであり、本体 1 1 0 0 1、画像入力部 1 1 0 0 2、本発明の反射型液晶表示装置 1 1 0 0 3、キーボード 1 1 0 0 4 で構成される。

【 0 1 4 6 】

図 1 4 (B) はビデオカメラであり、本体 1 2 0 0 1、本発明の反射型液晶表示装置 1 2 0 0 2、音声入力部 1 2 0 0 3、操作スイッチ 1 2 0 0 4、バッテリー 1 2 0 0 5、受像部 1 2 0 0 6 で構成される。

【 0 1 4 7 】

図 1 4 (C) はモバイルコンピュータ（モービルコンピュータ）であり、本体 1 3 0 0 1、カメラ部 1 3 0 0 2、受像部 1 3 0 0 3、操作スイッチ 1 3 0 0 4、本発明の反射型液晶表示装置 1 3 0 0 5 で構成される。

【 0 1 4 8 】

図 1 4 (D) はデジタルカメラであり、本体 1 4 0 0 1、本発明の反射型液晶表示装置 1 4 0 0 2、接眼部 1 4 0 0 3、操作スイッチ 1 4 0 0 4、受像部（図示しない）で構成される。

【 0 1 4 9 】

図 1 4 (E) は携帯書籍（電子書籍）であり、本体 1 5 0 0 1、本発明の反射型液晶表示装置 1 5 0 0 2、1 5 0 0 3、記憶媒体 1 5 0 0 4、操作スイッチ 1 5 0 0 5、アンテナ 1 5 0 0 6 で構成される。

【 0 1 5 0 】

図 1 5 (F) は映像やプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体 1 6 0 0 1、本発明の反射型液晶表示装置 1 6 0 0 2、スピーカ部 1 6 0 0 3、記録媒体 1 6 0 0 4、操作スイッチ 1 6 0 0 5 で構成される。なお、この装置は記録媒体として DVD (Digital Versatile Disc)、CD 等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

【 0 1 5 1 】

さらに、本発明の反射型液晶表示装置は、フロントプロジェクタまたはリアプロジェクタの表示装置としても用いることが可能である。

【 0 1 5 2 】

以上の様に、本発明の反射型液晶表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【 0 1 5 3 】

【 発明の効果 】

【 0 1 5 4 】

本発明によると、反射型半導体表示装置において、駆動回路を画素部の反射画素電極の下部に形成することができる。しかも、反射電極の下部に形成される駆動回路の電源線を第 3 配線として用いることにより、これらの回路を流れるクロック信号やデータ信号などによる電気ノイズが反射電極に影響を及ぼすことを防ぐことができる。したがって、従来の

10

20

30

40

50

反射型半導体表示装置と比べて、小型にもかかわらず、高精細・高解像度・高画質の反射型半導体表示装置が提供される。

【0155】

さらに、本発明によると、同一基板上に形成された複数の回路が要求する仕様に応じて適切な性能のTFTを配置することが可能となり、その動作特性や信頼性を大幅に向上させることができる。特に、画素部のnチャネル型TFTのLDD領域を n^{++} の濃度でかつLoffのみとして形成することにより、大幅にオフ電流値を低減でき、画素部の低消費電力化に寄与することができる。また、駆動回路のnチャネル型TFTのLDD領域を n^{+} の濃度でかつLovのみとして形成することにより、電流駆動能力を高め、かつ、ホットキャリアによる劣化を防ぎ、オン電流値の劣化を低減することができる。よって、本発明の反射型半導体表示装置の動作性能と信頼性も向上させることができる。

10

【0156】

さらに画素TFTおよび駆動回路のTFTのゲート電極を耐熱性の高い導電性材料で形成し、ゲート電極に接続するゲート配線をアルミニウム(Al)などの低抵抗材料で形成することで、上記のような良好なTFT特性を実現し、そのようなTFTを用いて4インチクラス以上の大画面の反射型半導体表示装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明の反射型半導体表示装置のアクティブマトリクス基板の上面図である。

【図2】 本発明の反射型半導体表示装置の断面図である。

【図3】 本発明の反射型半導体表示装置の一作製方法の工程図である。

20

【図4】 本発明の反射型半導体表示装置の一作製方法の工程図である。

【図5】 本発明の反射型半導体表示装置の一作製方法の工程図である。

【図6】 本発明の反射型半導体表示装置の一作製方法の工程図である。

【図7】 本発明の反射型半導体表示装置のある実施形態のアクティブマトリクス型液晶表示装置の一作製方法の工程図である。

【図8】 本発明の反射型半導体表示装置のある実施形態のアクティブマトリクス型液晶表示装置の一作製方法の工程図である。

【図9】 本発明の反射型半導体表示装置のアクティブマトリクス基板の上面図である。

【図10】 本発明の反射型半導体表示装置の回路ブロック図である。

【図11】 本発明の反射型半導体表示装置のアクティブマトリクス基板の上面図である

30

。【図12】 本発明の反射型半導体表示装置の断面図である。

【図13】 本発明の反射型半導体表示装置に組み合わせて用いられるタッチパネルの上面図および断面図である。

【図14】 本発明の反射型半導体表示装置を用いた電子機器の例である。

【図15】 従来の反射型液晶表示装置の上面図である。

【図16】 V字型の電気光学特性を示す反強誘電性液晶の印加電圧 - 透過率特性を示すグラフである。

【図17】 本発明の反射型半導体表示装置の一部の上面図である。

40

【符号の説明】

101 アクティブマトリクス基板

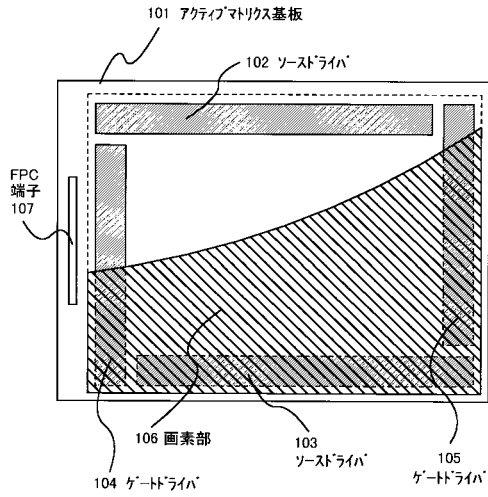
102、103 ソースドライバ

104、105 ゲートドライバ

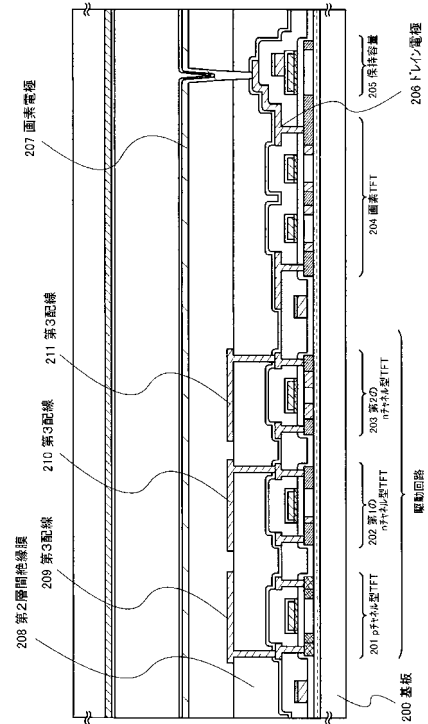
106 画素部

107 FPC端子

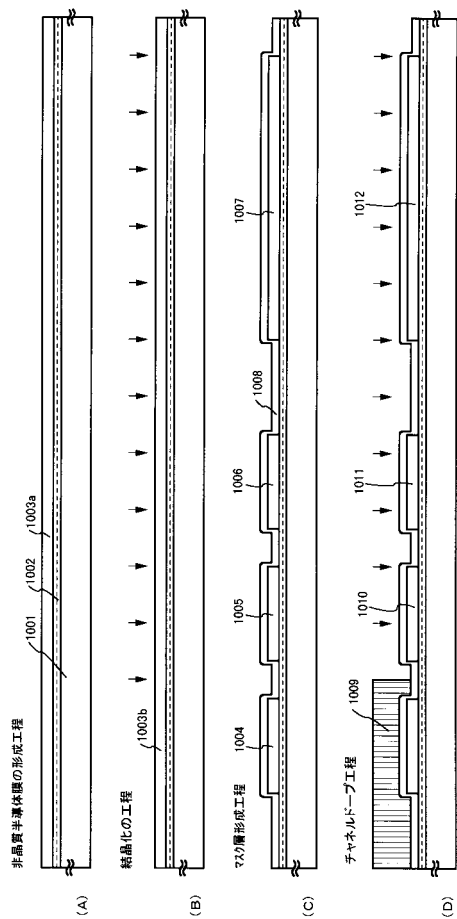
【 図 1 】



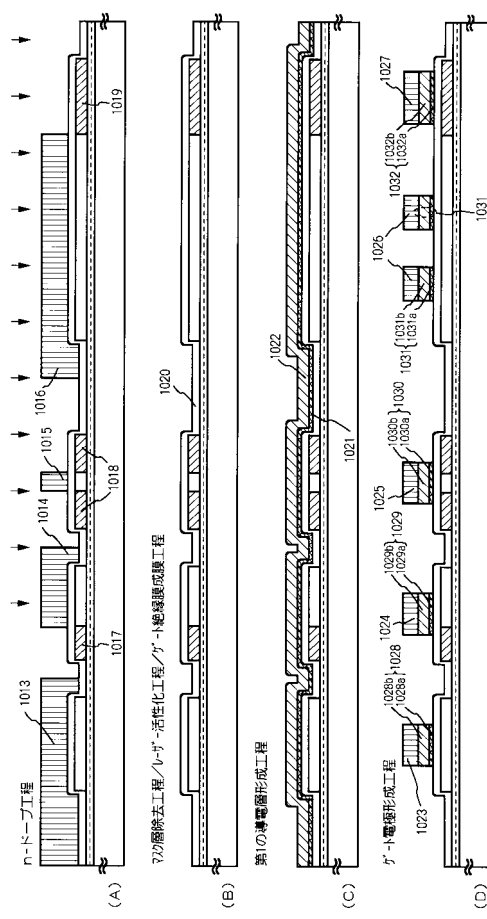
【 図 2 】



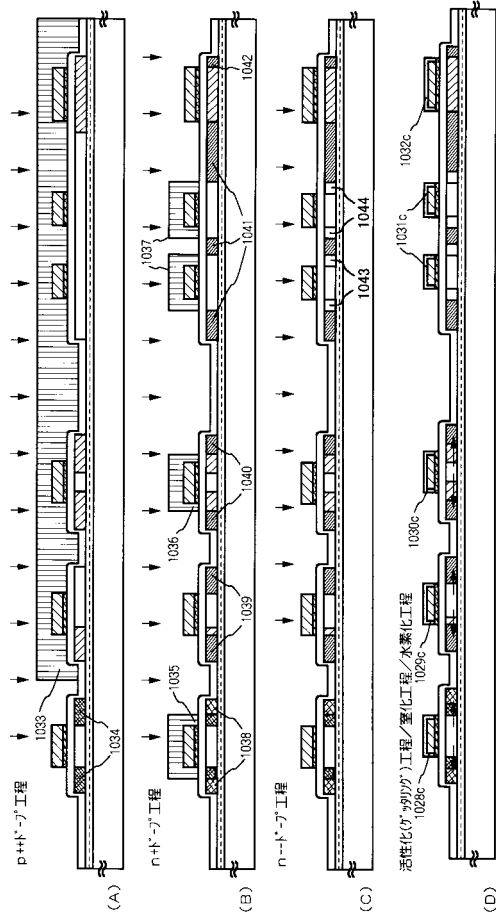
【 図 3 】



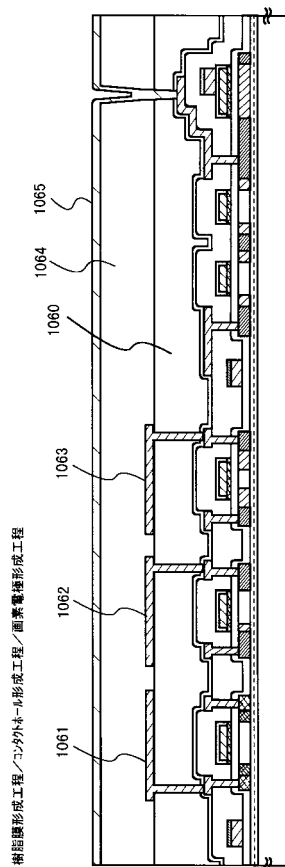
【 図 4 】



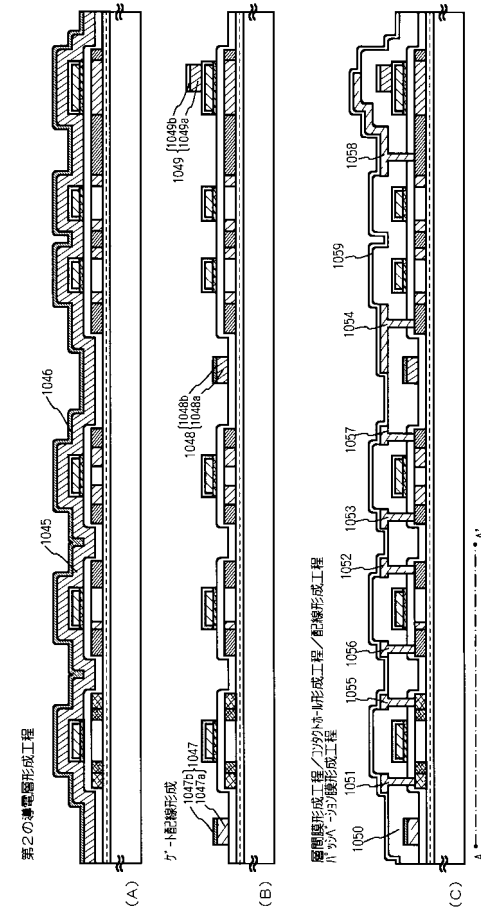
【図 5】



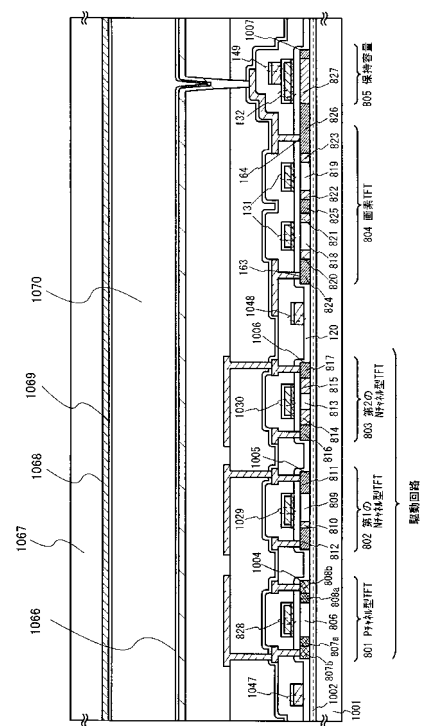
【図 7】



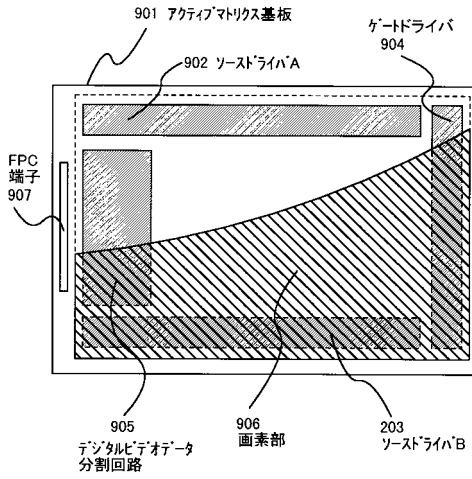
【図 6】



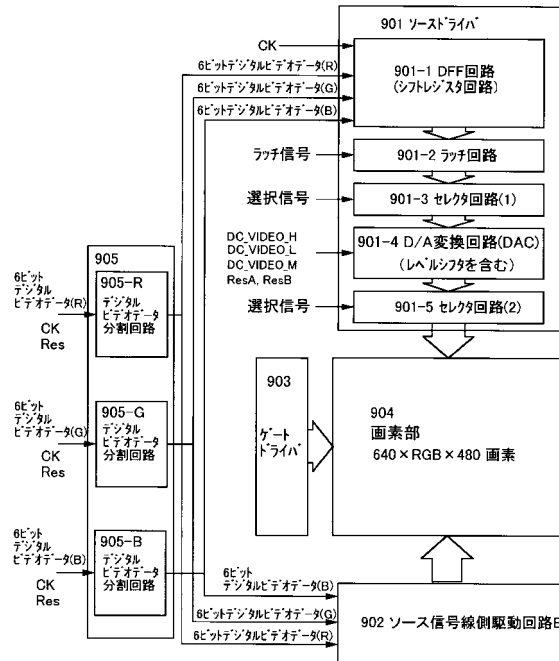
【図 8】



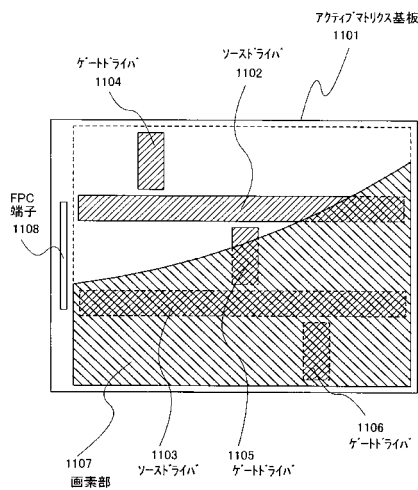
【図 9】



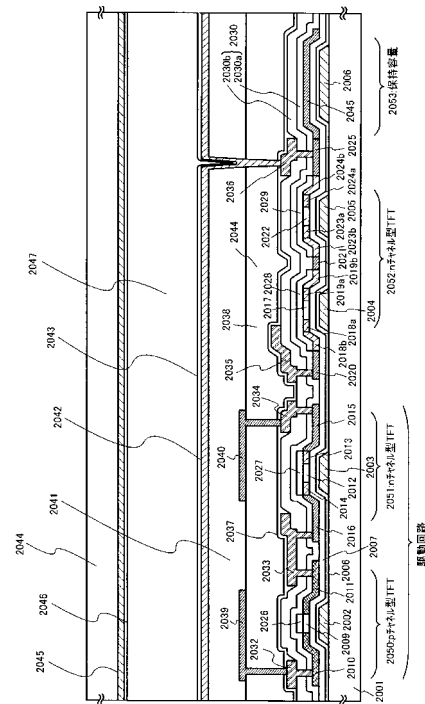
【図 10】



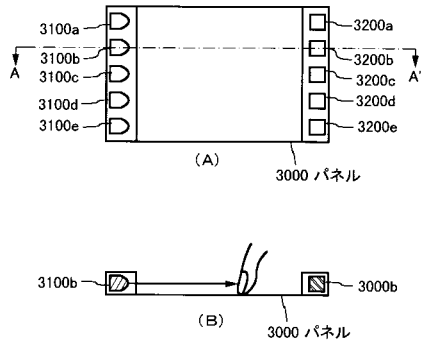
【図 11】



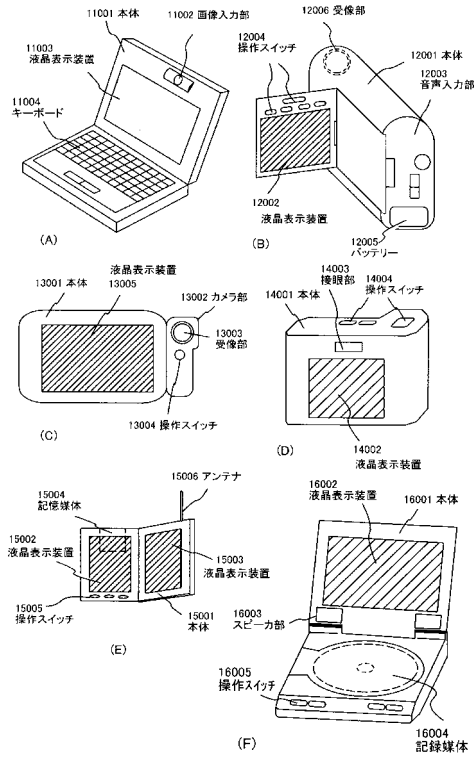
【図 12】



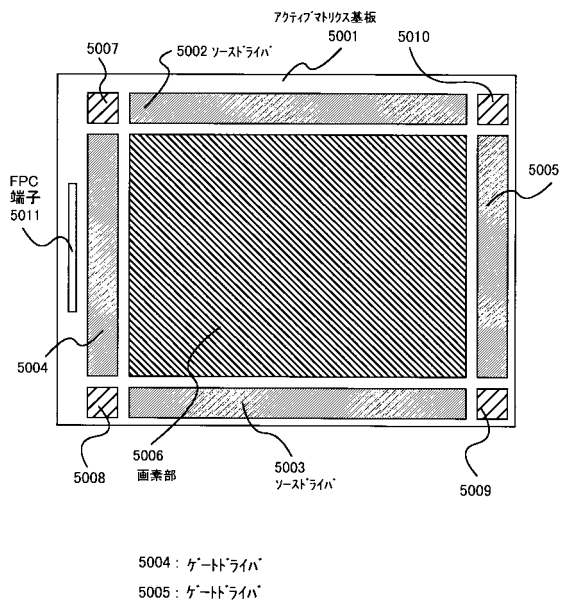
【図 13】



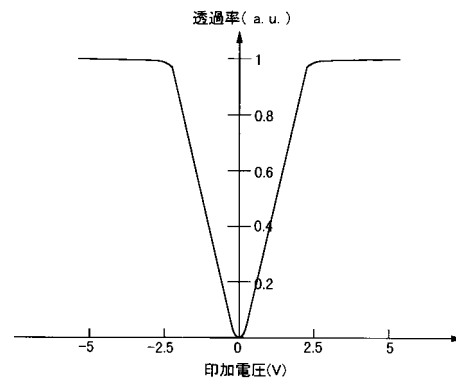
【図 14】



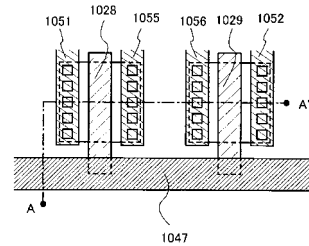
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.

H 0 1 L 21/336 (2006.01)

F I

H 0 1 L 29/78 6 1 2 C

H 0 1 L 29/78 6 1 6 A

H 0 1 L 29/78 6 1 7 L

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368

G02F 1/1343