(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G11C 29/00 (2006.01)

(45) 공고일자 2006년07월03일
(11) 등록번호 10-0593771
(24) 등록일자 2006년06월20일

(21) 출원번호 10-2002-0081226
(22) 출원일자 2002년12월18일

(65) 공개번호 10-2003-0051401
(43) 공개일자 2003년06월25일

(30) 우선권주장 JP-P-2001-00386053 2001년12월19일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 간다가즈시게
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

이마미야겐이찌
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

나까무라히로시
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

다께우찌겐
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

이께하시다미오
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

(74) 대리인 주성민
구영창

심사관 : 김세영

(54) 반도체 장치, 불휘발성 반도체 기억 장치, 반도체 장치또는 불휘발성 반도체 기억 장치를 복수 구비하는 시스템,반도체 장치 또는 불휘발성 반도체 기억 장치를 구비하는전자 카드, 이 전자 카드의 사용이 가능한 전자 장치

요약

본 발명의 반도체 장치는, 전원 전압의 레벨에 따라, 소정의 회로를 초기화하는 제1 신호를 생성하는 제1 회로와, 외부로부터의 입력에 따라 활성화 신호를 생성하는 활성화 제어 회로와, 상기 제1 회로로부터의 상기 제1 신호를 제2 신호로 변환하고, 상기 활성화 제어 회로로부터의 상기 활성화 신호에 기초하여 상기 제2 신호를 출력하는 제2 회로를 구비한다.

대표도

도 1

색인어

반도체 장치, 활성화 제어 회로, 카드 인터페이스, 카드 슬롯

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예의 구성을 도시한 블록도.

도 2는 본 제1 실시예에서의 동작 파형을 도시한 타임차트.

도 3은 본 발명의 제2 실시예의 구성을 도시한 블록도.

도 4는 본 발명의 제3 실시예의 구성을 도시한 블록도.

도 5는 본 발명의 제4 실시예의 구성을 도시한 블록도.

도 6은 본 제4 실시예에서의 ROM 판독의 수순을 도시한 흐름도.

도 7은 본 발명의 제5 실시예의 구성을 도시한 블록도.

도 8은 본 제5 실시예에 있어서, 전원 전압의 레벨과 파워-온 리세트 및 세트와의 관계를 도시한 설명도.

도 9는 본 제5 실시예에서의 동작 파형을 도시한 타임차트.

도 10은 본 제5 실시예에서의 동작 파형을 도시한 타임차트.

도 11은 본 제5 실시예에서의 각 신호의 레벨을 도시한 설명도.

도 12는 본 제5 실시예에서의 각 신호의 레벨을 도시한 설명도.

도 13은 본 발명의 제6 실시예의 구성을 도시한 블록도.

도 14a, 도 14b는 상기 제1, 제3 또는 제5 실시예를 멀티칩으로서 사용할 때의 구성을 도시한 블록도.

도 15의 (a), 도 15의 (b)는 도 14에 도시된 구성에 있어서 ROM을 자동적으로 읽는 동작을 도시한 설명도.

도 16의 (a), 도 16의 (b)는 도 14에 도시된 구성에서의 전압 및 소비 전류가 변화를 도시한 설명도.

도 17a, 도 17b는 상기 제1, 제3, 또는 제5 실시예를 칩화하여 멀티칩으로서 사용할 때의 구성을 도시한 블록도.

도 18의 (a), 도 18의 (b)는 도 17에 도시된 구성에 있어서, ROM을 자동적으로 읽는 동작을 도시한 설명도.

도 19는 제7 실시예에 의한 전자 카드와, 전자 카드를 이용하는 것이 가능한 전자 장치의 구성을 도시한 블록도.

도 20은 본 전자 장치의 구성을 도시한 블록도.

도 21a, 도 21b, 도 21c, 도 21d, 도 21e, 도 21f, 도 21g, 도 21h, 도 21i, 도 21j는 전자 장치의 구체적인 예를 도시한 설명도.

도 22는 종래의 불휘발성 반도체 기억 장치의 구성을 도시한 블록도.

도 23은 종래의 불휘발성 반도체 기억 장치에서의 전원 전압과 ROM 판독 동작과의 관계를 도시한 설명도.

도 24는 도 22에 도시된 장치에서의 파워-온 리세트 회로의 구성을 도시한 블록도.

도 25는 도 22에 도시된 장치에서의 제어 회로의 구성을 도시한 블록도.

<도면의 주요 부분에 대한 부호의 설명>

51 : 메모리 카드

101 : 디지털 스틸 카메라

102 : 카드 슬롯

103 : 렌즈

104 : 촬상 장치

105 : 카메라 신호 처리 회로

106 : 비디오 신호 처리 회로

107 : 표시 신호 처리 회로

108 : 표시부

109 : 비디오 드라이버

100 : 회로 기판

110 : 비디오 출력 단자

111 : 마이크로 컴퓨터

112 : 셔터 버튼

113 : 메모리 컨트롤러

114 : 비디오 메모리

115 : 압축/신장 처리 회로

116 : 카드 인터페이스

117 : 전원 회로

118 : 스트로브

AMP : 아날로그 증폭

AE : 자동 노출 제어

AWB : 자동 화이트 밸런스 제어

A/D : A/D 컨버터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치, 불휘발성 반도체 기억 장치, 반도체 장치 또는 불휘발성 반도체 기억 장치를 복수 구비하는 시스템, 반도체 장치 또는 불휘발성 반도체 기억 장치를 구비하는 전자 카드, 이 전자 카드의 사용이 가능한 전자 장치에 관한 것이다.

종래 이용되고 있는 반도체 장치에 대하여, 불휘발성 반도체 기억 장치를 예로 들어 그 회로 구성을 도 22에 도시한다. 이 불휘발성 반도체 기억 장치는 메모리 셀 어레이 MCA, 어드레스 버퍼 ABF, 컬럼 디코더 CDC, 로우 디코더 RDC, 감지 증폭기 S/A, 퓨즈용 레지스터 FRG, 입출력 버퍼 IOBF, 파워-온 리세트 회로 PORC, 제어 회로 CT101, 전압 생성 회로 VGC를 구비하고 있다.

메모리 셀 어레이 MCA는 데이터를 저장하는 통상의 메모리 셀 영역 MC1, MC2 외에, 메모리 셀 영역 MC1, MC2에 존재하는 불량 개소를 다른 용장 회로로 치환하기 위한 치환 데이터나 타이머 조정이나 전압 조정을 위한 트리밍 데이터 등, 전원 투입 후에 판독할 필요가 있는 데이터(이하, 퓨즈 데이터라 함)를 저장하는 ROM 퓨즈 RF를 갖고 있다.

어드레스 버퍼 ABF에 입력된 데이터 중, 컬럼 어드레스가 컬럼 디코더 CDC에 입력되어 디코드되고, 로우 어드레스가 로우 디코더 RDC에 입력되어 디코드되어, 지정된 어드레스에서 메모리 셀 어레이 MCA에서의 메모리 셀 MC1, MC2에의 데이터의 기입 또는 판독이 행해진다. 데이터가 판독될 때에는 감지 증폭기 S/A, 입출력 버퍼 IOBF를 통하여 출력되고, 기입될 때에는 입출력 버퍼 IOBF를 통하여 데이터가 메모리 셀 어레이 MCA에 주어진다. 또한, ROM 퓨즈 RF에 저장된 퓨즈 데이터는 감지 증폭기 S/A, 컬럼 디코더 CDC를 통하여 퓨즈용 레지스터 FRG에 주어져 유지된다.

전압 생성 회로 VGC는 외부로부터 공급된 전원 전압 VCC를 이용하여, 참조 전압 Vref나 프로그램 전압 Vpg 등의 각종 전압을 생성한다.

파워-온 리세트 회로 PORC는 전원이 투입되어 전원 전압이 파워-온 검지 레벨 V2에 도달하기까지의 동안은 로우 레벨의 파워-온 리세트 신호 PWONRSTn을 출력하고, 파워-온 검지 레벨 V2에 도달하면, 이것을 검지하여 하이 레벨의 파워-온 리세트 신호 PWONRSTn을 제어 회로 CT101에 출력한다.

제어 회로 CT101은 이 파워-온 리세트 신호 PWONRSTn에 기초하여, 장치 전체, 도시된 회로로서는 어드레스 버퍼 ABF, 퓨즈용 레지스터 FRG, 컬럼 디코더 CDC, 감지 증폭기 S/A, 로우 디코더 RDC, 전압 생성 회로 VGC에 초기화하기 위한 제어 신호를 인가하여 초기화한다.

여기서, 장치 전체를 초기화할 때, ROM 퓨즈 RF에 기억되어 있는 상술한 퓨즈 데이터를 판독하여 래치해 둘 필요가 있다. 레이저로 용단되는 퓨즈로 구성된 퓨즈 회로에 퓨즈 데이터가 기억되어 있는 경우에는, 이 퓨즈 회로를 읽게 된다. 이 때에, 퓨즈 회로를 판독하는 판독 회로는, CMOS 논리 회로로서 구성되어 있고, 판독 회로가 활성화되는 전원 전압의 레벨은, CMOS 논리 회로가 동작하기 시작하는 전압 Vlgc 이상으로 설정된다.

발명이 이루고자 하는 기술적 과제

그러나, 도 22에 도시된 바와 같이 불휘발성 반도체 기억 장치에 있어서는, 퓨즈 데이터를 저장하는 수단으로서, 메모리 셀 어레이 MCA에서의 특정한 영역(ROM 퓨즈 RF)을 할당할 수 있다.

이 경우에는, 장치의 초기화 시에, 통상의 데이터와 마찬가지로 퓨즈 데이터를 판독하여야 하기 때문에, 이 데이터를 ROM 퓨즈 RF로부터 판독하는 동작을 행한다(이하, 이 동작을 ROM 판독이라고 한다).

이 경우, 파워-온 검지 레벨 V2는, 도 23에 도시된 바와 같이, 적어도 판독 동작이 가능한 최저 전압 V1보다 높게 설정되어야 한다. 여기서, 전원이 투입되어 레벨이 상승해 가는 과정에서, 시점 T2에 있어서 판독 동작이 가능하게 되는 최저 동작 전압 V1에 도달하고, 또한 시점 T3이 되어 파워-온 검지 레벨 V2(V2>V1)로 되면 ROM 판독을 개시하도록 설정되고, 시점 T3으로부터 시점 T4까지의 동안이 판독이 행해지는 것으로 한다.

이 ROM 판독은 전원의 투입(파워-온) 시에 자동적으로 행해지는 것이 바람직하고, 전원을 투입하여 초기화하는 파워-온 리세트의 직후에 개시한다. 이 ROM 판독을 제어하는 신호는 파워-온 리세트 회로 PORC로부터 출력된 파워-온 리세트 신호 PWONRSTn을 받는 제어 회로 CT101에서 생성된다.

파워-온 리세트 검지 회로 PORC에는, 예를 들면 도 24에 도시된 회로가 이용된다. 전원 전압 VCC이 저항 R1, R2로 분할되고, 분할된 레벨 N1이 P 채널 트랜지스터 PT1의 게이트에 주어진다. 전원 전압 VCC 단자와 접지 단자 사이에 P 채널 트랜지스터 PT1과 디프레션형 트랜지스터 DT1, 저항 R3이 접속되어 있고, 트랜지스터 PT1의 드레인과 트랜지스터 DT1의 드레인과의 접속점의 전위가 인버터 열로 구성된 지연 회로 INC에 의해 지연된 후, 파워-온 리세트 신호 PWONRSTn으로서 출력된다.

제어 회로 CT101의 회로 구성은, 도 25에 도시된 바와 같고, 파워-온 리세트 신호 PWONRSTn이 인가된다. 이 파워-온 리세트 신호 PWONRSTn은 그 밖의 제어 회로 OCT, 펄스 발생 회로 PG11, ROM 판독 제어 회로 RRC에 인가된다.

펄스 발생 회로 PG11은, 파워-온 리세트 신호 PWONRSTn을 인버터 IN11을 이용하여 반전하고 지연 회로 DL을 통해 지연한 신호와 파워-온 리세트 신호 PWONRSTn을 NAND 회로 NA11에 공급하여, 지연 시간 분만큼 로우 레벨로 되는 신호를 생성하고, 인버터 IN12로 반전하여 기동 펄스 ROMRDSTT를 세트 단자 Set에 입력한다.

ROM 판독 제어 회로 RRC는 전원 투입 후에 로우 레벨에 있는 파워-온 리세트 신호 PWONRSTn이 리세트 단자/Reset에 공급되어 리세트된 후, 기동 펄스 ROMRDSTT가 입력되면 ROM 판독을 개시시키기 위해서 제어 신호를 생성하고, ROM 판독을 행하는 각 회로에 출력한다.

여기서, 파워-온 리세트 신호 PWONRSTn의 생성은, 도 24에 도시된 바와 같이 P 채널 트랜지스터 PT1의 임계값 전압의 변동이 반영된다. 이 때문에, 도 23에 도시된 전압 V2를 검지하는 레벨이 변동하게 된다. 그래서, 파워-온 리세트 신호 PWONRSTn을 생성할 때의 파워-온 검지 레벨 V2는 전원 전압 스펙에 대하여 크게 마진을 갖도록 설정되어 있었다.

그 결과, 파워-온 검지 레벨 V2는 판독 동작이 가능한 전압 V1 근방의 매우 낮은 전압으로 설정되어, 낮은 전원 전압에서의 ROM 판독 동작을 어쩔 수 없이 하게 되었다.

이러한 판독 동작이 가능한 전압 V1 근방에서 ROM 판독을 개시함으로써, 종래는 다음과 같은 문제가 있었다.

우선, 전원 전압이 낮은 상태에서 ROM 판독 동작을 개시하면, 판독에 필요한 큰 소비 전류에 다 견디지 못하여 전원 전압이 약간 저하되는 경우가 있다. 이에 따라, 판독 동작 가능한 전압 V1보다 저하하여, 칩의 초기 데이터로서 중요한 퓨즈 데이터를 정확하게 판독할 수 없어, 그 후의 동작에 지장을 줄 우려가 있었다.

또한, ROM 판독을 행한 후, 회로 문제점이나 회로를 구성하는 소자 특성의 변동, 제조 프로세스의 변동이나 불량 등에 의해 판독 데이터에 에러가 있다고 판정된 경우, 재차 ROM 판독을 행하지 않으면 불량 개소를 용장 회로로 치환할 수 없어 장치 전체를 사용할 수 없게 된다.

이러한 경우, 재차 ROM 판독을 개시하도록 자동 시퀀스를 짜면, ROM 판독을 몇 번 행하여도 실패로 되어, 영구히 ROM 판독을 반복하게 된다.

발명의 구성 및 작용

본 발명의 일 양태에 따르면, 반도체 장치는, 전원 전압의 레벨에 따라, 소정의 회로를 초기화하는 제1 신호를 생성하는 제1 회로와, 외부로부터의 입력에 따라 활성화 신호를 생성하는 활성화 제어 회로와, 상기 제1 회로로부터의 상기 제1 신호를 제2 신호로 변환하고, 상기 활성화 제어 회로로부터의 상기 활성화 신호에 기초하여 상기 제2 신호를 출력하는 제2 회로를 구비한다.

본 발명의 다른 양태에 따르면, 불휘발성 반도체 기억 장치는, 메모리 셀 어레이에서의 제1 영역을 제2 영역으로 치환하기 위한 치환 데이터를 포함하는 퓨즈 데이터를 저장하는 퓨즈 데이터 저장부와, 상기 퓨즈 데이터 저장부로부터 상기 퓨즈 데이터를 판독하는 퓨즈 데이터 판독부와, 활성화되면, 상기 퓨즈 데이터 판독부에 상기 퓨즈 데이터를 판독하게 하기 위한 제어 신호를 출력하는 판독 제어 회로와, 외부로부터의 입력에 따라 상기 판독 제어 회로를 제어하는 활성화 제어 회로와, 상기 활성화 제어 회로에 접속되고, 상기 외부로부터의 입력이 전압의 인가에 의해 행해지는 패드를 포함하고, 상기 활성화 제어 회로는, 전원이 투입되어 전압이 소정 레벨에 도달하면 파워-온 리세트 신호를 출력하는 파워-온 리세트 회로와, 상기 패드에 입력된 전압이 제1 레벨에 있는 경우, 상기 파워-온 리세트 신호가 출력되면 상기 판독 제어 회로를 활성화하여 상기 제어 신호를 출력시키고, 상기 패드에 입력된 전압이 제2 레벨에 있는 경우, 상기 파워-온 리세트 신호가 출력되어도 상기 판독 제어 회로를 비활성화하여 상기 제어 신호를 출력시키지 않는 활성화 결정 회로를 포함한다.

본 발명의 또 다른 양태에 따르면, 반도체 장치는, 소정의 회로를 초기화하기 위한 초기화 신호를 출력하는 초기화 제어 회로와, 전원 전압이 제1 레벨을 넘으면 제1 파워-온 리세트 신호를 출력하는 제1 파워-온 리세트 회로와, 상기 전원 전압이 상기 제1 레벨보다 높은 제2 레벨을 넘으면 제2 파워-온 리세트 신호를 출력하는 제2 파워-온 리세트 회로를 구비하고, 상기 초기화 제어 회로는 전원 투입 후, 상기 제2 파워-온 리세트 신호가 출력되면 상기 초기화 신호를 출력하고, 이 이후는 상기 제2의 파워-온 리세트 신호가 재차 출력되더라도, 상기 제1 파워-온 리세트 신호가 다시 출력되지 않는 한 상기 초기화 신호를 출력하지 않는다.

본 발명의 또 다른 양태에 따르면, 불휘발성 반도체 기억 장치는, 메모리 셀 어레이에서의 제1 영역을 제2 영역으로 치환하기 위한 치환 데이터를 포함하는 퓨즈 데이터를 저장하는 퓨즈 데이터 저장부와, 상기 퓨즈 데이터 저장부로부터 상기 퓨즈 데이터를 판독하는 퓨즈 데이터 판독부와, 활성화되면, 상기 퓨즈 데이터 판독부에 상기 퓨즈 데이터를 판독하게 하기 위한 제어 신호를 출력하는 판독 제어 회로와, 상기 판독 제어 회로의 활성화 또는 비활성화를 제어하는 활성화 제어 회로를 구비하고, 상기 활성화 제어 회로는, 전원 투입 후, 소정의 커맨드가 1회째에 입력되었을 때는 이 커맨드를 상기 퓨즈 데이터를 판독하는 커맨드이다고 해석하여 상기 판독 제어 회로를 활성화하고, 상기 소정의 커맨드가 2회째 이후에 입력되었을 때는, 이 커맨드를 상기 퓨즈 데이터를 판독하는 커맨드가 아니라고 해석하여, 상기 판독 제어 회로를 비활성화한다.

이하, 본 발명의 실시예에 대하여 도면을 참조하여 설명한다. 또한, 각 실시예에서의 반도체 장치는 메모리 셀 어레이를 포함하고 없고, 각 실시예에서의 불휘발성 반도체 기억 장치는 반도체 장치의 구성에 메모리 셀을 더 포함하고 있다.

<제1 실시예>

도 1에 본 발명의 제1 실시예에서의 회로 구성을 도시한다. 본 실시예는, 도 25에 도시한 종래의 제어 회로 CT101과 달리, 입력 패드 PD11에 인가된 전압에 따라서, 전원 투입 후에 자동적으로 ROM 판독을 기동할 것인지를 제어하는 구성을 갖는다. 도 22에 도시된 장치 전체의 개략 구성에 있어서, 제어 회로 CT101에 관한 구성이 다른 점을 제외하고, 다른 공통되는 요소에 대해서는 설명을 생략한다.

입력 패드 PD11에는 전원 투입 후에 자동적으로 ROM 판독을 기동하지 않은 경우에는, 하이 레벨의 전압 PRDIS(Power-on Read Disable)(예를 들면, 2. 5V)이 인가되고, ROM 판독을 자동적으로 기동하는 경우에는, 로우 레벨(예를 들면, 접지 레벨)이 인가된다. 인가된 전압은 입력 버퍼 IBF에 의해 증폭된 후, 제어 회로 CT11이 갖는 NOR 회로 NR11의 한쪽의 입력 단자에 입력된다.

제어 회로 CT11은 그 밖의 제어 회로 OCT, 펄스 발생 회로 PG11, NOR 회로 NR11, ROM 판독 제어 회로 CT11을 갖는다.

로우 레벨의 파워-온 리세트 신호 PWONRSTn이 그 밖의 제어 회로 OCT, 펄스 발생 회로 PG11에 공급되며, 또한 ROM 판독 제어 회로 RRC의 리세트 단자/Reset에 인가되어 리세트된다. 그 후, 전원 전압이 파워-온 검지 레벨에 도달하면, 파워-온 리세트 회로 PORC로부터 출력되는 파워-온 리세트 신호 PWONRSTn이 로우 레벨로부터 하이 레벨로 변화한다.

그 밖의 제어 회로 OCT는 ROM 판독 이외의 동작, 예를 들면 메모리 셀 MC1, MC2에의 기입, 판독에 필요한 제어 신호를, 그 동작을 행하는 회로에 출력한다.

펄스 발생 회로 PG11은 도 25에 도시된 펄스 발생 회로 PG11과 마찬가지의 구성을 갖고, 하이 레벨의 파워-온 리세트 신호 PWONRSTn이 주어지면, ROM 판독을 개시시키기 위한 소정 기간 로우 레벨로 되는 펄스가 발생된다.

이 펄스는 2 입력의 NOR 회로 NR11의 다른 쪽의 단자에 입력되고, 한쪽의 단자에는, 상술한 바와 같이 단자 PD11에 입력된 하이 레벨 또는 로우 레벨의 전압이 입력된다.

본 실시예에서의 전원 전압 VCC, 단자 PD11에 입력되는 전압 PRDIS, 파워-온 리세트 신호 PWONRSTn, NOR 회로 NR11로부터 출력되는 기동 신호 ROMRDSTT의 동작 파형을 도 2의 타임차트에 도시한다.

전원이 투입되면, 전원 전압 VCC이 서서히 상승해 간다. 전원 전압 VCC가 파워-온 검지 레벨에 도달하면, 파워-온 리세트 신호 PWONRSTn이 실선과 같이 하이 레벨로 변화한다.

단자 PD11에 입력된 전압 PRDIS가 일점쇄선으로 나타낸 바와 같이 로우 레벨인 경우, NOR 회로 NR11로부터는 펄스 발생 회로 PG11로부터의 펄스가 반전되어, 일점쇄선으로 나타낸 하이 레벨의 기동 신호 ROMRDSTT로서 ROM 판독 제어 회로 RRC의 세트 단자 Set에 입력되어, ROM 판독에 필요한 제어 신호가 출력된다. 이 결과, 전원 투입 후에 파워-온 검지 레벨에 도달하면 자동적으로 ROM 판독이 기동된다.

반대로, 실선으로 나타낸 바와 같이 하이 레벨의 신호 PRDIS가 단자 PD11에 입력되면, 펄스 발생 회로 PG11로부터의 출력 레벨에 상관없이, NOR 회로 NR11의 출력 레벨은 실선으로 나타낸 바와 같이 강제적으로 로우 레벨로 고정된다. 이 결과, ROM 판독 제어 회로 RRC의 세트 단자 Set에는 하이 레벨의 기동 신호 ROMRDSTT가 입력되지 않고, 전원 투입 후에 파워-온 검지 레벨에 도달해도 ROM 판독은 자동적으로 기동되지 않는다. 즉, 전원 투입 후, ROM 판독을 자동 기동하지 않고서 사용자로부터의 커맨드의 입력을 대기하는 상태로 된다.

개발 단계 등에 있어서, 장치를 동작시켜 불량이 발생한 경우, 어느 개소에 원인이 있는지를 특정하는 것은 중요하다. 또한 상술한 바와 같이, ROM 판독 동작에는 전원 전압의 저하가 원인이 되어 불량이 발생하기 쉽다. 그래서, 본 실시예에 따라, 입력 패드 PD11에 전압 PRDIS로서 하이 레벨을 인가하고, 전원 투입 후에 파워-온 검지 레벨에 도달해도 자동적으로 ROM 판독을 기동하지 않고서 동작시킨다. 그리고, 이상이 검출되는 경우에는, 동작 불량이 ROM 판독을 행하는 개소에 있는 것을 특정할 수 있다. 또한, 이상이 검출되지 않은 경우에는 다른 회로 부분에 동작 불량의 원인이 있는 것을 밝혀낼 수 있기 때문에, 고장 개소의 특정에 기여할 수 있다.

또한, 사용자로부터의 요망에 의해, ROM 판독을 자동 기동시키는 경우, 혹은 자동 기동시키지 않은 경우 중 어느 것에 사양이 결정된 경우에도, 본 실시예에 따르면 용이하게 대응할 수 있다.

즉, ROM 판독을 자동 기동시키지 않고, 전원을 투입하여 파워-온 검지 레벨에 도달한 후, 사용자가 공급하는 프로그램으로부터 ROM 판독 커맨드가 공급되어 ROM 판독을 행하도록 사양이 결정된 경우에도, 입력 패드 PD11을 도시되어 있지 않은 전원 전압 VCC 단자에 와이어 본딩 등에 의해 접속하고 전위를 하이 레벨로 고정함으로써, 간단히 사양을 변경하는 것이 가능하다.

<제2 실시예>

본 발명의 제2 실시예에 대하여, 그 구성을 도시한 도 3을 이용하여 설명한다. 본 실시예는 ROM 판독을 커맨드의 입력을 대기하여 개시한다.

본 실시예에서의 제어 회로 CT21은 그 밖의 제어 회로 OCT, 커맨드 버퍼 CMB21, 펄스 발생 회로 PG21, ROM 판독 제어 회로 RRC를 구비하고 있다.

파워-온 리세트 회로 PORC로부터 출력된 파워-온 리세트 신호 PWONRSTn은 그 밖의 제어 회로 OCT, 커맨드 버퍼 CMB21, 또한 ROM 판독 제어 회로 RRC의 리세트 단자/Reset에 입력된다.

커맨드 버퍼 CMB21은 사용자의 프로그램으로부터 ROM 판독 커맨드를 공급받아 유지하고, 펄스 발생 회로 PG21에 공급한다. 펄스 발생 회로 PG21은 커맨드가 공급되면 소정 기간 하이 레벨로 되는 기동 펄스를 출력하여 ROM 판독 제어 회로 RRC의 세트 단자 Set에 입력한다. 이에 따라, ROM 판독 제어 회로 RRC는 이 기동 펄스가 입력되면 ROM 판독을 개시하기 위한 제어 신호를 출력한다.

본 실시예에서는, 전원 투입 후, 파워-온 검지 레벨에 도달한 후 자동적으로 ROM 판독이 기동되지 않고, ROM 판독 커맨드를 입력하는 것이 필요하다.

따라서, 사용자가 작성한 프로그램에 의해서 ROM 판독 커맨드가 제어 회로 CT21에 주어지는 시점에서는, 이미 전원 전압이 사양으로 정해져 있는 레벨까지 도달하고 있다. 이 때문에, ROM 판독을 자동적으로 기동시키는 경우에 문제가 되는 파워-온 검지 레벨의 변동이나 ROM 판독 시에 소비 전류가 증가하여 전원 전압이 저하하여, ROM 판독을 실패하는 등의 문제의 발생을 회피할 수 있다.

<제3 실시예>

본 발명의 제3 실시예의 구성을 도 4에 도시한다. 본 실시예는 상기 제1 실시예의 구성과 제2 실시예의 구성을 합성한 것에 상당한다.

즉, 도 1에 도시된 제1 실시예에서의 입력 패드 PD11, 입력 버퍼 IBF, 그 밖의 제어 회로 OCT, 펄스 발생 회로 PG11, NOR 회로 NR11과, 도 3에 도시된 제2 실시예에서의 커맨드 버퍼 CMB21, 펄스 발생 회로 PG21과, 또한 NOR 회로 NR11의 출력과 펄스 발생 회로 PG21의 출력을 입력하는 NOR 회로 NR31 및 그 출력을 반전하는 인버터 IN31과, 인버터 IN31의 출력이 세트 단자 Set에 입력되고, 파워-온 리세트 신호 PWONRSTh가 리세트 단자/Reset에 입력되는 ROM 판독 제어 회로 RRC를 구비하고 있다.

우선, 상기 제1 실시예와 동일한 구성을 구비한 것으로, 마찬가지의 작용, 효과를 발휘한다. 전원이 투입되어 전원 전압이 파워-온 검지 레벨에 도달하면, 파워-온 리세트 회로 PORC로부터 하이 레벨의 파워-온 리세트 신호 PWONRSTn이 출력된다.

펄스 발생 회로 PG11에 이 파워-온 리세트 신호 PWONRSTn의 로우 레벨로부터 하이 레벨에의 트리거 신호가 주어지면, 소정 기간 로우 레벨로 되는 펄스가 발생되어, 2 입력의 NOR 회로 NR11의 다른 쪽의 단자에 입력되고, 한쪽의 단자에는 단자 PD11에 입력된 하이 레벨 또는 로우 레벨의 전압이 입력된다.

단자 PD11에 입력된 전압 PRDIS가 로우 레벨인 경우, NOR 회로 NR11로부터는 펄스 발생 회로 PG11로부터의 펄스가 반전되어, 하이 레벨의 기동 신호 ROMRDSTT로서 ROM 판독 제어 회로 RRC의 세트 단자 Set에 입력되어, 제어 신호가 출력된다. 이에 따라, 전원 투입 후에 파워-온 검지 레벨에 도달하면 자동적으로 ROM 판독이 기동된다.

반대로, 하이 레벨의 신호 PRDIS가 단자 PD11에 입력된 경우에는, ROM 판독 제어 회로 RRC의 세트 단자 Set에 하이 레벨의 기동 신호 ROMRDSTT가 입력되지 않고, 전원 투입 후에 파워-온 검지 레벨에 도달해도 ROM 판독은 자동적으로 기동되지 않는다. 즉, 전원 투입 후, ROM 판독을 자동 기동하지 않고서 사용자의 커맨드의 입력을 대기하는 상태로 된다.

이 경우에는, 상기 제2 실시예와 동일한 구성을 구비한 것에 의해, 커맨드가 입력되면 커맨드 버퍼 CMB21에 유지되어, 펄스 발생 회로 PG21에 공급한다. 펄스 발생 회로 PG21는 커맨드가 주어지면, 소정 기간 하이 레벨이 되는 기동 펄스를 출력하여 ROM 판독 제어 회로 RRC의 세트 단자 Set에 입력한다. 이에 따라, RON1 판독 제어 회로 RRC는 ROM 판독을 개시하도록 제어 신호를 출력한다.

본 실시예에 따르면, 상기 제1 실시예와 동일한 구성을 구비한 것에 의해, 마찬가지의 작용, 효과를 발휘한다.

장치를 동작시켜 불량이 발생한 경우, 어느 개소에 원인이 있는지를 특정하기 위해서, 입력 패드 PD11에 하이 레벨의 전압 PRDIS를 인가하여 ROM 판독의 자동 기동을 정지시킨다. 이상이 검출되지 않은 경우에는 동작 불량이 ROM 판독을 행하는 회로에 있는 것을 특정할 수 있고, 이상이 검출되는 경우에는 다른 회로 부분에 동작 불량의 원인이 있는 것을 특정하는 것이 가능하다.

또한, 사용자로부터의 요망에 의해, ROM 판독을 자동 기동시키는 경우, 혹은 자동 기동시키지 않은 경우 중 어느 것에 사양이 결정된 경우에도, 입력 패드 PD11에 인가하는 전압을 설정함으로써, 용이하게 대응할 수 있다.

즉, ROM 판독을 자동 기동시키지 않고, 전원을 투입하여 파워-온 검지 레벨에 도달한 후, 사용자가 공급하는 프로그램으로부터 ROM 판독 커맨드가 주어져 ROM 판독을 행하도록 사양이 결정된 경우에는, 입력 패드 PD11을 도시되어 있지 않은 전원 전압 VCC 단자에 와이어 본딩 등에 의해 접속하고 전위를 하이 레벨로 고정함으로써, 간단히 사양을 설정하는 것이 가능하다.

반대로, 프로그램으로부터의 커맨드의 입력을 대기하지 않고서 ROM 판독을 자동 기동시키는 경우에는, 입력 패드 PD11을 도시되어 있지 않은 접지 단자 Vss에 와이어 본딩 등에 의해 접속하고 전위를 로우 레벨로 고정함으로써, 사양의 설정을 용이하게 행할 수 있다.

또한, 상기 제2 실시예와 동일한 구성을 구비한 것에 의해, 마찬가지의 작용, 효과를 발휘한다. 즉, 사용자가 작성한 프로그램에 의해서 ROM 판독 커맨드가 제어 회로 CT21에 주어지는 시점에서는, 이미 전원 전압이 사양으로 정해지고 있는 레벨까지 도달하고 있다. 따라서, ROM 판독을 자동적으로 기동시키는 경우에 문제가 되는 파워-온 검지 레벨의 변동이나, ROM 판독 시에 소비 전력이 증가하여 전원 전압이 저하하여, ROM 판독을 실패하는 등의 문제의 발생이 회피된다.

<제4 실시예>

본 발명의 제4 실시예에 대하여, 그 구성을 도시한 도 5를 이용하여 설명한다. 본 실시예는 도 4에 도시된 상기 제3 실시예의 구성에 있어서, 전압 PRDIS를 인가하는 입력 패드 PD11, 이 전압 PRDIS를 입력 받아 유지하는 입력 버퍼 IBF를 삭제한 것에 상당한다. 이에 따라, 입력 버퍼 IBF로부터 출력된 전압 PRDIS가 한쪽의 입력 단자에 입력되고, 다른 쪽의 입력 단자에 펄스 발생 회로 PG11로부터의 출력이 입력되는 NOR 회로 NR11을, 인버터 IN41로 치환하고 있다.

상기 제3 실시예와 마찬가지로, 전원이 투입되어 전원 전압이 파워-온 검지 레벨에 도달하면, 파워-온 리세트 회로 PORC로부터 하이 레벨의 파워-온 리세트 신호 PWONRSTn이 출력된다.

펄스 발생 회로 PG11에 이 파워-온 리세트 신호 PWONRSTn이 주어지면, 소정 기간 로우 레벨이 되는 펄스가 발생되고, 인버터 IN41에 입력되어 반전되어, 하이 레벨의 기동 신호 ROMRDSTT로서 NOR 회로 NR31의 한쪽의 단자에 입력된다. 이에 따라, NOR 회로 NR31의 다른 쪽의 단자의 레벨에 상관없이, 로우 레벨의 출력이 이루어지고, 인버터 IN31에 의해 반전되어, 기동 펄스가 ROM 판독 제어 회로 RRC의 세트 단자 Set에 입력되어, 제어 신호가 출력된다. 이에 따라, 전원 투입 후에 파워-온 검지 레벨에 도달하면 자동적으로 ROM 판독이 기동된다.

이러한 파워-온 검지 레벨에 도달후에 ROM 판독을 자동 기동하는 계통과는 별도로, 본 실시예는 커맨드의 입력에 의해 ROM 기동을 행하는 계통을 갖는다. 사용자가 공급한 프로그램으로부터 ROM 판독 커맨드가 입력되면, 커맨드 버퍼 CMB21에 유지되어, 펄스 발생 회로 PG21에 주어진다. 펄스 발생 회로 PG21는 이 커맨드가 입력되면, 소정 기간 하이 레벨이 되는 기동 펄스를 출력하여, NOR 회로 NR31의 다른 쪽의 단자에 입력되어 로우 레벨의 출력이 이루어지고, 인버터 IN31에 의해 반전되어 기동 펄스가 ROM 판독 제어 회로 RRC의 세트 단자 Set에 입력된다. 이에 따라, 커맨드의 입력에 의해서도 ROM 판독의 기동이 가능해진다.

여기서, ROM 판독 제어 회로 RRC에서의 ROM 판독의 제어 플로우는, 도 6에 도시된 바와 같다.

ROM 판독 제어 회로 RRC의 세트 단자 Set에 기동 펄스가 입력되면, 단계 S10로서 제어 동작을 개시한다.

단계 S12로서, ROM 판독이 행해진다.

단계 S14로서, 판독한 데이터의 체크가 행해지고, 데이터에 불량이 없으면 다음의 단계 S16으로 이행하고, 불량이 있는 경우에는 단계 S12로 되돌아가 다시 ROM 판독이 행해진다.

데이터에 불량이 없는 경우에는, 단계 S16에서 이 데이터를 감지 증폭기 S/A에서 증폭하여 판독한 결과를, 퓨즈용 레지스터 FRG에 공급하여 유지한다. 그리고, 단계 S18로 이행하여 제어 동작을 종료한다.

여기서, 단계 S12, S14, S16 중 어느 하나의 단계에서, 재차 세트 단자 Set에 기동 펄스가 입력된 경우에는, 단계 S10으로 되돌아가, 상기 처리를 반복하게 된다.

반대로, 단계 S12, S14, S16 중 어느 하나의 단계에서, 리세트 단자/Reset에 리세트 신호가 입력된 경우에는 단계 S18로 이행하여 제어 동작을 종료한다.

따라서, 전원 투입 후, 전원 전압 VCC가 파워-온 검지 레벨에 도달하여 펄스 발생 회로 PG11이 펄스를 발생하고, 기동 펄스 ROMRDSTT가 ROM 판독 제어 회로 RRC의 세트 단자 Set에 입력되어 단계 S10에 의해 제어 동작이 개시하여, 단계 S12에서의 ROM 판독 동작이 행해지고 있는 도중에, ROM 판독 커맨드가 입력되어 펄스 발생 회로 PG21로부터도 펄스가 발생하고, 기동 펄스 ROMRDSTT가 ROM 판독 제어 회로 RRC의 세트 단자 Set에 입력되면, 재차 단계 S10에서의 제어 동작이 개시되게 된다.

본 실시예에 따르면, 전원 투입 후에 파워-온 검지 레벨에 도달하면 자동적으로 ROM 판독을 기동하지만, 커맨드의 입력에 의해서도 ROM 판독을 행하는 것이 가능하다. 따라서, 사용자의 사양에 따라서, ROM 판독을 자동적으로 기동하는 경우와, 커맨드의 입력에 의해 ROM 판독을 행하는 경우 중 어느 것에 대해서도 회로의 변경을 수반하지 않고 대응하는 것이 가능하다. 또한, 자동적으로 ROM 판독을 한창 기동하고 있는 중에도 커맨드의 입력에 의해서 재차 기동을 걸 수 있기 때문에, 커맨드를 입력하는 타이밍에 대해 규정할 필요가 없어, 어떠한 사양에도 임기 응변으로 대응할 수 있다.

<제5 실시예>

본 발명의 제5 실시예에서의 구성을 도 7에 도시한다.

상술한 바와 같이, ROM 판독이 불량으로 되는 원인은, 도 23에 도시된 메모리의 판독이 가능해지는 동작 최저 전압 V1과 관계가 있다. 본 실시예는, ROM 판독에 불량이 발생한 경우에 이 동작 최저 전압 V1을 조사하는 데 유효하다.

본 실시예는 2개의 파워-온 리세트 회로 PORC51 및 파워-온 리세트 회로 PORC52와, 입력 버퍼 IBF51과, 제어 회로 CT51을 구비하고 있다.

파워-온 리세트 회로 PORC52는, 도 8에 도시된 바와 같이, 전원 투입 후 전원 전압 VCC이 상승하여 가고 시점 T51에서 전압 Vpwon2에 도달하면, 하이 레벨의 파워-온 리세트 신호 PWONRST2n을 출력한다. 이 전압 Vpwon2는 통상의 파워-온 리세트 신호 PWONRSTn이 로우 레벨로부터 하이 레벨로 변화하는 파워-온 검지 레벨 Vpwon1보다도 낮게 설정되어 있다. 파워-온 리세트 회로 PORC51는 전원 전압 VCC이 상승하여 가고 시점 T52에서 전압 Vpwon1에 도달하면, 하이 레벨의 파워-온 리세트 신호 PWONRSTn을 출력한다. 이 전압 Vpwon1은, 통상의 파워-온 검지 레벨과 동일 레벨로 설정되어 있다.

입력 패드 PD51에는 ROM 기동을 행하는 경우에는 로우 레벨의 전압 PRDIS가 입력되고, ROM 기동을 저지하는 경우에는 하이 레벨의 전압 PRDIS가 입력되며, 입력 버퍼 IBF51는 이 전압 PRDIS를 증폭하여 출력한다.

제어 회로 CT51은 인버터 IN51 및 IN52, SR형 플립플롭 SR51, NAND 회로 NA51 및 NA52를 구비한다.

SR형 플립플롭 SR51은 로우 레벨의 파워-온 리세트 신호 PWONRST2n이 반전되어 리세트 단자 R에 주어져 리세트되고, 하이 레벨의 파워-온 리세트 신호 PWONRSTn이 세트 단자 S에 주어지면 세트 상태로 된다. SR형 플립플롭 SR51로부터의 출력은, NAND 회로 NA51의 한쪽의 입력 단자에 입력된다. NAND 회로 NA51의 다른 쪽의 입력 단자에는 입력 버퍼 IBF51로부터 출력된 전압 PRDIS가 입력되고, NAND 연산이 행하여져 NAND 회로 NA52의 한쪽의 입력 단자에 주어진다. NAND 회로 NA52의 다른 쪽의 입력 단자에는 파워-온 리세트 신호 PWO NRSTn이 인버터 IN51에 의해 반전되어 입력되고, NAND 연산이 행해지고, 그 결과가 주변 회로 PC에 출력된다.

상기 구성을 구비한 본 실시예의 동작에 대하여, 이하에 설명한다.

도 8에 도시된 바와 같이, 전원 전압이 상승하여 VCC 레벨에 도달한 후, 하강해 가는 경우를 생각한다. 전원 투입 후, 전원 전압의 레벨이 전압 Vpwon2 미만인 단계를 시점 A, 전압 Vpwon2을 넘어 파워-온 검지 레벨인 전압 Vpwon1에 도달하지 않은 단계를 시점 B, 전압 Vpwon1을 넘은 단계를 시점 C, 일단 전압 Vpwon1을 넘은 후, 전압이 하강하여 전압 Vpwon1 보다도 낮아지지만, 전압 Vpwon2보다 높은 단계를 시점 D로 한다.

전압 PRDIS를 로우 레벨로 고정했을 때에 있어서, 전원 전압 VCC의 상승 및 하강에 따라, 각각의 시점 AD에서의 파워-온 검지 레벨 PWONRSTn, 리세트 신호 LOWVDDn의 레벨의 변화를 도 9에 도시한다. 또한, 전원 전압 VCC의 상승에 수반하여, 전압 PRDIS를 하이 레벨로 할 때에서의 전원 전압 VCC의 상승 및 하강에 수반하여 각각의 시점 A～D에서의 파워-온 검지 레벨 PWONRSTn, 리세트 신호 LOWVDDn의 레벨의 변화를 도 10에 도시한다.

또한, 입력 버퍼 IBF51의 출력 레벨(전압 PRDIS)을 a, 파워-온 리세트 회로 PORC51의 출력 레벨(파워-온 리세트 신호 PWONRSTn)를 b, 파워-온 리세트 회로 PORC52의 출력 레벨(파워-온 리세트 신호 PWONRST2n)를 c, 이 파워-온 리세트 회로 PORC52의 출력 레벨을 반전한 인버터 IN52의 출력 레벨을 d, 파워-온 리세트 회로 PORC51의 출력 레벨을 반전한 인버터 IN51의 출력 레벨을 e, SR형 플립플롭 SR51의 출력 레벨을 f, NAND 회로 NA51의 출력 레벨을 g, NAND 회로 NA52의 출력 레벨(리세트 신호 LOWVDDn)를 h로 한다. 그리고, 전압 PRDIS를 로우 레벨로 고정했을 때의 각 출력 레벨 a～h를 도 11에, 전압 PRDIS를 전원 전압 VCC의 상승에 따라서 하이 레벨로 하였을 때의 각 출력 레벨 a～h를 도 12에 각각 도시한다.

여기서, 일단 전압 Vpwon1을 넘은 후, 전압이 하강하여 전압 Vpwon1 보다도 낮고 또한 전압 Vpwon2보다 높은 시점 D에 대하여 주목한다. 전압 PRDIS를 로우 레벨로 고정했을 때는, 도 11에 도시된 바와 같이, 리세트 신호 LOWVDDn(출력 레벨 h)이 하이 레벨로부터 로우 레벨로 반전하여 주변 회로 PC에 주어져, 리세트가 행해진다.

이에 대하여, 전압 PRDIS를 하이 레벨로 한 경우에는, 도 12에 도시된 바와 같이, 리세트 신호 LOWVDDn(출력 레벨 h)은 시점 C와 마찬가지로 하이 레벨을 유지하기 때문에, 리세트는 행해지지 않는다.

이와 같이, 본 실시예에 따르면, 전원 전압 VCC이 상승하여 파워-온 검지 레벨과 같은 Vpwon1에 도달하여 하이 레벨의 파워-온 리세트 신호 PWONRSTn을 출력하고, 리세트 신호 LOWVDDn을 일단 출력한 후는, 이것보다 낮은 파워-온 리세트 신호 PWONRST2n보다 낮게 저하하지 않는 한, 다시 리세트 신호 LOWVDDn을 출력하지 않다. 이에 따라, 1회째의 파워-온 검지 레벨에 도달했을 때만, 로우 레벨의 리세트 신호 LOWVDDn을 출력하여 주변 회로 PC를 리세트 할 수 있다.

여기서, 파워-온 리세트 회로 PORC52가 검지하는 전압 Vpwon2는 장치의 동작이 가능한 논리 회로의 동작 최저 전압 V1로 설정되어 있기 때문에, 1회째에 파워-온 검지 레벨 V2에 도달한 후에 전원 전압 VCC이 저하한 경우에도, 논리 회로의 동작 최저 전압 V1 이상이면 장치는 리세트되지 않게 된다. 따라서, 전원 전압 VCC이, 논리 회로의 동작 최저 전압 V1 이상의 레벨에 있어서 장치의 동작 상태를 시험하는 것이 가능해진다. 다시 말해서, 장치의 동작 최저 전압이 어디에 있는지를 조사할 수 있다.

<제6 실시예>

본 발명의 제6 실시예에 대하여, 그 구성을 도시한 도 13을 이용하여 설명한다. 본 실시예는, 파워-온 리세트 회로 PORC61과 제어 회로 CT61을 구비하고, 제어 회로 CT61은 인버터 IN61 및 IN62, SR형 플립플롭 SR61, 그 밖의 제어 회로 OCT, 커맨드 버퍼 CMB61 및 CMB62, 펄스 발생 회로 PG61 및 PG62, ROM 판독 제어 회로 RRC를 갖는다. 본 실시예는 다른 용도로 이용되고 있는 커맨드, 예를 들면 리세트 커맨드 등을, ROM 판독 기동용 커맨드로서 병용하는 점에 특징이 있다. 이하, 리세트 커맨드를 ROM 판독 기동용 커맨드로서 병용하는 경우를 예로 들어 설명한다.

리세트 커맨드는, 통상 동작에 있어서 입력된 경우에는, 동작 중의 회로를 초기화(예를 들면, 주변 회로의 레지스터의 리세트 등)를 행하게 하는 것이다. 그러나, 본 실시예에서는, 이 리세트 커맨드가 전원 투입 직후에 입력된 경우에는 ROM 판독 기동용 커맨드로서 해석하여, ROM 판독을 개시한다. 이 리세트 커맨드를 ROM 판독 기동용 커맨드로서 해석할지의 여부는 시프트 레지스터 SR61의 상태에 따라서 행한다.

즉, 전원이 투입되어, 파워-온 검지 레벨에 도달하기 전까지는, 파워-온 리세트 회로 PORC61로부터 로우 레벨의 파워-온 리세트 신호 PWONRSTn이 출력되고, 인버터 IN61에 의해서 반전된 후. , SR형 플립플롭 SR의 리세트 단자 R에 입력되어 리세트된다. 이 로우 레벨의 파워-온 리세트 신호 PWONRSTn은 그 밖의 제어 회로 OCT, 커맨드 버퍼 CMB61 및 CMB62, ROM 판독 제어 회로 RRC의 리세트 단자/Reset에도 입력되어 리세트된다.

SR형 플립플롭 SR이 리세트되면, SR형 플립플롭 SR로부터 출력되는 버퍼 선택 신호가 제1 레벨(예를 들면, 로우 레벨)에 있다. 이 경우에는, 제1 레벨의 버퍼 선택 신호가 커맨드 버퍼 CMB61에 공급되어 비선택 상태로 되고, 이 선택 신호가 인버터 IN62에 의해 반전되어 제2 레벨(예를 들면 하이 레벨)이 커맨드 버퍼 CMB62에 입력되어 선택 상태로 된다.

이 상태에서는 리세트 커맨드가 ROM 판독 기동용의 커맨드로서 해석된다. 리세트 커맨드가 입력되면, 커맨드 버퍼 CMB61 및 CMB62에 입력되고, 선택된 커맨드 버퍼 CMB62에 유지되어 출력되고, 펄스 발생 회로 PG62에 공급되어 기동 펄스가 발생한다. 이 기동 펄스가 ROM 판독 제어 회로 RRC의 세트 단자 Set에 입력되어, ROM 판독이 기동된다.

일단 ROM 판독이 기동하면, 이 기동 펄스가 시프트 레지스터 SR의 세트 단자 S에 입력되어, 세트 상태로 된다. 이에 따라, 시프트 레지스터 SR로부터 출력되는 커맨드 선택 신호는, 제2 레벨로 전환한다. 이 선택 신호가 커맨드 버퍼 CMB61에 입력되면 선택 상태로 되어, 반전된 제1 레벨의 버퍼 선택 신호가 커맨드 버퍼 CMB62에 입력되면 비선택 상태로 된다.

이 상태에서 리세트 커맨드가 커맨드 버퍼 CMB61 및 CMB62에 입력되면, 커맨드 버퍼 CMB62로부터는 리세트 커맨드가 출력되지 않기 때문에 펄스 발생 회로 PG62로부터는 기동 펄스가 출력되지 않는다. 한편, 커맨드 버퍼 CMB61로부터 리세트 커맨드가 출력되어 펄스 발생 회로 PG 61에 입력되고, 리세트용 신호가 그 밖의 제어 회로 OCT로 입력되어, 리세트에 필요한 제어 신호가 각 회로에 출력되어 리세트된다.

본 실시예에 따르면, 리세트 커맨드 등과 같이 이미 이용되고 있는 커맨드를 ROM 판독 기동용 커맨드로서 병용함으로써, ROM 판독 기동용에 전용인 커맨드를 설정할 필요가 없다.

또한, 리세트 커맨드를 ROM 판독 기동용으로 이용하는 경우에, 기존 제품의 사양에 있어서 전원 투입 직후에 리세트 커맨드를 입력하는 것을 사용자에게 추장하고 있었다고 하면, 새롭게 ROM 판독 기동용 커맨드를 입력하는 것을 추장하지 않고, 기존의 사양대로 리세트 커맨드의 입력을 추장함으로써, 기존의 제품에서의 동작과 상기 실시예에 따른 ROM 판독의 기동 사이에서, 호환성을 취할 수 있다.

이상 설명한 바와 같이, 상기 실시예에 따르면, ROM 판독 등의 초기화를 행할지 여부를, 외부로부터의 전압에 따라서 결정함으로써, 동작 불량이 발생한 경우에 초기화를 행하지 않고서 동작시킬 수 있기 때문에, 동작 불량의 원인이 초기화 동작에 있는지 다른 개소에 있는지를 밝혀내어 불량 개소를 특정할 수 있고, 또한 외부로부터의 커맨드의 입력을 대기하여 초기화를 행하는 경우에는 전원 투입 후에 자동적으로 초기화를 기동시킬 때의 전압 변동에 의한 초기화 불량을 방지할 수 있다. 다음에, 상기 제1, 제3 또는 제5 실시예를 멀티칩으로서 이용한 경우의 구성 및 동작에 대하여 설명한다.

다음에, 상기 제1, 제3 또는 제5 실시예를 멀티칩 모드로서 이용한 경우의 구성 및 동작에 대하여 설명한다.

도 14a 및 도 14b는 멀티칩 모드로서 구성된 시스템의 구성을 도시한다. 전압 PRDIS가 인가되는 입력 패드를 구비한 상기 제1, 제3, 또는 제5 실시예 중 어느 하나를 각각 탑재한 복수의 칩 CH1～CH4이 배치되어 있다. 여기서, 칩의 수는 2 이상이면 그 수는 임의로 설정할 수 있다.

각각의 칩 CH1～CH4에는 전원 Vcc가 공급되는 전원 전압 VCC 단자, 제어 신호가 입력되는 제어 단자, 커맨드 등의 각 신호나 데이터가 입출력되는 입출력 단자가 설치되어 있다. 그리고, 이들 단자는 각각, 각 칩 CH1～CH4에 있어서 공유화한 상태로 접속되어 있다.

멀티칩 모드의 시스템 구성으로서 2 종류의 방법이 있다. 1개는 도 14a에 도시된 바와 같이 CADD 패드를 이용하여, I/O 패드로부터의 칩 어드레스의 입력과 CADD 패드의 와이어 본딩 정보의 비교에 의해 개개의 칩을 개별로 하는 방법이다. 다른 하나는 도 14b에 도시된 바와 같이 /CE(칩 인에이블) 패드만 개별로 드라이브함으로써 /CE가 Low인 칩에만 동작시키는 방법이다.

또한, 각 칩 CH1～CH4에는, 칩 어드레스를 나타내는 칩 어드레스 전압이 인가되는 본딩 패드 CADD0 및 CADD1이 설치되어 있다. 칩 CH1의 본딩 패드 CADD0, CADD1에는 모두 로우 레벨의 전압이 인가된다. 칩 CH2의 본딩 패드 CADD0, CADD1에는, 각각 하이 레벨, 로우 레벨의 전압이 인가된다. 칩 CH3의 본딩 패드 CADD0, CADD1에는 각각 로우 레벨, 하이 레벨의 전압이 인가된다. 칩 CH4의 본딩 패드 CADD0, CADD1에는 모두 하이 레벨의 전압이 인가된다.

어느 하나의 칩을 선택하여, 그 칩에 커맨드를 입력하여 동작시키는 경우에는, 그 칩의 칩 어드레스를 칩 CH1～CH4에 입력한다. 칩 CH1～CH4에, 모두 로우 레벨의 칩 어드레스 CADD0, CADD1이 입력된 경우에는 칩 CH1이 선택된다. 칩 CH1～CH4에 로우 레벨의 칩 어드레스 CADD0과 하이 레벨의 CADD1이 입력된 경우에는 칩 CH3이 선택된다.

그러나 종래는, 전원이 투입되면, 모든 칩 CH1～CH4에 있어서 자동적으로 ROM 판독이 행해지고 있었다. 도 15의 (a)에 도시된 바와 같이, 전원 투입 후에 전원 전압 VCC가 서서히 상승해 간다. 도 15의 (b)에 도시된 바와 같이, 칩 CH1～CH4

에 있어서 전원 전압 VCC 단자가 공유화되고 있고, 전원이 투입되면 자동적으로 칩 CH1～CH4에 있어서 ROM 판독이 행해지고 있었다. 이 ROM 판독이 행해진 후, 칩 어드레스를 입력하여 칩의 선택을 행하고, 선택한 칩에 판독, 기입, 소거 등의 커맨드를 입력하여 동작시킨다.

여기서, 도 16의 (a)에 도시된 바와 같이, 전원 투입 후에 자동적으로 ROM 판독을 행하면, 도 16의 (b)에 도시된 바와 같이, ROM 판독 동작을 행하는 기간 중에서의 초기에 피크 전류를 소비하게 된다. 예를 들면, 이 시스템과 같이 4개의 칩 CH1～CH4를 구비하는 경우에는 1개의 칩에서의 피크 전류의 4배가 소비되게 된다.

그러나, 시스템에 의해서는, 1개의 칩에서의 피크 전류의 칩 수를 승산한 만큼의 전원의 공급이 가능하지 않고, 예를 들면 피크 전류의 2배분밖에 공급할 수 없는 경우가 있다. 이러한 경우에는 피크 전류가 발생하는 시점에 있어서, 전원 전압이 강하하고, 그 결과 시스템에 리세트가 걸리게 되어 정상적으로 ROM 판독을 행할 수 없게 될 우려가 있다.

그래서, 이러한 사태를 회피하기 위해서, 상기 제1, 제3, 또는 제5 실시예 중의 어느 하나가 칩화된 복수의 칩 CH1～CH4를 구비한 시스템의 구성을, 도 17a 및 도 17b에 도시한다. 이 시스템에서는, 도 14a 및 도 14b에 도시된 시스템과 달리, 각 칩 CH1～CH4가 또한 상기 제1, 제3, 또는 제5 실시예에 있어서 상술한 입력 패드 PD11을 구비하고 있다. 이 입력 패드 PD11에, 로우 레벨의 전압이 인가된 경우에는, 전원 투입 후의 자동적인 ROM 판독을 행하게 하고, 하이 레벨의 전압이 인가된 경우에는, 전원 투입 후의 자동적인 ROM 판독을 행하게 하지 않는다.

도 17a, 도 17b에 도시된 예에서는, 칩 CH1만 로우 레벨의 전압을 입력 패드 PD11에 인가하고, 다른 칩 CH2～CH4에는 하이 레벨의 전압을 각각의 입력 패드 PD11에 인가한다.

이에 따라, 도 18의 (a) 및 도 18의 (b)에 도시된 바와 같이, 1개의 칩 CH1만이 전원 투입 후의 자동적인 ROM 판독을 행하게 된다. 이 후, 다른 칩 CH2～CH4에 대하여, 시기를 변이시켜서 칩 어드레스를 각각 입력하여 선택하고, ROM 판독을 기동시키는 커맨드를 입력하여, ROM 판독을 행하게 한다. 이 결과, 복수의 칩에서 동일 시기에 피크 전류가 흐르지 않기 때문에, 전원 전압의 저하가 방지되어, 정상적으로 ROM 판독을 행할 수 있다.

이와 같이 멀티칩을 구비하는 시스템에 있어서, 상기 제1, 제3, 또는 제5 실시예가 구비하는 입력 패드 PD11에 인가하는 전압 PRDIS를 로우 레벨 또는 하이 레벨로 설정함으로써, ROM 판독에 필요한 피크 전류가 원인으로 되어 전원 전압이 강하하고, 오동작이 발생하는 것을 방지하는 것이 가능하다.

다음에, 본 발명의 제7 실시예로서, 상기 제1～제6 실시예에 의한 반도체 장치 또는 불휘발성 반도체 기억 장치를 이용한 전자 카드와, 이 전자 카드를 이용한 전자 장치에 대하여 설명한다.

<제7 실시예>

도 19에, 제7 실시예에 의한 전자 카드와, 이 전자 카드를 이용한 전자 장치의 구성을 도시한다.

여기서는, 전자 장치의 일례로서 휴대 전자 기기, 또한 그 일례로서 디지털 스틸 카메라를 도시한다. 전자 카드는, 예를 들면 메모리 카드(51)이고, 디지털 스틸 카메라(101)의 기록 미디어로서 이용되며, 내부에 상기 제1～제6 실시예에 의한 반도체 장치 또는 불휘발성 반도체 기억 장치가 집적화되어 밀봉된 IC 패키지 PK1를 갖고 있다.

디지털 스틸 카메라(101)의 케이스에는, 카드 슬롯(102), 이 카드 슬롯(102)에 접속된, 도시되어 있지 않은 회로 기판이 수납되어 있다.

메모리 카드(51)는 디지털 스틸 카메라(101)의 카드 슬롯(102)에 착탈이 가능한 상태로 장착된다. 메모리 카드(51)가 카드 슬롯(102)에 장착되면, 회로 기판 상의 전자 회로에 전기적으로 접속된다.

전자 카드가, 예를 들면 비접촉형의 IC 카드인 경우에는, 카드 슬롯(102)에 수납하거나, 혹은 가까이 함으로써, 회로 기판 상의 전자 회로에, 무선 신호에 의해 전기적으로 접속된다.

도 20에, 디지털 스틸 카메라의 기본적인 구성을 도시한다.

피사체로부터의 빛이 렌즈(103)에 의해서 집광되어 촬상 장치(104)에 입력된다. 촬상 장치(104)는, 예를 들면 CMOS 이미지 센서이고, 입력된 광을 광전 변환하여, 예를 들면 아날로그 신호를 출력한다. 이 아날로그 신호는 아날로그 증폭기

(AMP)에 의해 증폭된 후, A/D 컨버터에 의해 디지털 변환된다. 변환된 신호는 카메라 신호 처리 회로(105)에 입력되어, 예를 들면 자동 노출 제어(AE), 자동 화이트 밸런스 제어(AWB), 및 색 분리 처리를 행한 후, 휘도 신호와 색차 신호로 변환된다.

화상을 모니터하는 경우, 카메라 신호 처리 회로(105)로부터 출력된 신호가 비디오 신호 처리 회로(106)에 입력되어, 비디오 신호로 변환된다. 비디오 신호의 방식으로서는, 예를 들면, NTSC(National Television System Committee)를 예로 들 수 있다.

비디오 신호는 표시 신호 처리 회로(107)를 통하여, 디지털 스틸 카메라(101)에 부착된 표시부(108)에 출력된다. 표시부(108)는, 예를 들면 액정 모니터로 해도 된다.

비디오 신호는 비디오 드라이버(109)를 통하여 비디오 출력 단자(110)에 인가된다. 디지털 스틸 카메라(101)에 의해 촬상된 화상은, 비디오 출력 단자(110)를 통하여, 예를 들면 텔레비전 등의 화상 기기에 출력할 수 있다. 이에 따라, 촬상한 화상을 표시부(108) 이외에서도 표시 할 수 있다. 촬상 장치(104), 아날로그 증폭기(AMP), A/D 컨버터(A/D), 카메라 신호 처리 회로(105)는, 마이크로 컴퓨터(111)에 의해서 제어된다.

화상을 캡쳐하는 경우, 조작 버튼, 예를 들면 셔터 버튼(112)을 조작자가 누른다. 이에 따라, 마이크로 컴퓨터(111)가, 메모리 컨트롤러(113)를 제어하여, 카메라 신호 처리 회로(105)로부터 출력된 신호가 프레임 화상으로서 비디오 메모리(114)에 기입된다. 비디오 메모리(114)에 기입된 프레임 화상은 압축/신장 처리 회로(115)에 의해, 소정의 압축 포맷에 기초하여 압축되고, 카드 인터페이스(116)를 통하여 카드 슬롯에 장착되어 있는 메모리 카드(51)에 기록된다.

기록한 화상을 재생하는 경우, 메모리 카드(51)에 기록되어 있는 화상을, 카드 인터페이스(116)를 통하여 판독하고, 압축/신장 처리 회로(115)에 의해 신장한 후, 비디오 메모리(114)에 기입한다. 기입된 화상은 비디오 신호 처리 회로(106)에 입력되어, 화상을 모니터하는 경우와 마찬가지로, 표시부(108)나 화상 기기에 비추어진다.

또한, 이 구성에서는 회로 기판(100) 상에 카드 슬롯(102), 촬상 장치(104), 아날로그 증폭기(AMP), A/D 컨버터(A/D), 카메라 신호 처리 회로(105), 비디오 신호 처리 회로(106), 표시 장치(107), 비디오 드라이버(109), 마이크로 컴퓨터(111), 메모리 컨트롤러(113), 비디오 메모리(114), 압축/신장 처리 회로(115), 및 카드 인터페이스(116)가 실장된다.

여기서, 카드 슬롯(102)에 대해서는, 회로 기판(100) 상에 실장될 필요는 없고, 커넥터 케이블 등에 의해 회로 기판(100)에 접속되어도 된다.

또한, 회로 기판(100) 상에는 또한 전원 회로(117)가 실장된다. 전원 회로(117)는, 외부 전원, 혹은 전지로부터 전원의 공급을 받아, 디지털 스틸 카메라(101)의 내부에서 사용하는 내부 전원 전압을 발생한다. 전원 회로(117)로서, 예를 들면 DC-DC 컨버터를 이용해도 된다. 내부 전원 전압은 상술한 각 회로에 공급될 뿐만 아니라, 스트로브(118), 표시부(108)에도 공급된다.

이와 같이, 본 실시예에 의한 전자 카드는, 상술한 디지털 스틸 카메라 등의 휴대 전자 기기에 이용하는 것이 가능하다. 그러나 이 전자 카드는 휴대 전자 기기뿐만아니라, 예를 들면 도 21a~도 21j에 도시된 예와 같이, 각종 기기에도 적용할 수 있다. 즉, 도 21a에 도시된 비디오 카메라, 도 21b에 도시된 텔레비전, 도 21c에 도시된 오디오 기기, 도 21d에 도시된 게임 기기, 도 21e에 도시된 전자 악기, 도 21f에 도시된 휴대 전화, 도 21g에 도시된 퍼스널 컴퓨터, 도 21h에 도시된 퍼스널 디지털 어시스턴트(PDA), 도 21i에 도시된 보이스 레코더, 도 21j에 도시된 PC 카드 등에도 상기 전자 카드를 이용할 수 있다.

상술한 실시예는 모두 일례로서, 본 발명을 한정하는 것은 아니고, 본 발명의 기술적 범위를 넘지 않는 범위에서 여러가지로 변형하는 것이 가능하다.

발명의 효과

이상 설명한 바와 같이, 상기 실시예에 따르면, ROM 판독 등의 초기화를 행할지 여부를, 외부로부터의 전압에 따라서 결정함으로써, 동작 불량이 발생한 경우에 초기화를 행하지 않고서 동작시킬 수 있기 때문에, 동작 불량의 원인이 초기화 동작에 있는지 다른 개소에 있는지를 밝혀내어 불량 개소를 특정할 수 있고, 또한 외부로부터의 커맨드의 입력을 대기하여 초기화를 행하는 경우에는 전원 투입 후에 자동적으로 초기화를 기동시킬 때의 전압 변동에 의한 초기화 불량을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

전원 전압의 레벨에 따라, 소정의 회로를 초기화하는 제1 신호를 생성하는 제1 회로와,

외부로부터의 입력에 따라 활성화 신호를 생성하는 활성화 제어 회로와,

상기 제1 회로로부터의 상기 제1 신호를 제2 신호로 변환하고, 상기 활성화 제어 회로로부터의 상기 활성화 신호에 기초하여 상기 제2 신호를 출력하는 제2 회로

를 포함하는 반도체 장치.

청구항 2.

제1항에 기재된 상기 반도체 장치를 복수개 포함하고,

상기 반도체 장치에서의 각각의 상기 활성화 제어 회로에 의해 상기 제2 회로의 활성화 또는 비활성화를 제어하는 시스템.

청구항 3.

제1항에 기재된 상기 반도체 장치가 전자 카드에 탑재되는 반도체 장치.

청구항 4.

전자 장치로서,

카드 인터페이스와,

상기 카드 인터페이스에 접속된 카드 슬롯과,

상기 카드 슬롯에 전기적으로 접속되는 것이 가능한 전자 카드를 구비하고,

상기 전자 카드에는, 제1항에 기재된 상기 반도체 장치가 탑재되는 전자 장치.

청구항 5.

메모리 셀 어레이에서의 제1 영역을 제2 영역으로 치환하기 위한 치환 데이터를 포함하는 퓨즈 데이터를 저장하는 퓨즈 데이터 저장부와,

상기 퓨즈 데이터 저장부로부터 상기 퓨즈 데이터를 판독하는 퓨즈 데이터 판독부와,

활성화되면, 상기 퓨즈 데이터 판독부에 상기 퓨즈 데이터를 판독하게 하기 위한 제어 신호를 출력하는 판독 제어 회로와,

외부로부터의 입력에 따라 상기 판독 제어 회로를 제어하는 활성화 제어 회로와,

상기 활성화 제어 회로에 접속되고, 상기 외부로부터의 입력이 전압의 인가에 의해 행해지는 패드

를 포함하고,

상기 활성화 제어 회로는,

전원이 투입되어 전압이 소정 레벨에 도달하면 파워-온 리세트 신호를 출력하는 파워-온 리세트 회로와,

상기 패드에 입력된 전압이 제1 레벨에 있는 경우, 상기 파워-온 리세트 신호가 출력되면 상기 판독 제어 회로를 활성화하여 상기 제어 신호를 출력시키고, 상기 패드에 입력된 전압이 제2 레벨에 있는 경우, 상기 파워-온 리세트 신호가 출력되어도 상기 판독 제어 회로를 비활성화하여 상기 제어 신호를 출력시키지 않는 활성화 결정 회로

를 포함하는 불휘발성 반도체 기억 장치.

청구항 6.

제5항에 기재된 상기 불휘발성 반도체 기억 장치를 복수 구비하고,

상기 불휘발성 반도체 기억 장치에서의 각각의 상기 활성화 제어 회로에 의해 상기 판독 제어 회로의 활성화 또는 비활성화를 제어하는 시스템.

청구항 7.

제5항에 기재된 상기 불휘발성 반도체 기억 장치가 전자 카드에 탑재되는 반도체 장치.

청구항 8.

전자 장치로서,

카드 인터페이스와,

상기 카드 인터페이스에 접속된 카드 슬롯과,

상기 카드 슬롯에 전기적으로 접속되는 것이 가능한 전자 카드를 구비하고,

상기 전자 카드에는, 제5항에 기재된 상기 반도체 기억 장치가 탑재되는 전자 장치.

청구항 9.

제8항에 있어서,

상기 전자 장치는 디지털 스틸 카메라인 전자 장치.

청구항 10.

제8항에 있어서,

상기 전자 장치는 비디오 카메라인 전자 장치.

청구항 11.

제8항에 있어서,

상기 전자 장치는 텔레비전인 전자 장치.

청구항 12.

제8항에 있어서,

상기 전자 장치는 오디오 기기인 전자 장치.

청구항 13.

제8항에 있어서,

상기 전자 장치는 게임 기기인 전자 장치.

청구항 14.

제8항에 있어서,

상기 전자 장치는 전자 악기인 전자 장치.

청구항 15.

제8항에 있어서,

상기 전자 장치는 휴대 전화인 전자 장치.

청구항 16.

제8항에 있어서,

상기 전자 장치는 퍼스널 컴퓨터인 전자 장치.

청구항 17.

제8항에 있어서,

상기 전자 장치는 퍼스널 디지털 어시스턴트인 전자 장치.

청구항 18.

제8항에 있어서,

상기 전자 장치는 보이스 레코더인 전자 장치.

청구항 19.

제8항에 있어서,

상기 전자 장치는 PC 카드인 전자 장치.

청구항 20.

삭제

청구항 21.

제5항에 있어서,

상기 외부로부터의 입력은, 상기 활성화 제어 회로에의 소정의 커맨드의 입력에 의해 행해지는 불휘발성 반도체 기억 장치.

청구항 22.

메모리 셀 어레이에서의 제1 영역을 제2 영역으로 치환하기 위한 치환 데이터를 포함하는 퓨즈 데이터를 저장하는 퓨즈 데이터 저장부와,

상기 퓨즈 데이터 저장부로부터 상기 퓨즈 데이터를 판독하는 퓨즈 데이터 판독부와,

활성화되면, 상기 퓨즈 데이터 판독부에 상기 퓨즈 데이터를 판독하게 하기 위한 제어 신호를 출력하는 판독 제어 회로와,

외부로부터의 입력에 따라 상기 판독 제어 회로를 제어하는 활성화 제어 회로와,

상기 활성화 제어 회로에 접속되고, 상기 외부로부터의 입력이 전압의 인가에 의해 행해지는 패드

를 포함하고,

상기 활성화 제어 회로는,

전원이 투입되어 전압이 소정 레벨에 도달하면 파워-온 리세트 신호를 출력하는 파워-온 리세트 회로와,

상기 패드에 입력된 전압이 제1 레벨에 있는 경우, 상기 파워-온 리세트 신호가 출력되면 상기 판독 제어 회로를 활성화하여 상기 제어 신호를 출력시키고, 상기 패드에 입력된 전압이 제2 레벨에 있는 경우, 상기 파워-온 리세트 신호가 출력되어도 상기 판독 제어 회로를 비활성화하여 상기 제어 신호를 출력시키지 않는 활성화 결정 회로와,

소정의 커맨드 입력과 상기 활성화 결정 회로의 출력에 기초하여, 상기 판독 제어 회로를 제어하는 제어 회로

를 포함하는 불휘발성 반도체 기억 장치.

청구항 23.

제21항에 있어서,

상기 활성화 제어 회로는,

전원이 투입되어 전압이 소정 레벨에 도달하면 파워-온 리세트 신호를 출력하는 파워-온 리세트 회로와,

상기 소정의 커맨드가 입력되지 않는 동안은 상기 파워-온 리세트 신호의 출력에 상관없이 상기 판독 제어 회로를 비활성화하고, 상기 소정의 커맨드가 입력되면 상기 판독 제어 회로를 활성화하여 상기 제어 신호를 출력시키는 활성화 결정 회로

를 구비하는 불휘발성 반도체 기억 장치.

청구항 24.

제5항에 있어서,

상기 활성화 제어 회로는,

상기 활성화 제어 회로에 접속된 패드와,

전원이 투입되어 전압이 소정 레벨에 도달하면 파워-온 리세트 신호를 출력하는 파워-온 리세트 회로와,

상기 패드에 입력된 전압이 제1 레벨에 있는 경우, 상기 파워-온 리세트 신호가 출력되면 제1 활성화 신호를 출력하고, 상기 패드에 입력된 전압이 제2 레벨에 있는 경우, 상기 파워-온 리세트 신호가 출력되더라도 상기 제1 활성화 신호를 출력하지 않은 제1 활성화 회로와,

소정의 커맨드가 입력되면 제2 활성화 신호를 출력하고, 상기 소정의 커맨드가 입력되지 않는 동안은 상기 파워-온 리세트 신호의 출력에 관계 없이 상기 제2 활성화 신호를 출력하지 않은 제2 활성화 회로와,

상기 제1 활성화 신호 또는 상기 제2 활성화 신호 중 적어도 어느 한쪽이 출력되면, 상기 판독 제어 회로를 활성화하여 상기 제어 신호를 출력시키는 활성화 결정 회로

를 구비하는 불휘발성 반도체 기억 장치.

청구항 25.

제5항에 있어서,

상기 활성화 제어 회로는,

전원이 투입되어 전압이 소정 레벨에 도달하면 파워-온 리세트 신호를 출력하는 파워-온 리세트 회로와,

상기 파워-온 리세트 신호가 출력되면 제1 활성화 신호를 출력하는 제1 활성화 회로와,

소정의 커맨드가 입력되면 제2 활성화 신호를 출력하고, 상기 소정의 커맨드가 입력되지 않은 동안은 상기 파워-온 리세트 신호의 출력에 관계 없이 상기 제2 활성화 신호를 출력하지 않은 제2 활성화 회로와,

상기 제1 활성화 신호 또는 상기 제2 활성화 신호 중 적어도 어느 한쪽이 출력되면, 상기 판독 제어 회로를 활성화하여 상기 제어 신호를 출력시키는 활성화 결정 회로

를 구비하는 불휘발성 반도체 기억 장치.

청구항 26.

제25항에 있어서,

상기 활성화 결정 회로는, 상기 제1 활성화 신호와 상기 제2 활성화 신호 중 어느 한쪽이 출력되어, 상기 판독 제어 회로를 활성화하여 상기 제어 신호를 출력시킨 후라도, 상기 제1 활성화 신호와 상기 제2 활성화 신호 중 어느 한쪽이 출력되면, 재차 상기 판독 제어 회로를 활성화하여 상기 제어 신호를 출력시키는 불휘발성 반도체 기억 장치.

청구항 27.

소정의 회로를 초기화하기 위한 초기화 신호를 출력하는 초기화 제어 회로와,

전원 전압이 제1 레벨을 넘으면 제1 파워-온 리세트 신호를 출력하는 제1 파워-온 리세트 회로와,

상기 전원 전압이 상기 제1 레벨보다 높은 제2 레벨을 넘으면 제2 파워-온 리세트 신호를 출력하는 제2 파워-온 리세트 회로

를 구비하고,

상기 초기화 제어 회로는, 전원 투입 후, 상기 제2 파워-온 리세트 신호가 출력되면 상기 초기화 신호를 출력하고, 그 이후는, 상기 제2 파워-온 리세트 신호가 재차 출력되더라도, 상기 제1 파워-온 리세트 신호가 다시 출력되지 않는 한 상기 초기화 신호를 출력하지 않는 반도체 장치.

청구항 28.

메모리 셀 어레이에서의 제1 영역을 제2 영역으로 치환하기 위한 치환 데이터를 포함하는 퓨즈 데이터를 저장하는 퓨즈 데이터 저장부와,

상기 퓨즈 데이터 저장부로부터 상기 퓨즈 데이터를 판독하는 퓨즈 데이터 판독부와,

활성화되면, 상기 퓨즈 데이터 판독부에 상기 퓨즈 데이터를 판독하게 하기 위한 제어 신호를 출력하는 판독 제어 회로와,

상기 판독 제어 회로의 활성화 또는 비활성화를 제어하는 활성화 제어 회로를 구비하고,

상기 활성화 제어 회로는,

전원 투입 후, 소정의 커맨드가 1회째에 입력되었을 때는, 이 커맨드를 상기 퓨즈 데이터를 판독 커맨드라고 해석하여 상기 판독 제어 회로를 활성화하고, 상기 소정의 커맨드가 2회째 이후에 입력되었을 때는, 이 커맨드를 상기 퓨즈 데이터를 판독하는 커맨드가 아니라고 해석하여, 상기 판독 제어 회로를 비활성화하는 불휘발성 반도체 기억 장치.

청구항 29.

제28항에 기재된 상기 불휘발성 반도체 기억 장치를 복수 구비하고,

상기 불휘발성 반도체 기억 장치에서의, 각각의 상기 활성화 제어 회로에 의해 상기 판독 제어 회로의 활성화 또는 비활성화를 제어하는 시스템.

청구항 30.

제28항에 기재된 상기 불휘발성 반도체 기억 장치가, 전자 카드에 탑재되는, 불휘발성 반도체 기억 장치.

청구항 31.

전자 장치로서,

카드 인터페이스와,

상기 카드 인터페이스에 접속된 카드 슬롯과,

상기 카드 슬롯에 전기적으로 접속되는 것이 가능한 전자 카드를 구비하고,

상기 전자 카드에는, 제28항에 기재된 상기 불휘발성 반도체 기억 장치가 탑재되는, 전자 장치.

청구항 32.

제31항에 있어서,

상기 전자 장치는 디지털 스틸 카메라인 전자 장치.

청구항 33.

제31항에 있어서,

상기 전자 장치는 비디오 카메라인 전자 장치.

청구항 34.

제31항에 있어서,

상기 전자 장치는 텔레비전인 전자 장치.

청구항 35.

제31항에 있어서,

상기 전자 장치는 오디오 기기인 전자 장치.

청구항 36.

제31항에 있어서,

상기 전자 장치는 게임 기기인 전자 장치.

청구항 37.

제31항에 있어서,

상기 전자 장치는 전자 악기인 전자 장치.

청구항 38.

제31항에 있어서,

상기 전자 장치는 휴대 전화인 전자 장치.

청구항 39.

제31항에 있어서,

상기 전자 장치는 퍼스널 컴퓨터인 전자 장치.

청구항 40.

제31항에 있어서,

상기 전자 장치는 퍼스널 디지털 어시스턴트인 전자 장치.

청구항 41.

제31항에 있어서,

상기 전자 장치는 보이스 레코더인 전자 장치.

청구항 42.

제31항에 있어서,

상기 전자 장치는 PC 카드인 전자 장치.

청구항 43.

제28항에 있어서,

상기 활성화 제어 회로는,

제1 커맨드 선택 신호를 주어지면, 입력된 상기 소정의 커맨드를 유지하여 출력하는 제1 커맨드 버퍼와,

제2 커맨드 선택 신호를 주어지면, 입력된 상기 소정의 커맨드를 유지하여 출력하는 제2 커맨드 버퍼와,

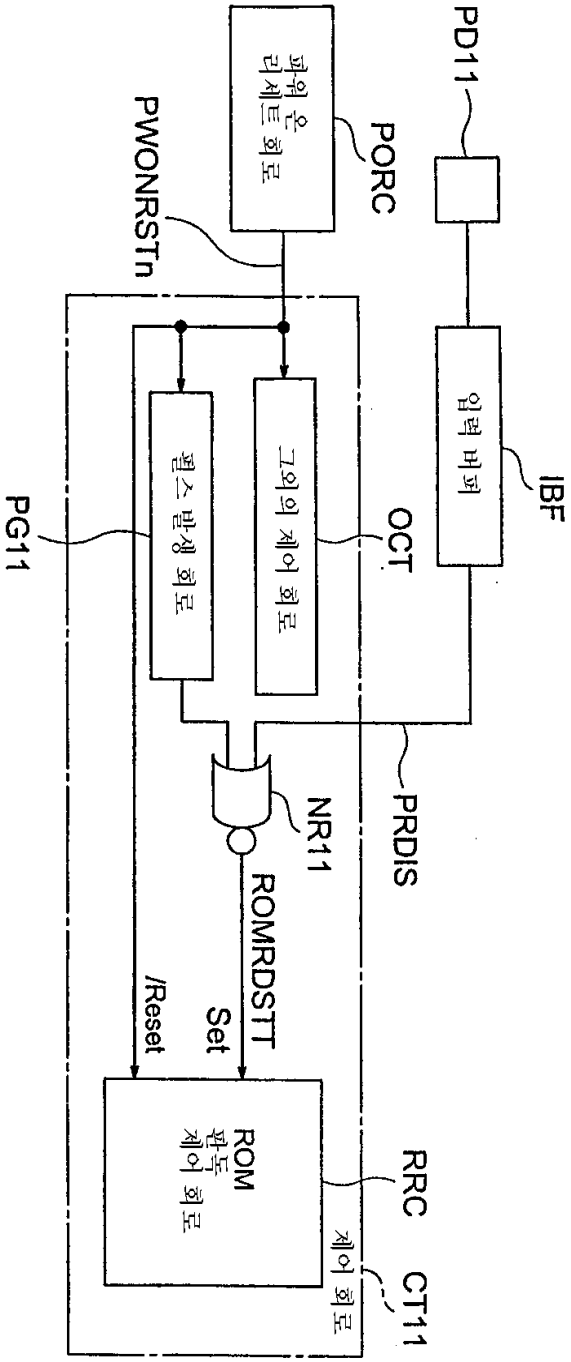
상기 제1 커맨드 버퍼로부터 상기 소정의 커맨드가 출력되지 않는 동안은, 상기 제1 커맨드 버퍼 선택 신호를 출력하고, 상기 제1 커맨드 버퍼로부터 상기 소정의 커맨드가 출력된 이후는, 상기 제2 커맨드 버퍼 선택 신호를 출력하는 커맨드 버퍼 선택부

를 갖고,

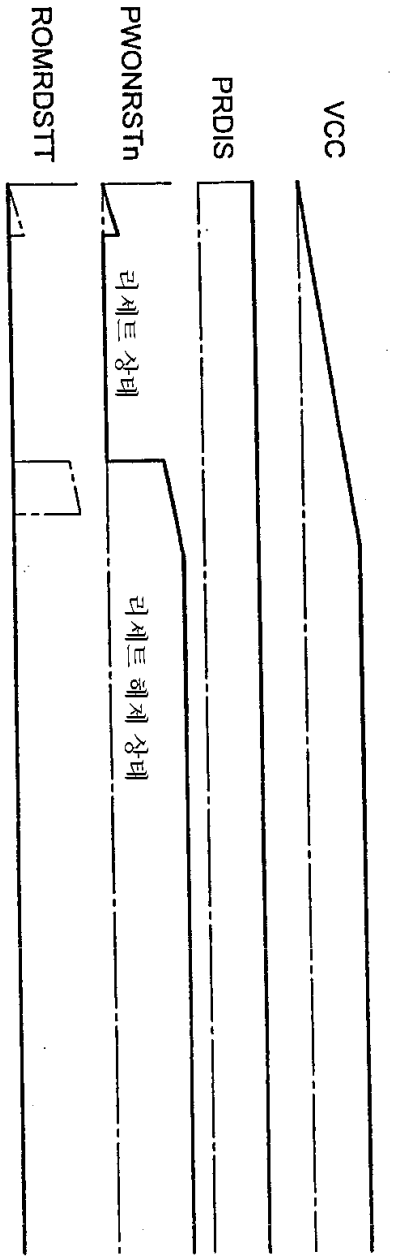
상기 제1 커맨드 버퍼로부터 상기 소정의 커맨드가 출력되면 상기 판독 제어 회로를 활성화하고, 상기 제2 커맨드 버퍼로부터 상기 소정의 커맨드가 출력되었을 때는 상기 판독 제어 회로를 비활성화하는 불휘발성 반도체 기억 장치.

도면

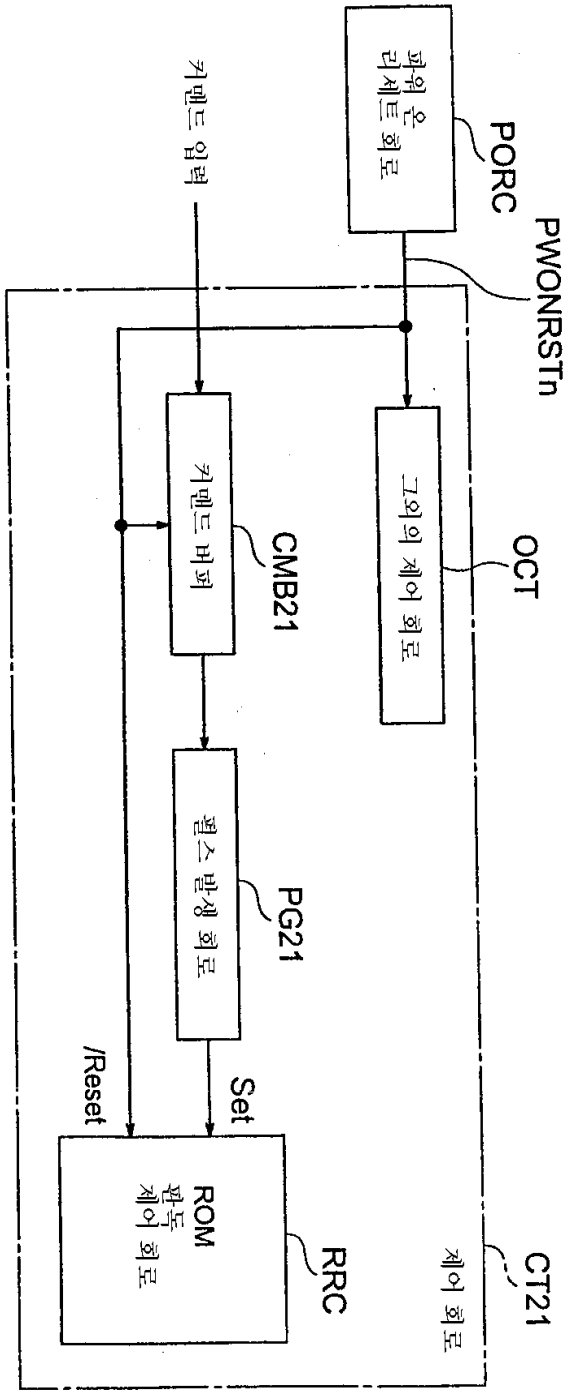
도면1


PD11
파워 온 리세트 회로
PORC
PWONRSTn
입력 버퍼
IBF
펄스 발생 회로
그외의 제어 회로
OCT
PG11
NR11
PRDIS
ROMRDSTT
Set
/Reset
ROM 판독 제어 회로
RRC
제어 회로
CT11

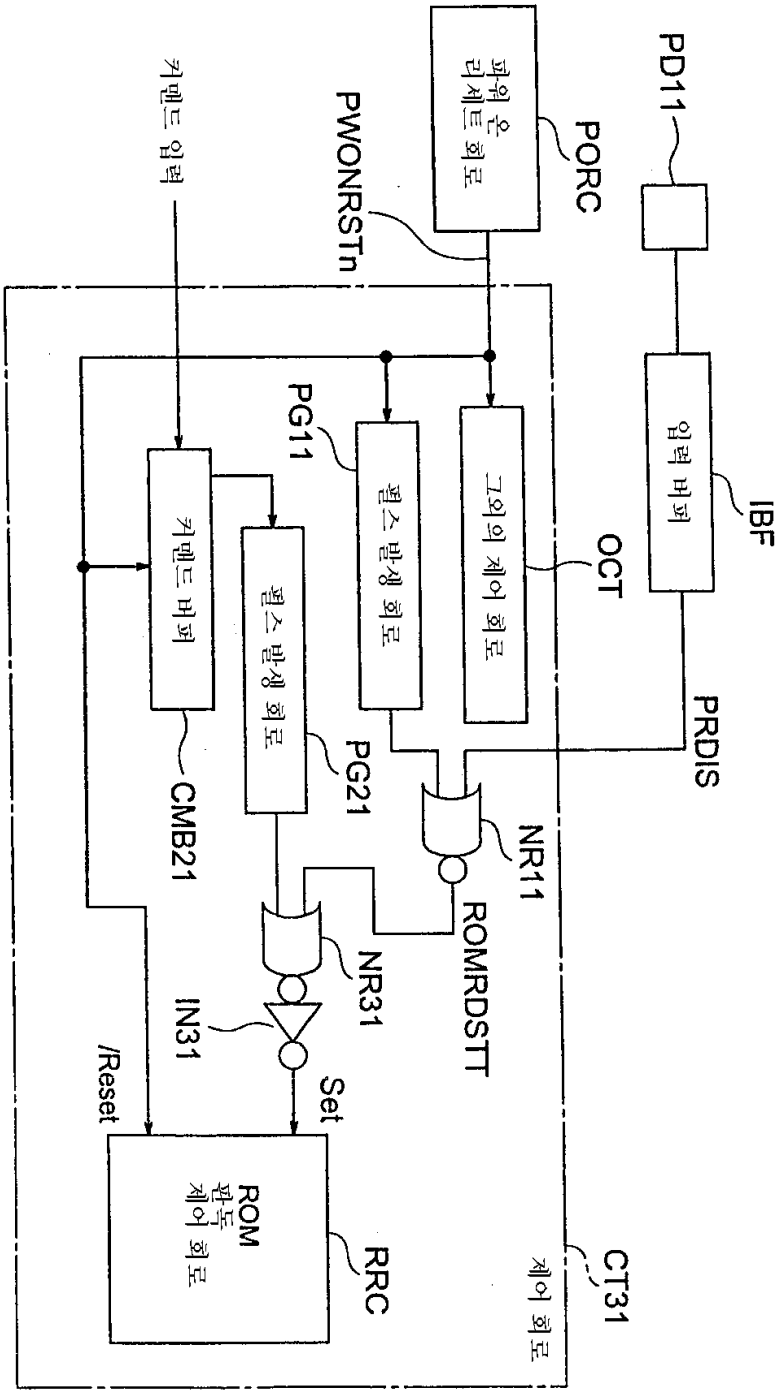
도면2



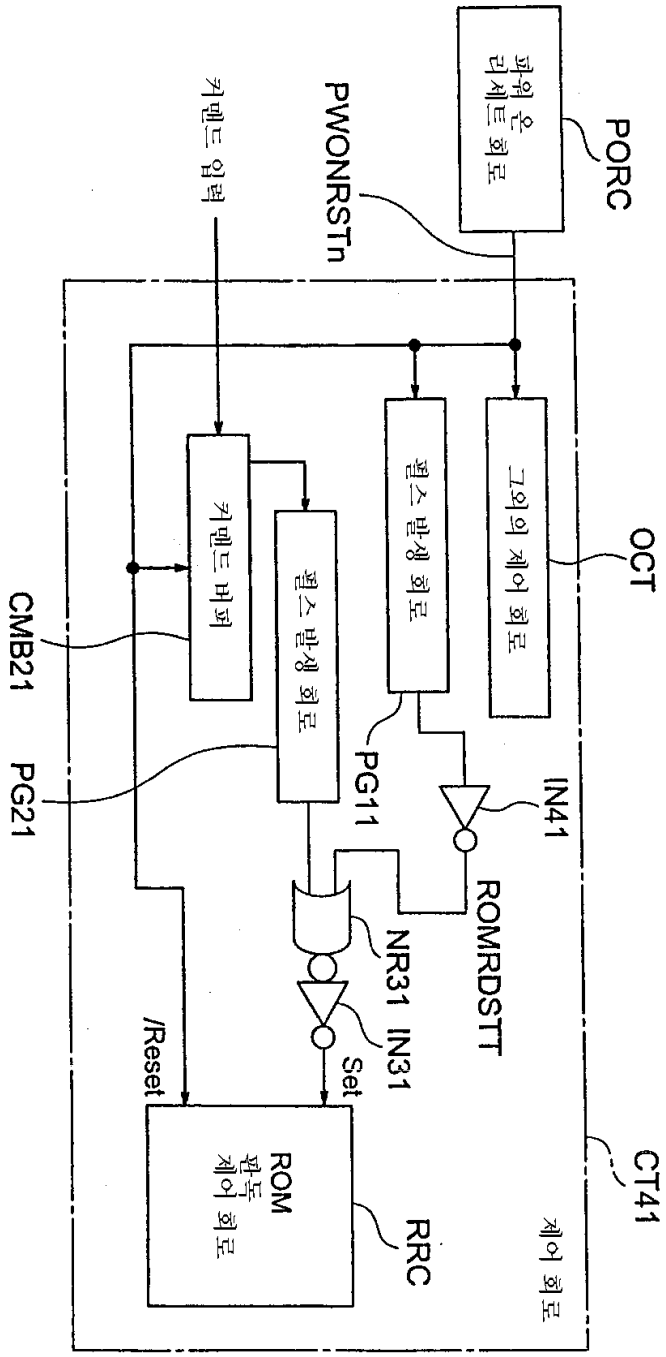
도면3


파워 온
리세트 회로
PORC
PWONRSTn
커맨드 입력
커맨드 버퍼
CMB21
그외의 제어 회로
OCT
펄스 발생 회로
PG21
/Reset
Set
ROM
판독
제어 회로
RRC
제어 회로
CT21

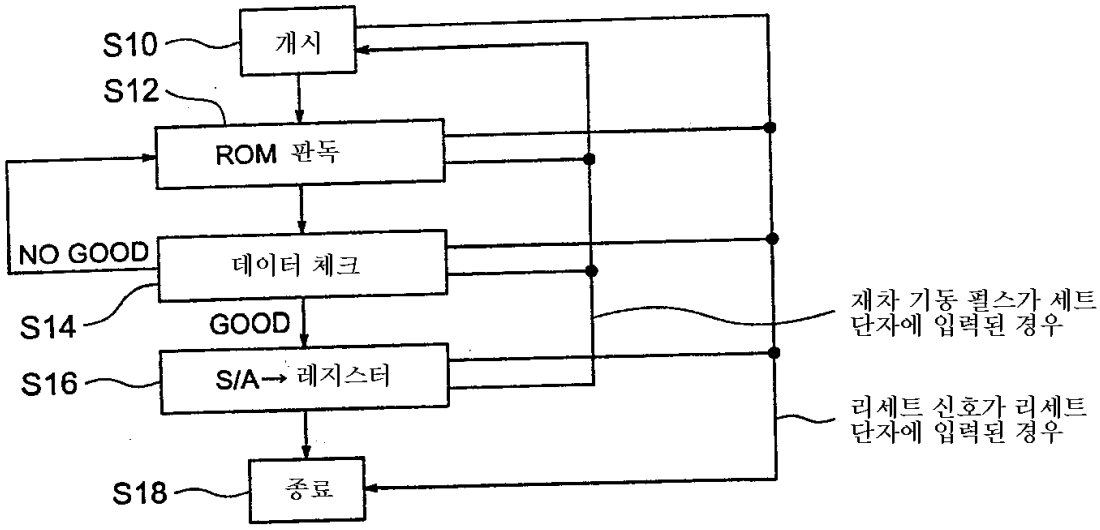
도면4


PD11
파워 온 리세트 회로
PORC
PWONRSTn
커맨드 입력
입력 버퍼
IBF
PG11
펄스 발생 회로
그외의 제어 회로
OCT
커맨드 버퍼
펄스 발생 회로
PRDIS
CMB21
PG21
NR11
ROMRDSTT
NR31
IN31
/Reset
Set
ROM 판독 제어 회로
RRC
제어 회로
CT31

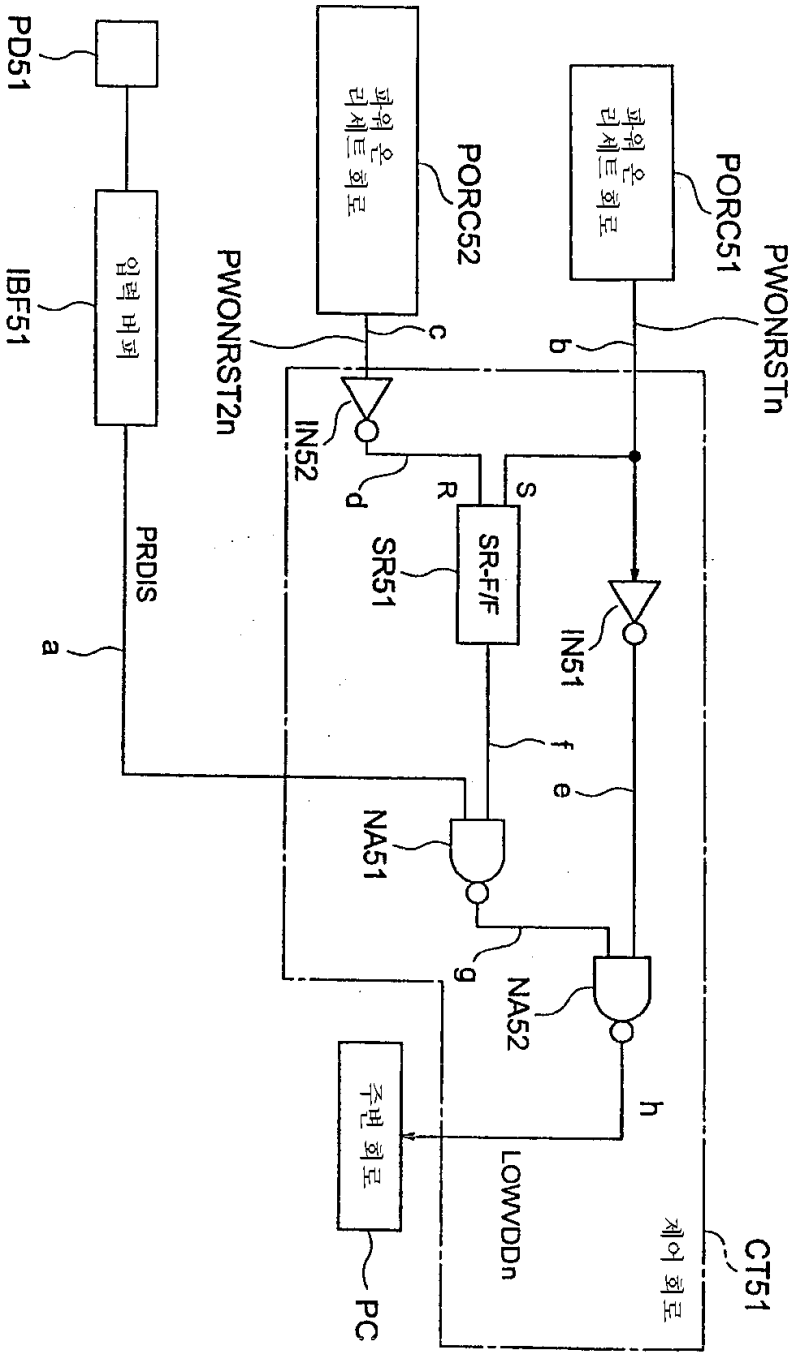
도면5


파워 온 리세트 회로
PORC
PWONRSTn
커맨드 입력
펄스 발생 회로
그외의 제어 회로
OCT
커맨드 버퍼
펄스 발생 회로
CMB21
PG21
PG11
IN41
ROMRDSTT
NR31
IN31
/Reset
Set
ROM 판독 제어 회로
RRC
CT41
제어 회로

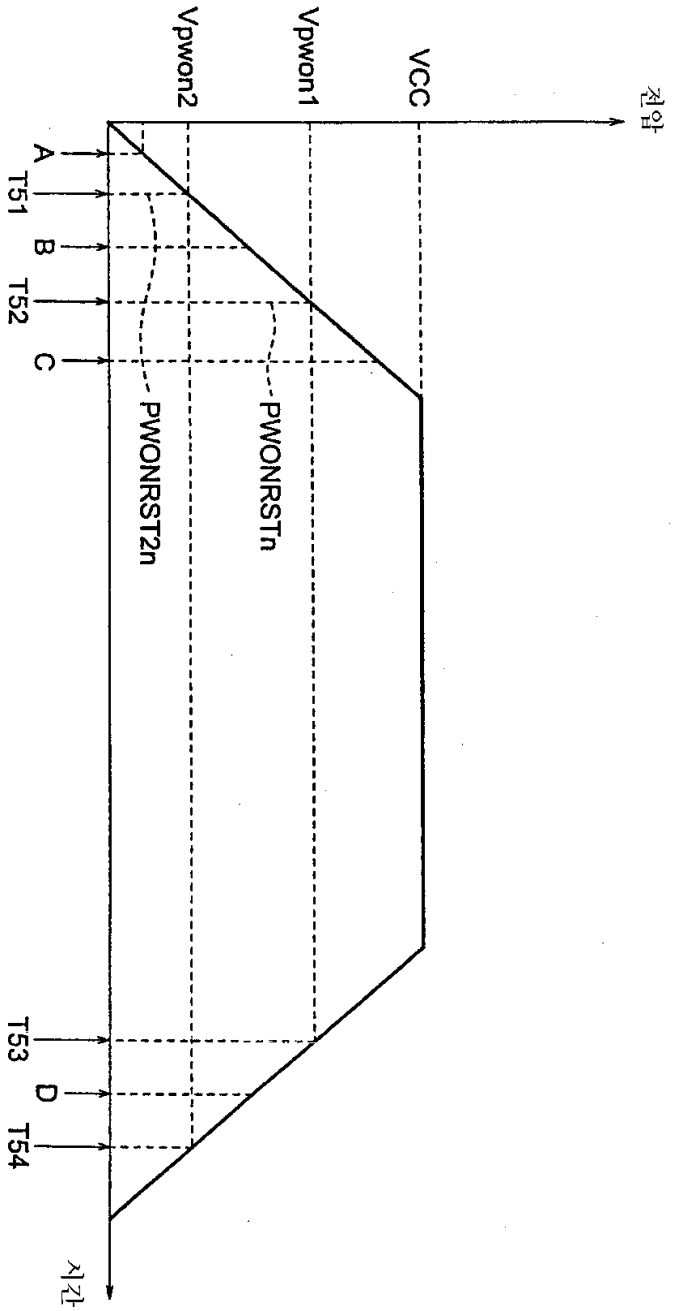
도면6


S10
개시
S12
ROM 판독
NO GOOD
데이터 체크
S14
GOOD
S16
S/A→ 레지스터
S18
종료
재차 기동 펄스가 세트 단자에 입력된 경우
리세트 신호가 리세트 단자에 입력된 경우

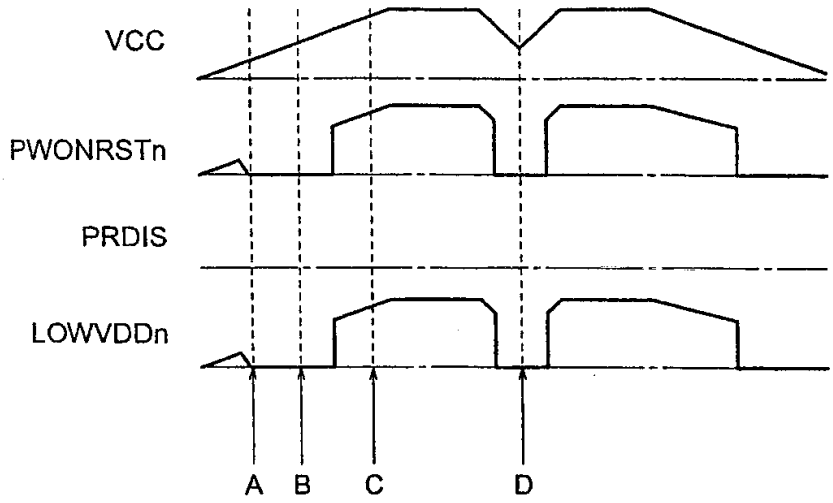
도면7


PD51
입력 버퍼
IBF51
PRDIS
a
파워 온 리세트 회로
PORC52
PWONRST2n
c
IN52
d
R
S
SR51
SR-F/F
파워 온 리세트 회로
PORC51
PWONRSTn
b
IN51
f
e
NA51
g
NA52
h
주변 회로
PC
LOWVDDn
제어 회로
CT51

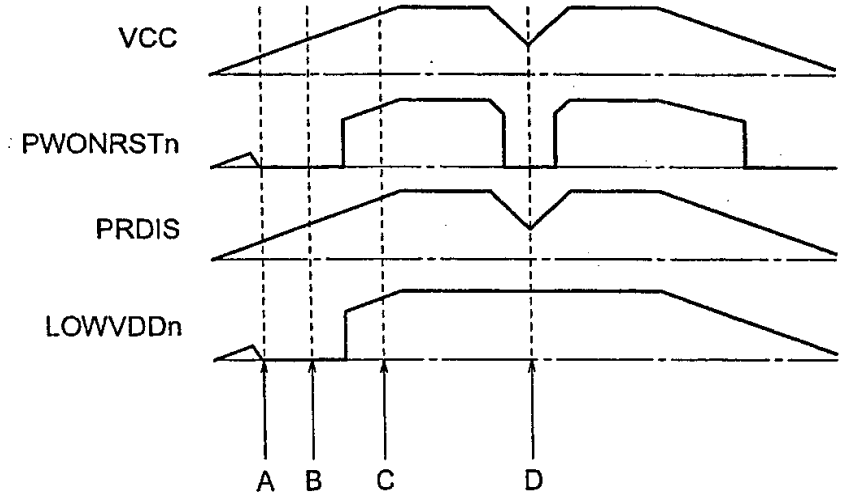
도면8


전압
VCC
Vpwon1
Vpwon2
A
T51
B
T52
C
PWONRST2n
PWONRSTn
T53
D
T54
시간

도면9


VCC
PWONRSTn
PRDIS
LOWVDDn
A
B
C
D

도면10


VCC
PWONRSTn
PRDIS
LOWVDDn
A
B
C
D

도면11

시점 / 출력 레벨	A	B	C	D
a (PRDIS)	L	L	L	L
b (PWONRST)	L	L	H	L
c (PWONRST2)	L	H	H	H
d (IN52의 출력)	H	L	L	L
e (IN51의 출력)	H	H	L	H
f (SR의 출력)	L	L	H	H
g (NA51의 출력)	H	H	H	H
h (LOWVDD)	L	L	H	(L)

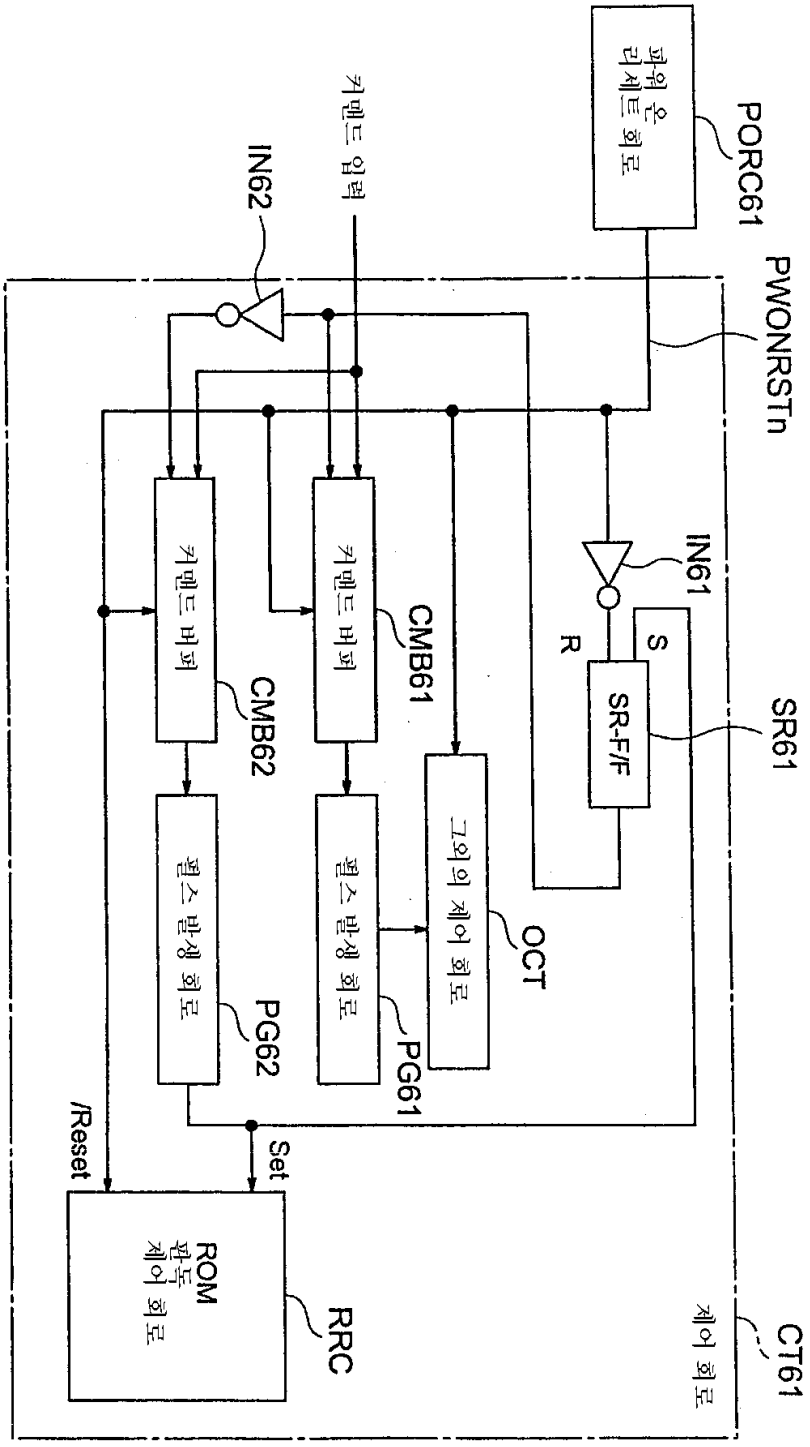
다시 리세트된다

도면12

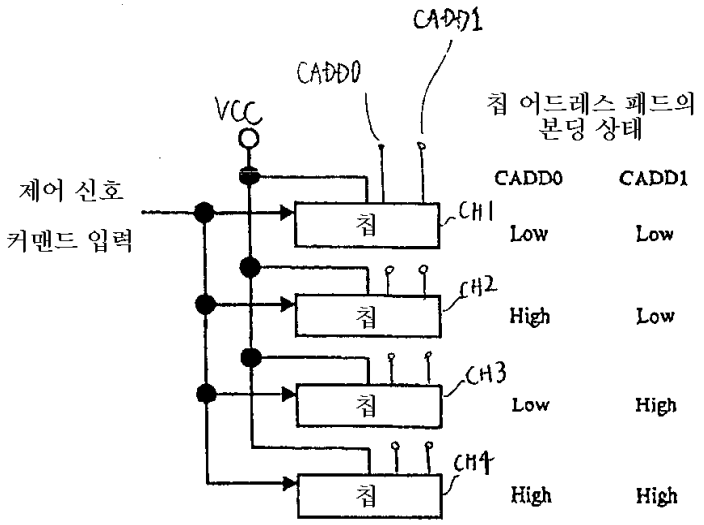
시점 / 출력 레벨	A	B	C	D
a (PRDIS)	H	H	H	H
b (PWONRST)	L	L	H	L
c (PWONRST2)	L	H	H	H
d (IN52의 출력)	H	L	L	L
e (IN51의 출력)	H	H	L	H
f (SR의 출력)	L	L	H	H
g (NA51의 출력)	H	H	L	L
h (LOWVDD)	L	L	H	(H)

리세트되지 않는다

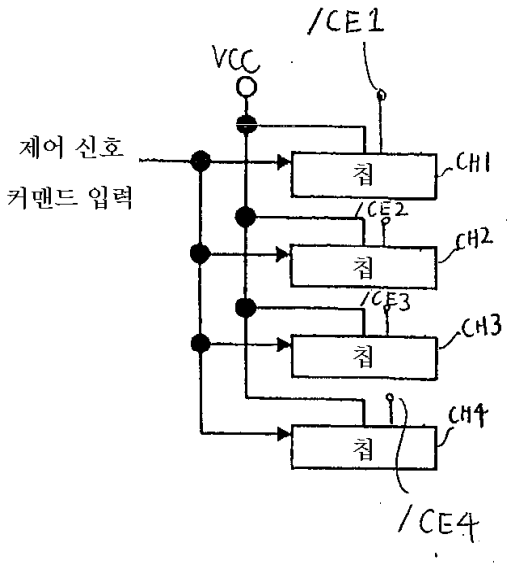
도면13


파워 온 리세트 회로
PORC61
커맨드 입력
IN62
PWONRSTn
IN61
R
S
SR-F/F
SR61
커맨드 버퍼
CMB62
커맨드 버퍼
CMB61
그외의 제어 회로
OCT
펄스 발생 회로
PG62
펄스 발생 회로
PG61
/Reset
Set
ROM 판독 제어 회로
RRC
제어 회로
CT61

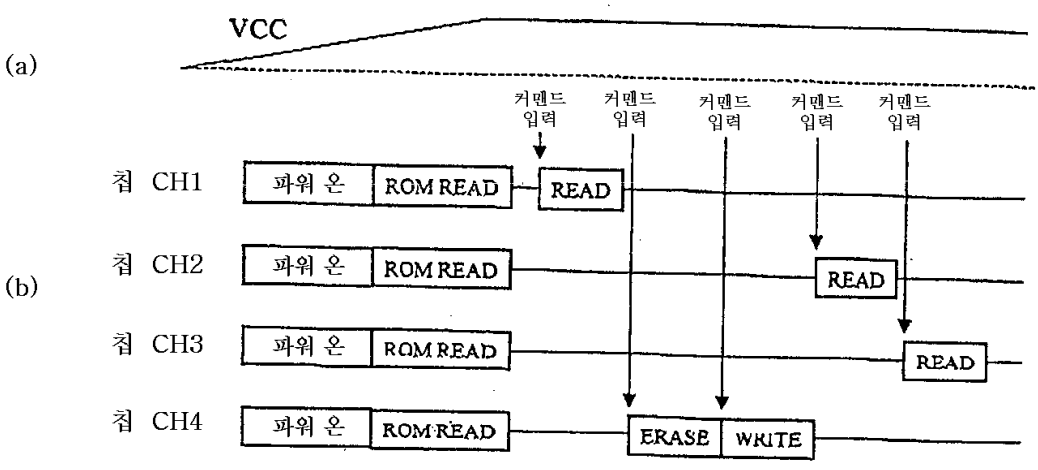
도면14a



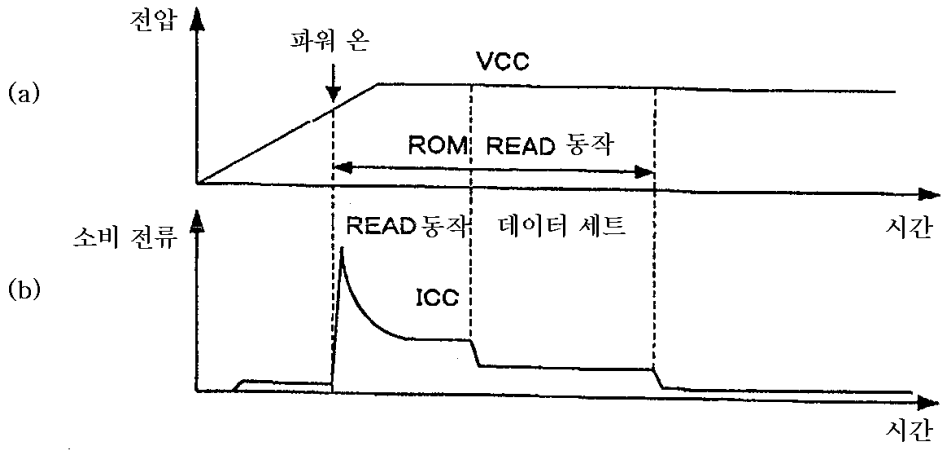
도면14b



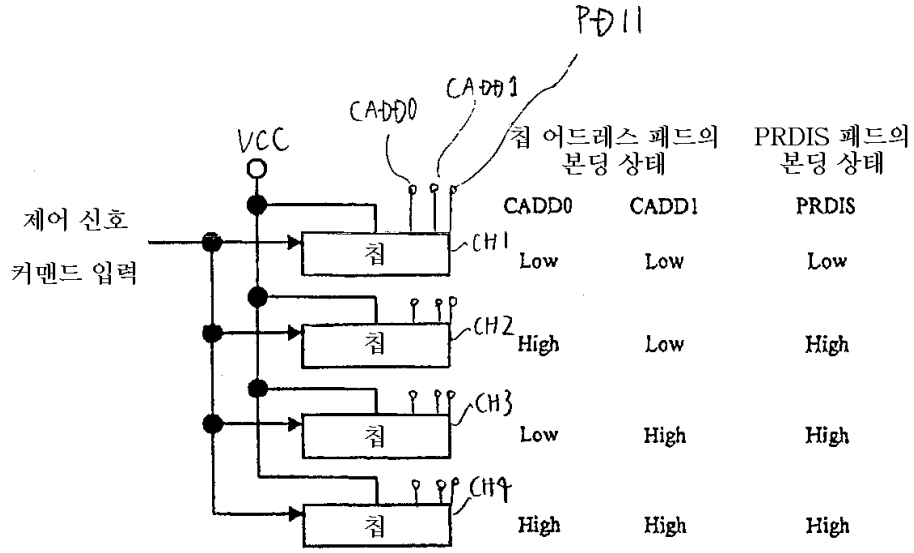
도면15



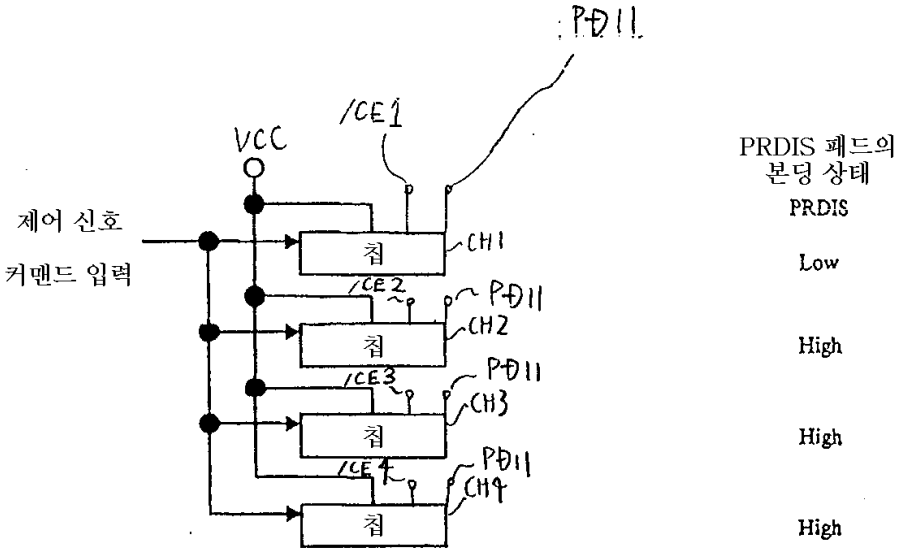
도면16


전압
파워 온
VCC
(a)
ROM READ 동작
소비 전류
READ동작
데이터 세트
시간
(b)
ICC
시간

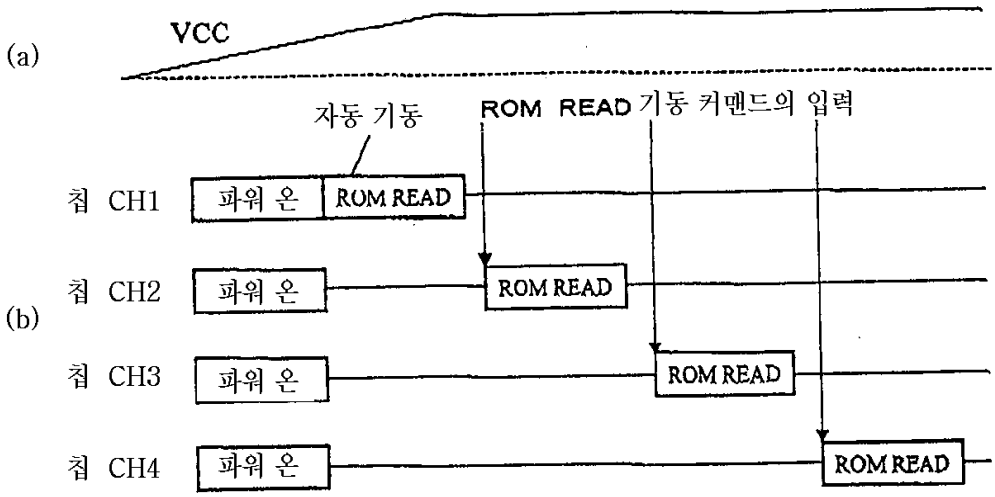
도면17a


PD11
CADD1
CADD0
VCC
칩 어드레스 패드의 본딩 상태
PRDIS 패드의 본딩 상태
CADD0
CADD1
PRDIS
제어 신호
커맨드 입력
칩
CH1
Low
Low
Low
칩
CH2
High
Low
High
칩
CH3
Low
High
High
칩
CH4
High
High
High

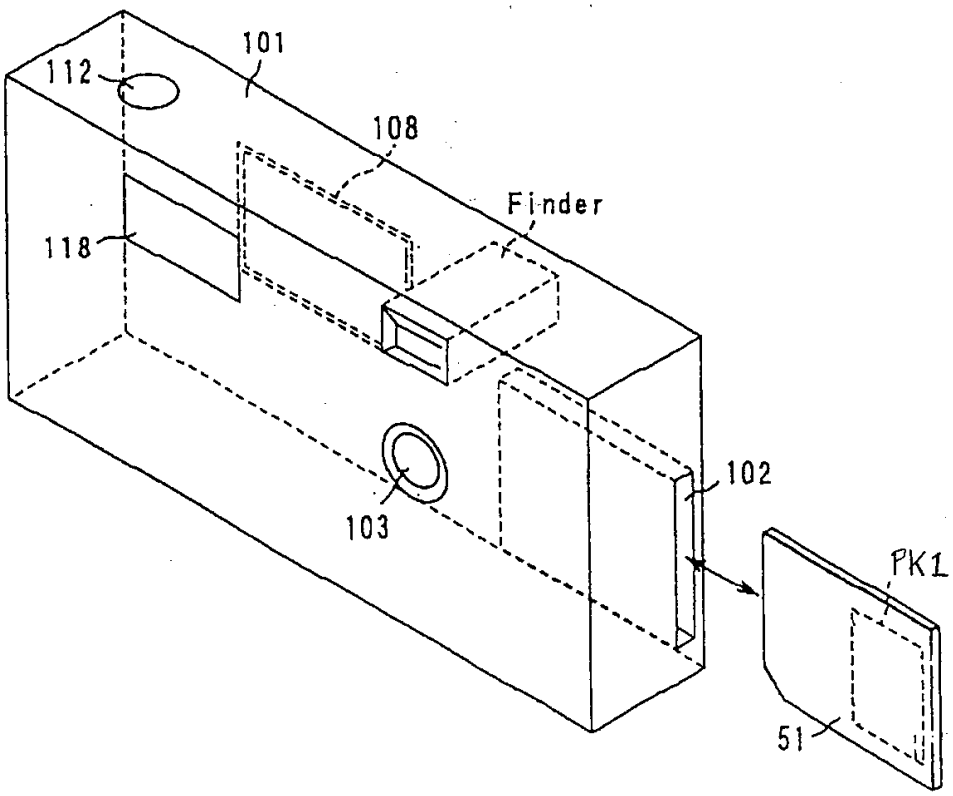
도면17b


PD11
/CE1
VCC
제어 신호
커맨드 입력
칩
CH1
/CE2
PD11
CH2
칩
/CE3
PD11
CH3
칩
/CE4
PD11
CH4
칩
PRDIS 패드의
본딩 상태
PRDIS
Low
High
High
High

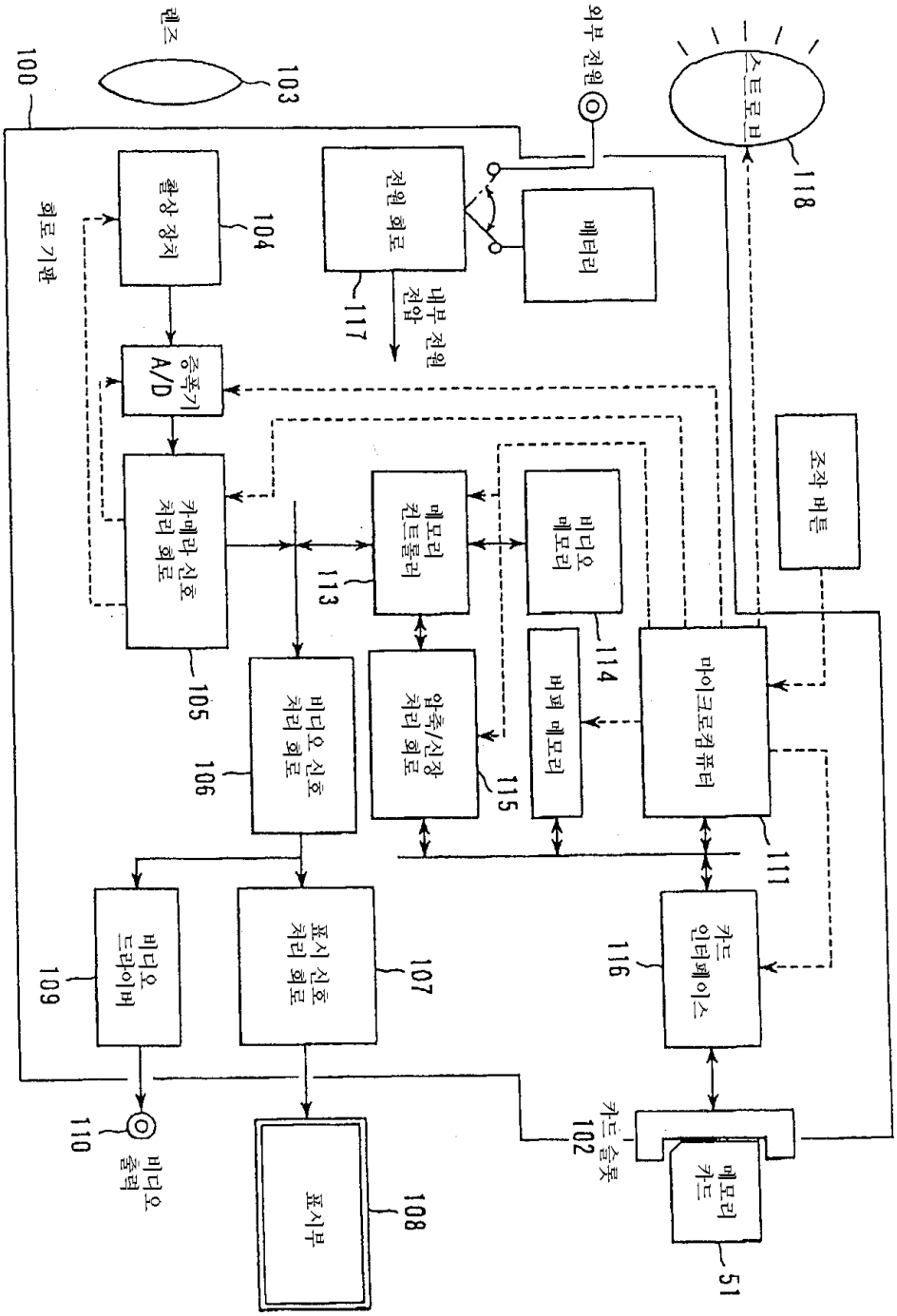
도면18


(a)
VCC
자동 기동
ROM READ 기동 커맨드의 입력
(b)
칩 CH1
파워 온
ROM READ
칩 CH2
파워 온
ROM READ
칩 CH3
파워 온
ROM READ
칩 CH4
파워 온
ROM READ

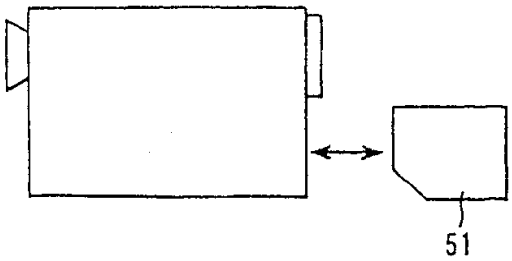
도면19



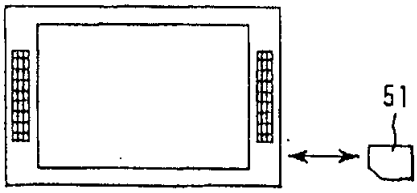
도면20


렌즈
103
100
외부 전원
스트로브
118
회로 기판
촬상 장치
104
전원 회로
117
내부 전원
전압
배터리
증폭기
A/D
조작 버튼
카메라 신호
처리 회로
105
메모리
컨트롤러
113
비디오
메모리
114
비디오 신호
처리 회로
106
압축/신장
처리 회로
115
버퍼 메모리
마이크로컴퓨터
111
비디오
드라이버
109
표시 신호
처리 회로
107
카드
인터페이스
116
비디오
출력
110
표시부
108
카드
슬롯
102
메모리
카드
51

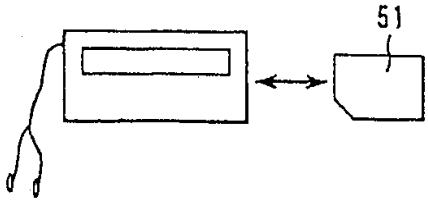
도면21a


51

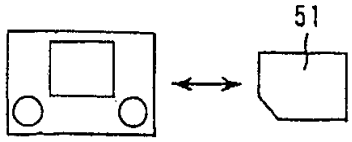
도면21b



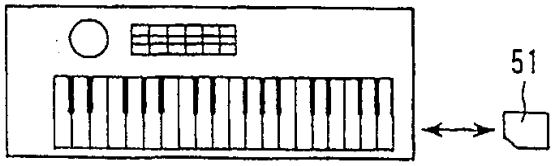
도면21c



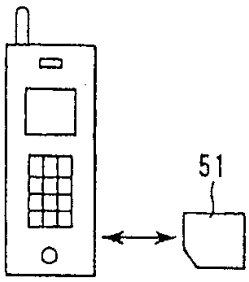
도면21d



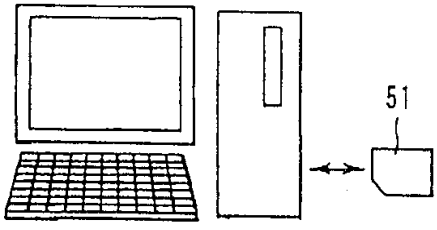
도면21e



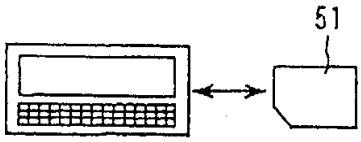
도면21f



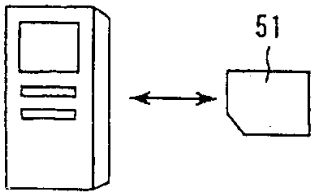
도면21g



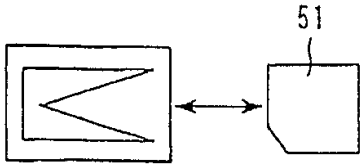
도면21h



도면21i

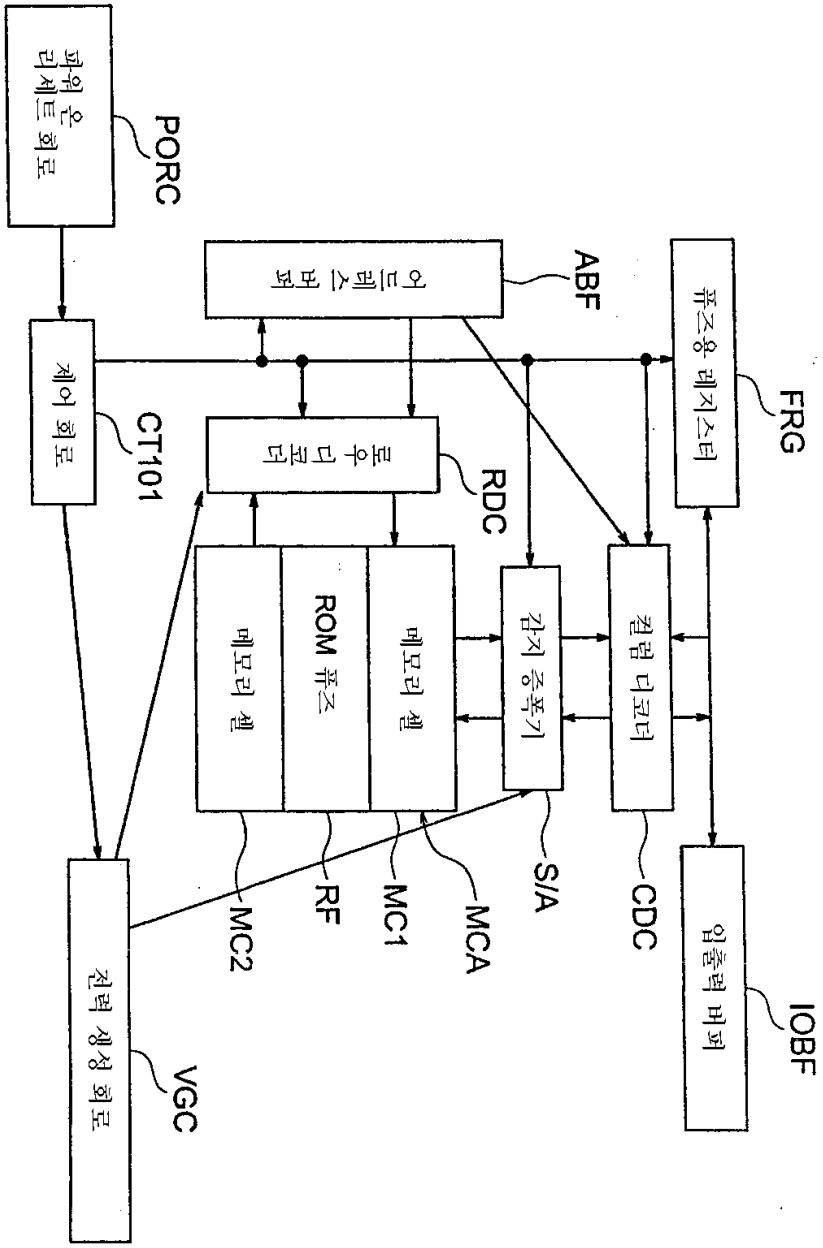


도면21j



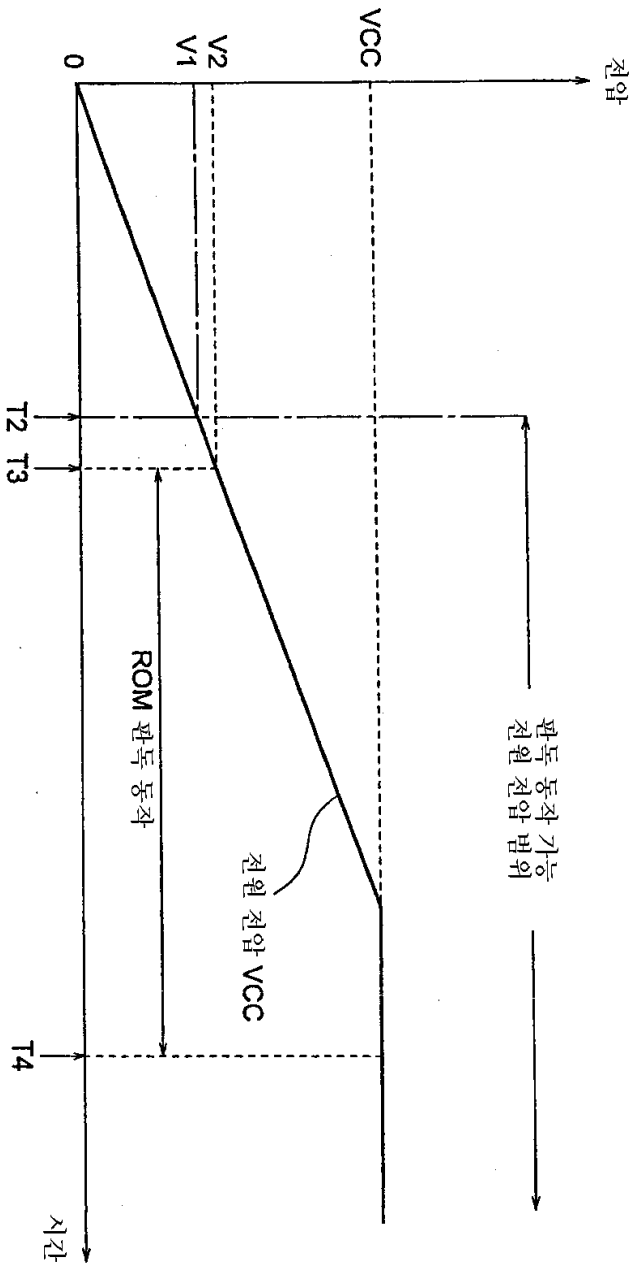
도면22

(종래 기술)


파워 온 리세트 회로
PORC
오실레이터
ABF
퓨즈용 레지스터
FRG
제어 회로
CT101
로우 디코더
RDC
메모리 셀
ROM 퓨즈
메모리 셀
감지 증폭기
컬럼 디코더
전력 생성 회로
VGC
MC2
RF
MC1
MCA
S/A
CDC
입출력 버퍼
IOBF

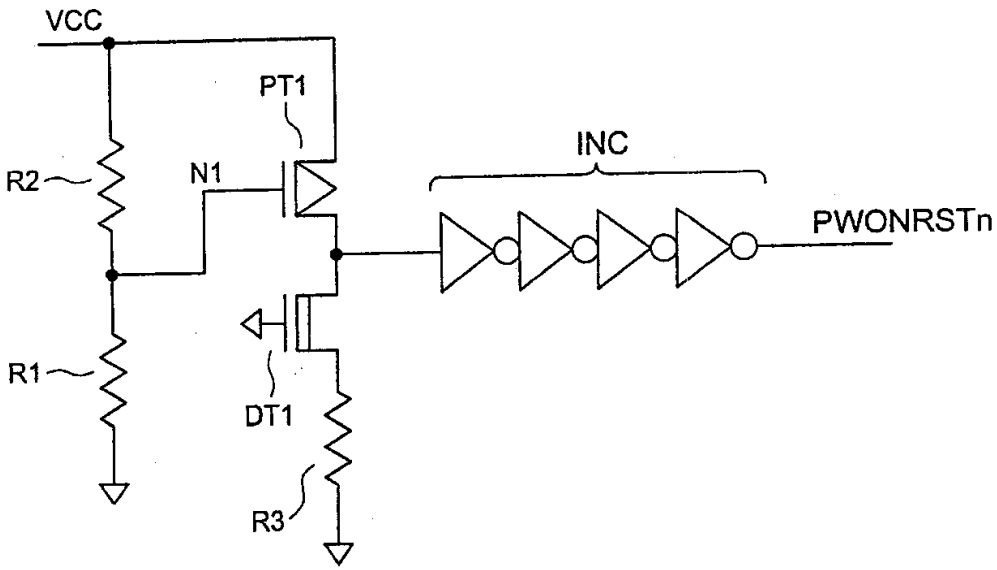
도면23

(종래 기술)



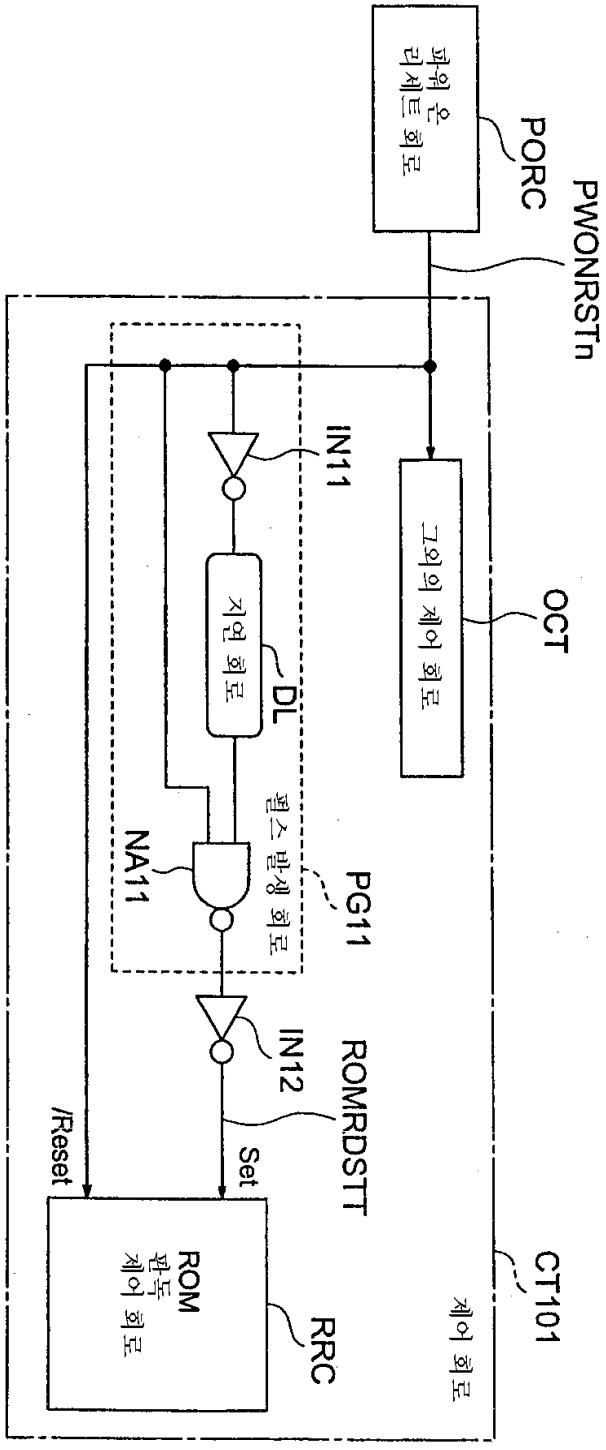
도면24

(종래 기술)



도면25

(종래 기술)


파워 온 리세트 회로
PORC
PWONRSTn
IN11
그외의 제어 회로
OCT
지연 회로
DL
펄스 발생 회로
NA11
PG11
IN12
ROMRDSTT
/Reset
Set
ROM 판독 제어 회로
RRC
CT101
제어 회로