



(12) 发明专利申请

(10) 申请公布号 CN 116779331 A

(43) 申请公布日 2023.09.19

(21) 申请号 202310249263.5

(22) 申请日 2023.03.15

(30) 优先权数据

2022-040493 2022.03.15 JP

(71) 申请人 太阳诱电株式会社

地址 日本东京都

(72) 发明人 津岛湧使 松本康宏 森田浩一郎

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322

专利代理人 龙淳

(51) Int.CI.

H01G 4/12 (2006.01)

H01G 4/224 (2006.01)

H01G 4/30 (2006.01)

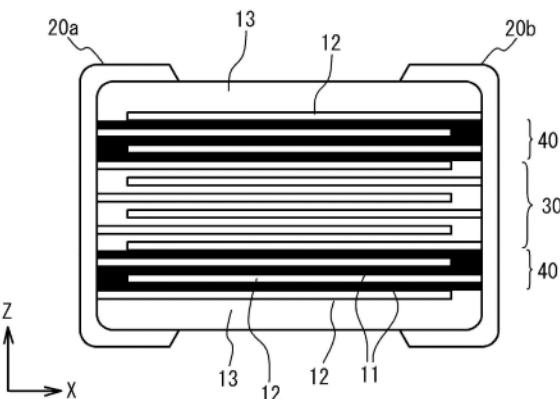
权利要求书2页 说明书8页 附图6页

(54) 发明名称

层叠陶瓷电子器件及其制造方法

(57) 摘要

一种层叠陶瓷电子器件，包括：多个内部电极层、多个电介质层，每个电介质层具有用 ABO_3 的通式表示的钙钛矿结构，一对覆盖层分别设置于电容部的在层叠方向上的上端和下端，并且具有与多个电介质层的主成分相同的主成分。电容部具有在层叠方向上位于中部的第一部分和在层叠方向上位于第一部分外侧的一对第二部分。第一部分的A/B比值大于第二部分的A/B比值。一对覆盖层的A/B比值大于第一部分的A/B比值。



1. 一种层叠陶瓷电子器件,包括:

多个内部电极层,所述多个内部电极层通过层叠彼此相对;

多个电介质层,所述多个内部电极层中的每一个内部电极层介于电介质层之间,每个电介质层具有钙钛矿结构,所述钙钛矿结构包括A位元素和B位元素并且用通式 ABO_3 表示;

一对覆盖层,分别设置在电容部的所述多个内部电极层的层叠方向上的上端和下端,并且具有与所述多个电介质层的主成分相同的主成分,在所述电容部中,所述多个内部电极层彼此相对,

其中,所述电容部具有在所述层叠方向上位于中部的第一部分和在所述层叠方向上分别位于所述第一部分外侧的一对第二部分,

其中,所述第一部分的A/B比值大于所述第二部分的A/B比值,并且

其中,所述一对覆盖层的A/B比值大于所述第一部分的A/B比值。

2. 根据权利要求1所述的层叠陶瓷电子器件,其中,所述第一部分的A/B比值为0.98以下。

3. 根据权利要求2所述的层叠陶瓷电子器件,其中,所述第一部分的A/B比值为0.97以上。

4. 根据权利要求1~3中任一项所述的层叠陶瓷电子器件,其中,所述一对覆盖层的A/B比值为1.005以上且1.010以下。

5. 根据权利要求1~4中任一项所述的层叠陶瓷电子器件,其中,所述一对第二部分的A/B比值为0.96以下。

6. 根据权利要求5所述的层叠陶瓷电子器件,其中,所述一对第二部分的A/B比值为0.95以上。

7. 根据权利要求1~6中任一项所述的层叠陶瓷电子器件,其中,在所述多个内部电极层彼此相对的方向上,所述一对第二部分中的每个第二部分的厚度为 $5\mu m$ 以下。

8. 根据权利要求1~7中任一项所述的层叠陶瓷器件,其中,所述多个电介质层和所述一对覆盖层的主成分为钛酸钡。

9. 一种层叠陶瓷电子器件的制造方法,包括以下步骤:

制备多个第一陶瓷生片,所述第一陶瓷生片包括具有钙钛矿结构的陶瓷,所述钙钛矿结构包括A位元素和B位元素,并且用通式 ABO_3 表示;

制备多个第二陶瓷生片,所述第二陶瓷生片包括所述陶瓷,并且所述多个第二陶瓷生片的A/B比值小于所述多个第一陶瓷生片的A/B比值;

制备一对第三陶瓷生片,所述第三陶瓷生片包括所述陶瓷,并且所述一对第三陶瓷生片的A/B比值大于所述多个第一陶瓷生片的A/B比值;

在每个第一陶瓷生片上形成内部电极图案;

将在其上形成有所述内部电极图案的多个第一陶瓷生片进行层叠;

在层叠后的多个第一陶瓷生片的上端和下端上层叠所述多个第二陶瓷生片;

通过在层叠后的多个第一陶瓷生片和第二陶瓷生片的上端和下端分别层叠所述一对第三陶瓷生片,形成层叠结构;以及

对所述层叠结构进行烧制。

10. 根据权利要求9所述的方法,还包括:

在每个第二陶瓷生片上形成内部电极图案的步骤。

层叠陶瓷电子器件及其制造方法

技术领域

[0001] 本发明涉及层叠陶瓷电子器件以及层叠陶瓷电子器件的制造方法。

背景技术

[0002] 层叠陶瓷电子器件(例如层叠陶瓷电容器)用于消除以移动电话为代表的高频通信系统中的噪声。

发明内容

[0003] 根据本发明的一个方面,提供一种层叠陶瓷电子器件,包括:多个内部电极层,其通过层叠而彼此相对;多个电介质层,多个内部电极层中的每一个内部电极层介于电介质层之间,每个电介质层具有钙钛矿结构,钙钛矿结构包括A位元素和B位元素并且用通式 ABO_3 表示;一对覆盖层,分别设置在电容部的在多个内部电极层的层叠方向上的上端和下端,并且具有与多个电介质层的主成分相同的主成分,其中在电容部中,多个内部电极层彼此相对,其中,电容部具有在层叠方向上位于中部的第一部分和在层叠方向上分别位于第一部分外侧的一对第二部分,其中,第一部分的A/B比值大于第二部分的A/B比值,并且,一对覆盖层的A/B比值大于第一部分的A/B比值。

[0004] 根据本发明的另一方面,提供一种层叠陶瓷电子器件的制造方法,包括:制备多个第一陶瓷生片,第一陶瓷生片包括具有钙钛矿结构的陶瓷,钙钛矿结构包括A位元素和B位元素,并且用通式 ABO_3 表示;制备多个第二陶瓷生片,第二陶瓷生片包括陶瓷,并且多个第二陶瓷生片的A/B比值小于多个第一陶瓷生片的A/B比值;制备一对第三陶瓷生片,第三陶瓷生片包括陶瓷,并且一对第三陶瓷生片的A/B比值大于多个第一陶瓷生片的A/B比值;在每个第一陶瓷生片上形成内部电极图案;将在其上形成有内部电极图案的多个第一陶瓷生片进行层叠;在层叠后的多个第一陶瓷生片的上端和下端上层叠多个第二陶瓷生片;通过在层叠后的多个第一陶瓷生片和第二陶瓷生片的上端和下端分别层叠一对第三陶瓷生片,形成层叠结构;以及对层叠结构进行烧制。

附图说明

- [0005] 图1是层叠陶瓷电容器的立体图,其中示出层叠陶瓷电容器的一部分的截面;
- [0006] 图2是沿图1中的A-A线截取的截面图;
- [0007] 图3是沿图1中的B-B线截取的截面图;
- [0008] 图4示出电容部的各部分;
- [0009] 图5示出层叠陶瓷电容器的制造方法;
- [0010] 图6A示出内部电极层的形成工序;
- [0011] 图6B示出压接工序;以及
- [0012] 图7A和图7B示出侧缘的形成工序。

具体实施方式

[0013] 一种层叠陶瓷电子器件包括：具有电容的电容部和一对覆盖层，电容部由这对覆盖层在层叠方向上从上方和下方夹持。对于覆盖层，由于来自内部电极层的金属成分的扩散量很少，因此致密化温度高于电容部的致密化温度，并且由于覆盖层相比于电容部没有充分地致密化，因此会出现耐湿性问题。为了促进覆盖层的致密化，一种方法是向覆盖层添加硅或锰（日本专利申请公开号2011-124429和日本专利申请公开号2017-011172号）。然而，硅和锰扩散到电容部中。并且，可能出现介电常数降低或异常晶粒生长，可靠性会降低，因此，优选覆盖层与电容部的成分接近于相同，而不向覆盖层添加添加剂。

[0014] 另一种方法是通过使覆盖层中的A位元素与B位元素的摩尔比（A/B比值）大于电容部，从而降低覆盖层的致密化温度。然而，在这种情况下，由于A/B比值的差异，A位元素倾向于从覆盖层扩散到电容部，并且在电容部容易发生异常晶粒生长，可靠性会降低。

[0015] 将参照附图对实施方式进行描述。

[0016] (实施方式)图1示出根据一种实施方式的层叠陶瓷电容器100的立体图，其中示出层叠陶瓷电容器100的一部分的截面。图2是沿图1中的A-A线截取的截面图。图3是沿图1中的B-B线截取的截面图。如图1至图3所示，层叠陶瓷电容器100包括：具有长方体形状的层叠芯片10，和分别设置在层叠芯片10的彼此相对的两个端面（end face）上的一对外部电极20a和20b。在层叠芯片10的除两个端面以外的四个面中，将层叠方向上的上表面和下表面以外的两个面称作侧面（side face）。外部电极20a和20b延伸到层叠芯片10的上表面、下表面和两个侧面。但是，外部电极20a和20b彼此间隔开。

[0017] 在图1至图3中，X轴方向是层叠芯片10的长度方向。X轴方向是层叠芯片10的两个端面彼此相对的方向，外部电极20a与外部电极20b在X轴方向上相对。Y轴方向是内部电极层的宽度方向。Y轴方向是层叠芯片10的两个侧面彼此相对的方向。Z轴方向是层叠方向。Z轴方向是层叠芯片10的上表面与层叠芯片10的下表面相对的方向。X轴方向、Y轴方向和Z轴方向彼此相互垂直。

[0018] 层叠芯片10的结构设计为电介质层11和内部电极层12交替层叠。电介质层11包括用作电介质材料的陶瓷材料。内部电极层12包括贱金属材料。内部电极层12的端缘（end edge）交替地露出于层叠芯片10的第一端面和层叠芯片10的不同于第一端面的的第二端面。在本实施方式中，第一端面与第二端面相对。外部电极20a设置在第一端面上。外部电极20b设置在第二端面上。由此，内部电极层12交替地引导至外部电极20a和外部电极20b。由此，层叠陶瓷电容器100具有如下结构：其中层叠有多个电介质层11，每两个电介质11之间夹有内部电极层12。在电介质层11和内部电极层12的层叠结构中，将两个内部电极层12置于层叠方向上的最外层。覆盖层13覆盖层叠结构的上表面和下表面（均为内部电极层12）。覆盖层13的主成分是陶瓷材料。例如，覆盖层13的主成分与电介质层11的主成分相同。

[0019] 例如，层叠陶瓷电容器100可以为长度0.25mm，宽度0.125mm和高度0.125mm。层叠陶瓷电容器100可以为长度0.4mm，宽度0.2mm和高度0.2mm。层叠陶瓷电容器100可以为长度0.6mm，宽度0.3mm和高度0.3mm。层叠陶瓷电容器100可以为长度0.6mm，宽度0.3mm和高度0.110mm。层叠陶瓷电容器100可以为长度1.0mm，宽度0.5mm和高度0.5mm。层叠陶瓷电容器100可以为长度1.0mm，宽度0.5mm和高度0.1mm。层叠陶瓷电容器100可以为长度3.2mm，宽度1.6mm和高度1.6mm。层叠陶瓷电容器100可以为长度4.5mm，宽度3.2mm和高度2.5mm。然而，

层叠陶瓷电容器100的尺寸不限于以上尺寸。

[0020] 对内部电极层12的主成分没有特别限制,但是可以为贱金属,例如Ni(镍)、Cu(铜)或Sn(锡)。作为内部电极层12的主成分,可以使用例如Pt(铂),Pd(钯),Ag(银),Au(金)等贵金属,以及含有这些贵金属的合金。内部电极层12的厚度例如为0.1μm以上且3μm以下、0.1μm以下且1μm以下、或0.1μm以上且0.5μm以下。

[0021] 电介质层11的主成分是由通式 ABO_3 表示的具有钙钛矿结构的陶瓷材料。钙钛矿结构包括具有非化学计量组成的 ABO_{3-a} 。在本实施方式中,使用 $BaTiO_3$ (钛酸钡)作为陶瓷材料。例如,电介质层11包括90at%以上的钛酸钡。电介质层11的厚度例如为0.2μm以上且10μm以下、0.2μm以下且5μm以下、或0.2μm以上且2μm以下。

[0022] 可以向电介质层11加入添加剂。作为电介质层11中的添加剂,可以是锆(Zr)、铪(Hf)、镁(Mg)、锰(Mn)、钼(Mo)、钒(V)、铬(Cr)、稀土元素(钇(Y)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)和镱(Yb))的氧化物,或含Co(钴)、Ni(镍)、Li(锂)、B(硼)、Na(钠)、K(钾)或Si(硅)的氧化物,或包含钴、镍、锂、硼、钠、钾或硅的玻璃。

[0023] 覆盖层13是电介质组合物,其主成分是例如由通式 ABO_3 表示的具有钙钛矿结构的陶瓷材料。钙钛矿结构包括具有非化学计量组成的 ABO_{3-a} 。在本实施方式中,使用 $BaTiO_3$ (钛酸钡)作为陶瓷材料。例如,覆盖层13包括90at%以上的钛酸钡。覆盖层13的厚度例如为5μm以上且15μm以下、20μm以下且60μm以下、或80μm以上且100μm以下。

[0024] 可以向覆盖层13加入添加剂。作为覆盖层13中的添加剂,可以是锆(Zr)、铪(Hf)、镁(Mg)、锰(Mn)、钼(Mo)、钒(V)、铬(Cr)或稀土元素(钇(Y)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)和镱(Yb))的氧化物,或含Co(钴)、Ni(镍)、Li(锂)、B(硼)、Na(钠)、K(钾)或Si(硅)的氧化物,或包括钴、镍、锂、硼、钠、钾或硅的玻璃。

[0025] 如图2所示,一组连接至外部电极20a的内部电极层12与另一组连接至外部电极20b的内部电极层12彼此相对的部分,是层叠陶瓷电容器100中产生电容的部分。因此,这部分被称作电容部(capacity section)14。也就是说,电容部14是连接至不同外部电极的两个相邻的内部电极层彼此相对的区域。

[0026] 连接至外部电极20a的内部电极层12彼此相对、而其间不夹有连接至外部电极20b的内部电极层12的部分被称作端缘(end margin)15。连接至外部电极20b的内部电极层12彼此相对、而其间不夹有连接至外部电极20a的内部电极层12的部分也是端缘15。也就是说,端缘15是连接至一个外部电极的一组内部电极层12彼此相对、而其间不夹有连接至另一个外部电极的内部电极层12的部分。端缘15是层叠陶瓷电容器100中不产生电容的部分。

[0027] 如图3所示,将层叠芯片10的从其两个侧面到内部电极层12的部分称为侧缘(side margin)16。即,侧缘16是在朝向两个侧面的延伸方向上覆盖层叠的内部电极层12的边缘的部分。侧缘16是不产生电容的部分。

[0028] 这里,将描述图2中电容部14的各部分。如图4所示,电容部14在Z轴方向上的中央部分被称为第一部分30。电容部14的在Z轴方向上位于第一部分30的外侧的两个部分被称为第二部分40。第一部分30和第二部分40包括至少一个电介质层11,并且可以包括两个以上电介质层11。

[0029] 在本实施方式中,第一部分30中具有由通式 ABO_3 表示的钙钛矿结构的钛酸钡中的A/B比值,即,钡与100摩尔钛的摩尔比(Ba/Ti比值)大于覆盖层13中的相应的摩尔比。第二

部分40的Ba/Ti比值小于第一部分30的Ba/Ti比值。通过这种构造,覆盖层13中的Ba/Ti比值增加。因此,能够降低覆盖层13的致密化温度。这降低了覆盖层13的孔隙率并提高了耐湿性。其次,由于第二部分40中的Ba/Ti比值小于第一部分30中的Ba/Ti比值,因此覆盖层13的钡主要扩散到第二部分40中。因此,将抑制钡从覆盖层13扩散到第一部分30中。这抑制了第一部分30中的异常晶粒生长,延长了层叠陶瓷电容器100的寿命,并提高了层叠陶瓷电容器100的可靠性。如上所述,根据本实施方式,既能够达到优良的耐湿性,又能够实现优良的可靠性。第一部分30的A/B比值是通过测量位于第一部分30的50%厚度上的电介质层11的10个点的平均值来测量的。第二部分40的A/B比值是通过测量最接近覆盖层13的电介质层11的10个点的平均值来测量的。

[0030] 当第一部分30中的Ba/Ti比值接近化学计量比时,如果由于少量锆的混合使A/B比值波动,即使仅为1/1000单位,则层叠陶瓷电容器100的可靠性受到很大影响。因此,在第一部分30中,优选使Ba/Ti比值小于化学计量比。例如,第一部分30中的Ba/Ti比值优选为0.980以下,更优选为0.970以下,甚至更优选为0.965以下。

[0031] 另一方面,当第一部分30中的Ba/Ti比值太小时,第一部分30的致密化温度升高并且第一部分30会致密化不充分。因此,优选为第一部分30中的Ba/Ti比值设定下限。例如,第一部分30中的Ba/Ti比值优选为0.970以上,更优选为0.973以上,甚至更优选为0.975以上。

[0032] 当覆盖层13中的Ba/Ti比值太大时,覆盖层13的致密化温度升高并且覆盖层13会致密化不充分。因此,优选为覆盖层13中的Ba/Ti比值设定上限。例如,覆盖层13中的Ba/Ti比值优选为1.010以下,更优选为1.008以下,甚至更优选为1.006以下。

[0033] 另一方面,当覆盖层13中的Ba/Ti比值太小时,覆盖层13中会发生异常晶粒生长。因此,优选为覆盖层13中Ba/Ti比值设定下限。例如,覆盖层13中的Ba/Ti比值优选为1.005以上,更优选为1.005以上,甚至更优选为1.0055以上。

[0034] 当第二部分40中的Ba/Ti比值太大时,不能充分抑制钡从覆盖层13向第一部分30的扩散。因此,优选为第二部分40中Ba/Ti比值设定上限。例如,第二部分40中的Ba/Ti比值优选为0.960以下,更优选为0.955以下,甚至更优选为0.950以下。

[0035] 另一方面,当第二部分40中的Ba/Ti比值太小时,致密化温度升高并且存在覆盖层13的接合部致密化不充分的风险。因此,优选为第二部分40中Ba/Ti比值设定下限。例如,第二部分40中的Ba/Ti比值优选为0.950以上,更优选为0.960以上,甚至更优选为0.970以上。

[0036] 当覆盖层13的孔隙率较高时,水分会容易地进入覆盖层13并且层叠陶瓷电容器100的耐湿性会降低。因此,优选为覆盖层13的孔隙率设定上限。例如,在沿层叠方向的截面上,孔隙的面积比优选为10%以下,更优选为5%以下,甚至更优选为3%以下。可以通过降低覆盖层13的致密化温度以促进致密化,从而降低覆盖层13的孔隙率。

[0037] 第一部分30中的电介质层11可以在钙钛矿结构的B位包含锆和铪的至少一种。例如,锆和铪可以在钛酸钡的B位形成置换固溶。电介质层11包含锆和铪中的至少一种,可以抑制钡从覆盖层13扩散到电介质层11中。

[0038] 各第二部分40在Z轴方向上的厚度,例如为1μm以上且5μm以下,3μm以上且9μm以下,或6μm以上且15μm以下。各第二部分40中电介质层11的层叠数量为第一部分30中电介质层11的层叠数量的0.01倍以上且0.05倍以下、0.03倍以上且0.06倍以下、0.06倍以上且0.10倍以下。或者,第二部分40可以仅指电容部14的最外层的电介质层11。

[0039] 在上述实施方式中, Ba/Ti比值被作为A/B比值的示例。然而, 当A位和B位中的至少一者包含其它元素时, A/B比值是A位元素总量与B位元素总量的摩尔比。

[0040] 接下来, 将对层叠陶瓷电容器100的制造方法进行描述。图5示出层叠陶瓷电容器100的制造方法。

[0041] (原料粉末制造工序) 制备用于形成电介质层11的电介质材料。电介质材料包括电介质层11的主成分陶瓷。通常, A位元素和B位元素以 ABO_3 颗粒的烧结体(sintered phase)形式包含在电介质层11中。例如, $BaTiO_3$ 是具有钙钛矿结构的四方晶系化合物, 其表现出高介电常数。通常, $BaTiO_3$ 可以通过使钛原料(例如二氧化钛)与钡原料(例如碳酸钡)反应并合成钛酸钡而获得。多种方法可以作为电介质层11的陶瓷结构的合成方法。例如, 可以使用固相法、溶胶-凝胶法、水热法等。本实施方式可以使用这些方法中的任一种。

[0042] 根据目的, 可向所得陶瓷粉末中加入添加剂化合物。添加剂化合物可以是锆、铪、镁、锰、钼、钒、铬、稀土元素(钇、钐、铕、钆、铽、钬、铒、铥和镱)的氧化物, 或钴、镍、锂、硼、钠、钾或硅的氧化物, 或包括钴、镍、锂、硼、钠、钾或硅的玻璃。

[0043] 例如, 将所得陶瓷粉末材料与添加剂湿法混合, 并进行干燥和粉碎。由此, 获得陶瓷材料。例如, 可以根据需要通过粉碎所得的陶瓷材料来调节颗粒粒径。或者, 所得陶瓷材料的颗粒粒径可以通过组合粉碎和分级来调节。通过这些工序, 获得电介质材料。对于粉碎, 可以使用氧化锆珠。当使用氧化锆珠时, 可以向电介质材料中添加少量的氧化锆珠。

[0044] (陶瓷生片形成工序) 接下来, 将粘合剂(例如聚乙烯醇缩丁醛(PVB)树脂)、有机溶剂(例如乙醇或甲苯)以及增塑剂加入到所得的电介质材料中, 并进行湿混。使用所得到的浆料, 通过例如模涂机法或刮刀法在基材51上形成陶瓷生片52, 然后干燥。基材51是例如PET(聚对苯二甲酸乙二醇酯)膜。该形成工序未示出。

[0045] (内部电极层形成工序) 接下来, 如图6A所示, 在陶瓷生片52上形成内部电极图案53。在图6A中, 作为示例, 在陶瓷生片52上形成内部电极图案53的四个部分并且彼此间隔开。其上形成有内部电极图案53的陶瓷生片52是层叠单元。内部电极层12的主成分金属的金属膏被用作内部电极图案53。在金属膏中添加作为共材的陶瓷颗粒。陶瓷颗粒的主成分不受限制。优选的是, 陶瓷颗粒的主成分与电介质层11的主成分陶瓷相同。例如, 平均粒径为50nm以下的钛酸钡可以分散在金属膏中。

[0046] (压接工序) 接下来, 从基材51剥离陶瓷生片52, 如图6B所示, 层叠层叠单元。将预定数量(例如, 2~10个)的覆盖片54层叠在层叠的层叠单元的陶瓷层叠结构的上表面和下表面上, 并进行热压接。将所得的陶瓷层叠结构切割成具有预定尺寸(例如, 1.0mm×0.5mm)的芯片。在图6B中, 沿着虚线切割层叠结构。图7A示出切割后在层叠结构中的Y-Z平面的截面。

[0047] 如图7A所示, 陶瓷生片52包括第一陶瓷生片52a和第二陶瓷生片52b两种类型。在陶瓷生片52的层叠结构中, 第一陶瓷生片52a位于在层叠方向上的中央, 第二陶瓷生片52b在层叠方向上位于第一陶瓷生片52a的外侧。第一陶瓷生片52a中的A/B比值大于第二陶瓷生片52b中的A/B比值。并且覆盖片54(第三陶瓷生片)中的A/B比值大于第一陶瓷生片中的A/B比值。

[0048] (侧缘形成工序) 接下来, 如图7B所示, 侧缘片56附着于层叠结构的在Y轴方向上的两端。侧缘片56是通过涂覆包括在原料粉末制造工序中得到的材料粉末的浆料, 并干燥该

浆料而形成的。

[0049] (烧制工序) 在N₂气氛下从陶瓷层叠结构中除去粘合剂。接下来,通过浸渍法在陶瓷层叠结构的两个端面上施加将成为外部电极20a和20b的基层的金属膏。将所得的陶瓷层叠结构在1160~1280oC温度范围内、在氧分压为10⁻¹²~10⁻⁹MPa的还原性气氛中,烧制5分钟~10分钟。

[0050] (再氧化工序) 为了使氧回到作为电介质层11的主相并且在还原气氛中的烧制过程中被部分还原的钛酸钡中,在大约1000℃的N₂和水蒸气的混合气氛中或在500℃~700℃的大气中进行热处理,使内部电极层12不被氧化。该工序称为再氧化工序。

[0051] (镀覆工序) 接下来,可以通过镀覆工序在外部电极20a和20b上形成诸如Cu、Ni、Sn等的镀层。通过此工序,制造层叠陶瓷电容器100。

[0052] 根据本实施方式的制造方法,覆盖层13中的A/B比值大于第一部分30中的A/B比值,并且第二部分中的A/B比值小于第一部分30中的A/B比值。因此,能够实现优良的耐湿性和优良的可靠性。

[0053] 当第一陶瓷生片52a中的Ba/Ti比值接近化学计量比时,如果由于第一陶瓷生片52a中包括少量锆,而导致A/B比值波动即使仅为1/1000,则层叠陶瓷电容器100的可靠性会受到影响。因此,在第一陶瓷生片52a中,优选使Ba/Ti比值小于化学计量比。例如,第一陶瓷生片52a中的Ba/Ti比值优选为0.980以下,更优选为0.970以下,甚至更优选为0.965以下。

[0054] 另一方面,当第一陶瓷生片52a中的Ba/Ti比值太小时,第一陶瓷生片52a的致密化温度升高。在这种情况下,第一部分30会致密化不充分。因此,优选为第一陶瓷生片52a中的Ba/Ti比值设定下限。例如,第一陶瓷生片52a中的Ba/Ti比值优选为0.970以上,更优选为0.973以上,甚至更优选为0.975以上。

[0055] 当覆盖片54中的Ba/Ti比值太大时,覆盖片54的致密化温度升高。在这种情况下,覆盖层13会致密化不充分。因此,优选为覆盖片54中的Ba/Ti比值设定上限。例如,覆盖片54中的Ba/Ti比值优选为1.010以下,更优选为1.008以下,甚至更优选为1.006以下。

[0056] 另一方面,当覆盖片54中的Ba/Ti比值太小时,覆盖层13中会发生异常晶粒生长。因此,优选为覆盖片54中的Ba/Ti比值设定下限。例如,覆盖片54中的Ba/Ti比值优选为1.005以上,更优选为1.005以上,甚至更优选为1.0055以上。

[0057] 当第二陶瓷生片52b中的Ba/Ti比值太大时,不能充分抑制钡从覆盖层13向第一部分30的扩散。因此,优选为第二陶瓷生片52b中的Ba/Ti比值设定上限。例如,第二陶瓷生片52b中的Ba/Ti比值优选为0.960以下,更优选为0.955以下,甚至更优选为0.950以下。

[0058] 另一方面,当第二陶瓷生片52b中的Ba/Ti比值太小时,致密化温度将升高并且存在覆盖层13的接合部致密化不充分的风险。因此,优选为第二陶瓷生片52b中的Ba/Ti比值设定下限。例如,第二陶瓷生片52b中的Ba/Ti比值优选为0.950以上,更优选为0.960以上,甚至更优选为0.970以上。

[0059] 在本实施方式中,将层叠陶瓷电容器作为陶瓷电子器件的示例,然而,实施方式不限于层叠陶瓷电容器。例如,实施方式可以应用于其它电子器件,例如压敏电阻或热敏电阻。

[0060] [实施例]

[0061] 以下,制造根据本实施方式的层叠陶瓷电容器,并对其性能进行测试。

[0062] (实施例1、实施例2和比较例1~4) 将粘合剂、有机溶剂和增塑剂加入到钛酸钡粉末中并进行湿混。使用所得浆料，在基材上形成陶瓷生片并干燥，然后施加内部电极图案以形成层叠单元。将覆盖片层叠在通过层叠层叠单元所获得的层叠结构的上侧和下侧上，并进行热压接，并切割成预定的芯片尺寸。接下来，包含钛酸钡作为主成分陶瓷的侧缘片顺次附着在层叠结构的在Y轴方向上的端部。对由此获得的陶瓷层叠结构进行粘合剂去除处理，然后在还原性气氛中进行烧制。关于Ba/Ti比值，在陶瓷生片的层叠结构中，在层叠方向上的上、下端5μm的部分被制造为比在层叠方向上的中央部分小。此外，覆盖片中的Ba/Ti比值大于中央部分中的Ba/Ti比值。

[0063] (Ba/Ti比值) 对于实施例1、实施例2以及比较例1~4的层叠陶瓷电容器，检测各个部分的Ba/Ti比值。具体而言，用研磨机研磨层叠陶瓷电容器以使截面露出，并使用LA-ICP-MS(激光剥蚀电感耦合等离子体质谱仪)测量研磨后的截面。结果如表1所示。此外，在电容部，在层叠方向上的上、下端5μm的部分定义为第二部分，夹在两个第二部分之间的部分定义为第一部分。第一部分和第二部分之间的界面可以是Ba/Ti比值浓度梯度的中间点。

[0064] [表1]

	覆盖层 Ba/Ti	第二部分 Ba/Ti	第一部分 Ba/Ti	孔隙率 (%)	耐湿性 判定	寿命 (min)	寿命 判定	综合 判定
[0065]	实施例 1	1.010	0.960	0.980	5	○	4500	○
	实施例 2	1.006	0.960	0.980	3	○	4900	○
	比较例 1	0.980	0.980	0.980	20	×	4800	○
	比较例 2	0.940	0.960	0.980	25	×	4200	○
	比较例 3	1.003	0.997	0.960	2	○	200	×
	比较例 4	1.001	0.990	0.980	1	○	500	×

[0066] 在实施例1中，覆盖层中的Ba/Ti比值为1.010，第二部分中的Ba/Ti比值为0.960，第一部分中的Ba/Ti比值为0.980。实施例2中，覆盖层中的Ba/Ti比值为1.006，第二部分中的Ba/Ti比值为0.960，第一部分中的Ba/Ti比值为0.980。在比较例1中，覆盖层中的Ba/Ti比值为0.980，第二部分中的Ba/Ti比值为0.980，第一部分中的Ba/Ti比值为0.980。在比较例2中，覆盖层中的Ba/Ti比值为0.940，第二部分中的Ba/Ti比值为0.960，第一部分中的Ba/Ti比值为0.980。在比较例3中，覆盖层中的Ba/Ti比值为1.003，第二部分中的Ba/Ti比值为0.997，第一部分中的Ba/Ti比值为0.960。在比较例4中，覆盖层中的Ba/Ti比值为1.001，第二部分中的Ba/Ti比值为0.990，第一部分中的Ba/Ti比值为0.980。

[0067] (耐湿性) 对于实施例1、实施例2以及比较例1~4的层叠陶瓷电容器，用研磨机对层叠陶瓷电容器进行研磨以露出截面，并用SEM(扫描电子显微镜)观察露出的截面，覆盖层的孔隙率的计算公式为：(孔隙的截面积)/(覆盖层的截面积)。

[0068] 在实施例1中，覆盖层的孔隙率为5%。在实施例2中，覆盖层的孔隙率为3%。在比较例1中，覆盖层的孔隙率为20%。在比较例2中，覆盖层的孔隙率为25%。在比较例3中，覆盖层的孔隙率为2%。在比较例4中，覆盖层的孔隙率为1%。

[0069] 由于耐湿性随着孔隙率的增加而降低，当孔隙率大于10%时，耐湿性被判定为不合格“×”。当孔隙率小于10%时，耐湿性被判定为合格“○”。对于实施例1、实施例2以及比较例3、比较例4，耐湿性被判定为合格“○”。对于比较例1和比较例2，耐湿性被判定为不合

格“×”。

[0070] (寿命)对实施例1、实施例2以及比较例1～4的层叠陶瓷电容器的进行高加速寿命测试。具体而言,在170℃和125V条件下进行测试,直到所有20个样品都故障,并将它们的寿命的平均时间作为寿命值。在实施例1中,寿命值为4500分钟。在实施例2中,寿命值为4900分钟。在比较例1中,寿命值为4800分钟。在比较例2中,寿命值为4200分钟。在比较例3中,寿命值为200分钟。在比较例4中,寿命值为500分钟。

[0071] 当寿命值为3000分钟以上时,寿命特性被判定为合格“○”。当寿命值小于3000分钟时,寿命特性被判定为不合格“×”。对于实施例1、实施例2以及比较例1、比较例2,寿命特性被判定为合格“○”。对于比较例3和比较例4,寿命特性被判定为不合格“×”。

[0072] (综合判定)当耐湿性和寿命特性均判定为合格“○”时,综合判定为合格“○”。当耐湿性和寿命特性中的任何一个被判定为不合格“×”时,综合判定为不合格“×”。

[0073] 在实施例1和实施例2中,综合判定均为合格“○”。这是因为覆盖层的Ba/Ti比值>第一部分的Ba/Ti比值>第二部分的Ba/Ti比值,使得覆盖层具有良好的致密性,并抑制了在第一部分中的异常晶粒生长。

[0074] 在所有比较例1～4中,综合判定均为不合格“×”。分析认为,这是因为在比较例1和比较例2中,覆盖层的Ba/Ti比值≤第二部分的Ba/Ti比值≤第一部分的Ba/Ti比值,使得覆盖层的Ba/Ti比值很小,并且覆盖层的致密化温度没有降低。分析认为,这是因为在比较例3和比较例4中,覆盖层的Ba/Ti≥第二部分的Ba/Ti≥第一部分的Ba/Ti比值,第二部分中的Ba/Ti比值不够小,并且Ba扩散到第一部分中并发生异常晶粒生长。

[0075] 尽管已对本发明的实施方式进行了详述,但应理解的是,可以在不脱离本发明的构思和范围的情况下对其进行各种改变、替换和变更。

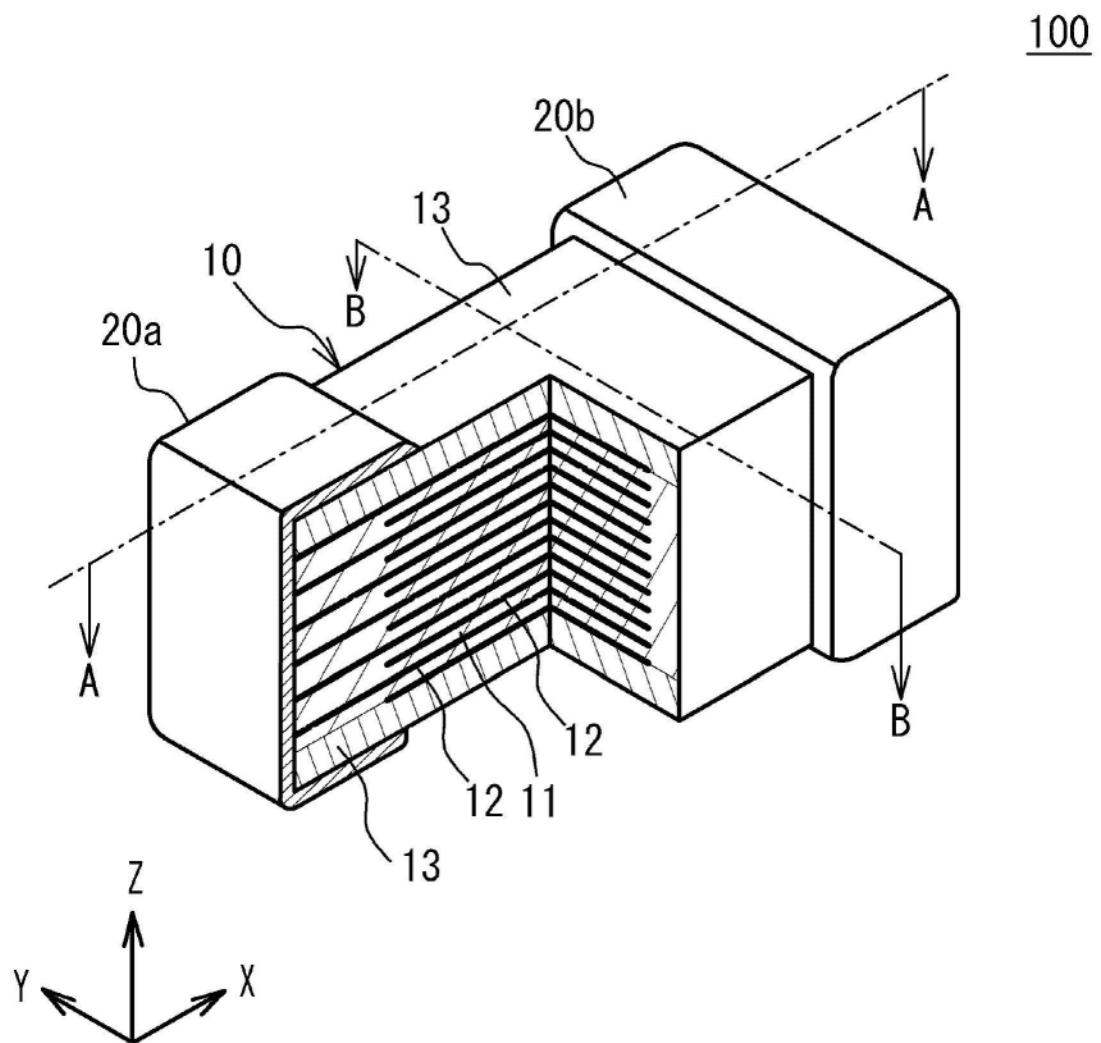


图1

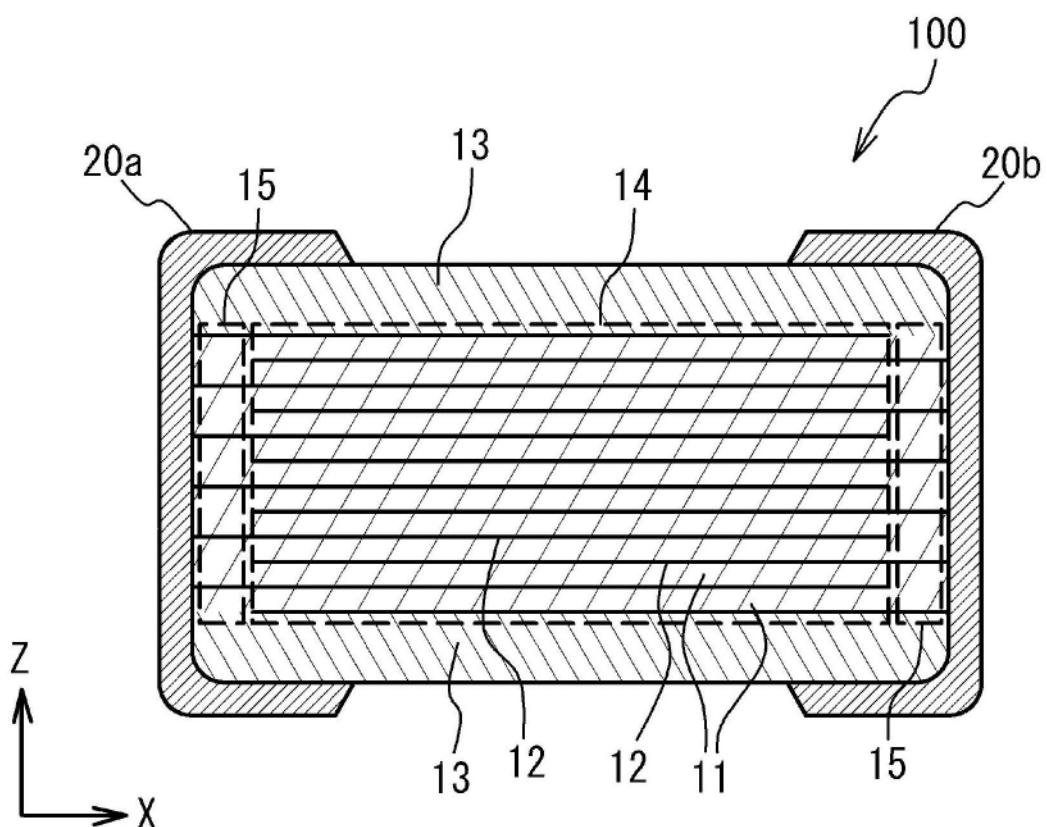


图2

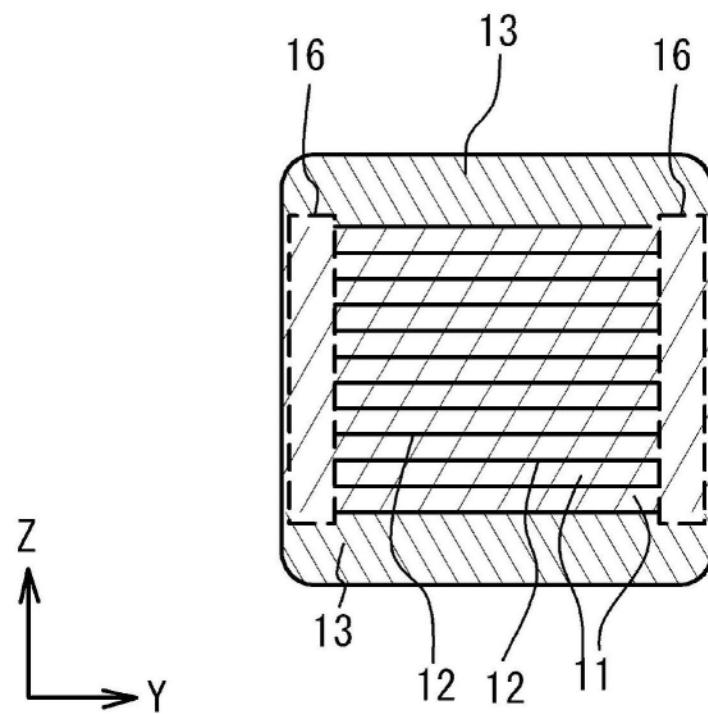


图3

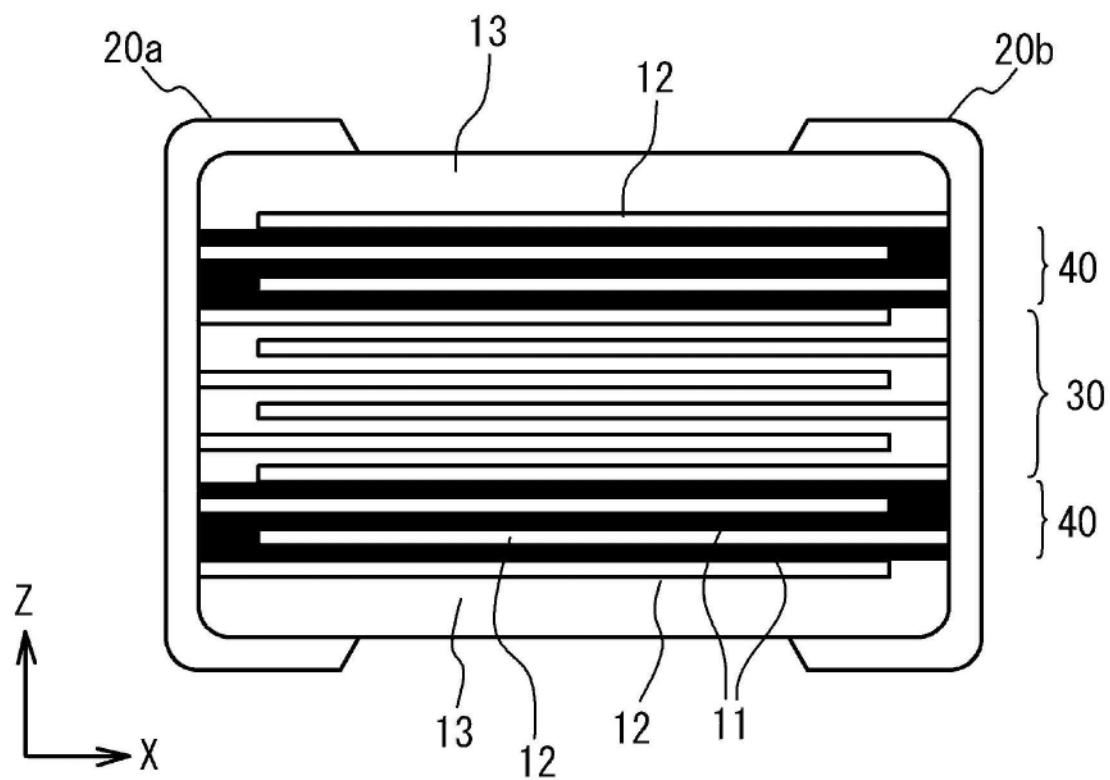


图4

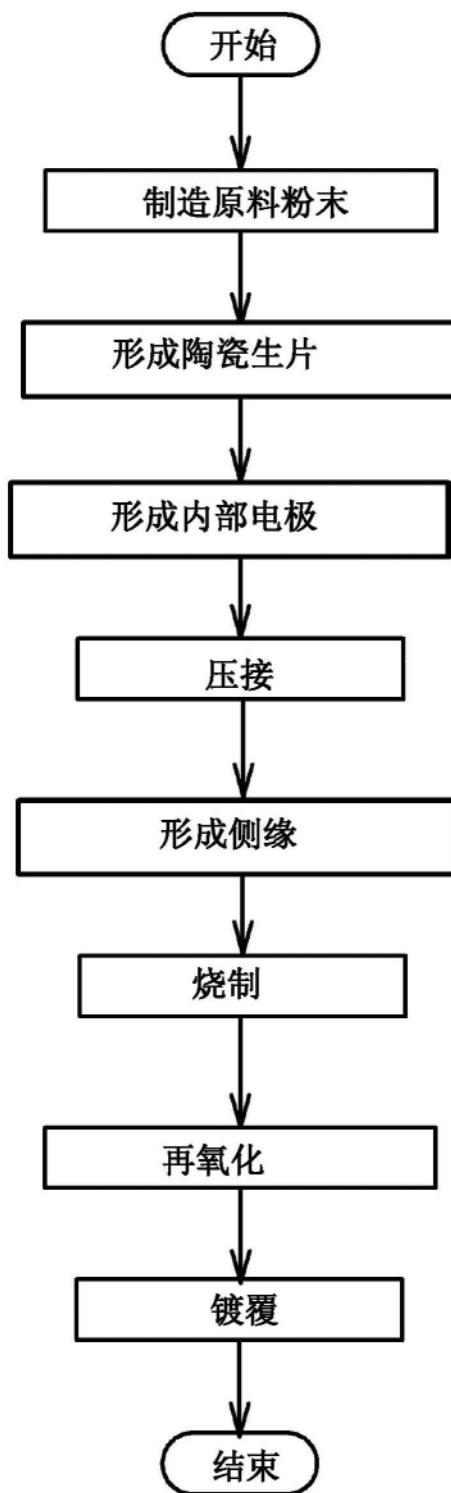


图5

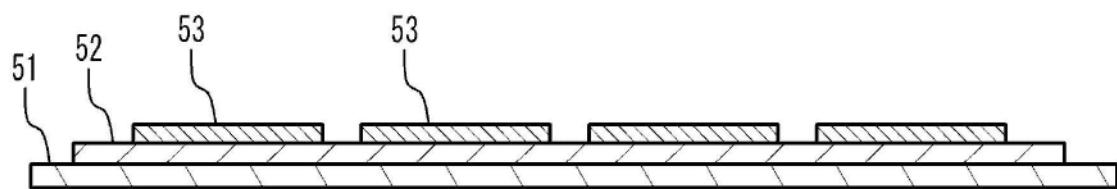


图6A

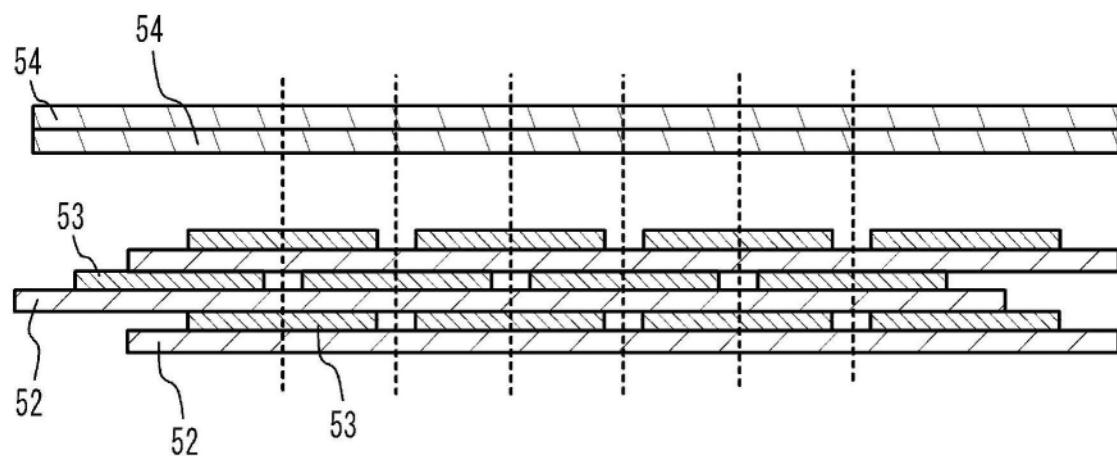


图6B

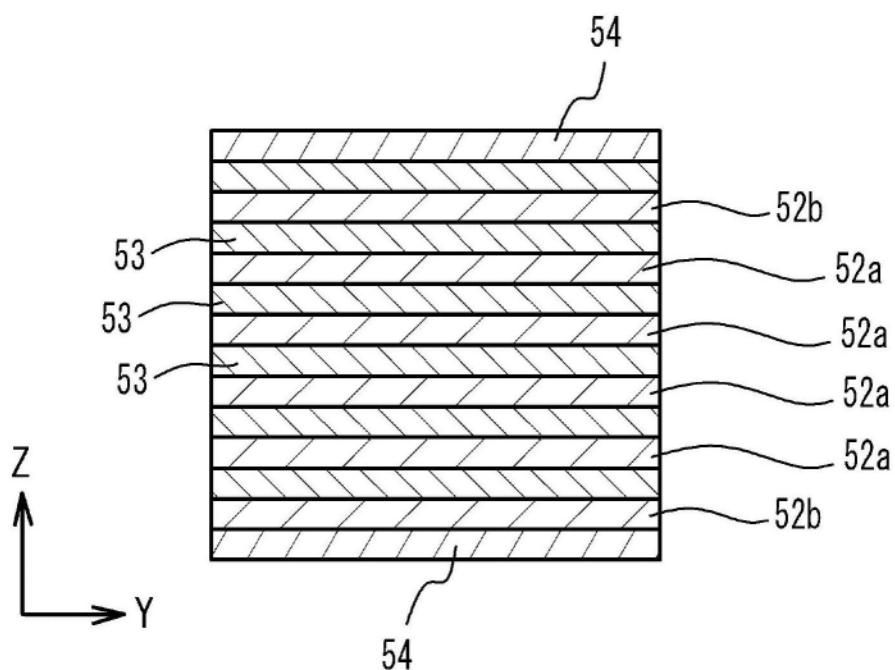


图7A

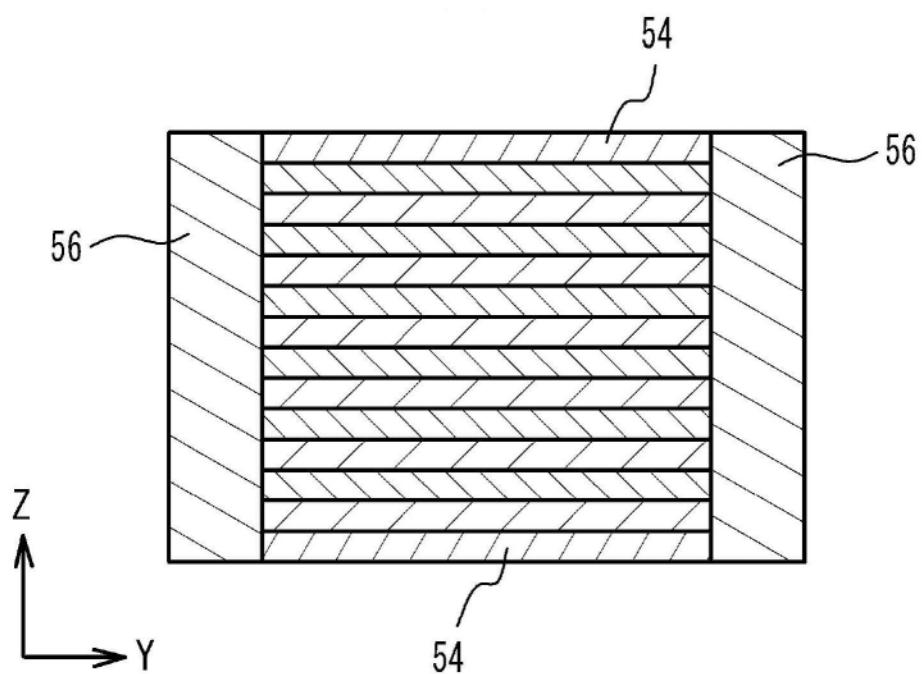


图7B