

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年7月20日(2006.7.20)

【公表番号】特表2005-536046(P2005-536046A)

【公表日】平成17年11月24日(2005.11.24)

【年通号数】公開・登録公報2005-046

【出願番号】特願2004-527629(P2004-527629)

【国際特許分類】

H 0 1 L 27/04 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/8234 (2006.01)

【F I】

H 0 1 L 27/04 H

H 0 1 L 27/06 3 1 1 C

H 0 1 L 27/08 1 0 2 F

【手続補正書】

【提出日】平成18年5月26日(2006.5.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

静電気放電(E S D)回路を有する集積回路(9)であって、

第1バス(14)、第2バス(18)、及び第3バス(12)に各々接続された複数のパッド(31)と、

前記複数のパッド(31)の各々及び第3バス(12)にその各々が接続された複数のプルアップ回路(34)と、

複数の分流回路(36)であって、

前記複数のパッド(31)の各々は、第1バス(14)を介して前記複数の分流回路(36)の少なくとも1つに接続され、

前記複数の分流回路(36)は、前記複数のパッド(31)の少なくとも1つ上におけるE S D現象に应答して並列に動作して前記複数のパッド(31)のE S D保護を行い、

前記複数の分流回路(36)の少なくとも1つが、第1バス(14)、第4バス(16)、及び第2バス(18)に接続される前記複数の分流回路(36)と、

過渡検出回路を含むトリガ回路(50)であって、第3バス(12)を介して前記複数のパッド(31)の各々に接続された第1端子と、第4バス(16)を介して前記複数の分流回路(36)の少なくとも1つに接続された第2端子と、第2バス(18)に接続された第3端子とを有する前記トリガ回路(50)とを備える集積回路。

【請求項2】

請求項1に記載の集積回路であって、

前記複数の分流回路(36)の各々は、トランジスタを備え、前記トランジスタの制御電極は第4バス(16)に接続され、前記トランジスタの第1電流電極は第2バス(18)に接続され、前記トランジスタの第2電流電極は第1バス(14)に接続されている集

積回路。

【請求項 3】

請求項 1 に記載の集積回路であって、第 3 バス ( 1 2 ) 及び第 1 バス ( 1 4 ) は、平衡回路 ( 5 8 ) を介して互いに接続されている集積回路。

【請求項 4】

請求項 1 に記載の集積回路であって、前記複数の分流回路 ( 3 6 ) は、半導体チップ周辺部の一部を囲む連続分流回路網の一部である集積回路。

【請求項 5】

集積回路 ( 9 ) において静電気放電 ( E S D ) を補償するための方法であって、  
前記集積回路内に複数のパッド ( 3 1 ) を配置し、  
前記複数のパッド ( 3 1 ) の各々を各第 1 ダイオード素子 ( 3 3 ) を介して第 1 バス ( 1 4 ) に接続し、  
前記複数のパッド ( 3 1 ) の各々を各第 2 ダイオード素子 ( 3 2 ) を介して第 2 バス ( 1 8 ) に接続し、  
前記第 2 バス ( 1 8 ) 及び第 3 バス ( 1 2 ) に、第 4 バス ( 1 6 ) に接続された出力部を有する過渡検出回路 ( 5 0 ) を接続し、  
前記複数のパッド ( 3 1 ) の各々及び第 3 バス ( 1 2 ) に各々接続された複数のプルアップ回路 ( 3 4 ) を物理的に配置し、  
その少なくとも 1 つが第 1 バス ( 1 4 )、第 4 バス ( 1 6 )、及び第 2 バス ( 1 8 ) に接続される複数の分流回路 ( 3 6 ) を配置することを備える方法。