

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-37100
(P2009-37100A)

(43) 公開日 平成21年2月19日(2009.2.19)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J 3K107	
G09G 3/20 (2006.01)	G09G 3/20 641D 5C080	
H01L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 623L	
	G09G 3/20 623H	

審査請求 未請求 請求項の数 7 O L (全 46 頁) 最終頁に続く

(21) 出願番号	特願2007-202721 (P2007-202721)	(71) 出願人	000002185 ソニー株式会社 東京都港区港南1丁目7番1号
(22) 出願日	平成19年8月3日 (2007.8.3)	(74) 代理人	100086298 弁理士 船橋 國則
		(72) 発明者	三並 徹雄 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	谷龜 貴央 東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	飯田 幸人 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】表示装置

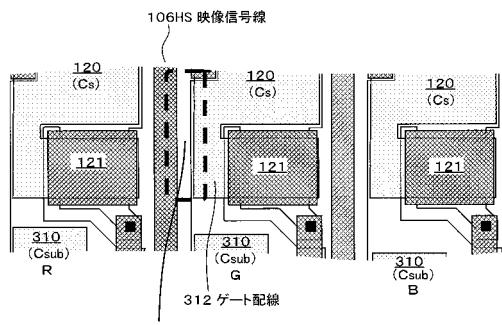
(57) 【要約】

【課題】有機EL表示装置において、並走する配線間に形成される線間容量に起因するクロストークノイズを防止する。

【解決手段】映像信号線106HSを第2配線層L2に形成し、駆動トランジスタ121のゲート配線312を第1配線層L1に形成することで、各配線を別レイヤに配置する。映像信号線106HSとゲート配線312と間に形成される線間容量314の容量値が従前よりも小さくできる。映像信号線106HS上の映像信号Vsigが線間容量314を介してゲート配線312に飛び込む現象を緩和することができ、線間容量314を起因とする映像信号飛込みノイズに基づく表示画面上の縦クロストークノイズを軽減・防止できるようになる。

【選択図】図10A

<第1実施形態のレイアウト: 詳細例>



別レイヤなので線間容量314の容量値Cp_1は無視できる程小さい

- ポリシリコン(PS)
- ▨ アルミニウム(AI): 第2配線層L2
- ▨ モリブデン(Mo): 第1配線層L1
- コンタクト(contact)

【特許請求の範囲】**【請求項 1】**

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号振幅に応じた情報を保持する保持容量、および前記映像信号の信号振幅に応じた情報を前記保持容量に書き込むサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部と、10

前記サンプリングトランジスタを水平周期で順次制御することで前記画素回路を線順次走査して1行分の各保持容量に映像信号の信号振幅に応じた情報を書き込むための書き込み走査パルスを前記サンプリングトランジスタに出力する書き込み走査部、前記書き込み走査部での前記線順次走査に合わせて1行分の映像信号を前記映像信号線に供給する水平駆動部を具備する制御部とを備え

前記画素アレイ部は、

前記映像信号を前記サンプリングトランジスタに伝達するための映像信号線と、前記駆動トランジスタの制御入力端側の配線が、別の配線層に形成されている

ことを特徴とする表示装置。

【請求項 2】

前記映像信号を前記サンプリングトランジスタに伝達するための映像信号線と、前記駆動トランジスタの制御入力端側の配線が、平面上において別の位置に設けられている20

ことを特徴とする請求項1に記載の表示装置。

【請求項 3】

駆動電流を生成する駆動トランジスタ、前記駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号振幅に応じた情報を保持する保持容量、および前記映像信号の信号振幅に応じた情報を前記保持容量に書き込むサンプリングトランジスタを具備し、前記保持容量に保持された情報に基づく駆動電流を前記駆動トランジスタで生成して前記電気光学素子に流すことで当該電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部と、30

前記サンプリングトランジスタを水平周期で順次制御することで前記画素回路を線順次走査して1行分の各保持容量に映像信号の信号振幅に応じた情報を書き込むための書き込み走査パルスを前記サンプリングトランジスタに出力する書き込み走査部、前記書き込み走査部での前記線順次走査に合わせて1行分の映像信号を前記映像信号線に供給する水平駆動部を具備する制御部とを備え

前記画素アレイ部は、前記映像信号を前記サンプリングトランジスタに伝達するための映像信号線と前記駆動トランジスタの制御入力端側の配線と間に形成される線間容量の容量値が、黒ウインドウパターン表示時において、前記線間容量を起因とする映像信号飛込みノイズによる白表示エリア同士の輝度差が1%以下となるように設定されている

ことを特徴とする表示装置。

【請求項 4】

前記駆動電流を一定に維持する駆動信号一定化回路をさらに備えている40

ことを特徴とする請求項1または3に記載の表示装置。

【請求項 5】

前記駆動信号一定化回路は、基準電位と信号電位で切り替わる映像信号を前記サンプリングトランジスタに供給するとともに、駆動電流を前記電気光学素子に流すために使用される第1電位に対応する電圧が前記駆動トランジスタの前記電源供給端に供給されかつ映像信号における基準電位が前記サンプリングトランジスタに供給されている時間帯で前記サンプリングトランジスタを導通させることで前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能を実現するように構成されたものである
ことを特徴とする請求項4に記載の表示装置。

【請求項 6】

10

20

30

40

50

前記駆動信号一定化回路は、前記駆動トランジスタの閾値電圧に対応する電圧を前記保持容量に保持させる閾値補正機能と、閾値補正動作の後に、前記サンプリングトランジスタを導通させることで前記保持容量に信号振幅に応じた情報を書き込む際、前記駆動トランジスタの移動度に対する補正分を前記保持容量に書き込まれる信号に加える移動度補正機能とを実現するように構成されたものである

ことを特徴とする請求項4に記載の表示装置。

【請求項7】

前記駆動信号一定化回路は、前記保持容量が前記駆動トランジスタの制御入力端と前記駆動電流出力端の間に接続されることでブーストアップ機能を実現するように構成されたものである

10

ことを特徴とする請求項4に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電気光学素子（表示素子や発光素子とも称される）を具備する画素回路（画素とも称される）が行列状に配列された画素アレイ部を有する表示装置に関する。より詳細には、駆動信号の大小によって輝度が変化する電気光学素子を表示素子として有する画素回路が行列状に配置されてなり、画素回路ごとに能動素子を有して当該能動素子によって画素単位で表示駆動が行なわれるアクティブマトリクス型の表示装置に関する。

20

【背景技術】

【0002】

画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。たとえば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機EL, Organic Light Emitting Diode, OLED；以下、有機ELと記す）素子が代表例である。後者の有機EL素子を用いた有機EL表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

20

【0003】

有機EL素子は有機薄膜に電界をかけると発光する現象を利用した電気光学素子である。有機EL素子は比較的低い印加電圧（たとえば10V以下）で駆動できるため低消費電力である。また有機EL素子は自ら光を発する自発光素子であるため、液晶表示装置では必要とされるバックライトなどの補助照明部材を必要とせず、軽量化および薄型化が容易である。さらに、有機EL素子の応答速度は非常に高速である（たとえば数μs程度）ので、動画表示時の残像が発生しない。これらの利点があることから、電気光学素子として有機EL素子を用いた平面自発光型の表示装置の開発が近年盛んになっている。

30

【0004】

ところで、液晶表示素子を用いた液晶表示装置や有機EL素子を用いた有機EL表示装置を始めとする電気光学素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを探ることができる。ただし、単純マトリクス方式の表示装置は、構造が単純であるものの、大型でかつ高精細の表示装置の実現が難しいなどの問題がある。

40

【0005】

このため、近年、画素内部の発光素子に供給する画素信号を、同様に画素内部に設けた能動素子、たとえば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor；TFT）をスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

【0006】

ここで、画素回路内の電気光学素子を発光させる際には、映像信号線を介して供給される入力画像信号をスイッチングトランジスタ（サンプリングトランジスタと称する）で駆

50

動トランジスタのゲート端（制御入力端子）に設けられた保持容量（画素容量とも称する）に取り込み、取り込んだ入力画像信号に応じた駆動信号を電気光学素子に供給する。

【0007】

電気光学素子として液晶表示素子を用いる液晶表示装置では、液晶表示素子が電圧駆動型の素子であることから、保持容量に取り込んだ入力画像信号に応じた電圧信号そのもので液晶表示素子を駆動する。これに対して、電気光学素子として有機EL素子などの電流駆動型の素子を用いる有機EL表示装置では、保持容量に取り込んだ入力画像信号に応じた駆動信号（電圧信号）を駆動トランジスタで電流信号に変換して、その駆動電流を有機EL素子などに供給する。

【0008】

有機EL素子を代表例とする電流駆動型の電気光学素子では、駆動電流値が異なると発光輝度も異なる。よって、安定した輝度で発光させるためには、安定した駆動電流を電気光学素子に供給することが肝要となる。たとえば、有機EL素子に駆動電流を供給する駆動方式としては、定電流駆動方式と定電圧駆動方式とに大別できる（周知の技術であるので、ここでは公知文献の提示はしない）。

10

【0009】

有機EL素子の電圧 - 電流特性は傾きの大きい特性を有するので、定電圧駆動を行なうと、僅かな電圧のばらつきや素子特性のばらつきが大きな電流のばらつきを生じ大きな輝度ばらつきをもたらす。よって、一般的には、駆動トランジスタを飽和領域で使用する定電流駆動が用いられる。もちろん、定電流駆動でも、電流変動があれば輝度ばらつきを招くが、小さな電流ばらつきであれば小さな輝度ばらつきしか生じない。

20

【0010】

逆に言えば、定電流駆動方式であっても、電気光学素子の発光輝度が不变であるためには、入力画像信号に応じて保持容量に書き込まれ保持される駆動信号が一定であることが重要となる。たとえば、有機EL素子の発光輝度が不变であるためには、入力画像信号に応じた駆動電流が一定であることが重要となる。

【0011】

ところが、プロセス変動により電気光学素子を駆動する能動素子（駆動トランジスタ）の閾値電圧や移動度がばらついてしまう。また、有機EL素子などの電気光学素子の特性が経時に変動する。特に、低温ポリシリコン TFT 基板などを用いる場合、トランジスタの閾値特性や移動度特性のばらつきが大きい。このような駆動用の能動素子の特性ばらつきや電気光学素子の特性変動があると、定電流駆動方式であっても、発光輝度に影響を与えててしまう。

30

【0012】

このため、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内で上述した駆動用の能動素子や電気光学素子の特性変動に起因する輝度変動を補正するための仕組みが種々検討されている（特許文献1参照）。

【0013】

【特許文献1】特開2006-215213号公報

40

【0014】

たとえば、特許文献1に記載の仕組みでは、有機EL素子用の画素回路として、駆動トランジスタの閾値電圧にばらつきや経時変化があった場合でも駆動電流を一定にするための閾値補正機能や、駆動トランジスタの移動度にばらつきや経時変化があった場合でも駆動電流を一定にするための移動度補正機能や、有機EL素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にするためのブーストアップ機能が提案されている。

【0015】

これら閾値補正機能や移動度補正機能などを実現するには、サンプリングトランジスタあるいは閾値補正用や移動度補正用に追加する各トランジスタをパルス信号によって所定のタイミングでオンオフさせることが必要となる。

【0016】

50

なお、閾値補正動作や移動度補正動作を実現するに当たっては、画素回路の構成や駆動タイミングとして様々な仕組みが考えられており、閾値補正期間や移動度補正期間は、1つのトランジスタのオン期間もしくはオフ期間のみで決定される場合もあれば、2つのトランジスタのオン期間同士もしくはオフ期間同士あるいはオン期間とオフ期間の各重なり期間で決定される場合もある。

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかしながら、閾値補正機能や、移動度補正機能や、ブートストラップ機能を働かせるためには、各種のトランジスタをオン／オフ制御する必要があり、そのために各種の走査線を画素アレイ部に縦方向や横方向に形成する必要がある。10

【0018】

各走査線と画素回路を構成するトランジスタのレイアウトによっては、走査線とトランジスタとが近接して配置されることがある。このとき、走査線とトランジスタの端子配線と間に形成される線間容量（寄生容量あるいはフリンジング容量と称する）を介して、その走査線の電位に対応した不要な信号（ノイズ）がトランジスタのたとえば制御入力端（ゲート）や入出力端（ソースあるいはドレイン）に飛び込む現象が生じ得る。

【0019】

たとえば駆動トランジスタのゲート側に飛び込むような事象が生じると、駆動電流に影響を与え、表示画面上にノイズ（輝度ムラやカラー表示の場合は色ムラ）となって現われてしまう。どのような場合に飛び込みノイズが駆動トランジスタのゲート側にまで飛び込むかは、回路構成を要因とする並走する走査線の種類が何であるのかや駆動方式にも関係すると考えられる。全ての組合せの並走配線において必ず問題が生じると言うことにはならないと考えられる。20

【0020】

また、特許文献1に記載の仕組みでは、補正用の電位を供給する配線と、補正用のスイッチングトランジスタと、それを駆動するスイッチング用のパルスが必要であり、駆動トランジスタおよびサンプリングトランジスタを含めると5つのトランジスタを使用する5TR駆動の構成を採っており、画素回路の構成が複雑である。画素回路の構成要素が多いことから、表示装置の高精細化の妨げとなる。その結果、5TR駆動の構成では、携帯機器（モバイル機器）などの小型の電子機器で用いられる表示装置への適用が困難になる。30

【0021】

このため、画素回路の簡素化を図りつつ、並走する配線間に形成される線間容量を介したノイズに起因する画質に与える影響（輝度ムラや色むら）を抑制する仕組みの開発要求がある。この際には、並走する配線間に形成される線間容量を起因とするノイズを防止するとともに、画素回路の簡素化に伴って、5TR駆動の構成では生じていない問題が新たに発生するがないようにすることも考慮されるべきである。

【0022】

本発明は、上記事情に鑑みてなされたもので、先ず、駆動トランジスタのゲート配線と並走する走査線と間に形成される線間容量を介したノイズに起因する画質に与える影響（輝度ムラや色むら）を緩和し、表示特性の向上を図ることのできる仕組みを提供することを目的とする。40

【0023】

さらに好ましくは、画素回路の簡素化により表示装置の高精細化を可能にする仕組みを提供することを目的とする。

【0024】

また、画素回路の簡素化に当たっては、好ましくは、駆動トランジスタや電気光学素子の特性ばらつきによる輝度変化を抑制することの可能な仕組みを提供することを目的とする。

【課題を解決するための手段】

10

20

30

40

50

【0025】

本発明に係る表示装置の一実施形態は、駆動電流を生成する駆動トランジスタ、駆動トランジスタの出力端に接続された電気光学素子、映像信号の信号電位（詳しくは信号振幅）に応じた情報を保持する保持容量、および映像信号の信号振幅に応じた情報を保持容量に書き込むサンプリングトランジスタを具備し、保持容量に保持された情報に基づく駆動電流を駆動トランジスタで生成して電気光学素子に流することで電気光学素子が発光する画素回路が行列状に配置されている画素アレイ部を備える。

【0026】

また、当該表示装置は、サンプリングトランジスタを水平周期で順次制御することで画素回路を線順次走査して1行分の各保持容量に映像信号の信号振幅に応じた情報を書き込むための書き走査パルスをサンプリングトランジスタに出力する書き走査部、書き走査部での線順次走査に合わせて1行分の映像信号を映像信号線に供給する水平駆動部を備える制御部を備える。10

【0027】

ここで、画素回路を構成するトランジスタや走査線を配置する際には、映像信号線と駆動トランジスタとが並走する場合がある。この場合、駆動トランジスタの制御入力端側の配線と映像信号線とが並走するようになり、この並走部分に線間容量が形成され、線間容量を介して、映像信号線上の映像信号が制御入力端側の配線に飛び込む現象が生じる。この制御入力端側の配線に飛び込んだ信号を映像信号飛込みノイズと称する。この映像信号飛込みノイズが駆動トランジスタの制御入力端に生じるとゲート・ソース間電圧が変動してしまい輝度ムラが生じてしまう。20

【0028】

そこで、本発明に係る画素回路および表示装置の一実施形態における特徴的な事項として、第1の手法としては、各配線の位置関係の観点からの規定手法として、映像信号線と駆動トランジスタの制御入力端側の配線を別の配線層に形成する。基本的な考え方は、各配線の対向面積を極力小さくすることであり、その典型例として、別レイヤに配置するのである。別レイヤに配置すれば、対向面積を小さくできるだけでなく、同一層で配置する場合よりも配線間に配される物質（誘電体）の比誘電率を小さくすることができる利点も享受できる。30

【0029】

映像信号線と駆動トランジスタの制御入力端側の配線を別の配線層に形成すれば、両配線間に形成される線間容量の容量値は、十分に小さくなる。

【0030】

好ましくは、平面上において横方向の別の位置に設ける。簡単に言えば、両配線をオーバーラップさせないと言うことである。

【0031】

また、第2の手法としては、映像信号線と制御入力端側の配線と間に形成される線間容量を起因とする輝度ムラに着目したとき、黒ウィンドウ表示における各白表示部分の輝度差が1%以下となるようなレイアウトとする。これは、一般的に、人間の目で輝度差約1%以内であれば視認されないと言わかれていることに基づくものである。40

【発明の効果】

【0032】

本発明の一実施形態における第1の手法によれば、映像信号線と駆動トランジスタの制御入力端側の配線を別の配線層に形成するようにしたので、本構成を有していない場合に比べて、両配線間に形成される線間容量を小さくできる。その結果、映像信号線上の映像信号が線間容量を介して制御入力端側の配線に飛び込む現象を緩和することができる。並走配線間に線間容量を起因とする映像信号飛込みノイズに基づく表示画面上のノイズを軽減・防止できるようになる。

【0033】

本発明の一実施形態における第2の手法によれば、輝度ムラの観点から、黒ウィンドウ

表示時の各白表示部分の輝度差が1%以下となるようにするので、たとえ映像信号飛込み飛込みノイズがあったとしても視認されず、表示画面上のノイズを防止できる。

【0034】

ここで、閾値補正機能およびそれに先立つ閾値補正準備機能（初期化機能）や移動度補正機能を実現するに当たって、駆動トランジスタの電源供給端を第1電位と第2電位と間で遷移させる、つまり電源電圧をスイッチングパルスとして使用することが有効に機能する。すなわち、閾値補正機能や移動度補正機能を組み込むため、各画素回路の駆動トランジスタに供給する電源電圧をスイッチングパルスとして使用すると、補正用のスイッチングトランジスタやその制御入力端を制御する走査線が不要になる。

【0035】

結果として、2TR駆動の構成をベースとして各トランジスタの駆動タイミングなどの変形を加えるだけでよく、画素回路の構成素子数と配線本数が大幅に削減でき、画素アレイ部を縮小することができ、表示装置の高精細化を達成し易くなる。画素回路の簡素化を図りつつ、映像信号線と駆動トランジスタの制御入力端側の配線と間に形成される線間容量を起因とする映像信号飛込みノイズの問題を防止することができる。素子数や配線数が少ないため高精細化に適しており、高精細の表示が求められる小型の表示装置を容易に実現できる。

【発明を実施するための最良の形態】

【0036】

以下、図面を参照して本発明の実施形態について詳細に説明する。

20

【0037】

<表示装置の全体概要>

図1は、本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すプロック図である。ここで示す構成例では、たとえば画素の表示素子（電気光学素子、発光素子）として有機EL素子を、能動素子としてポリシリコン薄膜トランジスタ（TFT；Thin Film Transistor）をそれぞれ用い、薄膜トランジスタを形成した半導体基板上に有機EL素子を形成してなるアクティブマトリクス型有機ELディスプレイ（以下「有機EL表示装置」と称する）に適用した場合を例に採って説明する。

【0038】

なお、以下の全体構成の説明においては、画素の表示素子として有機EL素子を例に具体的に説明するが、これは一例であって、対象となる表示素子は有機EL素子に限らない。一般的に電流駆動で発光する表示素子の全てに、後述する全ての実施形態が同様に適用できる。

30

【0039】

図1に示すように、表示装置1は、複数の表示素子としての有機EL素子（図示せず）を持った画素回路（画素とも称される）Pが表示アスペクト比である縦横比がX:Y（たとえば9:16）の有効映像領域を構成するように配置された表示パネル部100と、この表示パネル部100を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部（いわゆるタイミングジェネレータ）200と、映像信号処理部220を備えている。駆動信号生成部200と映像信号処理部220とは、1チップのIC（Integrated Circuit；半導体集積回路）に内蔵され、本例では、表示パネル部100の外部に配置されている。

40

【0040】

なお、製品形態としては、図示のように、表示パネル部100、駆動信号生成部200、および映像信号処理部220の全てを備えたモジュール（複合部品）形態の表示装置1として提供されることに限らず、たとえば、表示パネル部100のみで表示装置1として提供することも可能である。また、このような表示装置1は、半導体メモリやミニディスク（MD）やカセットテープなどの記録媒体を利用した携帯型の音楽プレイヤーやその他の電子機器の表示部に利用される。

【0041】

50

表示パネル部 100 は、基板 101 の上に、画素回路 P が n 行 × m 列のマトリクス状に配列された画素アレイ部 102 と、画素回路 P を垂直方向に走査する垂直駆動部 103 と、画素回路 P を水平方向に走査する水平駆動部（水平セレクタあるいはデータ線駆動部とも称される）106 と、各駆動部 103, 106 と外部回路とのインタフェースをとるインターフェース（IF）部 130 と、外部接続用の端子部（パッド部）108 などが集積形成されている。すなわち、垂直駆動部 103 や水平駆動部 106 やインターフェース部 130 などの周辺駆動回路が、画素アレイ部 102 と同一の基板 101 上に形成された構成となっている。

【0042】

インターフェース部 130 は、垂直駆動部 103 と外部回路とのインターフェースをとる垂直 IF 部 133 と、水平駆動部 106 と外部回路とのインターフェースをとる水平 IF 部 136 を有する。10

【0043】

垂直駆動部 103（書込走査部 104 および駆動走査部 105）と水平駆動部 106 とで、信号電位の保持容量への書き込みや、閾値補正動作や、移動度補正動作や、ブーストストラップ動作を制御する制御部 109 が構成される。この制御部 109 とインターフェース部 130（垂直 IF 部 133 や水平 IF 部 136）を含めて、画素アレイ部 102 の画素回路 P を駆動する駆動回路を構成している。

【0044】

垂直駆動部 103 としては、たとえば、書込走査部（ライトスキャナ WS ; Write Scan）104 や電源供給能力を有する電源スキャナとして機能する駆動走査部（ドライブスキャナ DS ; Drive Scan）105 を有する。画素アレイ部 102 は、一例として、図示する左右方向の一方側もしくは両側から書込走査部 104 および駆動走査部 105 で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部 106 で駆動されるようになっている。20

【0045】

端子部 108 には、表示装置 1 の外部に配された駆動信号生成部 200 から、種々のパルス信号が供給されるようになっている。また同様に、映像信号処理部 220 から映像信号 Vsig（カラー表示の場合には色別の映像信号 Vsig_R, G, B）が供給されるようになっている。30

【0046】

一例としては、垂直駆動用のパルス信号として、垂直方向の書き込み開始パルスの一例であるシフトスタートパルス SPDS, SPWS や垂直走査クロック CKDS, CKWS（必要に応じて位相反転した垂直走査クロック xCKDS, xCKWS も）など必要なパルス信号が供給される。また、水平駆動用のパルス信号として、水平方向の書き込み開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH（必要に応じて位相反転した水平走査クロック xCKH も）など必要なパルス信号が供給される。

【0047】

端子部 108 の各端子は、配線 109 を介して、垂直駆動部 103 や水平駆動部 106 に接続されるようになっている。たとえば、端子部 108 に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 103 の各部や水平駆動部 106 に供給される。40

【0048】

画素アレイ部 102 は、図示を割愛するが（詳細は後述する）、表示素子としての有機 EL 素子に対して画素トランジスタが設けられた画素回路 P が行列状に 2 次元配置され、この画素配列に対して行ごとに走査線が配線されるとともに、列ごとに信号線が配線された構成となっている。

【0049】

たとえば、画素アレイ部 102 には、走査線（ゲート線）104 WS と映像信号線（データ線）106 HS が形成されている。両者の交差部分には図示を割愛した有機 EL 素子とこ50

れを駆動する薄膜トランジスタが形成される。有機EL素子と薄膜トランジスタの組み合わせて画素回路Pを構成する。

【0050】

具体的には、マトリクス状に配列された各画素回路Pに対しては、書込走査部104によって書込駆動パルスWSで駆動されるn行分の書込走査線104WS_1～104WS_nおよび駆動走査部105によって電源駆動パルスDSLで駆動されるn行分の電源供給線105DSL_1～105DSL_nが画素行ごとに配線される。

【0051】

書込走査部104および駆動走査部105は、論理ゲートの組合せ（ラッチやシフトレジスタなども含む）によって構成され、画素アレイ部102の各画素回路Pを行単位で選択する、すなわち、駆動信号生成部200から供給される垂直駆動系のパルス信号に基づき、書込走査線104WSおよび電源供給線105DSLを介して各画素回路Pを順次選択する。

10

【0052】

水平駆動部106は、論理ゲートの組合せ（ラッチやシフトレジスタなども含む）によって構成され、画素アレイ部102の各画素回路Pを列単位で選択する、すなわち、駆動信号生成部200から供給される水平駆動系のパルス信号に基づき、選択された画素回路Pに対し映像信号線106HSを介して映像信号Vsigの内の所定電位をサンプリングして保持容量に書き込ませる。

20

【0053】

本実施形態の表示装置1は、線順次駆動や点順次駆動が可能になっており、垂直駆動部103の書込走査部104および駆動走査部105は線順次で（つまり行単位で）で画素アレイ部102を走査するとともに、これに同期して水平駆動部106が、画像信号を、1水平ライン分を同時に（線順次の場合）、あるいは画素単位で（点順次の場合）、画素アレイ部102に書き込む。

20

【0054】

なお、図1では、画素アレイ部102の一方側にのみ垂直駆動部103を配置する構成を示しているが、画素アレイ部102を挟んで左右両側に垂直駆動部103を配置する構成を探ることも可能である。同様に、図1では、画素アレイ部102の一方側にのみ水平駆動部106を配置する構成を示しているが、画素アレイ部102を挟んで上下両側に水平駆動部106を配置する構成を探ることも可能である。

30

【0055】

なお、本例では、シフトスタートパルスSPDS, SPWS、垂直走査クロックCKDS, CKWSや水平スタートパルスSPH、水平走査クロックCKHなどのパルス信号を表示パネル部100の外部から入力する構成としているが、これらの各種のタイミングパルスを生成する駆動信号生成部200を表示パネル部100上に搭載することも可能である。

30

【0056】

<画素回路>

図2および図2Aは、本実施形態の基本構成の画素回路Pと、当該画素回路Pを備えた有機EL表示装置の一実施形態を示す図である。本実施形態の基本構成の画素回路Pを画素アレイ部102に備える表示装置1を本実施形態の基本構成の表示装置1と称する。図2は基本構成を示し、図2Aは具体的な構成を示す。なお、表示パネル部100の基板101において画素回路Pの周辺部に設けられた垂直駆動部103と水平駆動部106も合わせて示している。図3は、有機EL素子127や駆動トランジスタ121の特性ばらつきが駆動電流Idsに与える影響を説明する図であり、図3Aは、その改善手法の概念を説明する図である。

40

【0057】

pチャネル型のトランジスタではなく、nチャネル型のトランジスタで駆動トランジスタを構成することができれば、トランジスタ作成において従来のアモルファスシリコン(a-Si)プロセスを用いることが可能になる。これにより、トランジスタ基板の低コスト

50

ト化が可能となり、このような構成の画素回路Pの開発が期待される。

【0058】

駆動トランジスタを始めとする各トランジスタとしてはMOSトランジスタを使用する。この場合、駆動トランジスタについては、ゲート端を制御入力端として取り扱い、ソース端およびドレイン端の何れか一方（ここではソース端とする）を出力端として取り扱い、他方を電源供給端（ここではドレイン端とする）として取り扱う。

【0059】

図2および図2Aに示す本実施形態の画素回路Pは、基本的にnチャネル型の薄膜電界効果トランジスタでドライブトランジスタが構成されている点に特徴を有する。また、有機EL素子の経時劣化による当該有機EL素子への駆動電流 I_{ds} の変動を抑制するための回路、すなわち電気光学素子の一例である有機EL素子の電流-電圧特性の変化を補正して駆動電流 I_{ds} を一定に維持する駆動信号一定化回路（その1）を備え、また駆動トランジスタの特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ閾値補正機能や移動度補正機能を実現して駆動電流 I_{ds} を一定に維持する駆動方式を採用した点に特徴を有する。

10

【0060】

駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流 I_{ds} に与える影響を抑制する方法としては、2TR構成の駆動回路そのまま駆動信号一定化回路（その1）として採用しつつ、各トランジスタ121, 125の駆動タイミングを工夫することで対処する。

20

【0061】

また、本実施形態の画素回路Pは、2TR駆動の構成であり、素子数や配線数が少ないため、高精細化が可能であることに加えて、映像信号 V_{sig} の劣化なくサンプリングできるため、良好な画質を得ることができる。

30

【0062】

また本実施形態の画素回路Pは、保持容量120の接続様に特徴を有し、有機EL素子127の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路（その2）の一例であるブートストラップ回路を構成している。有機EL素子の電流-電圧特性に経時変化があった場合でも駆動電流を一定にする（駆動電流変動を防ぐ）ブートストラップ機能を実現する駆動信号一定化回路（その2）を備えた点に特徴を有するのである。

【0063】

詳細は後述するが、本実施形態の画素回路Pは、書き込みゲインやブートストラップゲインや移動度補正期間に関係する補助容量を備える。ただし、この補助容量を備えることは必須ではない。本実施形態の画素回路Pを駆動するに当たっての基本的な制御動作は、補助容量を備えていない画素回路Pに対するものと同様である。

【0064】

具体的には図2および図2Aに示すように、本実施形態の画素回路Pは、それぞれnチャネル型の駆動トランジスタ121およびサンプリングトランジスタ125と、電流が流れることで発光する電気光学素子の一例である有機EL素子127とを有する。一般に、有機EL素子127は整流性があるためダイオードの記号で表している。なお、有機EL素子127には、寄生容量 C_{el} が存在する。図では、この寄生容量 C_{el} を有機EL素子127（ダイオード状のもの）と並列に示す。

40

【0065】

駆動トランジスタ121は、ドレイン端Dが第1電源電位を供給する電源供給線DSLに接続され、ソース端（出力端）Sが、有機EL素子127のアノード端Aに接続され（その接続点をノードND121とする）、有機EL素子127のカソード端Kが基準電位を供給する全画素共通の接地配線 V_{cath} （GND）に接続されている。

【0066】

なお、接地配線 V_{cath} は、それ用の単一層の配線（上層配線）のみとしてもよいし、たとえばアノード用の配線が形成されるアノード層に、カソード配線用の補助配線を設けて

50

カソード配線の抵抗値を低減するようにしてもよい。この補助配線は、表示エリア内に格子状または列または行状に配線され、上層配線と同電位で固定電位である。

【0067】

サンプリングトランジスタ125は、ゲート端Gが書込走査部104からの書込走査線104WSに接続され、ドレイン端Dが映像信号線106HSに接続され、ソース端Sが駆動トランジスタ121のゲート端Gに接続されている（その接続点をノードND122とする）。サンプリングトランジスタ125のゲート端Gには、書込走査部104からアクティブHの書込駆動パルスWSが供給される。サンプリングトランジスタ125は、ソース端Sとドレイン端Dとを逆転させた接続態様とすることもできる。

10

【0068】

駆動トランジスタ121のドレイン端Dは、電源スキヤナとして機能する駆動走査部105からの電源供給線105DSLに接続されている。電源供給線105DSLは、この電源供給線105DSLそのものが、駆動トランジスタ121に対しての電源供給能力を備える点に特徴を有する。

10

【0069】

駆動走査部105は、駆動トランジスタ121のドレイン端Dに対して、それぞれ電源電圧に相当する高電圧側の第1電位Vcc_Hと閾値補正に先立つ準備動作に利用される低電圧側の第2電位Vcc_L（初期化電圧もしくはイニシャル電圧Viniとも称される）とを切り替えて供給する。

20

【0070】

駆動トランジスタ121のドレイン端D側を第1電位Vcc_Hと第2電位Vcc_Lの2値をとる電源駆動パルスDSLで駆動することで、閾値補正に先立つ準備動作を行なうこと可能にしている。

20

【0071】

第2電位Vcc_Lとしては、映像信号線106HSにおける映像信号Vsigtの基準電位Vo（オフセット電圧Vofsとも称する）より十分低い電位とする。具体的には、駆動トランジスタ121のゲート・ソース間電圧Vgs（ゲート電位Vgとソース電位Vsの差）が駆動トランジスタ121の閾値電圧Vthより大きくなるように、電源供給線105DSLの低電位側の第2電位Vcc_Lを設定する。なお、基準電位Vo（Vofs）は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線106HSを予めプリチャージにしておくためにも利用する。

30

【0072】

このような画素回路Pでは、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端Dに第1電位Vcc_Hが供給され、ソース端Sが有機EL素子127のアノード端A側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

30

【0073】

このような画素回路Pを採用する場合、駆動トランジスタ121の他に走査用に1つのスイッチングトランジスタ（サンプリングトランジスタ125）を使用する2TR駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルスDSLおよび書込駆動パルスWSのオン／オフタイミングの設定により、有機EL素子127の経時劣化や駆動トランジスタ121の特性変動（たとえば閾値電圧や移動度などのばらつきや変動）による駆動電流Idsに与える影響を防ぐ点に特徴を有する。

40

【0074】

加えて、本実施形態の表示装置1においては、画素回路Pごとに、ノードND121（駆動トランジスタ121のソース端Sおよび保持容量120の一方の端子と有機EL素子127のアノード端Aの接続点）に容量値Csubの容量素子である補助容量310を追加し、補助容量310の他方の端子（ノードND310と称する）の接続箇所を自行（自段）の電源供給線105DSLとする点に特徴を有する。補助容量310は、有機EL素子127（その寄生容量Cel）と電気回路的に並列接続されたものとなる。

50

【0075】

本実施形態では、図2Aに具体例を示すように、ノードND310を有機EL素子127のカソード配線に接続することにする。ノードND310の接続点は、本実施形態では、有機EL素子127のカソード配線としているが、これ以外にも、たとえば自段(行)の電源供給線105DSLとすることや、自段(行)以外の電源供給線105DSLとすることや、任意の値(接地電位を含む)の固定電位とすることも考えられる。ノードND310の接続点が何れであるかによって、それぞれ長短(利点と欠点)があるが、ここではその説明を割愛する。

【0076】

自行以外としては、当該行の電源供給線105DSLより前段側に属する別の電源供給線105DSLとすることや、当該行の電源供給線105DSLより後段側に属する別の電源供給線105DSLとすることが考えられる。たとえば、直前よりもさらにその前の電源供給線105DSLに接続してもよい。もちろん、ノードND310を直後の行(1水平期間後:後側の隣接行)の電源供給線105DSLに接続してもよい。ただしこれらは前段側や後段側の一例であって、これに限られるものではなく、たとえば、直前よりもさらにその前の電源供給線105DSLあるいは直後よりもさらにその後ろの電源供給線105DSLに接続してもよい。ただし、隣接行以外ではその分配線長が長くなり配線抵抗やクロストークノイズなどの難点が懸念される。この点においては自段以外に接続する際には、ノードND310を隣接行の電源供給線105DSLに接続するのがよい。

10

【0077】

また、ノードND310を固定電位にする際には、たとえば、全ての有機EL素子127のカソード端Kが接続される全画素共通の接地配線Vcath(上層配線でもよいし補助配線でもよい)とすることも考えられる。あるいは、ノードND310用に専用の固定電位を与えるため、TFT層で配線を設けてもよい。なお、このTFT層の補助容量310用の配線をカソード配線と兼用してもよい。

20

【0078】

<基本動作>

先ず、図2および図2Aに示す本実施形態の画素回路Pの特徴を説明する上で比較例として、図示を割愛するが、補助容量310を備えておらず、保持容量120は、一方の端子がノードND122に接続され、他方の端子が全画素共通の接地配線Vcath(GND)に接続されている場合での動作について説明する。以下、このような画素回路Pを第1比較例の画素回路Pと称する。またここでは図示を割愛するが(後述の図5を参照)、本実施形態の画素回路Pから補助容量310を外した構成を第2比較例の画素回路Pと称する。

30

【0079】

第1比較例の画素回路Pに対する変形例として、発光期間を制御する発光制御トランジスタを追加した3TR型とする場合、たとえば、駆動トランジスタ121のソース端をnチャネル型の発光制御トランジスタのドレイン端Dに接続し、発光制御トランジスタのソース端Sを有機EL素子127のアノード端に接続する。

40

【0080】

第1比較例(3TR型とした変形例も含む)の画素回路Pでは、発光制御トランジスタを設けるか否かに関わらず、有機EL素子127を駆動するときには、駆動トランジスタ121のドレイン端D側が第1電源電位に接続され、ソース端Sが有機EL素子127のアノード端A側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

【0081】

第1比較例の画素回路Pを駆動する際のタイミングチャートの図示は割愛するが、映像信号線106HSが映像信号Vsigの有効期間である信号電位にある時間帯に、書込走査線WSの電位が高レベルに遷移することで、nチャネル型のサンプリングトランジスタ125はオン状態となり、信号線HSから供給される映像信号線電位を保持容量120に充電する

50

。この期間が映像信号 V_{sig} のサンプリング期間となり、それ以降が保持期間となる。これにより駆動トランジスタ 121 のゲート端 G の電位（ゲート電位 V_g ）は上昇を開始し、ドレイン電流を流し始める。そのため、有機 EL 素子 127 のアノード電位は上昇し発光を開始する。

【0082】

この後、書込駆動パルス WS が低レベルに遷移すると、保持容量 120 にその時点の映像信号線電位、つまり、映像信号 V_{sig} の電位の内の有効期間の電位（信号電位）が保持される。これによって、駆動トランジスタ 121 のゲート電位 V_g が一定となり、発光輝度が次のフレーム（またはフィールド）まで一定に維持される。

【0083】

ここで、第 1 比較例の画素回路 P では、駆動トランジスタ 121 のソース端 S の電位（ソース電位 V_s ）は、駆動トランジスタ 121 と有機 EL 素子 127 との動作点で決まり、その電圧値は駆動トランジスタ 121 のゲート電位 V_g によって異なる値を持つてしまう。

【0084】

一般的に、MOS 型の駆動トランジスタ 121 は飽和領域で駆動される。よって、飽和領域で動作するトランジスタのドレン端 - ソース間に流れる電流を I_{ds} 、移動度を μ 、チャネル幅（ゲート幅）を W、チャネル長（ゲート長）を L、ゲート容量（単位面積当たりのゲート酸化膜容量）を C_{ox} は、トランジスタの閾値電圧を V_{th} とすると、駆動トランジスタ 121 は下記の式（1）に示した値を持つ定電流源となっている。式（1）から明らかなように、飽和領域ではトランジスタのドレン電流 I_{ds} はゲート・ソース間電圧 V_{gs} によって制御される。

【0085】

【数 1】

$$I_{ds} = \frac{1}{2} \mu \frac{W}{L} C_{ox} (V_{gs} - V_{th})^2 \quad \dots (1)$$

【0086】

<有機 EL 素子の I - V 特性>

図 3 (1) に示す有機 EL 素子の電流 - 電圧 (I - V) 特性において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。一般的に有機 EL 素子の I - V 特性は、グラフに示すように時間が経過すると劣化する。

【0087】

第 1 比較例の画素回路 P では、この経時劣化により動作点が変化してしまい、同じゲート電位 V_g を印加しても駆動トランジスタ 121 のソース電位 V_s は変化してしまう。これにより、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は変化してしまう。特性式（1）から明らかなように、ゲート・ソース間電圧 V_{gs} が変動すると、たとえゲート電位 V_g が一定であっても駆動電流 I_{ds} が変動し、同時に有機 EL 素子 127 に流れる電流値も変化する。このように有機 EL 素子 127 の I - V 特性が変化すると、図 2 に示したソースフォロワ構成を持つ第 1 比較例の画素回路 P では、有機 EL 素子 127 の発光輝度が経時に変化してしまう。

【0088】

駆動トランジスタ 121 として n チャネル型を使用した単純な回路では、ソース端 S が有機 EL 素子 127 側に接続されてしまうため、有機 EL 素子 127 の経時変化とともに、ゲート・ソース間電圧 V_{gs} が変化してしまい、有機 EL 素子 127 に流れる電流量が変化し、その結果、発光輝度は変化してしまうのである。

【0089】

発光素子の一例である有機 EL 素子 127 の特性の経時変動による有機 EL 素子 127 のアノード電位変動は、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} の変動とな

10

20

30

40

50

って現れ、ドレイン電流（駆動電流 I_{ds} ）の変動を引き起す。この原因による駆動電流の変動は画素回路 P ごとの発光輝度のばらつきとなって現れ、画質の劣化が起きる。

【0090】

これに対して、詳細は後述するが、駆動トランジスタ 121 のソース端 S の電位 V_s の変動にゲート端 G の電位 V_g が連動するようにするブートストラップ機能を実現する回路構成および駆動タイミングとすることで、有機 EL 素子 127 の特性の経時変動による有機 EL 素子 127 のアノード電位変動（つまりソース電位変動）があつても、その変動を相殺するようにゲート電位 V_g を変動させることで、画面輝度の均一性（ユニフォーミティ）を確保できる。ブートストラップ機能が、有機 EL 素子を代表とする電流駆動型の発光素子の経時劣化補正能力を向上させることができる。

10

【0091】

もちろん、このブートストラップ機能は、発光開始時点で、有機 EL 素子 127 に発光電流 I_{el} が流れ始め、それによってアノード・カソード間電圧 V_{el} が安定となるまで上昇していく過程で、そのアノード・カソード間電圧 V_{el} の変動に伴って駆動トランジスタ 121 のソース電位 V_s が変動する際にも機能する。

【0092】

<駆動トランジスタの V_{gs} - I_{ds} 特性>

また、駆動トランジスタ 121 の製造プロセスのばらつきにより、画素回路 P ごとに閾値電圧や移動度などの特性変動がある。駆動トランジスタ 121 を飽和領域で駆動する場合においても、この特性変動により、駆動トランジスタ 121 に同一のゲート電位を与えて、画素回路 P ごとにドレイン電流（駆動電流 I_{ds} ）が変動し、発光輝度のばらつきになって現れる。

20

【0093】

たとえば、図 3(2) は、駆動トランジスタ 121 の閾値ばらつきに着目した電圧電流 (V_{gs} - I_{ds}) 特性を示す図である。閾値電圧が V_{th1} と V_{th2} で異なる 2 個の駆動トランジスタ 121 について、それぞれ特性カーブを挙げてある。

【0094】

前述のように、駆動トランジスタ 121 が飽和領域で動作しているときのドレイン電流 I_{ds} は、特性式 (1) で表される。特性式 (1) から明らかなように、閾値電圧 V_{th} が変動すると、ゲート・ソース間電圧 V_{gs} が一定であつてもドレイン電流 I_{ds} が変動する。つまり、閾値電圧 V_{th} のばらつきに対して何ら対策を施さないと、図 3(2) に示すように、閾値電圧が V_{th1} のとき V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、閾値電圧が V_{th2} のときの同じゲート電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまう。

30

【0095】

また、図 3(3) は、駆動トランジスタ 121 の移動度ばらつきに着目した電圧電流 (V_{gs} - I_{ds}) 特性を示す図である。移動度が μ_1 と μ_2 で異なる 2 個の駆動トランジスタ 121 について、それぞれ特性カーブを挙げてある。

【0096】

特性式 (1) から明らかなように、移動度 μ が変動すると、ゲート・ソース間電圧 V_{gs} が一定であつてもドレイン電流 I_{ds} が変動する。つまり、移動度 μ のばらつきに対して何ら対策を施さないと、図 3(3) に示すように、移動度が μ_1 のときゲート・ソース間電圧 V_{gs} に対応する駆動電流が I_{ds1} となるのに対して、移動度が μ_2 のときの同じゲート・ソース間電圧 V_{gs} に対応する駆動電流 I_{ds2} は I_{ds1} と異なってしまう。

40

【0097】

<閾値補正および移動度補正の概念>

これに対して、閾値補正機能および移動度補正機能を実現する駆動タイミング（詳細は後述する）とすることで、図 3A の各図から理解されるように、それらの変動の影響を抑制でき、画面輝度の均一性（ユニフォーミティ）を確保できる。

【0098】

50

本実施形態の閾値補正動作および移動度補正動作では、詳細は後述するが、書込みゲインが1（理想値）であると仮定した場合、発光時のゲート・ソース間電圧 V_{gs} が“ $V_{in} + V_{th} - V$ ”で表されるようにすることで、ドレイン・ソース間電流 I_{ds} が、閾値電圧 V_{th} のばらつきや変動に依存しないようにするとともに、移動度 μ のばらつきや変動に依存しないようとする。結果として、閾値電圧 V_{th} や移動度 μ が製造プロセスにより変動しても、駆動電流 I_{ds} は変動せず、有機EL素子127の発光輝度も変動しない。

【0099】

たとえば、図3Aの各図においては、駆動トランジスタ121の電流電圧特性を、横軸に信号振幅 V_{in} をとり、縦軸に駆動電流 I_{ds} をとって、閾値電圧 V_{th} が比較的低く移動度 μ が比較的大きい駆動トランジスタ121で構成された画素回路Pa（実線のカーブ）と、逆に閾値電圧 V_{th} が比較的高く移動度 μ が比較的小さい駆動トランジスタ121で構成された画素回路Pb（点線のカーブ）について、それぞれ特性カーブを挙げてある。
10

【0100】

図3A(1)は、閾値補正および移動度補正ともに実行しない場合である。このときには画素回路Paおよび画素回路Pbで閾値電圧 V_{th} および移動度 μ の補正が全く実行されないため、閾値電圧 V_{th} や移動度 μ の違いで $V_{in} - I_{ds}$ 特性に大きな違いが出てしまう。したがって、同じ信号振幅 V_{in} を与えて、駆動電流 I_{ds} すなわち発光輝度が異なってしまい、画面輝度の均一性（ユニフォーミティ）が得られない。

【0101】

図3A(2)は、閾値補正を実行する一方、移動度補正を実行しない場合である。このとき画素回路Paと画素回路Pbで閾値電圧 V_{th} の違いはキャンセルされる。しかしながら移動度 μ の相違はそのまま現れている。したがって信号振幅 V_{in} が高い領域（すなわち輝度が高い領域）で、移動度 μ の違いが顕著に現れ、同じ階調でも輝度が違ってしまう。具体的には、同じ階調（同じ信号振幅 V_{in} ）で、移動度 μ の大きい画素回路Paの輝度（駆動電流 I_{ds} ）は高く、移動度 μ の小さい画素回路Pbの輝度は低くなる。
20

【0102】

図3A(3)は閾値補正および移動度補正ともに実行する場合である。閾値電圧 V_{th} および移動度 μ の相違は完全に補正され、その結果、画素回路Paと画素回路Pbの $V_{in} - I_{ds}$ 特性は一致する。したがって、全ての階調（信号振幅 V_{in} ）で輝度（ I_{ds} ）が同一レベルとなり、画面輝度の均一性（ユニフォーミティ）が顕著に改善される。
30

【0103】

図3A(4)は、閾値補正および移動度補正ともに実行するものの、閾値電圧 V_{th} の補正が不十分な場合である。たとえば、1回の閾値補正動作では駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を十分に保持容量120へ保持させることができない場合がその一例である。このときには、閾値電圧 V_{th} の差が除去されないため、画素回路Paと画素回路Pbでは低階調の領域で輝度（駆動電流 I_{ds} ）に差が出てしまう。よって、閾値電圧 V_{th} の補正が不十分な場合は低階調で輝度のムラが現れ画質を損なうことになる。

【0104】

<画素回路の動作>

第1比較例の画素回路Pにおける有機EL素子127の経時劣化による駆動電流変動を防ぐ回路（ブーストストラップ回路）を搭載し、また駆動トランジスタ121の特性変動（閾値電圧ばらつきや移動度ばらつき）による駆動電流変動を防ぐ駆動方式を採用したのが図2および図2Aに示す本実施形態や図示しない第2比較例（補助容量310を備えていない構成）の画素回路Pである。
40

【0105】

第2比較例（事実上、本実施形態の画素回路Pも同様；以下駆動タイミングに関して同様）の画素回路Pにおいて、駆動タイミングとしては、先ず、サンプリングトランジスタ125は、書込走査線104WSから供給された書込駆動パルスWSに応じて導通し、映像信号線106HSから供給された映像信号 V_{sig} をサンプリングして保持容量120に保持する。この点は、基本的には、第1比較例の画素回路Pを駆動する場合と同じである。
50

【0106】

以下では、説明や理解を容易にするため、特段の断りのない限り、書き込みゲインが1(理想値)であると仮定して、保持容量120に信号振幅Vinの情報を、書き込む、保持する、あるいはサンプリングするなどと簡潔に記して説明する。書き込みゲインが1未満の場合、保持容量120には信号振幅Vinの大きさそのものではなく、信号振幅Vinの大きさに対応するゲイン倍された情報が保持されることになる。

【0107】

なお、第2比較例の画素回路Pにおける駆動タイミングは、映像信号Vsigの信号振幅Vinの情報を保持容量120に書き込む際に、順次走査の観点からは、1行分の映像信号を同時に各列の映像信号線106HSに伝達する線順次駆動を行なう。

10

【0108】

駆動トランジスタ121は、第1電位(高電位側)にある電源供給線105DSLから電流の供給を受け保持容量120に保持された信号電位(映像信号Vsigの有効期間の電位に対応する電位)に応じて駆動電流Idsを有機EL素子127に流す。

【0109】

垂直駆動部103は、電源供給線105DSLが第1電位にありかつ映像信号線106HSが映像信号Vsigの非有効期間である基準電位Vo(Vofs)にある時間帯でサンプリングトランジスタ125を導通させる制御信号として書き込み駆動パルスWSを出力して、駆動トランジスタ121の閾値電圧Vthに相当する電圧を保持容量120に保持しておく。この動作が閾値補正機能を実現する。この閾値補正機能により、画素回路Pごとにばらつく駆動トランジスタ121の閾値電圧Vthの影響をキャンセルすることができる。

20

【0110】

第2比較例の画素回路Pにおける駆動タイミングとしては、垂直駆動部103は、映像信号Vsigの内の信号振幅Vinのサンプリングに先行する複数の水平期間で閾値補正動作を繰り返し実行して確実に駆動トランジスタ121の閾値電圧Vthに相当する電圧を保持容量120に保持するようになるのがよい。

【0111】

このように、第2比較例の画素回路Pにおいて、閾値補正動作を複数回実行することで、十分に長い書き込み時間を確保する。こうすることで、駆動トランジスタ121の閾値電圧Vthに相当する電圧を確実に保持容量120に予め保持することができる。

30

【0112】

この保持された閾値電圧Vthに相当する電圧は駆動トランジスタ121の閾値電圧Vthのキャンセルに用いられる。したがって、画素回路Pごとに駆動トランジスタ121の閾値電圧Vthがばらついていても、画素回路Pごとに完全にキャンセルされるため、画像のユニフォーミティすなわち表示装置の画面全体に亘る発光輝度の均一性が高まる。特に信号電位が低階調のときに現れがちな輝度ムラを防ぐことができる。

【0113】

好みしくは、垂直駆動部103は、閾値補正動作に先立って、電源供給線105DSLが第2電位にありかつ映像信号線106HSが映像信号Vsigの非有効期間である基準電位Vo(Vofs)にある時間帯で、書き込み駆動パルスWSをアクティブ(本例ではHレベル)にしてサンプリングトランジスタ125を導通させ、その後に書き込み駆動パルスWSをアクティブHにしたままで電源供給線105DSLを第1電位に設定する。

40

【0114】

こうすることで、駆動トランジスタ121のゲート端Gを基準電位Vo(Vofs)にセットしつつソース端Sを第2電位にセットしてから閾値補正動作を開始する。このようなゲート電位およびソース電位のリセット動作(初期化動作)により、後続する閾値補正動作を確実に実行することが可能になる。

【0115】

また、第2比較例の画素回路Pにおいては、閾値補正機能に加えて、移動度補正機能を備えている。すなわち、垂直駆動部103は、映像信号線106HSが映像信号Vsigの有

50

効期間である信号電位（基準電位 $V_o +$ 信号振幅 V_{in} ）にある時間帯にサンプリングトランジスタ 125 を導通状態にするため、書込走査線 104WS に供給する書込駆動パルス WS を、上述の時間帯より短い期間だけアクティブ（本例では H レベル）にする。この書込駆動パルス WS のアクティブ期間（サンプリング期間でもあり移動度補正期間でもある）を適切に設定することで、保持容量 120 に信号電位 V_{sig} を保持する際、同時に駆動トランジスタ 121 の移動度 μ に対する補正を信号電位 V_{sig} に加える。

【0116】

特に、第 2 比較例の画素回路 P における駆動タイミングでは、電源供給線 105DSL が高電位側である第 1 電位にあり、かつ、映像信号 V_{sig} が有効期間にある時間帯内で書込駆動パルス WS をアクティブにしている。つまり、その結果、移動度補正時間（サンプリング期間も）は、映像信号線 106HS の電位が、映像信号 V_{sig} の有効期間の電位（信号線電位）にある時間幅と書込駆動パルス WS のアクティブ期間の両者が重なった範囲で決まる。特に、本実施形態では、映像信号線 106HS が信号電位にある時間幅の中に入るように書込駆動パルス WS のアクティブ期間幅を細めに決めているため、結果的に移動度補正時間は書込駆動パルス WS で決まる。

10

【0117】

正確には、移動度補正時間（サンプリング期間も）は、書込駆動パルス WS 立ち上がってサンプリングトランジスタ 125 がオンしてから、同じく書込駆動パルス WS が立ち下がってサンプリングトランジスタ 125 がオフするまでの時間となる。

20

【0118】

また、第 2 比較例の画素回路 P においては、ポートストラップ機能も備えている。すなわち、書込走査部 104 は、保持容量 120 に信号振幅 V_{in} の情報が保持された段階で書込走査線 104WS に対する書込駆動パルス WS の印加を解除し（すなわちインアクティブ L（ロー）にして）、サンプリングトランジスタ 125 を非導通状態にして駆動トランジスタ 121 のゲート端 G を映像信号線 106HS から電気的に切り離す。

30

【0119】

駆動トランジスタ 121 のゲート端 G とソース端 S と間には保持容量 120 が接続されており、その保持容量 120 による効果によって、駆動トランジスタ 121 のソース電位 V_s の変動にゲート電位 V_g が連動するようになり、ゲート・ソース間電圧 V_{gs} を一定に維持することができる。

30

【0120】

<タイミングチャート：第 2 比較例>

図 4 は、第 2 比較例や図 2 および図 2A に示した本実施形態の画素回路 P に関する駆動タイミングの一例として、線順次方式で信号振幅 V_{in} の情報を保持容量 120 に書き込む際の動作を説明するタイミングチャートである。

40

【0121】

図 4 においては、時間軸を共通にして、書込走査線 104WS の電位変化、電源供給線 105DSL の電位変化、および映像信号線 106HS の電位変化を表してある。また、これらの電位変化と並行に、1 行分（図では 1 行目）について駆動トランジスタ 121 のゲート電位 V_g およびソース電位 V_s の変化も表してある。

40

【0122】

基本的には、書込走査線 104WS や電源供給線 105DSL の 1 行ごとに、1 水平走査期間だけ遅れて同じような駆動を行なう。図 4 における各タイミングや信号は、処理対象行を問わず、第 1 行目のタイミングや信号と同じタイミングや信号で示す。そして、説明中において区別が必要とされるときには、そのタイミングや信号に、処理対象行を “_” 付きの参照子で示すことで区別する。

【0123】

また、第 2 比較例の画素回路 P における駆動タイミングでは、映像信号 V_{sig} が非有効期間である基準電位 V_o (V_{ofs}) にある期間を 1 水平期間の前半部とし、有効期間である信号電位 ($V_{ofs} + V_{in}$) にある期間を 1 水平期間の後半部とする。

50

【 0 1 2 4 】

ここでは、閾値補正動作を1回のみ実行する事例で説明するが、このことは必須ではない。1水平期間を処理サイクルとして、閾値補正動作を複数回に亘って繰り返すようにしてもよい。

【 0 1 2 5 】

なお、閾値補正動作を複数回実行する場合に、1水平期間が閾値補正動作の処理サイクルとなるのは、行ごとに、サンプリングトランジスタ125が信号振幅 V_{in} の情報を保持容量120にサンプリングする前に、閾値補正動作に先立って、電源供給線105DSLの電位を第2電位 V_{cc_L} にセットし、また駆動トランジスタ121のゲートを基準電位 V_{in} にセットし、さらにソース電位を第2電位 V_{cc_L} にセットする初期化動作を経てから、電源供給線105DSLの電位が第1電位 V_{cc_H} にある状態でかつ映像信号線106HSが基準電位 V_o (V_{ofs})にある時間帯でサンプリングトランジスタ125を導通させて駆動トランジスタ121の閾値電圧 V_{th} に対応する電圧を保持容量120に保持させようとする閾値補正動作を行なうからである。

10

【 0 1 2 6 】

必然的に、閾値補正期間は、1水平期間よりも短くなってしまう。したがって、保持容量120の容量 C_s や第2電位 V_{cc_L} の大きさ関係やその他の要因で、この短い1回分の閾値補正動作期間では、閾値電圧 V_{th} に対応する正確な電圧を保持容量120に保持仕切れないケースも起こり得る。閾値補正動作を複数回実行するのが好ましいのは、この対処のためである。すなわち、信号振幅 V_{in} の保持容量120へのサンプリング(信号書き込み)に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで確実に駆動トランジスタ121の閾値電圧 V_{th} に相当する電圧を保持容量120に保持させるのである。

20

【 0 1 2 7 】

ある行(ここでは第1行目とする)について、タイミング t_{11} 以前の前フィールドの発光期間Bでは、書き駆動パルスWSがインアクティブLでありサンプリングトランジスタ125が非導通状態である一方、電源駆動パルスDSLは高電位の電源電圧側である第1電位 V_{cc_H} にある。

20

【 0 1 2 8 】

したがって、映像信号線106HSの電位に関わらず、前フィールドの動作によって保持容量120に保持されている電圧状態(駆動トランジスタ121のゲート・ソース間電圧 V_{gs})に応じて有機EL素子127に駆動トランジスタ121から駆動電流 I_{ds} が供給され、全画素共通の接地配線 V_{cath} (GND)に流れ込むことで、有機EL素子127が発光状態にある。

30

【 0 1 2 9 】

この後、線順次走査の新しいフィールドに入って、先ず、駆動走査部105は、書き駆動パルスWSがインアクティブLにある状態で、1行目の電源供給線105DSL_1に与える電源駆動パルスDSL_1を高低電位側の第1電位 V_{cc_H} から低電位側の第2電位 V_{cc_L} に切り替える(t_{11_1})。

【 0 1 3 0 】

このタイミング(t_{11_1})は、図4に示す様では、映像信号 V_{sig} が有効期間の信号電位($V_{ofs} + V_{in}$)にある期間内としている。たとえば、1行目については、タイミング $t_{15V} \sim t_{13V}$ の範囲内である。ただし、このことは必須ではなく、映像信号 V_{sig} が非効期間の基準電位 V_o (V_{ofs})にあるときにもよい。1行目については、タイミング $t_{13V} \sim t_{15V}$ の範囲内とすればよい。

40

【 0 1 3 1 】

次に、書き走査部104は、電源供給線105DSL_1が第2電位 V_{cc_L} にある状態のままで、書き駆動パルスWSをアクティブHに切り替える(t_{13W})。このタイミング(t_{13W})は、直前の水平期間における映像信号 V_{sig} が非効期間である基準電位 V_o (V_{ofs})から有効期間の信号電位($V_{ofs} + V_{in}$)に切り替わり(t_{15V})、その後に、当該水平期間における映像信号 V_{sig} の有効期間の信号電位($V_{ofs} + V_{in}$)から非有

50

効期間である基準電位 V_o (V_{ofs}) に切り替わるタイミング (t_{13V}) と同じかそれよりも少し遅れたタイミングにする。この後に書込駆動パルスWSをインアクティブLに切り替えるタイミング (t_{15W}) は、映像信号 V_{sig} が非有効期間である基準電位 V_o (V_{ofs}) から有効期間の信号電位 ($V_{ofs} + V_{in}$) に切り替わるタイミング (t_{15V}) と同じかそれよりも少し前のタイミングにする。

【0132】

つまり、好ましくは、書込駆動パルスWSをアクティブHにする期間 ($t_{13W} \sim t_{15W}$) は、映像信号 V_{sig} が非有効期間である基準電位 V_o (V_{ofs}) にある時間帯 ($t_{13V} \sim t_{15V}$) 内とする。これは、電源供給線 105DSL が第1電位 V_{cc_H} にある状態のときで映像信号 V_{sig} が信号電位 ($V_{ofs} + V_{in}$) にあるときに書込駆動パルスWSをアクティブHにすると信号振幅 V_{in} の保持容量 120へのサンプリング動作（信号電位の書き込み動作）がなされてしまい、閾値補正動作としては不都合が生じるからである。10

【0133】

タイミング $t_{11_1} \sim t_{13W}$ （放電期間Cと称する）では、電源供給線 105DSL の電位は第2電位 V_{cc_L} まで放電され、さらに駆動トランジスタ 121のソース電位 V_s は第2電位 V_{cc_L} に近い電位まで遷移する。さらに、駆動トランジスタ 121のゲート端Gとソース端Sと間には保持容量 120が接続されており、その保持容量 120による効果によって、駆動トランジスタ 121のソース電位 V_s の変動にゲート電位 V_g が連動する。20

【0134】

電源供給線 105DSL の配線容量が大きい場合は比較的早いタイミングで電源供給線 105DSL を高電位 V_{cc_H} から低電位 V_{cc_L} に切り替えるとよい。この放電期間C ($t_{11_1} \sim t_{13W}$) を十分に確保することで、配線容量やその他の画素寄生容量の影響を受けないようにしておく。

【0135】

電源駆動パルスDSL を低電位側の第2電位 V_{cc_L} にしたままで、書込駆動パルスWSをアクティブHに切り替えると (t_{13W})、サンプリングトランジスタ 125が導通状態になる。

【0136】

このとき、映像信号線 106HSは基準電位 V_o (V_{ofs}) にある。したがって、駆動トランジスタ 121のゲート電位 V_g は導通したサンプリングトランジスタ 125を通じて映像信号線 106HSの基準電位 V_o (V_{ofs}) となる。これと同時に、駆動トランジスタ 121がオンすることで、駆動トランジスタ 121のソース電位 V_s は即座に低電位側の第2電位 V_{cc_L} に固定される。30

【0137】

つまり、電源供給線 105DSL の電位が高電位側の第1電位 V_{cc_H} から映像信号線 106HSの基準電位 V_o (V_{ofs}) より十分低い第2電位 V_{cc_L} にあることで、駆動トランジスタ 121のソース電位 V_s が映像信号線 106HSの基準電位 V_o (V_{ofs}) より十分低い第2電位 V_{cc_L} に初期化（リセット）される。このようにして、駆動トランジスタ 121のゲート電位 V_g およびソース電位 V_s を初期化することで、閾値補正動作の準備が完了する。次に電源駆動パルスDSL を高電位側の第1電位 V_{cc_H} にするまでの期間 ($t_{13W} \sim t_{14_1}$) が、初期化期間Dとなる。なお、放電期間Cと初期化期間Dとを合わせて、駆動トランジスタ 121のゲート電位 V_g とソース電位 V_s を初期化する閾値補正準備期間とも称する。40

【0138】

次に、書込駆動パルスWSをアクティブHにしたままで、電源供給線 105DSL に与える電源駆動パルスDSL を第1電位 V_{cc_H} に切り替える (t_{14_1})。駆動走査部 105は、それ以降は、次のフレーム（あるいはフィールド）の処理まで、電源供給線 105DSL の電位を第1電位 V_{cc_H} に保持しておく。

【0139】

10

20

30

40

50

これにより、ドレイン電流が保持容量 120 に流れ込み、駆動トランジスタ 121 の閾値電圧 V_{th} を補正（キャンセル）する閾値補正期間 E に入る。この閾値補正期間 E は、書き込駆動パルス WS がインアクティブ L にされるタイミング (t_{15W}) まで継続する。

【0140】

タイミング (t_{14_1}) 以降の閾値補正期間 E では、電源供給線 105DSL の電位が低電位側の第 2 電位 V_{cc_L} から高電位側の第 1 電位 V_{cc_H} に遷移することで、駆動トランジスタ 121 のソース電位 V_s が上昇を開始する。

【0141】

すなわち、駆動トランジスタ 121 のゲート端 G は映像信号 V_{sig} の基準電位 V_o (V_{ofs}) に保持されており、駆動トランジスタ 121 のソース端 S の電位 V_s が上昇して駆動トランジスタ 121 がカットオフするまでドレイン電流が流れようとする。カットオフすると駆動トランジスタ 121 のソース電位 V_s は “ $V_o - V_{th}$ ” となる。

10

【0142】

なお、閾値補正期間 E では、ドレイン電流が専ら保持容量 120 側 ($C_s << C_{el}$ 時) に流れ、有機 EL 素子 127 側には流れないようにするため、有機 EL 素子 127 がカットオフとなるように共通接地配線 cath の電位 V_{cath} を設定しておく。

【0143】

有機 EL 素子 127 の等価回路はダイオードと寄生容量 C_{el} の並列回路で表されるため、“ $V_{el} = V_{cath} + V_{thEL}$ ” である限り、つまり、有機 EL 素子 127 のリーク電流が駆動トランジスタ 121 に流れる電流よりもかなり小さい限り、駆動トランジスタ 121 の電流は保持容量 120 と寄生容量 C_{el} を充電するために使われる。

20

【0144】

この結果、駆動トランジスタ 121 を流れるドレイン電流の電流路が遮断されると、有機 EL 素子 127 のアノード端 A の電圧 V_{el} つまりノード ND121 の電位は、時間とともに上昇してゆく。そして、ノード ND121 の電位（ソース電位 V_s ）とノード ND122 の電圧（ゲート電位 V_g ）との電位差がちょうど閾値電圧 V_{th} となったところで駆動トランジスタ 121 はオン状態からオフ状態となり、ドレイン電流は流れなくなり、閾値補正期間が終了する。つまり、一定時間経過後、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は閾値電圧 V_{th} という値をとる。

30

【0145】

ここで、実際には、閾値電圧 V_{th} に相当する電圧が、駆動トランジスタ 121 のゲート端 G とソース端 S と間に接続された保持容量 120 に書き込まれることになる。しかしながら、閾値補正期間 E は、書き込駆動パルス WS をアクティブ H にしたタイミング (t_{13W}) (詳しくはその後に電源駆動パルス DSL を第 1 電位 V_{cc_H} に戻した時点 t_{14}) からインアクティブ L に戻すタイミング (t_{15W}) までであり、この期間が十分に確保されていないときには、それ以前に終了してしまうこととなる。この問題を解消するには、閾値補正動作を複数回繰り返すのがよい。ここでは、そのタイミングについては図示を割愛する。

30

【0146】

次に、駆動走査部 105 は、1 水平期間の後半部で、書き込駆動パルス WS をインアクティブ L に切り替え (t_{15W})、さらに水平駆動部 106 は、映像信号線 106HS の電位を基準電位 V_o (V_{ofs}) から信号振幅 V_{in} 分上昇させる (t_{15V})。これにより、タイミング $t_{15W} \sim t_{15V}$ においては、映像信号線 106HS が基準電位 V_o (V_{ofs}) にある状態で、書き走査線 104WS の電位（書き込駆動パルス WS）はローレベルになる。

40

【0147】

この後、水平駆動部 106 により映像信号線 106HS に信号電位 ($V_{ofs} + V_{in}$) を実際に供給して、書き込駆動パルス WS をアクティブ H にする期間を、保持容量 120 への信号振幅 V_{in} の情報の書き込み期間（サンプリング期間とも称する）とする。この信号振幅 V_{in} の情報は駆動トランジスタ 121 の閾値電圧 V_{th} に足し込む形で保持される。

50

【0148】

この結果、駆動トランジスタ 121 の閾値電圧 V_{th} の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正によって、保持容量 120 に保持されるゲート・ソース間電圧 V_{gs} は、“ $V_{sig} + V_{th}$ ” = “ $V_{in} + V_{th}$ ”となる。また、同時に、このサンプリング期間で移動度補正を実行する。すなわち、第 2 比較例の画素回路 P における駆動タイミングにおいて、サンプリング期間は移動度補正期間を兼ねることとなる。

【0149】

具体的には、先ず、書込駆動パルス WS をインアクティブ L に切り替えた後 (t_{15W}) 、さらに水平駆動部 106 は、映像信号線 106 HS の電位を基準電位 V_o (V_{ofs}) から信号電位 ($V_{ofs} + V_{in}$) に切り替える (t_{15V})。こうすることで、サンプリングトランジスタ 125 が非導通 (オフ) 状態とされた状態で、次のサンプリング動作および移動度補正動作の準備が完了する。次に書込駆動パルス WS をアクティブ H にするタイミング (t_{16_1}) まで期間を書き込み & 移動度補正準備期間 G と称する。
10

【0150】

次に、電源供給線 105 DSL の電位を第 1 電位 V_{cc_H} にし、かつ、映像信号線 106 HS の電位を信号電位 ($V_{ofs} + V_{in}$) に保持したままで、書込走査部 104 は、書込駆動パルス WS をアクティブ H に切り替え (t_{16_1}) 、水平駆動部 106 が映像信号線 106 HS の電位を信号電位 ($V_{ofs} + V_{in}$) から基準電位 V_o (V_{ofs}) に切り替えるタイミング (t_{18_1}) までの間での適当なタイミングで、つまり、映像信号線 106 HS が信号電位 ($V_{ofs} + V_{in}$) にある時間帯での適当なとき、インアクティブ L に切り替える (t_{17_1})。この書込駆動パルス WS がアクティブ H にある期間 ($t_{16_1} \sim t_{17_1}$) を、書き込み (サンプリング) & 移動度補正期間 H と称する。
20

【0151】

これにより、駆動トランジスタ 121 のゲート電位 V_g が信号電位 ($V_{ofs} + V_{in}$) にある状態でサンプリングトランジスタ 125 が導通 (オン) 状態となる。したがって、書き込み & 移動度補正期間 H では、駆動トランジスタ 121 のゲート端 G が映像信号 V_{sig} の信号電位 ($V_{ofs} + V_{in}$) に固定された状態で、駆動トランジスタ 121 に駆動電流 I_{ds} が流れる。

【0152】

ここで、有機 EL 素子 127 の閾値電圧を V_{thEL} としたとき、“ $V_o - V_{th} < V_{thEL}$ ” と設定しておくことで、有機 EL 素子 127 は、逆バイアス状態におかれ、カットオフ状態 (ハイインピーダンス状態) にあるため、発光することなく、また、ダイオード特性ではなく単純な容量特性を示すようになる。よって駆動トランジスタ 121 に流れるドレイン電流 (駆動電流 I_{ds}) は保持容量 120 の容量値 C_s と有機 EL 素子 127 の寄生容量 (等価容量) C_{el} の容量値 C_{el} の両者を結合した容量 “ $C = C_s + C_{el}$ ” に書き込まれていく。これにより、駆動トランジスタ 121 のドレイン電流は有機 EL 素子 127 の寄生容量 C_{el} に流れ込み充電を開始する。その結果、駆動トランジスタ 121 のソース電位 V_s は上昇していく。
30

【0153】

図 4 のタイミングチャートでは、この上昇分を ΔV で表してある。この上昇分、すなわち移動度補正パラメータである負帰還量 ΔV は、閾値補正によって保持容量 120 に保持されるゲート・ソース間電圧 “ $V_{gs} = V_{in} + V_{th}$ ” から差し引かれることになり、“ $V_{gs} = V_{in} - \Delta V + V_{th}$ ” となるので、負帰還をかけたことになる。このとき、駆動トランジスタ 121 のソース電位 V_s は、ゲート電位 V_g (= V_{in}) から保持容量に保持される電圧 “ $V_{gs} = V_{in} - \Delta V + V_{th}$ ” を差し引いた値 “ $-V_{th} + \Delta V$ ” となる。
40

【0154】

このようにして、第 2 比較例の画素回路 P における駆動タイミングでは、書き込み & 移動度補正期間 H ($t_{16} \sim t_{17}$) において、信号振幅 V_{in} のサンプリングと移動度 μ を補正する負帰還量 (移動度補正パラメータ) ΔV の調整が行なわれる。書込走査部 104 は、書き込み & 移動度補正期間 H の時間幅を調整可能であり、これにより保持容量 120 に対
50

する駆動電流 I_{ds} の負帰還量を最適化することができる。

【0155】

ここで「負帰還量を最適化する」とは、映像信号電位の黒レベルから白レベルまでの範囲で、どのレベルにおいても適切に移動度補正を行なうことができるようすることを意味する。ゲート・ソース間電圧 V_{gs} にかける負帰還量は、ドレイン電流 I_{ds} の取り出し時間すなわち書き込み & 移動度補正期間 H に依存しており、この期間を長くとる程、負帰還量が大きくなる。負帰還量 V は $V = I_{ds} \cdot C_{el} / t$ である。

【0156】

この式から明らかなように、駆動トランジスタ 121 のドレイン・ソース間電流である駆動電流 I_{ds} が大きい程、負帰還量 V は大きくなる。逆に、駆動トランジスタ 121 の駆動電流 I_{ds} が小さいとき、負帰還量 V は小さくなる。このように、負帰還量 V は駆動電流 I_{ds} に応じて決まる。

10

【0157】

また、信号振幅 V_{in} が大きいほど駆動電流 I_{ds} は大きくなり、負帰還量 V の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正を実現できる。その際、書き込み & 移動度補正期間 H は必ずしも一定である必要はなく、逆に駆動電流 I_{ds} に応じて調整することが好ましい場合がある。たとえば、駆動電流 I_{ds} が大きい場合、移動度補正期間 t は短めにし、逆に駆動電流 I_{ds} が小さくなると、書き込み & 移動度補正期間 H は長めに設定するのがよい。

20

【0158】

また、負帰還量 V は、 $I_{ds} \cdot C_{el} / t$ であり、画素回路 P ごとに移動度 μ のばらつきに起因して駆動電流 I_{ds} がばらつく場合でも、それぞれに応じた負帰還量 V となるので、画素回路 P ごとの移動度 μ のばらつきを補正することができる。つまり、信号振幅 V_{in} を一定とした場合、駆動トランジスタ 121 の移動度 μ が大きいほど負帰還量 V の絶対値が大きくなる。換言すると、移動度 μ が大きいほど負帰還量 V が大きくなるので、画素回路 P ごとの移動度 μ のばらつきを取り除くことができる。

20

【0159】

このようにして、第 2 比較例の画素回路 P における駆動タイミングでは、書き込み & 移動度補正期間 H にて、信号振幅 V_{in} のサンプリングと移動度 μ のばらつきを補正するための負帰還量 V の調整が同時に行なわれる。もちろん、負帰還量 V は書き込み & 移動度補正期間 H の時間幅を調整することで最適化可能である。

30

【0160】

次に、書き走査部 104 は、映像信号線 106HS の電位が信号電位 ($V_{ofs} + V_{in}$) にある状態で、書き駆動パルス WS をインアクティブ L に切り替える (t_{17_1})。これにより、サンプリングトランジスタ 125 が非導通（オフ）状態となり発光期間 I に進む。水平駆動部 106 は、その後の適当な時点で映像信号線 106HS の電位を基準電位 V_o (V_{ofs}) に戻す (t_{18_1})。この後、次のフレーム（もしくはフィールド）に移って、再び、閾値補正準備動作、閾値補正動作、移動度補正動作、および発光動作が繰り返される。

40

【0161】

この結果、駆動トランジスタ 121 のゲート端 G は映像信号線 106HS から切り離される。駆動トランジスタ 121 のゲート端 G への信号電位 ($V_{ofs} + V_{in}$) の印加が解除されるので、駆動トランジスタ 121 のゲート電位 V_g は上昇可能となる。

【0162】

このとき、駆動トランジスタ 121 に流れる駆動電流 I_{ds} は有機 EL 素子 127 に流れ、有機 EL 素子 127 のアノード電位は駆動電流 I_{ds} に応じて上昇する。この上昇分を V_{el} とする。やがて、ソース電位 V_s の上昇に伴い、有機 EL 素子 127 の逆バイアス状態は解消されるので、駆動電流 I_{ds} の流入により有機 EL 素子 127 は実際に発光を開始する。このときの有機 EL 素子 127 のアノード電位の上昇 (V_{el}) は、駆動トランジスタ 121 のソース電位 V_s の上昇に他ならず、駆動トランジスタ 121 のソース電位 V_s は

50

、 “ - V_{th} + V + V_{el} ” となる。

【 0 1 6 3 】

駆動電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性を表した式(1)の V_{gs} に “ V_{in} - V + V_{th} ” を代入することで、式(2)のように表すことができる。式(2)において、k = (1/2)(W/L)C_{ox} である。

【 0 1 6 4 】

【 数 2 】

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{in} - \Delta V)^2 \cdots (2)$$

10

【 0 1 6 5 】

この式(2)から、閾値電圧 V_{th} の項がキャンセルされており、有機 EL 素子 127 に供給される駆動電流 I_{ds} は駆動トランジスタ 121 の閾値電圧 V_{th} に依存しないことが分かる。基本的に駆動電流 I_{ds} は映像信号 V_{sig} の信号振幅 V_{in} (詳しくは信号振幅 V_{in} に対応して保持容量 120 に保持されるサンプリング電圧 = V_{gs_121}) によって決まる。換言すると、有機 EL 素子 127 は信号振幅 V_{in} に応じた輝度で発光することになる。

【 0 1 6 6 】

その際、保持容量 120 に保持される信号振幅 V_{in} の情報は帰還量 V で補正されている。この補正量 V はちょうど式(2)の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、駆動電流 I_{ds} は実質的に信号振幅 V_{in}のみに依存することになる。駆動電流 I_{ds} は閾値電圧 V_{th} に依存しないので、閾値電圧 V_{th} が製造プロセスにより変動しても、ドレイン・ソース間の駆動電流 I_{ds} は変動せず、有機 EL 素子 127 の発光輝度も変動しない。

【 0 1 6 7 】

また、駆動トランジスタ 121 のゲート端 G とソース端 S と間には保持容量 120 が接続されており、その保持容量 120 による効果により、発光期間の最初でブートストラップ動作が行なわれる。ブートストラップゲインが 1 (理想値) であると仮定した場合、駆動トランジスタ 121 のゲート・ソース間電圧 “ V_{gs} = V_{in} - V + V_{th} ” を一定に維持したまま、駆動トランジスタ 121 のゲート電位 V_g およびソース電位 V_s が上昇する。駆動トランジスタ 121 のソース電位 V_s が “ - V_{th} + V + V_{el} ” となることで、ゲート電位 V_g は “ V_{in} + V_{el} ” となる。

【 0 1 6 8 】

このとき、駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} は一定であるので、駆動トランジスタ 121 は、一定電流 (駆動電流 I_{ds}) を有機 EL 素子 127 に流す。その結果、電圧降下が生じ、有機 EL 素子 127 のアノード端 A の電位 V_{el} (= ノード ND121 の電位) は、有機 EL 素子 127 に飽和状態での駆動電流 I_{ds} という電流が流れ得る電圧まで上昇する。

【 0 1 6 9 】

ここで、有機 EL 素子 127 は、発光時間が長くなるとその I - V 特性が変化してしまう。そのため、時間の経過とともに、ノード ND121 の電位も変化する。しかしながら、このような有機 EL 素子 127 の経時劣化によりそのアノード電位が変動しても、保持容量 120 に保持されたゲート・ソース間電圧 V_{gs} は常に “ V_{in} - V + V_{th} ” で一定に維持される。

【 0 1 7 0 】

駆動トランジスタ 121 が定電流源として動作することから、有機 EL 素子 127 の I - V 特性が経時変化し、これに伴って駆動トランジスタ 121 のソース電位 V_s が変化したとしても、保持容量 120 によって駆動トランジスタ 121 のゲート・ソース間電位 V_{gs} が一定 (V_{in} - V + V_{th}) に保たれているため、有機 EL 素子 127 に流れる電流は変わらず、したがって有機 EL 素子 127 の発光輝度も一定に保たれる。

40

50

【0171】

このような、有機EL素子127の特性変動に拘らず、駆動トランジスタ121のゲート・ソース間電圧を一定に維持し輝度を一定に維持する補正のための動作（保持容量120の効果による動作）をブートストラップ動作と呼ぶ。このブートストラップ動作により、有機EL素子127のI-V特性が経時的に変化しても、それに伴う輝度劣化のない画像表示が可能になる。

【0172】

つまり、第2比較例の画素回路Pとそれを駆動する駆動タイミングでは、電気光学素子の一例である有機EL素子127の電流-電圧特性の変化を補正して駆動電流を一定に維持する駆動信号一定化回路の一例であるブートストラップ回路が構成され、ブートストラップ動作が機能するようになっているのである。よって、有機EL素子127のI-V特性が劣化しても一定電流 I_{ds} が常に流れ続けるため、有機EL素子127は画素信号 V_{sig} に応じた輝度で発光を続けることになり輝度が変化することはない。

10

【0173】

また、第2比較例の画素回路Pとそれを駆動する駆動タイミングでは、駆動トランジスタ121の閾値電圧 V_{th} を補正して駆動電流を一定に維持する駆動信号一定化回路の一例である閾値補正回路が構成され閾値補正動作が機能するようになっている。駆動トランジスタ121の閾値電圧 V_{th} を反映させたゲート・ソース間電位 V_{gs} として、当該閾値電圧 V_{th} のばらつきの影響を受けない一定電流 I_{ds} を流すことができる。

20

【0174】

特に、図示を割愛しているが、1回の閾値補正動作の処理サイクルを1水平期間とし、複数回に亘って閾値補正動作を繰り返すようにすれば、確実に閾値電圧 V_{th} を保持容量120に保持させることができる。閾値電圧 V_{th} の画素間差が確実に除去され、階調に拘らず閾値電圧 V_{th} のばらつきに起因する輝度ムラを抑制できる。

【0175】

これに対して、閾値補正動作を1回にするなど閾値電圧 V_{th} の補正が不十分な場合は、つまり閾値電圧 V_{th} が保持容量120に保持されていない場合には、異なる画素回路Pの間で、低階調の領域では輝度（駆動電流 I_{ds} ）に差が出てしまう。よって閾値電圧の補正が不十分な場合は、低階調で輝度のムラが現れ画質を損なうことになる。

30

【0176】

加えて、第2比較例の画素回路Pにおける駆動タイミングでは、サンプリングトランジスタ125による信号振幅 V_{in} の保持容量120への書き込み動作と連動して駆動トランジスタ121の移動度 μ を補正して駆動電流を一定に維持する駆動信号一定化回路の一例である移動度補正回路が構成され移動度補正動作が機能するようになっている。駆動トランジスタ121のキャリア移動度 μ を反映させたゲート・ソース間電位 V_{gs} として、当該キャリア移動度 μ のばらつきの影響を受けない一定電流 I_{ds} を流すことができる。

30

【0177】

つまり、第2比較例の画素回路Pは、駆動タイミングを工夫することで、閾値補正回路や移動度補正回路が自動的に構成され、駆動トランジスタ121の特性ばらつき（本例では閾値電圧 V_{th} およびキャリア移動度 μ のばらつき）による駆動電流 I_{ds} に与える影響を防ぐために、閾値電圧 V_{th} およびキャリア移動度 μ による影響を補正して駆動電流を一定に維持する駆動信号一定化回路として機能するようになっているのである。

40

【0178】

ブートストラップ動作だけでなく、閾値補正動作と移動度補正動作とを実行しているため、ブートストラップ動作で維持されるゲート・ソース間電圧 V_{gs} は、閾値電圧 V_{th} に相当する電圧と移動度補正用の電圧 V とによって調整されているため、有機EL素子127の発光輝度は駆動トランジスタ121の閾値電圧 V_{th} や移動度 μ のばらつきの影響を受けることがないし、有機EL素子127の経時劣化の影響も受けない。入力される信号振幅 V_{in} に対応する安定した階調で表示でき、高画質の画像を得ることができる。

【0179】

50

また、第2比較例の画素回路Pは、nチャネル型の駆動トランジスタ121を用いたソースフォロア回路によって構成することができるために、現状のアノード・カソード電極の有機EL素子をそのまま用いても、有機EL素子127の駆動が可能になる。

【0180】

また、駆動トランジスタ121およびその周辺部のサンプリングトランジスタ125をも含めてnチャネル型のみのトランジスタを用いて画素回路Pを構成することができ、TFT作成においてもアモルファスシリコン(a-Si)プロセスを用いることができるようになるため、TFT基板の低コスト化が図れることになる。

【0181】

<書込みゲインとブートストラップゲインの関係>

図5は、保持容量120への信号振幅Vinの情報の書込み動作時の書込みゲインと、信号書込み後のブートストラップ動作時のブートストラップゲインと、駆動トランジスタ121のゲート端Gに生じる寄生容量との関係を説明する図である。

【0182】

ここでは、一例として、補助容量310を備えていない第2比較例の構成において、駆動トランジスタ121のゲート端Gには、寄生容量として、駆動トランジスタ121のゲート端Gとソース端Sと間に形成される寄生容量C125gs(容量値をCgsとする)と、駆動トランジスタ121のゲート端Gとドレイン端Dと間に形成される寄生容量C125gd(容量値をCgdとする)と、サンプリングトランジスタ125の拡散容量としてのゲート端Gとソース端S(ソース端Sを映像信号線106HS側とする場合はドレイン端D)と間に形成される寄生容量C125gs(容量値をCwsとする)とが存在するものとして示している。

【0183】

ブートストラップ動作が機能する発光期間B,Lでは、駆動トランジスタ121のゲート端Gとソース端Sと間に保持容量120が接続されているので、ソース電位Vsの上昇時に、カップリング電圧がゲート端Gに加わる。ソース電位Vsの上昇に対するゲート電位Vgへのカップリング上昇が100%に近いほど、有機EL素子127の特性変化(劣化を含む)に伴う駆動電圧上昇時の輝度落ちが抑制される。

【0184】

このソース電位Vsの上昇に対するゲート電位Vgの上昇率をブートストラップゲイン(ブートストラップ動作能力)Gbst0と称する。ブートストラップゲインGbst0は、保持容量120の容量値Cs、駆動トランジスタ121のゲート端Gに形成される寄生容量C121gsの容量値Cgs、寄生容量C121gdの容量値Cgd、および寄生容量C125gsの容量値Cwsを用いて、式(3)のように表すことができる。

【0185】

【数3】

$$Gbst0 = (Cs + Cgs) / (Cs + Cgs + Cgd + Cws) \cdots (3)$$

【0186】

したがって、ブートストラップゲインGbst0は、寄生容量C121gdの容量値Cgdや寄生容量C125gsの容量値Cwsが保持容量120の容量値Csに対して十分に小さければ、換言すれば、駆動トランジスタ121のゲート端Gとソース端Sの間に付加される容量値(ここでは容量値Cs)が大きいほど限りなく“1”に近いことになり、有機EL素子127の電流電圧特性の経時変動に対する駆動電流Idsの補正能力が高い。

【0187】

つまり、画素回路の簡素化を図りつつ、素子の特性ばらつきによる輝度変化を抑制する閾値補正動作や移動度補正動作を実現する方式の開発に当たり、駆動トランジスタ121のゲート端Gに接続される保持容量120以外の素子数を最小限のサンプリングトランジ

10

20

30

40

50

スタ 1 2 5 のみに留めた画素回路 P とすることで、駆動トランジスタ 1 2 1 のゲート端 G に寄生する容量を限りなく小さくでき、このことはブーストストラップ動作の補助となり、有機 E L 素子 1 2 7 の電流電圧特性の経時変動に対する駆動電流 I_{ds} の補正能力を向上させることが可能となる。

【 0 1 8 8 】

一方、書き込み & 移動度補正期間 H における信号書き込み動作時には、信号振幅 V_{in} の情報を如何に大きく保持容量 1 2 0 に書き込むかが肝要となる。信号振幅 V_{in} に対応する保持容量 1 2 0 に書き込まれる情報の大きさの割合を、書き込みゲイン G_{input} と称する。

【 0 1 8 9 】

ここで、書き込みゲイン G_{input} は、具体的には、電気回路的に保持容量 1 2 0 と並列に配置される寄生容量を含めた全容量 C_1 と、電気回路的に保持容量 1 2 0 と直列に配置される全容量 C_2 との容量直列回路において、信号振幅 V_{in} を容量直列回路に供給したときに容量 C_1 に配分される電荷量に関係する。式で表せば、 $G_{input} = C_2 / (C_1 + C_2) = 1 - C_1 / (C_1 + C_2)$ となる。

【 0 1 9 0 】

たとえば、図 4 に示した駆動タイミングでは、書き込み & 移動度補正期間 H にて、電源駆動パルスDSL が第1電位 V_{cc_H} の状態で信号書き込み（サンプリング）が行なわれるため、書き込み動作が開始し、駆動トランジスタ 1 2 1 のゲート電位 V_g が上昇した瞬間、ドレン・ソース間に駆動電流 I_{ds} が流れ、この駆動電流 I_{ds} が有機 E L 素子 1 2 7 の寄生容量 C_{el} を充電することでソース電位 V_s が上昇する。このため、書き込み & 移動度補正期間 H が長いほどソース電位 V_s の上場度合いが大きくなり、発光時の駆動トランジスタ 1 2 1 のゲート・ソース電圧 V_{gs} が小さくなり輝度が取れなくなる。

【 0 1 9 1 】

そこで、書き込み & 移動度補正期間 H を一般的な書き込み期間よりも短くする必要がある。輝度が最も取れるのは、駆動トランジスタ 1 2 1 のゲート電位 V_g の上昇カーブとソース電位 V_s の上昇カーブの傾きが一致した点であり、そのポイントで書き込み動作を終了する必要がある。

【 0 1 9 2 】

映像信号 V_{sig} の信号振幅 V_{in} に対して効率よく輝度を取るためには、書き込み時に駆動トランジスタ 1 2 1 のゲート電位 V_g の上昇とともに駆動電流 I_{ds} が流れソース電位 V_s が上昇しない条件下、すなわち書き込み時に駆動トランジスタ 1 2 1 のソース電位 V_s が低い状況での、映像信号 V_{sig} （特に信号振幅 V_{in} ）に対する容量値 C_s の保持容量 1 2 0 に保持される電圧割合（書き込みゲイン G_{input} ）をなるべく高くする必要がある。

【 0 1 9 3 】

このような条件下における書き込みゲイン G_{input0} は、保持容量 1 2 0 の容量値 C_s 、駆動トランジスタ 1 2 1 のゲート端 G に形成される寄生容量 C_{121gs} の容量値 C_{gs} 、および有機 E L 素子 1 2 7 の寄生容量 C_{el} を用いて、式（4）のように表すことができる。

【 0 1 9 4 】

【 数 4 】

40

$$G_{input0} = 1 - (C_s + C_{gs}) / (C_s + C_{gs} + C_{el}) \quad \dots(4)$$

【 0 1 9 5 】

寄生容量 C_{121gs} の容量値 C_{gs} は、保持容量 1 2 0 の容量値 C_s や有機 E L 素子 1 2 7 の寄生容量 C_{el} に比べると小さいと考えてよく、したがって、書き込みゲイン G_{input0} は、保持容量 1 2 0 の容量値 C_s に対して有機 E L 素子 1 2 7 の寄生容量 C_{el} が十分に大きければ、換言すれば、駆動トランジスタ 1 2 1 のゲート端 G とソース端 S の間に付加される容量値（ここでは保持容量 1 2 0 の容量値 C_s ）を小さくするか、もしくは、駆動ト

10

20

30

40

50

ンジスタ 121 のソース端 S (つまり有機 EL 素子 127 のアノード端 A) と接地配線 V cath (つまり有機 EL 素子 127 のカソード端 K) の間に付加される容量値 (ここでは有機 EL 素子 127 の寄生容量 C el) を大きくすると、限りなく “1” に近いことになり、より信号振幅 V in の大きさに近い電圧情報を保持容量 120 に書き込むことができる。

【0196】

ブートストラップゲイン G bst0 と書き込みゲイン G input0との関係を考える。たとえば、ブートストラップゲイン G bst0 を大きく取ることを考え、保持容量 120 の容量値 C s をレイアウト上大きく取ると、有機 EL 素子 127 の寄生容量 C el に対して保持容量 120 の容量値 C s が大きくなり、書き込みゲイン G input0 が小さくなってしまう。書き込みゲイン G input0 が小さくなると、保持容量 120 に大きな情報を書き込むには信号振幅 V in のダイナミックレンジを大きく取らなければならなく、消費電力増大に繋がる。
10

【0197】

逆に、書き込みゲイン G input0 を大きく取るために保持容量 120 の容量値 C s を小さくすると、寄生容量 C 121 gd の容量値 C gd や寄生容量 C 125 gs の容量値 C ws に対して保持容量 120 の容量値 C s が小さくなり、ブートストラップゲイン G bst0 が小さくなってしまい、有機 EL 素子 127 の特性変動に対する補正効果が低下し、特性劣化時の輝度落ちが顕著になる。

【0198】

このように、第 2 比較例の画素回路 P とそれを駆動する駆動タイミングでは、書き込みゲイン G input とブートストラップゲイン G bst0 とはトレードオフの関係にあり、何れか一方を大きくしようとすると他方が小さくなってしまい、他方に対して悪影響を与えることなく (他方を小さくせずに)、一方を大きくするということができない。
20

【0199】

片方のゲインを重視すれば、その分だけもう片方のゲインが疎かにならざるを得ないことはもちろんのこととして、どちらも高いゲインを得ることは不可能である。このため、実際の所は、競合関係となる書き込みゲイン G input とブートストラップゲイン G bst の間で折り合いを付け、各ゲインが適度なものとなるように、保持容量 120 の容量値 C s と有機 EL 素子 127 の寄生容量 C el の容量値 C el を決定する。

【0200】

本実施形態では、図 2 や図 2A に示したように、補助容量 310 を備えており、書き込みゲイン G input を調整できるようになっている。画素回路 P としては、電気回路上、等価的には、補助容量 310 が有機 EL 素子 127 の寄生容量 C el と並列に接続されたものとして動作する。これにより、映像信号線 106 HS が信号電位 (基準電位 V o + 信号振幅 V in) にある時間帯にサンプリングトランジスタ 125 を導通状態にするタイミングで書き込み駆動パルス WS を書き走査線 104 WS に出力することで保持容量 120 に信号振幅 V in の情報を書き込むと同時に駆動トランジスタ 121 の移動度 μ に対する補正情報を保持容量 120 に保持される情報に加える移動度補正を行なう際に、補助容量 310 を追加したことで、保持容量 120 に信号振幅 V in の情報を保持するときの書き込みゲイン G input を高めることができるようになる。
30

【0201】

具体的に説明すると以下の通りである。本実施形態を適用しない比較例 2 の画素回路 P の場合は、信号振幅 V in に対する、実際に保持される電圧割合 (書き込みゲイン G input0) は前述の式 (4) で表されるのに対して、補助容量 310 を追加する本実施形態を適用することで、書き込みゲイン G input1 は、保持容量 120 の容量値 C s 、補助容量 310 の容量値 C sub 、駆動トランジスタ 121 のゲート端 G に形成される寄生容量 C 121 gs の容量値 C gs 、および有機 EL 素子 127 の寄生容量 C el を用いて、式 (5) のように表すことができる。
40

【0202】

【数5】

$$\left. \begin{aligned} G_{\text{input}1} &= 1 - (C_s + C_{gs}) / (C_s + C_{gs} + C_{el} + C_{sub}) \\ &\doteq 1 - C_s / (C_s + C_{el} + C_{sub}) \end{aligned} \right\} \dots \quad (5)$$

【0203】

前述のように寄生容量 C_{121gs} の容量値 C_{gs} は相対的に他の容量値に比べて小さいと考えてよい。書き込みゲイン $G_{\text{input}1}$ は、補助容量 310 の追加により、等価回路的には、有機EL素子 127 のアノード端 A とカソード端 K の間に付加される容量値を、有機EL素子 127 の寄生容量 C_{el} と補助容量 310 の容量値 C_{sub} の合成分 ($C_{el} + C_{sub}$) にすることができる。

10

【0204】

その結果、書き込みゲイン $G_{\text{input}1}$ は書き込みゲイン $G_{\text{input}0}$ よりも大きくなるので、第2比較例の画素回路 P よりも、信号振幅 V_{in} の大きさにより近い電圧情報を保持容量 120 に書き込むことができる。これにより、第2比較例の画素回路 P よりも低い信号振幅で所望の輝度を出すことができ、信号振幅の低減が実現され、低消費電力化に寄与する。

20

【0205】

式(5)から明らかなように、補助容量 310 の容量値 C_{sub} が大きいほど書き込みゲイン $G_{\text{input}1}$ は 1 に近くなる。換言すれば、容量値 C_{sub} を調整することで書き込みゲイン $G_{\text{input}1}$ を調節できる。このことを利用すると、RGB3画素間で容量値 C_{sub} を相対的に調整することで、ホワイトバランスを取ることもできる。すなわち、R, G, B の各色用の有機EL素子 127 の発光効率が異なるので、補助容量 310 がない場合には、同一の駆動電流 I_{ds} (つまり同一の信号振幅 V_{in}) のときにはホワイトバランスが取れないので、色別に信号振幅 V_{in} を異ならせることでホワイトバランスを取ることになる。これに対して、補助容量 310 の容量値 C_{sub} をRGB3画素間で相対的に調整することで、同一の駆動電流 I_{ds} (つまり同一の信号振幅 V_{in}) のときにでもホワイトバランスが取れるようになる。

【0206】

30

加えて、補助容量 310 を追加することで、閾値補正動作に影響を与えることなく、移動度 μ の補正に要する時間 (移動度補正時間) を調整することができるようになる。補助容量 310 を利用して移動度補正時間を調整可能にすることで、画素回路 P の駆動が高速化しても、十分に移動度の補正を行なうことができるようになる。

【0207】

40

すなわち、駆動トランジスタ 121 のドレイン電流を I_{ds} 、移動度補正により補正される電圧分を V とした場合、移動度補正時間 t は $(C_{el} + C_{sub}) \times V / I_{ds}$ で表される。よって、補助容量 310 の設定により、保持容量 120 に保持されるホールド電位 V_{gs} ばかりでなく移動度補正時間を調整することができる。一般に、画素アレイ部 102 が高精細対応になるほど、画素回路 P と有機EL素子 127 (発光素子) の接続部の開口率は小さくなり、有機EL素子 127 の寄生容量 C_{el} が小さくなる。すると、補助容量 310 を配置しない場合にホールド電位 V_{gs} は映像信号 V_{sig} の信号振幅 V_{in} から大きく損失した値となってしまう。このためにも、補助容量 310 を追加することの効果が大きい。

【0208】

ところで、補助容量 310 を備えるか否かに関わらず、閾値補正機能や、移動度補正機能や、ブートストラップ機能を働かせるためには、各種のトランジスタ (本実施形態の画素回路 P ではサンプリングトランジスタ 125) をオン / オフ制御する必要があり、そのために各種の走査線 (本実施形態では書込走査線 $104WS$ 、電源供給線 $105DSL$ 、映像信号線 $106HS$) を画素アレイ部 102 に縦方向や横方向に形成する必要がある。

50

【0209】

各走査線と画素回路Pを構成するトランジスタ（駆動トランジスタ121、サンプリングトランジスタ125）のレイアウトによっては、走査線とトランジスタとが近接して配置されることがある。このとき、走査線とトランジスタの端子配線と間に形成される静電容量を介して、その走査線の電位に対応した不要な信号（ノイズ）がトランジスタのたとえば制御入力端（ゲート）や入出力端（ソースあるいはドレイン）に飛び込む現象が生じ得る。

【0210】

たとえば、映像信号線106HSの映像信号Vsигの情報がサンプリングトランジスタ125を介さずに寄生容量を介して駆動トランジスタ121の制御入力端側の配線（つまりゲート配線）に飛び込むような事象が生じると、駆動電流Idsに影響を与え、表示画面上にノイズ（縦方向の輝度ムラやカラー表示の場合は色ムラ：縦クロストークと称する）となって現われてしまうということが分った。以下、この問題点とその対策手法について説明する。

10

【0211】

<<走査線と画素内配線について>>

図6～図8Bは、画素アレイ部102の走査線（垂直配線と水平配線）や画素内の端子配線の配線形態（レイアウト）を説明する図である。ここで、図6は、有機EL素子127や補助容量310などの配置を説明する図である。詳しくは、図6は、一般的な有機EL表示装置における1画素分の層構造の概略を示した図である。ここで、図6(1)は1画素分の平面図であり、図6(2)は図6(1)におけるA-A'線の断面図である。

20

【0212】

図7および図7Aは、走査線を含む画素回路Pの従来のレイアウト例を示し、図7Bは、その従来のレイアウト例での画素回路Pの等価回路図である。ここで、図7は、従来のレイアウト例の基本概念を示し、図7Aは図7(2)に対応した詳細例である。

【0213】

図8～図8Cは、図7の構成において、黒レベルのウィンドウを表示した場合の各エリアにおける映像信号サンプリング時の駆動トランジスタ121のゲート電位とソース電位について説明する図である。詳細には、図8は、黒ウィンドウパターンBWの一例であり、図8Aは、黒ウィンドウパターン表示時のカップリング現象を画素回路Pの等価回路図上で示したものである。図8Bは、黒ウィンドウパターン表示時に生じ得る輝度ムラ（特に縦クロストーク）の問題点を説明するタイミングチャートである。

30

【0214】

図6(1)に示す1画素分の平面図のように、基板101上に下部電極（たとえばアノード電極）504が配置され、その下部電極504上に有機EL素子127の開口部（以下EL開口部と称する）127aが形成されている。下部電極504には接続孔（たとえばTFT-アノードコンタクト）504aが設けられ、この接続孔504aを介して下部電極504下に配された駆動トランジスタ121の入出力端（本例ではソース電極）に下部電極504が接続されるようになっている。

40

【0215】

下部電極504の周囲は絶縁膜パターン505で覆われて、有機EL素子127を構成する下部電極504、有機層506、上部電極508が積層されている部分のみが発光有効領域127bとなるように広く露出したEL開口部127aとされている。

【0216】

図6(2)には、図6(1)におけるA-A'線の断面図が示されている。図6(2)に示すように、基板101上の各画素回路Pに対応する位置に、画素回路を構成する駆動トランジスタ121やサンプリングトランジスタ125などの薄膜トランジスタQや保持容量120（容量値Cs）や補助容量310（容量値Csub）が配置され、その上部に層間絶縁膜502a, 502b（酸化膜）が設けられている。

50

【0217】

層間絶縁膜 502 のさらに上部には、薄膜トランジスタ Q に接続されたソース電極線 Qs およびドレイン電極線 Qd が設けられている。また、各素子（薄膜トランジスタ Q, 保持容量 120）を構成する導電層、およびソース電極線 Qs およびドレイン電極線 Qd（図では駆動トランジスタ 121 のソース電極 121s のみを示す）を構成する導電層により、画素回路 P を構成する他の配線（図示省略）が形成されている。

【0218】

そして、ソース電極線 Qs およびドレイン電極線 Qd の層を覆う状態で、さらに上層の平坦化膜として機能する層間絶縁膜 503 が設けられ、この層間絶縁膜 503 上に有機 EL 素子 127 が形成されている。有機 EL 素子 127 は、下層側から順に積層された下部電極 504、有機層 506、および上部電極（たとえばカソード電極）508 で構成されており、下部電極 504 と上部電極 508 と間に誘電体である有機層 506 が挟まれた構造であるので、有機 EL 素子 127 は容量成分（寄生容量 Cel）を持つことになる。

10

【0219】

下部電極 504 は、画素電極としてパターン形成されており、層間絶縁膜 502 に形成された接続孔 504a を介して駆動トランジスタ 121 のソース電極 121s に接続されている。また、下部電極 504 と対向する上部電極 508 は全ての画素回路 P を覆うベタ膜として形成されている。

【0220】

このような層構造を持つ有機 EL 表示装置 1においては、有機 EL 素子 127 が配列形成された基板 101 と反対側から発光光 L1 を取り出すいわゆるトップエミッション方式として構成することが、有機 EL 素子 101 の開口率を確保する上で有効になる。また、このようなトップエミッション方式であれば、有機 EL 素子 127 の開口率が、画素回路 P を構成する薄膜トランジスタ Q のレイアウトには依存しない。このため、さらに複数の薄膜トランジスタ Q や保持容量 120 を用いた画素回路 P を各画素に対応させて配置することもできる。

20

【0221】

下部電極 504 は、画素回路 P の配列に対応してマトリクス状に配置される。そして、この下部電極 504 の隣接画素間には、下部電極 504 と同一層で構成された補助配線 505（補助電極）が配線された構成となっている。補助配線 505 は、図示を割愛したコントラクトを介して上部電極 508 のカソード配線と電気的な接続がとられる。

30

【0222】

図示を割愛した基板 101 上の最初に設けられる第 1 配線層 L1 は、薄膜トランジスタ Q（駆動トランジスタ 121 やサンプリングトランジスタ 125）などの回路素子を形成するレイヤとしても使用される。たとえば、保持容量 120（容量値 Cs）は、一方の電極が第 1 配線層 L1 に形成され、それに対向する電極がポリシリコンで層間絶縁膜 502a, 502b 間に形成されている。補助容量 310（容量値 Csub）は、一方の電極が第 1 配線層 L1 および第 2 配線層 L2 に形成され、それらに対向する電極がポリシリコンで層間絶縁膜 502a, 502b 間に形成されている。

【0223】

第 1 配線層 L1 の電極とポリシリコンで第 1 の補助容量 310a が形成され、第 2 配線層 L2 の電極とポリシリコンで第 2 の補助容量 310b が形成され、第 1 配線層 L1 の電極と第 2 配線層 L2 の電極とがコントラクトにより接続されることで、第 1 の補助容量 310a と第 2 の補助容量 310b が並列接続された状態となっている。本実施形態の画素回路 P では、補助容量 310 のノード N D310 を有機 EL 素子 127 のカソード配線に接続するようにしているので、第 1 配線層 L1 の電極と第 2 配線層 L2 の電極を、さらにコントラクトにより補助配線 505 に接続することで、最終的に上部電極 508 と接続されるようにしている。

40

【0224】

この表示装置 1 は、基板 101 と反対側から発光光を取り出すトップエミッション型であるため、下部電極 504 は遮光性が高く、かつ反射率の高い材料で構成される。一方、上

50

部電極 508 は、光透過性の高い材料を用いて構成される。したがって、上部電極 508 の配線抵抗が大きくなる。ベタ配線としても抵抗値の低減には限界がある。補助配線 505 は、この高抵抗の上部電極 508 と並列に配線することで、全体としての抵抗値を低減するのに寄与する。

【0225】

ところで、図 2 および図 2A に示した画素回路 P の場合、画素アレイ部 102 においては、少なくとも垂直走査系統に関する書込走査線 104WS および電源供給線 105DSL が縦 / 横の一方の配線（たとえば横配線とする）となり、これに対して水平走査系統に関する映像信号線 106HS が縦 / 横の他方の配線（たとえば縦配線とする）となる。また、有機EL素子 127 のカソード電位 Vcath をベタ配線ではなく通常の配線とする場合であれば、カソード電位 Vcath 用の配線（以下カソード配線 Wcath と称する）が横配線もしくは縦配線となる。

10

【0226】

ここで、前述の各配線（書込走査線 104WS、電源供給線 105DSL、映像信号線 106HS）は、横方向または縦方向に延び、画素アレイ部 102 の周辺に設けられた対応する走査部（書込走査部 104、駆動走査部 105、水平駆動部 106）と接続される。

【0227】

画面の左右方向について考察した場合、詳細説明図は割愛するが、1 行内の全ての画素回路 P に対して書込駆動パルス WS は書込走査部 104 から共通に供給されるので、書込駆動パルス WS の波形が配線容量や配線抵抗の影響で、書込走査部 104 から遠い画素回路 P（遠側画素と称する）の方が書込走査部 104 から近い画素回路 P（近側画素と称する）よりも、その波形鈍りが大きくなってしまう。そのため、配線容量や配線抵抗の分布特性が、閾値補正や移動度補正の動作に影響を与えることがある。

20

【0228】

同様のことは、電源供給線 105DSL や映像信号線 106HS（あるいはカソード配線 Wcath）についても言えることであり、配線容量や配線抵抗の分布特性が、閾値補正や移動度補正の動作に影響を与えることがある。

30

【0229】

これらの点を考慮して、各配線は、一般的に、低抵抗にするべく、アルミニウム Al やモリブデン Mo などによる光透過性を有しない金属配線を使用して配線される。前述のように、縦配線と横配線が必要であるから、基本的には、縦配線と横配線の交差部でのオーバーラップのために、最低でも 2 層（第 1 配線層 L1, 第 2 配線層 L2）の金属配線が必要になる。

【0230】

2 層の金属配線を利用して各配線（書込走査線 104WS、電源供給線 105DSL、映像信号線 106HS、カソード配線 Wcath）を配置する場合、何れを第 1 配線層 L1 に配置し何れを第 2 配線層 L2 に配置するかで、様々な配線（レイアウト）形態を探り得る。

40

【0231】

たとえば、書込走査線 104WS と電源供給線 105DSL とを上層側および下層側の一方の金属配線にすることが考えられる。このとき、映像信号線 106HS に関しては、第 1 の手法として図 7(1) に示すように、画素回路 P 部分では上層側および下層側の一方の金属配線（図では第 2 配線層 L2）にすると、同一層の書込走査線 104WS や電源供給線 105DSL と交差する部分はオーバーラップさせる必要があるので、上層側および下層側の他方の金属配線にしてブリッジさせる（異なる層の金属配線をコンタクトで繋ぐ）必要がある。

【0232】

また、第 2 の手法として図 7(2) に示すように、水平駆動部 106S の全体を上層側および下層側の他方（図では第 1 配線層 L1）の金属配線にすることも考えられる。こうすることで、第 1 の手法のような他層の金属配線（第 2 配線層 L2）とのブリッジを避けることができる。第 1 の手法との対比においては、縦配線である映像信号線 106HS と横

50

配線との下層側の金属配線とのブリッジの回数を少なくできるので、映像信号線 106HS の負荷を軽減することができる利点がある。

【0233】

第1および第2の手法の何れにおいても、書込走査線 104WS と電源供給線 105DSL は同一層の金属配線で同一方向にレイアウトされることになり、1画素内では離して（画素回路 P の上端と下端にて）並走させたとしても、隣接する画素回路 P との関係においては同一層（同じレイヤ）でごく近くを並走（隣接）することになる。また、前述のように、書込走査線 104WS および電源供給線 105DSL は、画素アレイ部 102 周辺（パネル端）の対応する書込走査部 104、駆動走査部 105 までレイアウトされるため、非常に長い。したがって、配線間スペースが狭いと、対向面積が大きくなり、配線間に形成される静電容量（寄生容量）が大きくなる。また、走査線同士に限らず、走査線と画素内配線と間でも、同様のことが懸念される。10

【0234】

たとえば、図 7 に示すように、走査線や画素内配線を形成する際に用いられるのは、半導体基板側の第1配線層と、第1配線層 L 1 の上層側に絶縁体（層間絶縁膜 502, 503：画素回路 P の各構成要素を形成するためのものを含む）を挟んで配される第2配線層 L 2 の2層である。ここで、第2配線層 L 2 の配線はアルミ Al などの低抵抗材料が用いられるのに対して、第1配線層 L 1 の配線は、低抵抗とは言っても、第2配線層 L 2 の配線と比較して抵抗が高い材料（高抵抗材料）、たとえばモリブデン Mo などが使用される。20

【0235】

画素回路 Pにおいては、映像信号線 106HS は信号振幅 Vin の情報を、サンプリングトランジスタ 125 を介して保持容量 120 に書き込む必要があり低インピーダンスであることが好ましく、また、電源供給線 105DSL はそれそのものが駆動トランジスタ 121 に対して電源供給能力を持つ必要があり低インピーダンスであることが好ましく、何れも低抵抗化するため、第2配線層 L 2 に設定する。20

【0236】

映像信号線 106HS は列方向に延在する縦配線であるのに対して、電源供給線 105DSL は、水平期間ごとに第1電位 Vcc_H と第2電位 Vcc_L とでスイッチングするため、行方向に延在する横配線とする。映像信号線 106HS と電源供給線 105DSL をともに第2配線層 L 2 に設定するには、必然的に、映像信号線 106HS と電源供給線 105DSL は直交（交差）しなければならない。このような低抵抗線同士が交差する配線態様を実現するためには、第2配線層 L 2 に関して多層配線技術が必要となる。実際の所は、ブリッジ部分を第1配線層 L 1 を利用して形成することになる。30

【0237】

一方、画素内配線に関しては、配線長が短く配線抵抗の分布特性が問題となることは殆どないので、基本的には、第1配線層 L 1 および第2配線層 L 2 の何れをも採用することができる。そのため、従来のレイアウト例では、図 7(1) や図 7(2) あるいは図 7A に示すように、トランジスタの端子に接続される配線と同一層に形成している。

【0238】

このため、画素回路 P 内において、映像信号線 106HS と駆動トランジスタ 121 のゲート配線 312 と間で線間容量 314（容量値 Cp_0）が寄生容量として形成されてしまう。これは、レイアウト効率を考慮してゲート配線 312 を映像信号線 106HS と同一層で形成する場合に並走してしまい、並走部の平行平板容量によって線間容量 314 が形成されるのである。40

【0239】

したがって、映像信号線 106HS の映像信号 Vsig の情報がサンプリングトランジスタ 125 を介さずに線間容量 314 を介して駆動トランジスタ 121 のゲート配線 312 に直接に飛び込むような事象が生じる。この事象が生じると、駆動電流 Ids に影響を与え、表示画面上にノイズとなって現われてしまう。

【0240】

10

20

30

40

50

図8～図8Bは、この現象の典型例を説明するもので、黒ウインドウパターン表示時の状態を示す。ここでは、黒ウインドウパターンBWを表示したときに、画面とラインごとの動作を説明している。具体的には、画面の上部と下部に全白が表示される行を配し、画面中央部の黒が表示される行では、1水平期間における中央部の黒の表示期間とその左右に配される白の表示期間とが1:1となる50%表示をしたときの場合を示している。同様に、画面中央部の黒が表示される列では、1垂直期間における中央部の黒の表示期間とその左右上下に配される白の表示期間とが1:1となる50%表示をしたときの場合を示している。なお、ここでは、上下左右の白表示と黒表示が1:1となる50%表示の例で示しているが、黒ウインドウパターン表示は、この例に限らず、上下あるいは左右の白表示と黒表示が1:1以外の場合であってもよい。

10

【0241】

このような黒ウインドウパターンの映像信号Vsigtが映像信号線106HS上に供給されたときに、線間容量314を介してゲート配線312に飛び込むと(図8AのS1)、駆動トランジスタ121のゲート電圧Vgが映像信号Vsigtに応じて変化し、白表示部分も輝度が変化し、輝度ムラの一例である縦クロストークが起こってしまう。

【0242】

詳しくは、図8(2)に示すように、画面の上部と下部に全白が表示される行と画面中央部の黒が表示される行とが存在すると、発光時の駆動トランジスタ121のゲート電圧Vgの波形を見ると、図8Bに示すように、白表示しているA部分では正常であるが(図8B(2))、黒ウインドウ表示したB点ではウインドウ部分に位置する映像信号線106HSからゲート配線312への線間容量314を介したフリンジ(容量カップリング)によって電圧降下している(図8B(3))。

20

【0243】

そのため、画面の左部と右部に全白が表示される列(以下100%表示の列と称する)と、画面中央部の白と黒が表示される列(以下50%表示の列と称する)との比較では、正常な白表示部分である100%表示の列と比べ、50%表示の列の白表示部分が暗くなる。つまり、同じ大きさの信号振幅Vinに基づく白表示部であっても、100%表示の列の白よりも50%表示の列の白の方が輝度が低下してしまい、表示画像上では、縦クロストークとして視認される。

30

【0244】

このように、映像信号線106HSと駆動トランジスタ121のゲート配線312を同一層で形成すると、映像信号線106HSとゲート配線312が並走することで形成される線間容量314を介して映像信号線106HS上の映像信号Vsigtがゲート配線312に飛び込むことに起因する列方向のシェーディング(典型例としてはウインドウパターンによって生じる縦クロストーク)などの輝度ムラが生じてしまうことが問題となる。

【0245】

<改善手法：基本概念>

図9は、映像信号線106HSとゲート配線312が並走することで形成される線間容量314に基づく縦クロストークを改善する手法の基本概念を説明する図である。ここで、図9(1)は、図7に示した従来のレイアウトにおいて、映像信号線106HSとゲート配線312が並走している部分の構造を説明するものである。図9(2)は、本実施形態で採用する改善手法を説明する図である。

40

【0246】

図9(1)に示すように、ガラス基板上に層間絶縁膜(酸化膜)が形成され、その上層に第2配線層L2が設けられる。第2配線層L2の空き部分は平坦化膜として機能する層間絶縁膜503で覆われる。ここで、前述のように、映像信号線106HSとゲート配線312は同一層に形成される。このため、図9(1)に示すように、並走部の平行平板構造によって線間容量314(容量値Cp_0)が形成される。なお、図9(1)は図7(1)に対応して第2配線層L2で線間容量314が形成される状態であるが、図7(2)や図7Aに対応した場合でも同様であり、第1配線層L1で線間容量314が形成されること

50

になる。

【0247】

前述の説明から理解されるように、映像信号線106HS上の映像信号Vsigtに対応したノイズ（以下映像信号飛込みノイズとも称する）が、映像信号線106HSとゲート配線312と間の線間容量314を介して駆動トランジスタ121のゲート配線312に飛び込むことのそもそもの原因是、映像信号線106HSとゲート配線312とが近接して並走することで比較的大きな容量値の線間容量314が形成され、この線間容量314を介して映像信号飛込みノイズが駆動トランジスタ121のゲート配線312に伝達されることにある。したがって、この観点から対策を探ることで、前述の映像信号飛込みノイズに基づく縦クロストークを改善できると考えられる。具体的には、線間容量314の容量値を小さくすればよい。

10

【0248】

平行平板電極間によって形成される線間容量314の容量値 C_{p_0} は、導体間に形成される静電容量の定義式に基づき特定できる。すなわち、コンデンサは、対応した電極を持ち、電極間に誘電体が介在することで形成される。その静電容量Cは、コンデンサの導板（複数）の内の1枚の電荷Qをそれらの導板の間の電位差Vで除した値で、その他の導体の影響は無視してよい。具体的には、各導体（電極）の対向間隔t、対向面積A、電極間の物質の比誘電率としたとき、 $C = Q / V = A / t$ で規定される。図9に示した例では、導体間の物質は平坦化膜となる。

20

【0249】

したがって、静電容量C（つまり線間容量302の容量値 C_{p_0} ）を低減するには、比誘電率の小さな物質を極板間に介在させるか（ $t_0 > t_1$ ：第1の手法と称する）、または、段差を設けて極板の対向面積Aを減少させるか（ $A_0 > A_1$ ：第2の手法と称する）、または、極板間の距離tを大きくすればよい（ $t_0 < t_1$ ：第3の手法と称する）ことが分る。もちろん、図9（2）に示すように、これらの3つの手法を任意に組み合わせてもよい（第4の手法と称する）。

20

【0250】

上記を踏まえれば、映像信号線106HSと駆動トランジスタ121のゲート配線312と間に形成される寄生容量を十分に小さくなるようにレイアウトする手法としては前記の第1～第4の手法の何れを採用してもよいのであるが、後述する本実施形態では、特に第4の手法を採用する場合について詳しく説明する。

30

【0251】

第4の手法を採用する場合について詳しく説明することにしたのは、以下の理由による。第1の手法において、比誘電率を変えるには材料を変更する必要があり、これにともない、膜厚、均質性などさまざまなことを考慮しなければならず、簡単にはできない。第2の手法において、たとえば現状のように両配線をアルミニウムA1で配線する場合、この手法では事実上、プロセス数が増加・複雑化する。第3の手法では、現状工程数を変えることなく実現可能であるが、特に横方向は狭く、十分に離すことが難しい。これに対して、第4の手法は、現状工程数を変えることなく実現可能である。また、レイヤが異なるため容量を格段に小さくできる利点もある。

40

【0252】

よって、詳細例として説明する本実施形態の改善手法の基本的な考え方は、映像信号線106HSと駆動トランジスタ121のゲート配線312を異なる配線層（別レイヤ）に形成（レイアウト）する点にある。映像信号線106HSと駆動トランジスタ121のゲート配線312を別レイヤに形成するものである限り、基本的には、映像信号線106HSと駆動トランジスタ121のゲート配線312の横方向の位置は不問である。ただし、平面上において横方向の位置に重なりを持ち、縦方向（厚さ方向）で平行平板構造を呈するようになり、容量値が大きくなる。

【0253】

この点においては、極板の対向間隔tや極板間に介在させる物質の比誘電率が従前と

50

同じであるものとして、線間容量 314 の容量値 C_{p_1} を、一般的な対向面積 A_0 における従前の容量値 C_{p_0} よりも小さくできる方向であって、現実的なレベルで、対向面積 A_1 の方が従前の対向面積 A_0 よりも十分に小さいと言える程度にすればよい。

【0254】

また、別の観点からの規定の手法としては、白表示部分とウインドウ表示部分の輝度差の側面から規定することが考えられる。すなわち、一般的に、人間の目で輝度差約 1 % 以内であれば視認されないと言われている。したがって、映像信号線 106HS と駆動トランジスタ 121 のゲート配線 312 と間に形成される線間容量 314 の容量値 C_{p_1} （換言すれば両配線間隔 t_1 ）が、線間容量 314 を起因とする映像信号飛込みノイズによる白表示部分とウインドウ表示部分の白表示エリア同士の輝度差が 1.0 % 以下となるようなものとする。こうすることで、線間容量 314 の容量値 C_{p_1} にある程度の大きさを持っていても、実質的には、縦クロストークが視認されないレベルとなる。

10

【0255】

なお、白表示エリア同士の輝度差が 1.0 % 以下となる線間容量 314 の容量値 C_{p_1} は、画素定数、EL 特性、映像信号 V_{sig} の基準電位 V_o と信号振幅 V_{in} との差（映像振幅）によって変化する。

【0256】

つまり、一般的には、レイアウト効率を考慮した場合に、パターンルールの限界を考慮した最小パターン間隔で各走査線や画素内配線を配置するので、映像信号線 106HS と駆動トランジスタ 121 のゲート配線 312 を別レイヤに形成するときには完全に重ねて配線することが可能となってしまう。たとえば、映像信号線 106HS を第 2 配線層 L2（アルミニウム A1）、ゲート配線 312 を第 1 配線層 L1（モリブデン Mo）で構成することや、逆にゲート配線 312 を第 2 配線層 L2（アルミニウム A1）、映像信号線 106HS を第 1 配線層 L1（モリブデン Mo）で構成することができる。モリブデン Mo 上にアルミニウム A1 層を作ることができるのである。

20

【0257】

このことにより、層間絶縁膜 502 を挟んで平行平板容量が形成されてしまうと、別レイヤにして線間容量 314 の容量値 C_{p_1} を小さくしようとした効果が低減してしまう。このような事態を避けるには、映像信号線 106HS と駆動トランジスタ 121 のゲート配線 312 を別レイヤに形成するだけでなく、平面上において横方向の別の位置に設ける、つまりオーバーラップさせないことが望ましい。横方向の対向間隔 t_1 を従前の対向間隔 t_0 を維持するようにして別レイヤに配置するようにすれば確実である。

30

【0258】

こうすることで、極板の対向間隔 t や極板間に介在させる物質の比誘電率 ϵ_r が従前と同じであっても、映像信号線 106HS と駆動トランジスタ 121 のゲート配線 312 と間に形成される線間容量 314 の容量値 C_{p_1} を従前の容量値 C_{p_0} よりも格段に小さくできる。その結果、線間容量 314 を介した映像信号飛込みノイズのゲート配線 312 への飛込みの影響を抑えることができる。以下、第 4 の手法を採用した本実施形態の対策手法について具体的に説明する。

40

【0259】

<改善手法：第 1 実施形態>

図 10 および図 10A は、映像信号飛込みノイズに基づく縦クロストークを改善し得るようにした回路配置（レイアウト）の第 1 実施形態を説明する図である。ここで、図 10 は、画素回路 P の第 1 実施形態のレイアウト例の基本概念を示し、図 10A は図 10 に対応した詳細例（配線の上下関係は無視する）である。

【0260】

第 1 実施形態の改善手法のポイントは、映像信号線 106HS と駆動トランジスタ 121 のゲート配線 312 を別レイヤにレイアウトする点にある。加えて、好ましくは、オーバーラップさせないようにする。後述する第 2 実施形態との相違点として、映像信号線 106HS を第 2 配線層 L2 に配置し、駆動トランジスタ 121 のゲート配線 312 を第 1 配線

50

層 L 1 に配置するようにした点に特徴を有する。

【 0 2 6 1 】

たとえば、白表示の信号電圧：5 V、黒表示の信号電圧：0 Vとし、図 7 (2) に示す第 2 の手法のように、映像信号線 1 0 6 HS および駆動トランジスタ 1 2 1 のゲート配線 3 1 2 のそれぞれをモリブデン Mo で同一層に配線した場合の線間容量 3 1 4 の容量値 C p_0 は 1 . 5 f F (フェムトファラッド) であるとする。この場合、黒ウィンドウ表示における白表示部分 (1 0 0 % 表示の列) とウィンドウ表示部分 (5 0 % 表示の列) の発光時の駆動トランジスタ 1 2 1 のゲート・ソース間電圧 Vgs の差は約 0 . 0 1 5 V となり、白表示エリア同士の輝度差が約 2 ~ 3 % となった。

【 0 2 6 2 】

表示画面上における各種のノイズに関しては、一般的に、人間の目で輝度差約 1 % 以内であれば視認されないと言われている。したがって、このままでは、映像信号線 1 0 6 HS とゲート配線 3 1 2 と間に形成される線間容量 3 1 4 を起因とする映像信号飛込みノイズによる縦クロストークが視認されてしまうので問題である。

【 0 2 6 3 】

これに対して、前例と同一の画素定数で、白表示の信号電圧：5 V、黒表示の信号電圧：0 V とし、図 1 0 や図 1 0 A に示す第 1 実施形態のレイアウト手法のように、映像信号線 1 0 6 HS を第 2 配線層 L 2 にアルミニウム Al で配置し、駆動トランジスタ 1 2 1 のゲート配線 3 1 2 を第 1 配線層 L 1 にモリブデン Mo で配置することで、それぞれを別レイヤに配線した場合の線間容量 3 1 4 の容量値 C p_1 は 1 . 0 f F となった。

【 0 2 6 4 】

これにより、黒ウィンドウ表示における白表示部分 (1 0 0 % 表示の列) とウィンドウ表示部分 (5 0 % 表示の列) の発光時の駆動トランジスタ 1 2 1 のゲート・ソース間電圧 Vgs の差は約 0 . 0 1 V となり、白表示エリア同士の輝度差が約 1 % となった。その結果、映像信号線 1 0 6 HS とゲート配線 3 1 2 と間に形成される線間容量 3 1 4 を起因とする映像信号飛込みノイズによる縦クロストークが視認されないレベルとなった。

【 0 2 6 5 】

よって、前例の画素定数の場合には、駆動トランジスタ 1 2 1 のゲート配線 3 1 2 と映像信号線 1 0 6 HS の並走部分に形成されるゲート配線 3 1 2 の容量値 C p を 1 f F 以下にすることが望ましい。

【 0 2 6 6 】

なお、白表示エリア同士の輝度差が 1 . 0 % 以下となる線間容量 3 1 4 の容量値 C p_1 は、画素定数、E L 特性、映像信号 Vsig の基準電位 V0 と信号振幅 Vin との差 (映像振幅) によって変化するので、別の条件となるときには、それに合わせて、線間容量 3 1 4 の容量値 C p_1 が輝度差 1 % 以下を実現するようなレイアウトにする必要が生じる。

【 0 2 6 7 】

このように線間容量 3 1 4 の低容量化を実現する方法としては、この第 1 実施形態のレイアウト手法のように、ゲート配線 3 1 2 と映像信号線 1 0 6 HS の並走部分を別レイヤで配線することで実現できる。

【 0 2 6 8 】

このとき、映像信号線 1 0 6 HS を第 2 配線層 L 2 にアルミニウム Al で、駆動トランジスタ 1 2 1 のゲート配線 3 1 2 を第 1 配線層 L 1 にモリブデン Mo で配置すると、モリブデン Mo 上にアルミニウム Al 層を作ることができるが、そのことによって縦方向 (厚さ方向) に平行平板構造が形成され大きな容量を形成するようになるため、映像信号線 1 0 6 HS とゲート配線 3 1 2 はオーバーラップさせないようにすることが望ましい。

【 0 2 6 9 】

このように、画素回路 P を駆動する際、従来レイアウトでは映像信号線 1 0 6 HS の電位変動が駆動トランジスタ 1 2 1 のゲート配線 3 1 2 に影響を与え、縦クロストークとして視認されるという問題があったが、第 1 実施形態のレイアウトを取り、映像信号線 1 0 6 HS とゲート配線 3 1 2 の並走部分を別レイヤで配線し、線間容量 3 1 4 をたとえば 1 f F

10

20

30

40

50

以下のように十分に小さくすることができる。これにより、駆動トランジスタ 121 のゲート配線 312 と映像信号線 106HS の並走部分にできる寄生容量（線間容量 314）をそもそもの原因とするフリンジングによる縦クロストークを、認識不可能な程度に減少させる（抑制する）ことができる。

【0270】

<改善手法：第2実施形態>

図 11 および図 11A は、映像信号飛込みノイズに基づく縦クロストークを改善し得るようにした回路配置（レイアウト）の第2実施形態を説明する図である。ここで、図 11 は、画素回路 P の第2実施形態のレイアウト例の基本概念を示し、図 11A は図 11 に対応した詳細例（配線の上下関係は無視する）である。

10

【0271】

第2実施形態の改善手法のポイントは、第1実施形態と同様に、映像信号線 106HS と駆動トランジスタ 121 のゲート配線 312 を別レイヤにレイアウトする点にある。加えて、好ましくは、オーバーラップさせないようにする。前述の第1実施形態との相違点として、映像信号線 106HS を第1配線層 L1 に配置し、駆動トランジスタ 121 のゲート配線 312 を第2配線層 L2 に配置するようにした点に特徴を有する。

【0272】

この第2実施形態のように、映像信号線 106HS と駆動トランジスタ 121 のゲート配線 312 を配するレイヤ（層）を第1実施形態に対して逆にする場合でも、第1実施形態と同様に、それぞれを別レイヤに配線しており、前例と同一の画素定数のときの線間容量 314 の容量値 C_{p_1} は $1.0 fF$ となった。白表示の信号電圧：5V、黒表示の信号電圧：0Vとしたときの黒ウインドウ表示における白表示部分（100%表示の列）とウインドウ表示部分（50%表示の列）の発光時の駆動トランジスタ 121 のゲート・ソース間電圧 V_{gs} の差は約 0.01V となり、白表示エリア同士の輝度差が約 1% となった。その結果、映像信号線 106HS とゲート配線 312 と間に形成される線間容量 314 を起因とする映像信号飛込みノイズによる縦クロストークが視認されないレベルとなる。

20

【0273】

映像信号線 106HS と駆動トランジスタ 121 のゲート配線 312 を第1配線層 L1 と第2配線層 L2 の何れに配置するかを問わず、それらを別レイヤに配置し、好ましくはオーバーラップさせない（好ましくは横方向の配線間隔を従前と同じに維持する）ことで、両配線間に生じる寄生容量（線間容量 314）を無視できる程度に十分に小さくでき、線間容量 314 を介したフリンジングによる縦クロストークを解消できるようになる。

30

【0274】

以上、本発明について実施形態を用いて説明したが、本発明の技術的範囲は前記実施形態に記載の範囲には限定されない。発明の要旨を逸脱しない範囲で前記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれる。

【0275】

また、前記の実施形態は、クレーム（請求項）にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組合せの全てが発明の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の発明が含まれてあり、開示される複数の構成要件における適宜の組合せにより種々の発明を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、効果が得られる限りにおいて、この幾つかの構成要件が削除された構成が発明として抽出され得る。

40

【0276】

<駆動タイミングの変形例>

たとえば、画素回路 P が同じであっても、駆動タイミングの側面から様々な変形が可能である。たとえば、電源供給線 105DSL の電位が第2電位 V_{cc_L} から第1電位 V_{cc_H} に遷移するタイミングを映像信号 V_{sig} の非有効期間である基準電位 V_0 (V_{ofs}) の期間としつつ、様々な変形が可能である。

50

【0277】

たとえば、一変形例として、図示を割愛するが、図4に示した駆動タイミングに対して、書込み&移動度補正期間Hの設定方法を変形することができる。具体的には、先ず映像信号Vsigtが基準電位V_o(V_{ofs})から信号振幅V_{in}に遷移するタイミングt_{15V}を図4に示した駆動タイミングよりも1水平期間の後半側にシフトさせて、有効期間である信号振幅V_{in}の期間を狭くする。

【0278】

また、閾値補正動作の完了時(閾値補正期間Eの完了時)には、先ず、書込駆動パルスWSをアクティブHにしたままで、水平駆動部106により映像信号線106HSに映像信号Vsigtの信号振幅V_{in}を供給して(t₁₆)、書込駆動パルスWSをインアクティブLにするまで(t₁₇)の間を、保持容量120への画素信号Vsigtの書き込み期間とする。この信号振幅V_{in}は駆動トランジスタ121の閾値電圧V_{th}に足し込む形で保持される。この結果、駆動トランジスタ121の閾値電圧V_{th}の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正動作によって、保持容量120に保持されるゲート・ソース間電圧V_{gs}は“Vsigt + V_{th}”となる。また、同時に、信号書込期間t₁₆～t₁₇で移動度補正を実行する。すなわち、タイミングt₁₆～t₁₇は、信号書込期間と移動度補正期間の双方を兼ねることとなる。

10

【0279】

なお、この移動度補正を実行する期間t₁₆～t₁₇では、有機EL素子127は実際には逆バイアス状態にあるので発光することはない。この移動度補正期間t₁₆～t₁₇では、駆動トランジスタ121のゲート端Gが映像信号Vsigtのレベルに固定された状態で、駆動トランジスタ121に駆動電流I_{ds}が流れる。以下、図4に示した駆動タイミングと同様である。

20

【0280】

この変形例の駆動タイミングでも、駆動トランジスタ121のドレイン端Dに対する電源供給のスイッチング動作は図4に示した駆動タイミングと完全に同じであり、輝度ムラ(特に縦クロストーク)に対する抑制効果は前述の本実施形態と同様に享受できる。

20

【0281】

各駆動部(104, 105, 106)は、水平駆動部106が映像信号線106HSに供給する映像信号Vsigtと書込走査部104が供給する書込駆動パルスWSとの相対的な位相差を調整して、移動度補正期間を最適化することができる。補助容量310の容量値C_{su}bを調整することでその移動度補正期間を調整できる。

30

【0282】

ただし、書込み&移動度補正準備期間Gが存在せずに、タイミングt_{16V}～t_{17W}が書込み&移動度補正期間Hとなる。このため、書込走査線104WSや映像信号線106HSの配線抵抗や配線容量の距離依存の影響に起因する波形特性の相違が書込み&移動度補正期間Hに影響を与えてしまう可能性がある。画面の書込走査部104に近い側と遠い側(すなわち画面の左右)でサンプリング電位や移動度補正時間が異なることになるので、画面の左右で輝度差が生じ、シェーディングとして視認される難点が懸念される。

40

【0283】

<画素回路の変形例>

また、画素回路Pの側面からの変更も可能である。たとえば、回路理論上は「双対の理」が成立するので、画素回路Pに対しては、この観点からの変形を加えることができる。この場合、図示を割愛するが、先ず、図2および図2Aに示した画素回路Pがnチャネル型のトランジスタを用いて構成しているのに対し、pチャネル型のトランジスタを用いて画素回路Pを構成する。これに合わせて映像信号Vsigtの基準電位V_o(V_{ofs})に対する信号振幅V_{in}の極性や電源電圧の大小関係を逆転させるなど、双対の理に従った変更を加える。

【0284】

たとえば「双対の理」に従った変形態様の画素回路Pでは、pチャネル型の駆動トラン

50

ジスタ（以下 p 型駆動トランジスタ 121p と称する）のゲート端 G とソース端 S と間に保持容量 120 を接続し、p 型駆動トランジスタ 121p のソース端 S を直接に有機 EL 素子 127 のカソード端 K に接続する。有機 EL 素子 127 のアノード端 A は基準電位としてのアノード電位 V_{Anode} にする。このアノード電位 V_{Anode} は、基準電位を供給する全画素共通の基準電源（高電位側）に接続する。

【0285】

p 型駆動トランジスタ 121p は、そのドレイン端 D が低電圧側の電源電位 V_{cc_L} に接続され、有機 EL 素子 127 を発光させる駆動電流 I_{ds} を流す。映像信号線 106HS と書込走査線 104WS との交差部には p チャネル型のサンプリングトランジスタ（以下 p 型サンプリングトランジスタ 125p と称する）を配する。p 型サンプリングトランジスタ 125p は、ゲート端 G を書込走査部 104 からの書込走査線 104WS に接続し、ドレイン端 D（もしくはソース端 S）を映像信号線 106HS に接続し、ソース端 S（もしくはドレイン端 D）を p 型駆動トランジスタ 121p のゲート端 G と保持容量 120 の一方の端子との接続点に接続する。p 型サンプリングトランジスタ 125p のゲート端 G には書込走査部 104 からアクティブ L の書込駆動パルス WS を供給する。

10

【0286】

このような双対の理を適用してトランジスタを p 型にした変形例の有機 EL 表示装置においても、前述の n 型にした有機 EL 表示装置と同様に、閾値補正動作、移動度補正動作、およびブートストラップ動作を実行することができる。

20

【0287】

もちろん、画素回路 P ごとに補助容量 310 を追加することで、書き込みゲインやブートストラップゲインを調整したり、あるいは移動度補正期間を調整したり、あるいはカラー表示の場合にはホワイトバランスをとることができる。

【0288】

このような画素回路 P を駆動する際に、映像信号線 106HS の電位変動が駆動トランジスタ 121 のゲート配線 312 に影響を与えることで生じ得る縦クロストークに関しては、前述の第 1 あるいは第 2 実施形態のレイアウト手法を適用して、映像信号線 106HS と駆動トランジスタ 121 のゲート配線 312 を別レイヤに配置し、好ましくはオーバーラップさせないことで、両配線間に生じる線間容量 314 を無視できる程度に十分に小さくでき、線間容量 314 を介した映像信号飛込みノイズに基づく表示画面上のノイズ（縦クロストーク）を防止できる。

30

【0289】

なお、ここで説明した画素回路 P の変形例は、図 2 および図 2A に示した構成に対して「双対の理」に従った変更を加えたものであるが、回路変更の手法はこれに限定されるものではない。閾値補正動作を実行するに当たり、書き走査部 104 での線順次走査に合わせて各水平周期内で基準電位 V_o (V_{ofs}) と信号電位 (V_{ofs} + V_{in}) で切り替わる映像信号 V_{sig} が映像信号線 106HS に伝達されるように駆動を行なうものである限り、2TR 構成であるか否かは不問でありトランジスタ数が 3 個以上であってもよく、それらの全てに、前述の本実施形態の各改善手法を適用できる。こうすることで、線間容量 314 を介した輝度ムラ（縦クロストーク）を抑制するという本実施形態の思想を適用することができる。

40

【図面の簡単な説明】

【0290】

【図 1】本発明に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の構成の概略を示すブロック図である。

【図 2】本実施形態の画素回路を示す図（基本構成）である。

【図 2A】本実施形態の画素回路を示す図（具体例）である。

【図 3】有機 EL 素子や駆動トランジスタの特性ばらつきが駆動電流に与える影響を説明する図である。

【図 3A】駆動トランジスタの特性ばらつきが駆動電流に与える影響の改善手法の概念を

50

説明する図である。

【図4】第2比較例や本実施形態の画素回路に関する駆動タイミングの基本例を説明するタイミングチャートである。

【図5】書き込みゲインとブーストストラップゲインとトランジスタの寄生容量との関係を説明する図である。

【図6】有機EL素子や補助容量などの配置を説明する図である。

【図7】画素回路の従来のレイアウト例を示す図(基本概念)である。

【図7A】図7(2)に対応した詳細例である。

【図7B】従来のレイアウト例での画素回路の等価回路図である。

【図8】黒ウインドウパターンの一例を示す図である。

【図8A】黒ウインドウパターン表示時のカップリング現象を画素回路Pの等価回路図上で示した図である。

【図8B】黒ウインドウパターン表示時に生じ得る輝度ムラ(特に縦クロストーク)の問題点を説明するタイミングチャートである。

【図9】映像信号飛込みノイズに基づく縦クロストークを改善する手法の基本概念を説明する図である。

【図10】画素回路の第1実施形態のレイアウト例を示す図である。

【図10A】第1実施形態のレイアウト例での画素回路の等価回路図である。

【図11】画素回路の第2実施形態のレイアウト例を示す図である。

【図11A】第2実施形態のレイアウト例での画素回路の等価回路図である。

【符号の説明】

【0291】

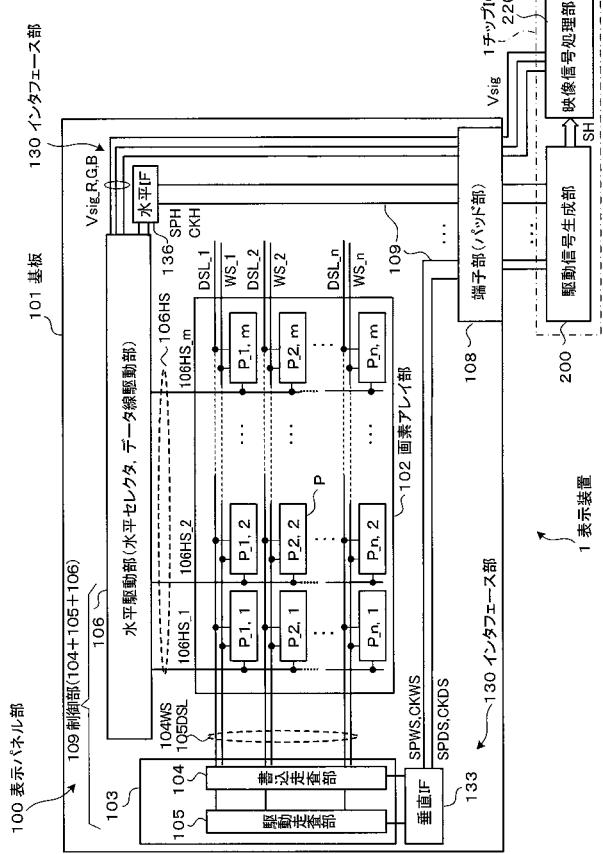
1...表示装置、100...表示パネル部、101...基板、102...画素アレイ部、103...垂直駆動部、104...書き走査部、104WS...書き走査線、105...駆動走査部、105DSL...電源供給線、106...水平駆動部、106HS...映像信号線、109...制御部、120...保持容量、121...駆動トランジスタ、125...サンプリングトランジスタ、127...有機EL素子、130...インターフェース部、133...垂直IF部、136...水平IF部、200...駆動信号生成部、220...映像信号処理部、310...補助容量、312...駆動トランジスタのゲート配線、314...線間容量(寄生容量)、Cei...寄生容量、P...画素回路、ND121, ND122, ND310...ノード

10

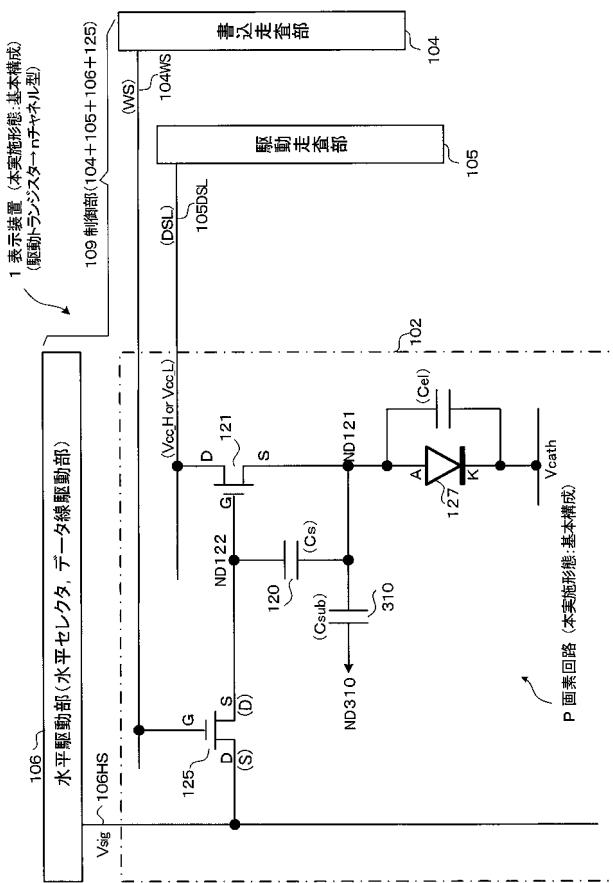
20

30

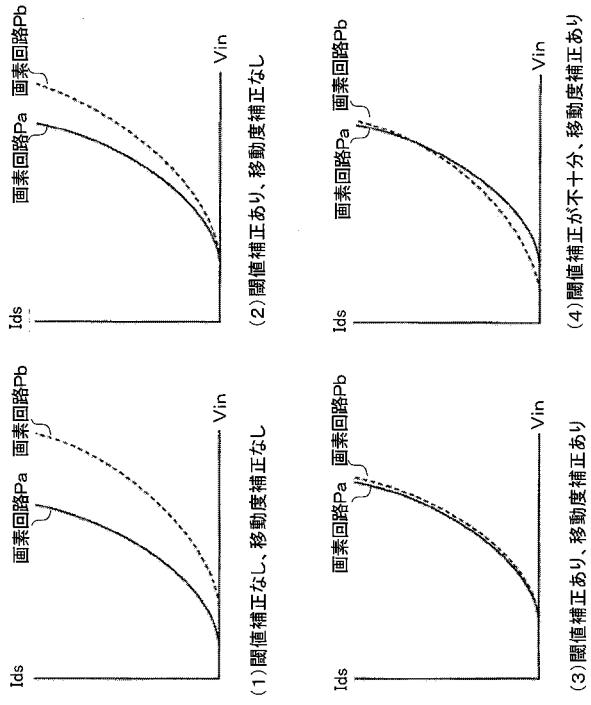
【図 1】



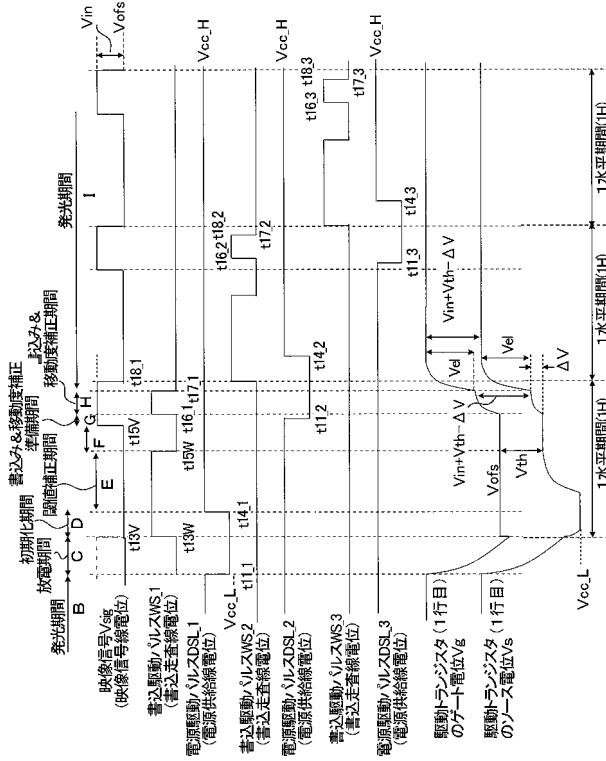
【図 2】



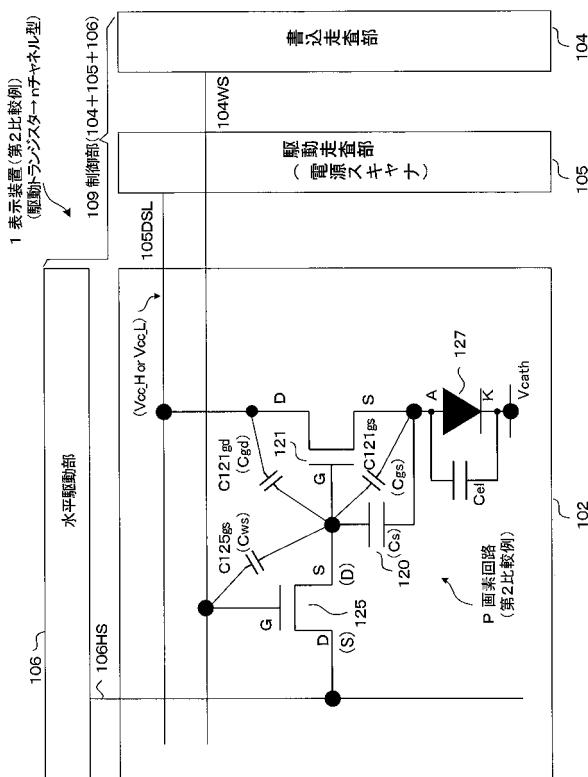
【図 3 A】



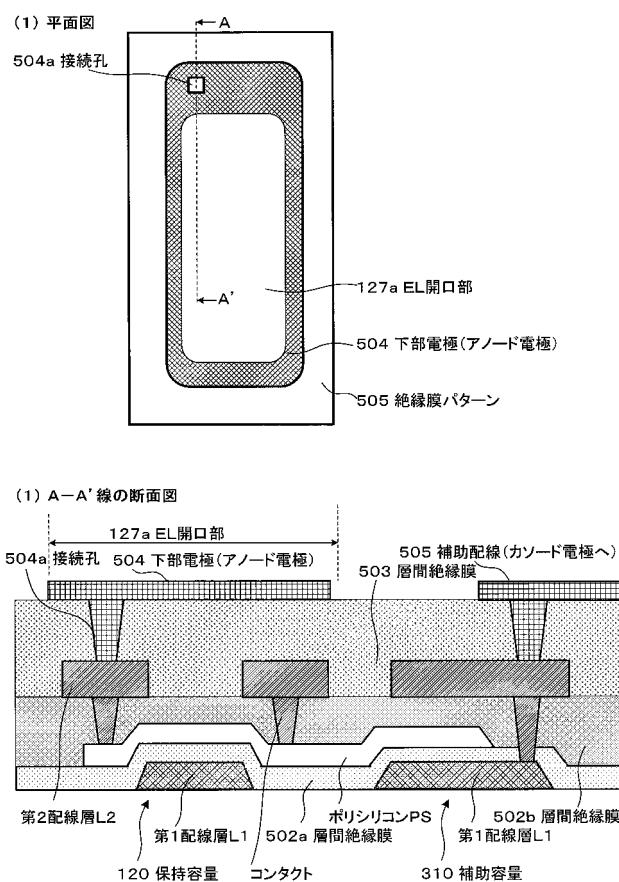
【図 4】



【図 5】

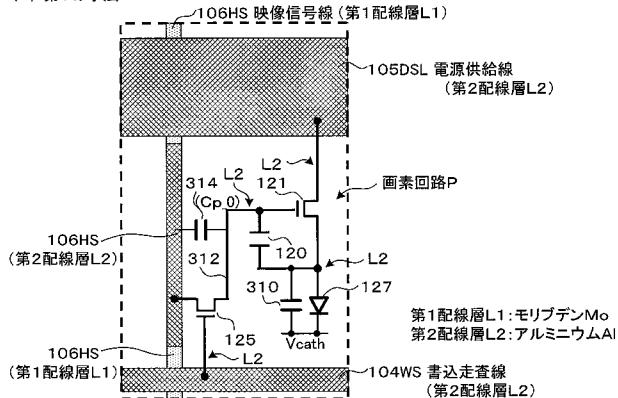


【図 6】

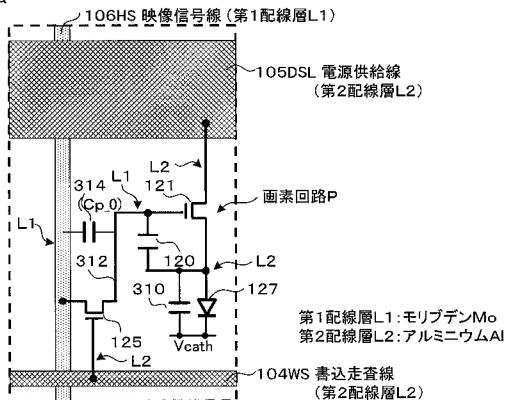


【図7】

(1) 第1の手法

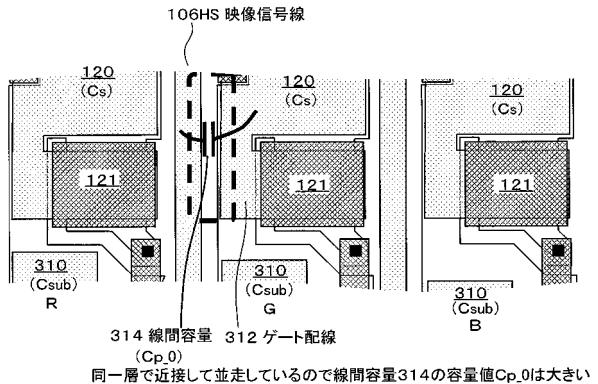


(2) 第2の手法



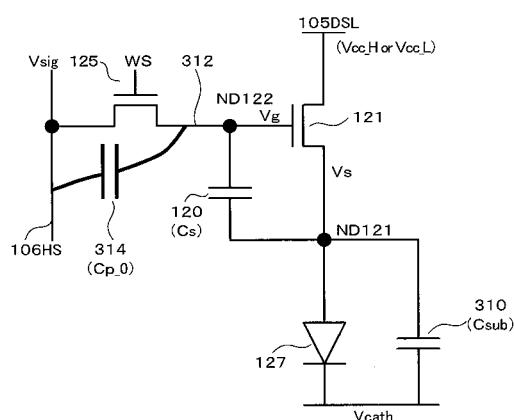
【図7A】

<従来のレイアウト例: 第2の手法>



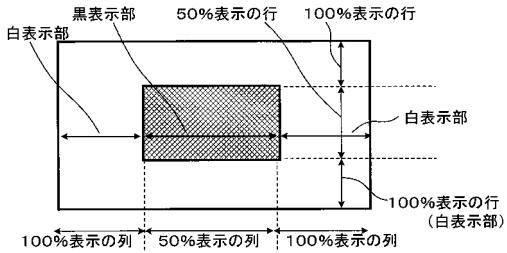
【図7B】

<従来のレイアウト例の等価回路>

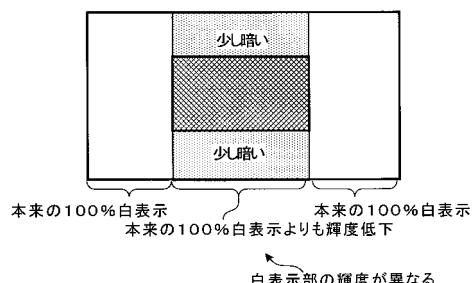


【図8】

(1) ウィンドウパターン例

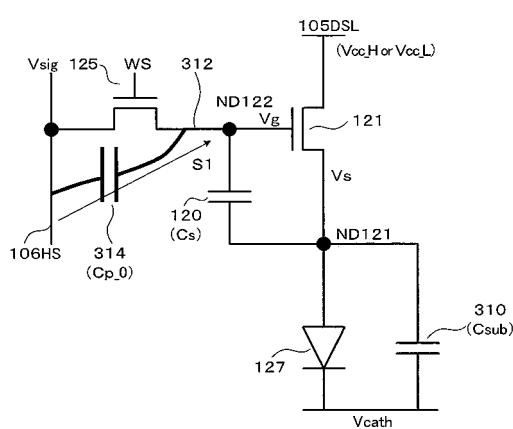


(2) ウィンドウパターンの表示例



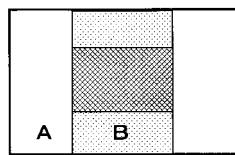
【図 8 A】

<従来のレイアウト例でのゲート配線312への飛込み>

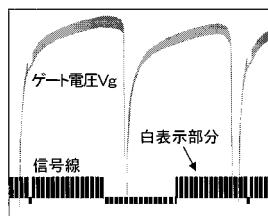


【図 8 B】

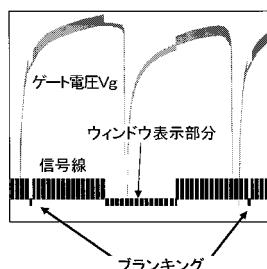
(1) ウィンドウパターン例



(2) A点

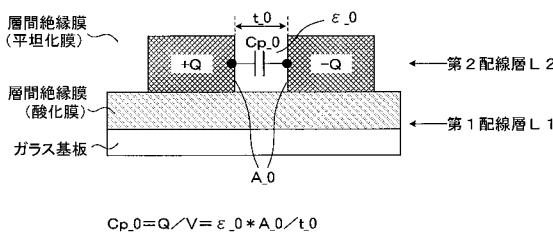


(3) B点

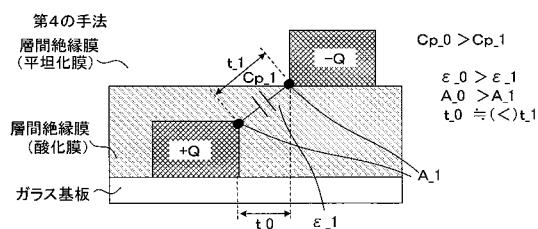


【図 9】

(1) 導体間に形成される静電容量:比較例

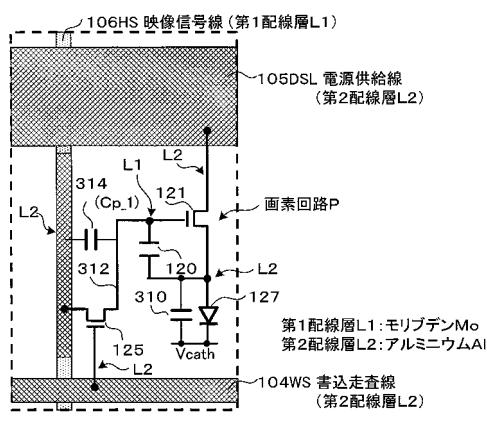


(2) 導体間に形成される静電容量:本実施形態



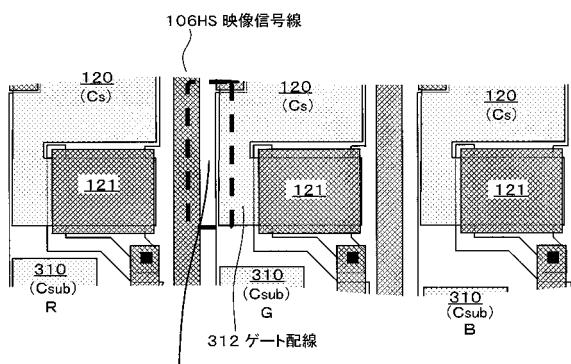
【図 10】

<第1実施形態のレイアウト:基本概念>



【図 10 A】

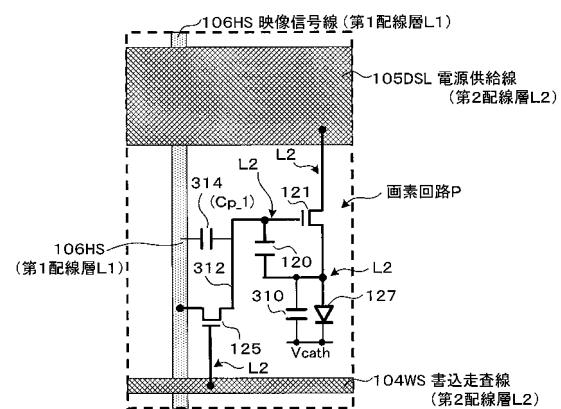
<第1実施形態のレイアウト: 詳細例>



- ポリシリコン(PS)
- ▨ アルミニウム(AI): 第2配線層L2
- ▨ モリブデン(Mo): 第1配線層L1
- コンタクト(contact)

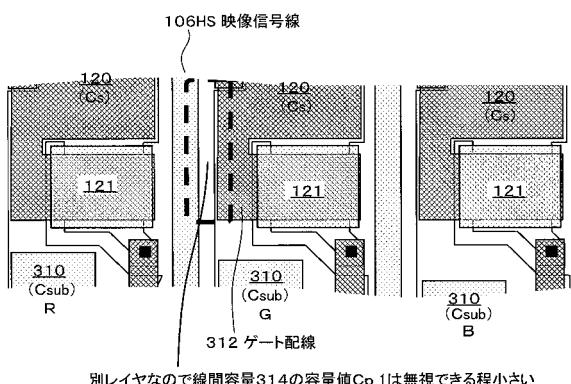
【図 11】

<第2実施形態のレイアウト: 基本概念>



【図 11 A】

<第2実施形態のレイアウト: 詳細例>



- ポリシリコン(PS)
- ▨ アルミニウム(AI): 第2配線層L2
- ▨ モリブデン(Mo): 第1配線層L1
- コンタクト(contact)

フロントページの続き

(51) Int.Cl.

F I		テーマコード(参考)
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 1 2 E
G 0 9 G	3/20	6 1 1 H
G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 7 0 J
G 0 9 G	3/30	Z
H 0 5 B	33/14	A

(72)発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 CC35 EE03 HH04 HH05

5C080 AA06 BB05 CC03 DD05 DD10 DD25 DD28 DD29 EE29 EE30
FF03 FF11 HH09 JJ01 JJ02 JJ03 JJ06 KK43