

公告本

子案 1

申請日期	87 年 2 月 20 日
案 號	88109783 (由 88102409 分割)
類 別	H01L21/00

(以上各欄由本局填註)

455918

發明專利說明書

一、發明 名稱	中 文	顯示裝置與半導體裝置
	英 文	Display device and semiconductor device
二、發明 人	姓 名	(1) 山崎舜平 (2) 大谷久
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
		(2) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八番地
	代 表 人 姓 名	(1) 山崎舜平

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本	1997 年 2 月 24 日	9-055633
日本	1998 年 2 月 9 日	10-44659

☒有主張優先權☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明背景

1. 發明領域

本發明係關於一種於具有一絕緣面的基材上形成之半導體薄膜，及一以該半導體薄膜作為一活化層之半導體裝置。特別地，本發明係關於一種作為半導體薄膜之矽晶膜（結晶性矽膜）之構成。

附帶地，於說明書中之“半導體裝置”係指藉由使用半導體之功能且於半導體裝置之分類中含有下列條件之所有裝置。

(1) 薄膜電晶體 (Thin Film Transistor, TFT) 之單一元件，

(2) 使用 (1) 之單一元件的半導體電路，

(3) 以 (1) 及 (2) 構成之光電裝置，

(4) 具有 (2) 及 (3) 之電子裝置。

2. 習知技術說明

近年來，以使用於一具有一絕緣面之基材上形成半導體薄膜（厚度約數百至數千埃）構成薄膜電晶體（TFT）之技術被受矚目。薄膜電晶體廣泛地應用於電子裝置如積體電路（Integrated Circuit, IC）或光電裝置，特別地，將其加速開發以作為一影像顯示裝置之開關元件。

例如，進行將薄膜電晶體應用於所有圖元矩陣電路之電子電路，以個別控制設於液晶顯示器裝置之矩陣中圖元區域之試驗、一驅動電路以控制圖元矩陣電路、一邏輯電

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(2)

路(處理器電路或存儲電路或其類似者)以處理來自於外部及其類似者之資料信號。

以現今之情況,使用一非晶系矽膜之薄膜電晶體作為活化層之技術習慣上已減少了。然而,高速操作功能之電子電路仍為所需,如驅動電路、邏輯電路或其類似者,因此,使用矽晶膜(聚矽膜、聚晶矽膜或其類似者)之薄膜電晶體是需要的。

例如,如同於一玻璃基材上形成結晶性矽膜之方法,亦由申請人提出之日本專利公開第7-130652號揭示之技術及日本專利公開第8-78329號揭示之技術。依據該等技術所揭露,具有優良結晶性之矽晶膜藉由於500~600℃之溫度以使用催化劑元素促使非晶系矽膜結晶之熱處理而形成。

特別地,依據日本專利公開第8-78329號揭示之技術,晶體之成長藉由上述之技術進行,實質上與基材面平行,且發明人認為形成結晶之區域特別地為一水平成長區域(或側面成長區域)。

然而,即使當一驅動電路由使用該薄膜電晶體所構成,仍無法完全滿足所需之功能。現今的狀況是高速邏輯電路需要百萬至十億位元程度之非常高速的運作,此非傳統之薄膜電晶體所能構成的。

發明概述

本發明為提供一種以傳統的薄膜電晶體所無法製造之

五、發明說明(3)

具有非常高功能之半導體裝置，可構成一高速邏輯電路。更進一步，本發明提供一種半導體薄膜以實施該半導體裝置。

本發明所提供之半導體薄膜，其特徵在於該半導體薄膜設有至少兩個晶體、於晶體中之晶界、及在晶界處不相稱鍵相對於所有鍵之比例為5%或更低（較佳地為3%或更低）。

另一構成，本發明所提供之半導體薄膜，其特徵在於半導體薄膜設有至少兩個晶體、於晶體中之晶界、及在至少於晶界之一任意區域中，於100個鍵內所含之不相稱鍵數為5或更小（較佳地為3或更小）。

另一構成，本發明所提供之半導體薄膜，其特徵在於半導體薄膜設有至少兩個晶體、於晶體中之晶界、及在至少於晶界之一任意區域中，於50個鍵內所含之不相稱鍵數為0。

另一構成，本發明所提供之半導體薄膜，其特徵在於半導體薄膜設有至少兩個晶體、於晶體中之晶界、及在至少兩個晶體中之一任意晶體所觀察之晶格線紋與於鄰近該一任意晶體之其他晶體所觀察之晶格線紋之角度落於60°~80°的範圍內。

本發明藉由使用如上述幾種構成之半導體薄膜而構成一以薄膜電晶體表示之半導體裝置之活化層，及一具有高功效之半導體裝置，足以構成一驅動電路或一邏輯電路。

本發明如上述之構成，藉由以下實施例詳細說明。

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (4)

圖示之簡單說明

- 第 1 A ~ 1 E 圖 主動式矩陣基材之製造階段圖
- 第 2 A ~ 2 D 圖 主動式矩陣基材之製造階段圖
- 第 3 A ~ 3 C 圖 主動式矩陣基材之製造階段圖
- 第 4 圖 主動式矩陣基材之一例說明圖
- 第 5 圖 半導體電路之一例說明圖
- 第 6 A ~ 6 B 圖 C M O S 電路結構說明圖
- 第 7 A ~ 7 E 圖 電子裝置說明圖
- 第 8 圖 俯視矽晶薄膜之顯微照相圖
- 第 9 A 及 9 B 圖 俯視矽晶薄膜之 T E M 照相圖
- 第 1 0 A ~ 1 0 D 圖 晶界之品格線紋的 H R -
T E M 照相圖
- 第 1 1 圖 薄膜電晶體 (T F T) 電子特性圖
- 第 1 2 圖 環形振蕩之頻率特性圖
- 第 1 3 圖 環形振蕩之輸出光譜照相圖
- 第 1 4 圖 移位寄存器之輸出脈衝照相圖
- 第 1 5 圖 移位寄存器之脈衝寬度與頻率間之關係圖
- 第 1 6 圖 定標圖
- 第 1 7 A 及 1 7 B 圖 矽晶薄膜之 T E M 照相圖
- 第 1 8 A 圖 說明熱施加於矽晶薄膜
- 第 1 8 B 圖 說明冷卻期間 (a) 之矽晶薄膜
- 第 1 8 C 圖 說明冷卻期間 (b) 之矽晶薄膜

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(5)

主要元件對照表

101	石英基板
102	非晶系矽膜
103	絕緣膜罩
104	含鎳塗層
105, 106	添加鎳區域
107, 108	水平成長區域
109, 110, 111	半導體層
112	閘門絕緣膜
113, 114, 115	閘門電極
116, 117, 118	陽極氧化膜
119, 120, 121	閘門絕緣膜
122	保護罩
123, 124, 125, 126	n ⁻ 區域
127	保護罩
128, 129	p ⁻ 區域
130, 131, 132	側壁
133	保護罩
134, 138, 143	源極區域
135, 139, 144	汲極區域
136, 140, 145	低濃度不純區域
137, 141, 146	通道形成區域
142	保護罩
147	鈦膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

- 1 4 8 , 1 4 9 , 1 5 0 矽化鈦膜
- 1 5 1 , 1 5 2 , 1 5 3 島狀圖案
- 1 5 4 中間層絕緣膜
- 1 5 5 , 1 5 6 , 1 5 7 源極接線
- 1 5 8 , 1 5 9 汲極接線
- 1 6 0 第二中間層絕緣膜
- 1 6 1 黑色光罩
- 1 6 2 第三中間層絕緣膜
- 1 6 3 圖元電極
- 1 6 4 輔助電容
- 4 0 1 基材
- 4 0 2 圖元矩陣電路
- 4 0 3 電源線驅動電路
- 4 0 4 閘門線驅動電路
- 4 0 5 邏輯電路
- 4 0 6 , 4 0 7 電源線
- 4 0 8 , 4 0 9 閘門線
- 4 1 0 圖元區域
- 4 1 1 圖元薄膜電晶體
- 4 1 2 液晶構件
- 4 1 3 輔助電容
- 4 1 4 相位比較器
- 4 1 5 低通濾波器
- 4 1 6 電壓控制振盪器

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(7)

- 4 1 7 分配器
- 4 1 8 , 4 1 9 振盪器
- 4 2 0 數位／類比轉換器
- 4 2 1 , 4 2 2 輸入端
- 4 2 3 水平掃描同步信號輸入端
- 4 2 4 垂直掃描同步信號輸入端
- 5 0 1 陶瓷基材
- 5 0 2 絕緣膜
- 5 0 3 , 5 0 4 , 5 0 5 I / O 埠
- 5 0 6 中央處理單位
- 5 0 7 平齊存儲器
- 5 0 8 平齊編址陣列
- 5 0 9 倍增器
- 5 1 0 電路
- 5 1 1 時鐘控制電路
- 5 1 2 平齊控制器
- 5 1 3 匯流控制器
- 6 0 1 , 6 0 2 閘門電極
- 6 0 3 , 6 0 4 矽化鈦膜
- 6 0 5 , 6 0 6 閘門絕緣膜
- 2 0 0 1 主體
- 2 0 0 2 照相機單位
- 2 0 0 3 影像接收單位
- 2 0 0 4 操作開關

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(8)

- 2 0 0 5 顯示器單位
- 2 1 0 1 主體
- 2 1 0 2 顯示器單位
- 2 1 0 3 帶狀單位
- 2 2 0 1 主體
- 2 2 0 2 顯示器裝置
- 2 2 0 3 操作開關
- 2 2 0 4 天線
- 2 3 0 1 主體
- 2 3 0 2 聲音輸出單位
- 2 3 0 3 聲音輸入單位
- 2 3 0 4 顯示器裝置
- 2 3 0 5 操作開關
- 2 3 0 6 天線
- 2 4 0 1 主體
- 2 4 0 2 顯示器裝置
- 2 4 0 3 聲音輸入單位
- 2 4 0 4 操作開關
- 2 4 0 5 電池
- 2 4 0 6 影像接收單位
- 1 0 石英基材
- 1 1 矽晶薄膜
- 1 2 界限
- 1 3 缺陷

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(9)

1 4 矽晶薄膜

1 5 界限

較佳實施例之詳細說明

實施例 1

本實施例乃依據本發明於具有絕緣面及整體組成一圖元矩陣電路與一互補金屬氧化物半導體 (complementary metal oxide semiconductor) C M O S 電路之基材上形成薄膜電晶體 (T F T s) 之一例，更且，於本實施例並說明一 C M O S 電路作為基本電路以構成一驅動電路或一邏輯電路。

首先，製備一石英基板 1 0 1 作為一基材，具有一絕緣面。一陶瓷基板，即表面具有厚度為 0 . 5 ~ 5 微米之絕緣膜的一矽基板或與其類似者可用來代替石英基板。另，低等級的矽基板如用於太陽能電池者較便宜，因該基板可有效地用於透光基材而不須使用反射型式之顯示裝置。

符號 1 0 2 為一非晶系矽膜，其最終之膜厚（考慮熱氧化後膜厚減少）調整為 1 0 ~ 7 5 n m （較佳為 1 5 ~ 4 5 n m ）。較佳地，膜的形成以低壓熱化學蒸鍍（Chemical Vapor Deposition, CVD）法或電漿化學蒸鍍法製得。

接著即完成非晶系矽膜結晶之階段。雖然日本專利公開第 7 - 1 3 0 6 5 2 及 8 - 7 8 3 2 9 號揭示之技術可用作結晶之機構，但於本實施例中採以下所述之技術。

五、發明說明 (10)

依據已揭露之公開技術，首先於選擇區域上形成一添加催化劑元素的絕緣膜 1 0 3，該絕緣膜 1 0 3 上設有許多開口位置，以添加催化劑元素。結晶區域之位置可藉由接觸洞之位置而定。

更進一步，將含有作為催化劑元素的鎳 (N i) 之溶液以旋轉塗佈的方法塗佈，使形成含鎳之塗層 1 0 4，以助於非晶系矽膜的結晶。另，除了鎳之外，其他如鈷 (C o)、鐵 (F e)、錫 (S n)、鉛 (P b)、鈀 (P d)、鉑 (P t)、銅 (C u)、金 (A u)、或與其類似者均可作為催化劑元素。(第 1 A 圖)

更進一步，於添加催化劑元素之階段，也可用使用保護罩於鐵注入製程或電漿摻混之製程。此技術在構成一小型化電路是有效的，因有助於縮小添加區域所佔的面積及於水平成長區域控制成長距離。

其次，當添加催化劑元素的階段完成時，非晶系矽膜 1 0 2 藉由以 5 0 0 ~ 7 0 0 °C 之熱處理的溫度結晶，典型的是於鈍氣環境或含氫或氧的環境下以 5 5 0 ~ 6 5 0 °C 熱處理 4 ~ 1 2 小時。

在此狀況下，非晶系矽膜 1 0 2 之結晶較於 1 0 5 及 1 0 6 區域添加鎳，及 1 0 7 及 1 0 8 之實質上平行於基材 1 0 1 之基材面成長之水平成長區域的形成優先進行。依據本發明，惟有水平成長區域 1 0 7 及 1 0 8 作為活化層 (第 1 B 圖)。

當結晶之熱處理完成時，移去絕緣膜罩 1 0 3 而完成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

圖案，且僅含有水平成長區域島狀半導體層（活化層）

1 0 9 ~ 1 1 1 即形成。此處數字 1 0 9 代表一 N 型薄膜電晶體構成一 C M O S 電路之活化層，數字 1 1 0 代表一 P 型薄膜電晶體構成一 C M O S 電路之活化層，數字 1 1 1 代表一 N 型薄膜電晶體構成一圖元矩陣電路。

當以含水平成長區域之矽晶薄膜構成之活化層 1 0 9 ~ 1 1 1 形成時，包含一含矽之絕緣膜的閘門絕緣膜 1 1 2 即形成。閘門絕緣膜 1 1 2 的膜厚視其後之熱氧化階段增加膜厚，可調整在 2 0 ~ 2 5 0 n m 的範圍內。更進一步，習知之氣相製程方法可用於膜的形成。

其次，如第 1 C 圖所示，進行熱處理以吸氣法（催化劑元素之吸收製程）移去催化劑元素（鎳），該熱處理係使用藉由鹵素元素的金屬吸氣效應。更進一步，為了有效地達到藉由鹵素元素的吸氣效應，熱處理之溫度較佳地大於 7 0 0 °C，因此，依據此實施例，進行熱處理之溫度大於 7 0 0 °C 較佳地為 8 0 0 ~ 1 0 0 0 °C（一般為 9 5 0 °C），且處理時間設定於 0 . 1 ~ 6 小時，一般為 0 . 5 ~ 1 小時。

於此情況，進行熱處理之例，可於濃度為 0 . 5 ~ 1 0 體積百分比（本實施例為 3 體積百分比）之含氯化氫環境中以 9 5 0 °C 處理 3 0 分鐘。當氯化氫濃度等於或高於前述之濃度時，會導致活化層 1 0 9 ~ 1 1 1 表面實質上之膜厚的尺寸不規則，此為不適當的。

並且，矽晶薄膜的氧化速率會因混合高濃度氮（N₂）

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (12)

於上述氧化之環境中而降低。此表示不需進行較所需更多的熱氧化反應而使得吸氣時間增加之情況是有效的。

更進一步，雖然此例中以氯化氫氣體作為含鹵素元素之化合物，其他不同於氯化氫之氣體，選自含典型之鹵素，氟化氫 (H F)、氟化氮 (N F ₃)、溴化氫 (H B r)、氯 (C l ₂)、C l F ₃、B C l ₃、氟 (F ₂)、溴氣 (B r ₂) 及其類似者之單一或複數之氣體均可使用。

此階段中，於活化層 1 0 9 ~ 1 1 1 中之鎳藉由氯之作用而被吸收而形成揮發之氯化鎳，並被分離至大氣中而移除。更進一步，在此階段，活化層 1 0 9 ~ 1 1 1 中鎳之濃度減少至 1×10^{17} a t o m / c m ³ 或更低 (較佳地為旋轉密度或更低)。另，依據此說明，雜質的濃度以藉由二次離子質譜儀 (Secondary Ion Mass Spectroscopy, SIMS) 測量之最小值定義之。

更進一步，於活化層 1 0 9 ~ 1 1 1 及閘門絕緣膜 1 1 2 之間的界面以前述之熱處理作熱氧化反應處理，且閘門絕緣膜 1 1 2 之總厚度因所形成之部份熱氧化膜而增加。因此，活化層 1 0 9 ~ 1 1 1 會以形成熱氧化膜之部份的反比例而變薄。稀薄的活化層促進了薄膜電晶體 O F F 電流之還原效果，增加電場效應變動性及其類似者。

並且，依據以乾蝕製程形成之活化層 1 0 9 ~ 1 1 1，一般於邊緣會有電漿損害殘留，但依據本發明，邊緣亦會被熱氧化，因此電漿損害之情況亦會被移除。

五、發明說明 (13)

更進一步，於鹵素環境中完成上述之熱處理後再於氮氣環境中以 950°C 熱處理約 1 小時，不僅開門絕緣膜 112 之膜的品質提昇，且可獲得理想優良之半導體／絕緣膜之界面。

更且，經證實，用於吸氣製程之鹵素元素經 SIMS 分析，殘留於活化層 $109 \sim 111$ 之濃度為 $1 \times 10^{15} \text{ atom/cm}^3 \sim 1 \times 10^{20} \text{ atom/cm}^3$ 。並且以 SIMS 分析證實高濃度的鹵素元素分佈於活化層 $109 \sim 111$ 與經熱處理形成之熱氧化膜之間。

當如前所述之吸收催化劑元素之階段完成時，即形成含 0.2 重量百分比鈦 (scandium) 之鋁膜 (未列示出) 及一電極圖案以構成開門電極之原型。更進一步，鉬、鎢、鉬、矽或其類似者之薄膜可用以代替鋁膜。藉由陽極氧化圖案之表面而形成開門電極 $113 \sim 115$ 及陽極氧化膜 $116 \sim 118$ (第 1 D 圖)。

其次，開門絕緣膜 112 自我對準開門電極 $113 \sim 115$ ，如同光罩般而進行蝕刻，該蝕刻可以使用 CHF_3 氣體以乾蝕製程進行。在此階段中，開門絕緣膜 $119 \sim 121$ 只留下開門電極正下方部份。

接著，藉由覆蓋一區域形成一保護罩 122 以構成 P 型式之薄膜電晶體後，加入不純離子以作為提供 N 型，該不純離子可藉由離子注入製程或電漿摻混製程之方式加入。更進一步，此狀況之濃度 (以 n 表示) 構成一 LDD (Lightly Doped Drain) 區域濃度，如後所述 (約 $1 \times$

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (14)

$10^{18} \text{ atom/cm}^3 \sim 1 \times 10^{19} \text{ atom/cm}^3$)，因此，需以實驗的方式藉由獲得先前最適宜之值而進行精密控制。以此方式即形成 1 2 3 ~ 1 2 6 之 n^- 區域 (第 1 E 圖)。

形成 1 2 3 ~ 1 2 6 之 n^- 區域後，移去該保護罩 1 2 2，接著將保護罩 1 2 7 覆蓋於 N 型式之薄膜電晶體上，而後添加提供 P 型之不純離子即形成了 1 2 8 及 1 2 9 之 p^- 區域。同樣的， p^- 區域 1 2 8 及 1 2 9 的濃度構成 L D D (Lightly Doped Drain) 區域之濃度，如後所述 (約 $5 \times 10^{18} \text{ atom/cm}^3 \sim 5 \times 10^{19} \text{ atom/cm}^3$)，因此需進行精密控制 (第 2 A 圖)。

當 1 2 3 ~ 1 2 6 之 n^- 區域與 1 2 8 ~ 1 2 9 之 p^- 區域形成後，移去保護罩 1 2 7，其後，以反蝕刻製程形成一厚度為 $0.5 \sim 2 \mu\text{m}$ 之氧化矽膜 (未列出) 及側壁 1 3 0 ~ 1 3 2。

其次，再次於 P 型薄膜電晶體上覆蓋一保護罩，並進行添加不純離子以提供 N 型之階段。此添加的不純離子濃度 (以 n^+ 表示) 高於先前添加不純離子之濃度 n^- 。該濃度將源極 / 汲極區域之薄層電阻調整於 500Ω 或更低 (較佳為 300Ω 或更低)。

依此階段，組成 C M O S 電路之 N 型薄膜電晶體之源極區域 1 3 4 及汲極區域 1 3 5 即形成，且 1 3 6 區域在側壁之背面其濃度仍無改變，形成低濃度不純區域 (特別地，汲極區域之側邊可作為 L D D 區域)。更進一步，內

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (15)

在或實質上內在之一通道形成區域 1 3 7 於閘門電極正下方形成。並且同時形成一源極區域 1 3 8、一汲極區域 1 3 9、低濃度不純區域 1 4 0 及一構成圖元矩陣電路之 N 型薄膜電晶體之通道形成區域 1 4 1 (第 2 C 圖)。

其後，移除保護罩 1 3 3，並於 N 型薄膜電晶體上形成一保護罩 1 4 2 並覆蓋之，再以濃度高於第一次者添加不純離子以提供 P 型 (以 p^+ 表示)，而形成一源極區域 1 4 3、一汲極區域 1 4 4、低濃度不純區域 1 4 5 及一構成 CMOS 電路之 P 型薄膜電晶體之通道形成區域 1 4 6 (第 2 D 圖)。

所有的活化層經由如上所述而完成。添加所有不純離子之階段完成後，將保護罩 1 4 2 移去，其後該不純離子藉由爐子退火、雷射退火、燈管退火或與其類似者之熱處理而被活化。更進一步，經由活化層而發生於嵌入離子內之損害則同時被覆蓋之。

接著形成厚度為 20 nm ~ 50 nm 之鈦膜 1 4 7，並進行燈管退火之熱處理，此時，將矽膜與鈦膜 1 4 7 接觸使矽膜變為矽化物膜而於源極 / 汲極區域形成矽化鈦膜 1 4 8 ~ 1 5 0。另，鈷 (Co)、鎢 (W)、鉬 (Ta)、鉬 (Mo) 或其類似者可用以代替鈦 (第 3 A 圖)。

矽化物之形成完畢後，於源極 / 汲極區域上形成島狀圖案 1 5 1 ~ 1 5 3，以避免在其後之階段連接源極 / 汲極區域及接線時於形成接觸洞而使矽化鈦膜 1 4 8 ~ 1 5 0 被除去。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (16)

其次，形成一厚度為 $0.3 \sim 1 \mu m$ 之氧化矽膜作為第一中間層絕緣膜 154，接觸洞及源極接線 155 ~ 157 與汲極接線 158、159，如第 3 B 圖所示。另，有機樹脂膜亦可作為第一中間層絕緣膜 154。

當完成第 3 B 圖所示後，製作厚度為 $0.5 \sim 3 \mu m$ 之含有機樹脂膜之第二中間層絕緣膜 160，聚亞醯胺、壓克力樹脂、聚醯胺、聚亞醯胺-醯胺或與其類似者可用於作有機樹脂膜。有機樹脂膜的好處是 (1) 成膜之製程簡單，(2) 可容易地增加膜厚，(3) 因介電常數低，可減少寄生電容，(4) 平坦度佳等等。

另外，於中間層絕緣膜 160 上形成一厚度為 $100 nm$ 之含具有遮光性質的黑色光罩 161，雖然在此實施例中以鈦膜作為黑色光罩，但含有黑色顏料或與其類似之樹脂膜亦可。

黑色光罩 161 形成後，以不論是氧化矽膜、氮化矽膜及有機樹脂膜或前述之疊層膜作成厚度為 $0.1 \sim 0.3 \mu m$ 之第三中間層絕緣膜 162。更進一步，於第二中間層絕緣膜 160 與第三中間層絕緣膜 162 形成接觸洞，並形成一厚度為 $120 nm$ 的圖元電極 163。此時，於黑色光罩 161 與圖元電極 163 重疊之區域形成一輔助電容 164 (第 3 C 圖)。

接著將整個基材於氫氣環境中以 $350^\circ C$ 加熱 1 至 2 小時，所有元件被氫化使在薄膜中 (特別是在活化層中) 之懸掛鍵 (未成對鍵) 得到補償。經過以上階段後，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（17）

C M O S 電路（左側）及圖元矩陣電路（右側）則於同一基材上形成。

（有關矽晶薄膜之知識於本發明中提供之）

依據前述製造階段所形成之活化層之景況如第 8 圖所示。第 8 圖所示之活化層的形成僅使用長度由數十至一百及數十 μm 的水平成長區域。更進一步，於第 8 圖中之可辨認的水平線紋之圖案表示結晶成長之方向。

依據日本專利公開第 8 - 7 8 3 2 9 號揭示之製程所形成之水平成長區域，其特徵在於結晶方向的排列以顯微鏡觀測時，其棒狀晶體或平坦棒狀晶體實質上是彼此平行成長的。對於促進載子之移動使移動載子的方向（由源極區域至汲極區域之方向，照片中以箭頭表示）隨著結晶成長的方向排列是有效的，這是因為自從移動載子之方向被晶界修正為一特定方向後，由於載子間之碰撞使載子的散射降低之故。

第 9 A 及 9 B 圖為依據本發明之矽晶薄膜放大 1 0 0 0 0 倍之透射電子顯微鏡（Transmission Electron Microscope, TEM）照片（暗區）。第 9 A 圖為依據本發明之矽晶薄膜；第 9 B 圖為一般所稱高溫聚矽之矽晶薄膜，該高溫聚矽膜為一非晶系矽膜其結晶係於 6 0 0 $^{\circ}\text{C}$ 不使用催化劑元素以熱結晶製程進行 2 4 小時。

圖中之暗區及白色區域是由於不同之對比所引起的，該對比是由於結晶面方向與結晶面實質上具有相同的面方向出現在白色區域不同所造成的。因此，結晶之實質上成

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明（18）

長的方向可由其後之白色區域證實。

以第9A圖及第9B圖為基礎作比較，白色區域之流線可由第9A圖中之橫向而清楚的得到證實，也就是依據本發明矽晶薄膜為一以特定方向成長之棒狀或平坦棒狀晶體聚集的結晶結構。並且，於箭頭方向之水平線紋圖案於第8圖中得到之證實為相當於第9A圖之白色圖案。

另一方面，在第9B圖中僅有於束狀團之白色區域被散開且無法分辨出流線圖案，也就是高溫聚矽膜由許多的晶體顆粒所聚集形成。

如上所述，依據本發明矽晶薄膜之結晶結構與傳統高溫聚矽膜全然不同。

第10A～10D圖為放大4百萬倍之棒狀晶體或平坦棒狀晶體中之晶界的HR-TEM照片。使用高解析度透射電子顯微鏡（High Resolution Transmission Electron Microscope, HR-TEM）原子和分子的排列以電子束垂直照射於樣品且利用穿透電子或彈性散射之電子之干涉而估算之。

HR-TEM能夠觀測晶格之排列狀態如晶格線紋，因此結晶邊界之鍵結原子之狀態可藉由觀測結晶邊界來預測。附帶地，雖然晶格線紋如同一白色或暗的線紋圖案，但該線紋為不同之對比且不會指出原子之位置。

第10A圖為依據本發明之矽晶薄膜，第10B圖為其部份之概略圖，第10C圖為高溫聚矽膜，第10D圖為該高溫聚矽膜之部份概略圖。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(19)

於第10A圖中，照片中心處具有不同對比的兩個晶體在晶界處彼此接觸，於晶體晶界之左側可觀察到線紋圖案朝向水平方向，而於晶體右側觀察到晶格線紋朝向上傾斜之方向。

更進一步，於晶體左側之晶格線紋處，一薄的晶格線紋與固有可見的晶格線紋相交，且實質上於右側可見其平行於晶體之晶格圖案。該薄的晶格線紋在測量上提供給其他之晶格排列一個錯誤的訊息，該錯誤為在當一電子束傾斜照射於樣品時會被觀察到，然而一電子束全部垂直照射於兩個晶體是非常困難的，故該測量上之錯誤是不可避免的。

第10B圖為第10A圖線狀構造內部之概示圖，粗線表示晶格線紋，而於晶體中左側觀察到由於錯誤造成的晶格線紋則以虛線表示。

如第10B圖依照粗線所示之晶格線紋，左側之晶體的晶格線紋及右側晶體的晶格線紋彼此結合為一，即使在鄰近晶界處也不會引起晶格排列之阻礙。

因此，經詳細觀察第10A圖之HR-TEM照片可證實晶格線紋連續連接於晶界上，甚至於彼此不同的晶體及晶體晶格的相容性是非常優良的。亦即，可確定的是在晶界處幾乎不會有任何之如未成對鍵結之晶體缺陷發生在原子鍵（原子間的鍵結）處之現象。

另一方面，依據第10C圖所示之高溫聚矽膜，如第10D圖所示之在不同晶體中所觀察之各別的晶格線紋混

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (20)

亂地結合，其可確定的是會出現許多的晶體缺陷（點缺陷）如未成對鍵結 1 0 0 1。因此，可預期的是在晶界處會出現許多適合載子的收集處。

更進一步，如第 1 0 A 圖所觀察的，當晶格線紋彼此一致具有優良的相容性時，鍵結原子之狀態被稱為相稱的鍵結，而結合鍵則稱為相稱鍵。反之，若如第 1 0 C 圖所經常觀察的，當晶格線紋彼此不一致的具有優良的相容性時，鍵結原子之狀態被稱為不相稱的鍵結，而結合鍵則稱為不相稱鍵（或未成對鍵）。

如上所述可證實依據本發明之矽晶薄膜不同於一般高溫聚矽膜，也不同於以使用 H R - T E M 分析所詳細觀察之晶界。以下所提供係有關於本發明之矽晶薄膜。

構成本發明矽晶薄膜之晶體中，在任意晶體（例如晶體 A）與鄰近之其他晶體（例如晶體 B）間之晶界，晶體 A 之晶格線紋與晶體 B 之晶格線紋不連續之部份，也就是在晶界處不相稱鍵出現的機率相對於所有的鍵僅 5 % 或更低。

即，如上所述，表示於一晶界處 1 0 0 個任意鍵中包含有 5 個或更小（較佳地為 3 個或更小）的許多不相稱鍵，此可容易的以 H R - T E M 分析來得到確認。也就是該確認可藉由在一結晶的任意區域中觀察 1 0 0 個晶格線紋的鍵結區域時，許多的晶格線紋於中間處被切斷之情形為 5 或更小（較佳地為 3 或更小）來完成。

更進一步，雖然在晶界處 1 0 0 個任意鍵中含有的不

五、發明說明 (21)

相稱鍵為 5 或更小，但此敘述表示一最大值與實際情況，幾乎不會有任何不相稱鍵出現。例如觀察 50 個任意鍵時，不相稱鍵之數目為 0。

第 10A 圖中兩個晶體之晶格線紋的夾角約 70° （或 110° ）。在 TEM 的觀察中，不能以第 10A 圖確認是否樣品是傾斜的，因此，考慮因傾斜導致的誤差，該角度似乎落於 $60^\circ \sim 80^\circ$ （或 $100^\circ \sim 120^\circ$ ）的範圍內。

更進一步，依據本發明之矽晶薄膜，晶體間界非常可能形成一特殊的界限稱為傾斜界限，該傾斜界限的特徵在於該界限不是作為載子之阻礙移動的收集處之功能，因該界限為電子式的插入。即，本發明中可使薄膜電晶體達到驚人之特性是來自於該傾斜界限。

傾斜界限為一晶界，係當鄰近晶體以出現於晶界中之晶體軸為旋轉軸旋轉所形成（參考“High Resolution Electron Microscope Method for Material Evaluation”，Daisuke Shindo and Kenji Hiraga, pp.54-60, Kyoritu Shuppan Kabushiki Kaisha, 1996）。而晶體的曝露面（以下稱晶體面）形成一傾斜界限且有相同的面方位，也就是除非二晶體之晶面面方位相同，否則不會形成傾斜界限。

如一基本知識，於觀察晶格線紋時，該曝露面之面方位可以比較所觀察之每單位長度之晶格線紋與晶體之單位晶格常數來預測。

有關本發明之矽晶薄膜，發明人進行許多次如上所述

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (22)

之觀察，確定所有的晶體面有一實質上相同之面方位 ($1\ 1\ 1$) 。

更進一步，當對高溫聚矽膜進行如上所述之觀察時，對於晶體面有不同的面方位，可確認不會形成傾斜界限。

更進一步，依據前述之參考資料 (材料估算的高解析度電子顯微鏡方法，High Resolution Electron Microscope Method for Material Evaluation) 有一稱為對應界限的傾斜界限，該對應界限為一晶界，於傾斜界限 (典型為雙界限) 中具有特殊優良的相容性，其相容性度以 Σ 值表示。

例如， Σ 值愈小，兩個鄰近晶體間界限 (對應界限) 之相容性愈佳。特別地，當旋轉軸以 $【1\ 1\ 1】$ 方位表示時，旋轉角度 (可視為兩個晶體之晶格線紋的夾角) 為 60° ，而 Σ 值為 3，此為最小值。

如上所述，依據本發明之矽晶薄膜，面方位為 ($1\ 1\ 1$)，因此旋轉角度為 $【1\ 1\ 1】$ 。因此事實上在本發明之矽晶薄膜中之晶界內兩個不同晶體的旋轉角度落於 $60 \sim 80^\circ$ 的範圍，其表示本發明之矽晶薄膜極可能為一對應界限。

本發明之矽晶薄膜的形成，溫度高於結晶溫度之退火製程 (本實施例中第 1 C 圖之製程) 在晶體顆粒中，缺陷的還原扮演一重要的角色。

第 1 7 A 圖為於如第 1 B 圖之結晶製程完成時之原始矽晶薄膜放大 250000 倍之 TEM 照片，由照片可知一鋸齒形缺陷出現於晶體顆粒 (出現之黑色部份與白色部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

份係由於對比不同)之內如一箭頭所示。

此型式之缺陷主要是由疊層缺陷所引起，該疊層缺陷在矽晶體晶格之表面的原子疊層度是不一致的。然而，也可由轉移等等所引起。可推測第 17 A 圖所示之疊層缺陷具有一缺陷面平行於 { 1 1 1 } 面，此可由鋸齒形缺陷彎曲約 70° 之事實推測之。

另一方面，如第 17 B 圖所示，於本發明之矽晶薄膜中，由如第 17 A 圖一樣大小的照片觀之，由疊層缺陷或轉移所引起之缺陷於晶體顆粒內幾乎不被發現，因此，可以了解的是，矽晶薄膜的結晶性非常高，此趨向可適用於整個薄膜表面。在其所在的環境中很難達到零缺陷，然而，卻可將其降低至實質上為零。

換言之，矽晶薄膜可視為單晶或實質上的單晶，因為在晶體顆粒內之缺陷可被減少到可將近被忽略之情況，且由於高的連續性，晶界不會進入載子移動之屏障。

如上所述，第 7 A 及 7 B 圖之矽晶薄膜照片實質上具有相同的連續性，但在晶體顆粒內之缺陷數有很大的不同。本發明之矽晶薄膜較第 17 A 圖所示之矽晶薄膜有相當高的電子特性，其原因主要係在於二者間缺陷數之不同。

由上可知，第 1 C 圖之製程為本發明之精髓，對於該項製程所發生之現象發明人提出以下之模型。

首先，如第 17 A 圖所示之情況，於晶體顆粒內之缺陷（主要為疊層缺陷）中分離出催化劑元素（以鎳為代表），換言之，推測有許多的鍵結如 $Si - Ni - Si$ 。

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (24)

然而，當存在於缺陷中之鎳以由催化劑元素之吸收製程處理而移除時，矽－鎳鍵則被切斷，其結果使未鍵結之矽形成矽－矽鍵而穩定之，缺陷因而消失。

不需說即可知的是，矽晶薄膜中之缺陷的消失是由於高溫熱退火，然而，在本發明中，可推測的是因矽與鎳鍵被切斷，以致於產生許多的未鍵結，而使矽之再鍵結得以順利的進行。

同時可推測，當熱氧化矽晶薄膜時，有過多的矽原子產生，並朝向缺陷移動以求穩定，且大量分佈於產生矽－矽鍵。此觀念可知在所謂的高溫聚矽膜中有少許缺陷存在於晶體顆粒之內。

並且，本發明之發明人提出該矽晶薄膜與其下方之膜由以溫度超過結晶溫度（700～1000℃）做熱處理而彼此固定住以增加彼此間的接著性，其結果使缺陷消失。

矽晶薄膜與其下所形成之氧化矽膜的熱膨脹係數不同，約為10倍，因此，在此階段中，非晶系矽膜轉變為矽晶薄膜（第17A圖），當矽晶薄膜被冷卻時，會受到非常大之應力的影響。

此現象於第18A圖至第18C圖中詳述。第18A圖說明於結晶製程後，熱施加於矽晶薄膜上。首先，溫度為（t₁）之結晶的矽晶薄膜經過一冷卻期間（a）後被冷卻至室溫。

第18B圖為於冷卻期間（a）之矽晶薄膜，數字

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (25)

1 0 代表石英基材，1 1 代表矽晶薄膜，在此狀態中，假設矽晶薄膜 1 1 與石英基材 1 0 間之界限 1 2 其接著性不高，故使得在晶粒內有許多的缺陷產生。

換言之，推測矽晶薄膜由於熱膨脹係數不同而被拉長，易於石英基材 1 0 上移動，且如疊層缺陷或轉移之缺陷 1 3 極易隨一如抗張應力之力而產生。

所得到之矽晶薄膜如第 1 7 A 圖所示之狀態。因此，如第 1 8 A 圖所示，吸收催化劑元素之製程於 (t_2) 溫度下進行，使得矽晶薄膜中之缺陷消失。

重要的是，當處理吸收催化劑元素之製程時，矽晶薄膜固定於石英基材上以增加對石英基材之接著性。換言之，可推測吸收製程亦可作為固定矽晶薄膜於石英基材（下方膜）上之製程。

因此，在吸收與固定製程完時，經過一冷卻期間（b）後將該矽晶薄膜冷卻至室溫，其與結晶製程後的冷卻期間（a）於退火後存在於石英基材 1 0 與矽晶薄膜 1 4 間之界限 1 5 處的不同在於其接著性非常高（第 1 8 C 圖）。

由於此高的接著性使矽晶薄膜 1 4 完全地固定在石英基材 1 0 上，即使矽晶薄膜在冷卻過程中受應力的影響，也無法推論缺陷的產生，換言之，可避免缺陷再次產生。

第 1 8 A 圖為在結晶製程後將溫度降至室溫的製程之例。亦可選擇性地，在結晶完成後，將溫度上升至可處理吸收及固定之製程的溫度，同時，此製程使本發明之矽晶

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (26)

薄膜得以達成。

依據本發明之矽晶薄膜 (第 1 7 B 圖) , 其特徵在於晶體顆粒內之缺陷數顯著地較僅結晶 (第 1 7 A 圖) 之矽晶薄膜減少。

缺陷數之不同表示經由電子旋轉共振 (E S R) 之旋轉密度不同, 於所在之環境中, 可證明依據本發明矽晶薄膜之旋轉密度至少 $5 \times 10^{17} \text{ spins / cm}^3$ 或更少 (較佳為 $3 \times 10^{17} \text{ spins / cm}^3$ 或更少) 。然而, 可以推測的是, 因測量值接近測量裝置的偵測極限, 因此實際的旋轉密度則更低。

具有如上所述晶體結構與特徵之矽晶薄膜, 依據本發明稱之為“連續晶粒矽”(C G S)

(本發明所提供有關薄膜電晶體之內容)

製造一具有如上所述矽晶薄膜之薄膜電晶體作為活化層, 其電性如第 1 1 圖所示, 第 1 1 圖為 N 型薄膜電晶體以閘門電壓 (V_g) 為橫座標, 電流 (I_d) 之對數為縱座標繪圖之 $I_d - V_g$ 曲線 ($I_d - V_g$ 指標), 該電性的測量係以一裝置 (Hewlett Packard: type No. 4145B) 來進行。

於第 1 1 圖中, 數字 1 1 0 1 表示使用如上所述階段所提供活化層之 N 型薄膜電晶體的電性, 而數字 1 1 0 2 表示傳統薄膜電晶體之電性。傳統薄膜電晶體係指製造薄膜電晶體時, 於催化劑元素之吸收製程的階段中, 刪除上述之階段。

五、發明說明 (27)

當比較二者之電晶體性質時，首先確認的是，即使在相同的閘門電壓，ON電流依據數字1101指示實質上較大約2~4之指數。附加說明，ON電流表示當薄膜電晶體在ON的狀況下（第11圖中，當閘門電壓落於約0~5伏特範圍內），電流的流動。

更進一步，可確認的是，數字1101表示是具有較優良的次臨界值性質。該次臨界值性質為一參數，表示薄膜電晶體轉換作用之斜度，當薄膜電晶體之開關由OFF狀態到ON的狀態之 $I_d - V_g$ 曲線上升愈陡時，次臨界值性質則愈優。

依據本發明所提供之薄膜電晶體所表現之電性如下：

(1) 次臨界值係數，為一參數，代表薄膜電晶體之轉換功能（迅速轉換ON/OFF之操作），該係數於N型及P型薄膜電晶體中均如同60~100 mV/decade般的小（典型為60~85 mV/decade），更進一步，此數據實質上與使用單晶矽之絕緣閘型的場效電晶體相等。

(2) 場效流動性 (μ_{FE})，為一參數，代表薄膜電晶體操作速度之迅速，該值對N型薄膜電晶體而言如200~650 cm^2/Vs 般大（典型為250~300 cm^2/Vs ），對P型薄膜電晶體而言為100~300 cm^2/Vs （典型為150~200 cm^2/Vs ）。

(3) 臨界電壓 (V_{th})，一參數，為薄膜電晶體驅動電壓之標準，其值很小，對N型薄膜電晶體而言為-0.5~1.5伏，對P型薄膜電晶體而言為-1.5

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

~ 0 . 5 伏，此表示以小的電源電壓即可驅動薄膜電晶體，可降低電源的消耗。

如上所述，依據本發明提供之薄膜電晶體具有非常優良的轉換性質及高速操作性質。更進一步，依據本發明之薄膜電晶體，其特徵在於基於特有的晶體結構，薄膜電晶體幾乎不受短路效應之影響，其說明如下。

短路效應為一種現象，當管路長度（實質上等於閘門長度）變得非常小時，薄膜電晶體性質會惡化，典型的現象是降低臨界電壓、降低消耗耐電壓等等。於排出側之消耗層延伸至來源側，使得改變來源側與鄰近管路區域之電位以及以閘門電壓控制變為困難。有關短路效應之詳細敘述可參考“Physics of VLSI Device”, Mitsumasa Koyanagi et al., Maruzen, 1986。

然而，可確定的是，依據本發明之薄膜電晶體即使管路長度約如 0 . 5 μ m 般的短，及藉由加速測試對於評估上具有高度之可靠性，仍具有非常高的操作速度及高的消耗耐電壓。

發明人並預言，依據本發明，晶界有效作用如同薄膜電晶體之高消耗耐電壓的原理。此狀況之思考方式為在管路形成區域中，晶界實質上以平行於移動載子之方向延伸作為一能量屏障，並且有效地阻止由排出區域加寬消耗層，因此能有效地阻止藉由穿通現象導致之排出耐電壓的降低。

更進一步，由使用矽晶薄膜形成管路形成區域之能力

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (29)

是本質上或實質為本質上的，可被認為是了解高場效移動性之一個因素。附帶地，本質上或實質為本質上係表示滿足下列至少一種情況。

(1) 矽膜之活化能約為 $1 / 2$ (費米能級實質上設於阻礙者之中心) 。

(2) 管路形成區域之不純物濃度低於旋轉密度。

(3) 管路形成區域未摻混或本質上未故意添加任何雜質。

雖然有關短路效應之限制的上述觀察僅為發明人所預言，但薄膜電晶體之測量數據是一事實，且該薄膜電晶體所提供優良之功效完全不同於使用傳統矽薄膜之薄膜電晶體之情況也是一事實。

(依據本發明薄膜電晶體組成之電路性質)

接著，係發明人使用本發明之薄膜電晶體製造之環形振盪的頻率性質說明。環形振盪器為一電路，其每個包含一 C M O S 結構的反向變換電路以環形方式藉由奇數個階段連接，且用於計算反向變換電路之每個階段的延遲時間。使用環形振盪器之實施例如下：

階段數： 9

薄膜電晶體之閘門絕緣膜的膜厚： 30 nm 與 50 nm

薄膜電晶體之閘門長度： 0.6 μ m

第 12 圖說明當環形振盪器之電源電壓為 5 伏特時，以一光譜分析儀測量振盪頻率之結果。於第 12 圖中，橫

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (30)

座標為電源電壓 (V_{DD})，縱座標為振蕩頻率 (f_{osc})，如圖所示，當使用具厚度為 30 nm 之閘門絕緣膜之薄膜電晶體時，振蕩頻率為 1 GHz 或更高是合理的。

第 13 圖說明當施以振蕩頻率為 1.04 GHz 時光譜分析儀之輸出光譜之情形，橫座標為頻率，其範圍由 1 至 1.1 GHz ；縱座標為電壓（輸出振幅）以指數為刻度。由圖中顯而易見的，輸出光譜之尖峰處頻率為 1.04 GHz 。附帶說明的是，輸出光譜的尾端下降係由於裝置解析度之故，不會影響實驗之結果。

更進一步，實際製造一移位寄存器，該移位寄存器為大規模集成 (Large Scale Integrated, LSI) 電路之測試元件群 (Test Element Group, TEG) 之一，當以 $10 \sim 100\text{ MHz}$ 之操作頻率驅動移位寄存器時，輸出脈衝可由移位寄存器之操作功能來確認。如第 14 圖所示之示波屏（上側為計時脈衝，下側為輸出脈衝）表示具有厚度為 30 nm 之閘門絕緣膜的移位寄存器電路之輸出脈衝，閘門長度為 $0.6\text{ }\mu\text{m}$ ，操作頻率為 100 MHz ，電源電壓為 5 伏特，階段數為 50。

其結果經由發明人之證實，如第 15 圖所示，輸出脈衝之寬度 " t "（縱座標）的倒數與操作頻率（橫座標）為正比關係，並且發現此為具有非常高功效的移位寄存器可自行進行 100 MHz 高頻率驅動，其所提供之輸出脈衝為一無鈍狀的理想狀態。附加說明的是，用於實施例中之兩種移位寄存器大致有不同的電路結構，分別稱為移位

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (31)

寄存器 1 及移位寄存器 2。

由環狀振蕩器令人驚訝的數據及如前所述之移位寄存器指示，依據本發明之以特殊晶體結構構成之薄膜電晶體，其功能相當於或優於使用單晶矽之 I G F E T。

以下之數據將證明該事實。如第 16 圖所示，橫座標代表電源電壓 (V_{DD})，縱座標代表 $F/O = 1$ (輸出比為 1) 反向變換電路之每一階段的延遲時間 (τ_{pd}) (“Innovation og Logic LSI Technology” Kenji Maeguchi et al., p. 108, Kabushiki Kaisha Science Forum, 1995)。圖中不同曲線 (以虛線表示) 上之數據係當使用單晶矽之場效電晶體 (Field Effect Transistor, FET) 依據不同設計方式所製造，此即所謂的定標法。

當延遲時間與以使用上述環狀振蕩器所提供之反向變換器的電源電壓間的關係適用於該圖時，則為如第 16 圖粗線所示之曲線。必須注意的是，以具有 $0.6 \mu m$ 長度之管路及膜厚為 $30 nm$ 之閘門絕緣膜的薄膜電晶體製造之反向變換器其功能優於以具有 $0.5 \mu m$ 長度之管路及膜厚 (t_{ox}) 為 $11 nm$ 之閘門絕緣膜的 I G F E T 製造之反向變換器。

此事實說明發明人所提供的薄膜電晶體其功能優於 I G F E T。例如，即使將構成如上所述之薄膜電晶體的閘門絕緣膜之厚度增加為 I G F E T 之閘門絕緣膜厚度的三倍，其所得之薄膜電晶體之功效仍相當於或優於 I G F E T。因此，依據本發明之薄膜電晶體所提供之絕

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (32)

緣耐電壓優於具有相同操作功能性質之 I G F E T 。

同時，當依據本發明之薄膜電晶體以定標法縮小時，可得到較高功效。本發明幾乎不為短路效應所影響，因此可預期的是當依據定標法可得到 9 G H z 之操作頻率，例如以 $0.2 \mu m$ 為標準製造環狀振蕩器（因操作頻率“f”與管路長度 L 的平方成反比）。

如上所述可證實依據本發明之薄膜電晶體可提供極為優良之性質，且以使用薄膜電晶體所形成之半導體電路可得到 10 G H z 或更大之高速操作。

實施例 2：

本實施例中之製造步驟與實施例 1 不同，特別地，在形成活化層之前，有關矽晶薄膜之熱處理係於含有已以吸收而移除鎳之鹵素元素之環境中進行。

藉由與實施例 1 中所述步驟的組合，活化層中鎳的濃度可更加有效地降低。

並且，矽晶薄膜的厚度可藉由超過 $700^{\circ}C$ 的熱處理而減小，因此可達到薄活化層之結果，而當膜厚變薄時，可期望得到提昇移動性及降低 O F F 電流的功效。

實施例 3

本實施例為依據實施例 1，以於形成閘門絕緣膜後進行催化劑元素的吸收製程，此吸收製程係於形成活化層之後立刻進行，並且以熱氧化膜作為閘門絕緣膜。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(33)

閘門絕緣膜之膜厚係以熱氧化膜之膜厚來決定，因此，由調整熱處理之條件可形成約10nm極薄的閘門絕緣膜。附加說明的是，如眾所知，載子的移動性可藉由閘門絕緣膜的變薄而提昇之。

以此方式，本實施例的特徵在於可形成高速操作之半導體裝置，且閘門絕緣膜僅由熱氧化膜構成，可將形成閘門絕緣膜之步驟簡單化。然而，必須注意的是，膜厚之均勻性。

實施例4

由實施例1之第3C圖所示為使用本發明主動式矩陣型之薄膜電晶體基材（稱為主動式矩陣基材）之例，及以CMOS電路構成之不同的電路。

第4圖為使用本發明而構成之主動式矩陣基材之另一例。在此例中，一圖元矩陣電路402、一電源線驅動電路403、一閘門線驅動電路404及一邏輯電路405整體於一基材401上形成。附加說明的，本實施例為符合數位結構之一例。

電源線驅動電路403主要以一移位寄存器（亦可使用檢數器及密碼譯解器）、一水平移位器、一緩衝器、一閉鎖電路及其類似者所構成，而閘門線驅動電路404主要以一移位寄存器、一倍增器、一水平移位器、一緩衝器及其類似者所構成。

更進一步，圖元矩陣電路402由矩陣中設有許多以

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (34)

許多的電源線 4 0 6、4 0 7 及許多閘門線 4 0 8、4 0 9 圍繞之圖元區域 4 1 0 所構成。

更進一步，該許多的圖元區域 4 1 0 包含圖元薄膜電晶體 4 1 1、液晶構件 4 1 2 及輔助電容 4 1 3。更且，雖然圖中未示，該液晶構件 4 1 2 係由一圖元電極、一反向電極及插入於前述二者間之液晶所構成。

邏輯電路 4 0 5 依一般電路之需求以進行影像顯示所需之信號處理如起始脈衝、時鐘信號及其類似者之處理以驅動電源線驅動電路 4 0 3 及閘門線驅動電路 4 0 4；視頻信號之處理以於圖元矩陣電路 4 0 2 中顯示一影像等等。

依據第 4 圖所示之實施例，邏輯電路 4 0 5 之構成包含相位比較器 4 1 4、低通濾波器 4 1 5 (Low Pass Filter, LPF)、電壓控制振蕩器 4 1 6 (Voltage Control Type Oscillator, VCO)、分配器 4 1 7、作為電源線驅動器 (水平掃描用) 之振蕩器 4 1 8、作為閘門線驅動器 (垂直掃描用) 之振蕩器 4 1 9 及數位／類比轉換器 (digital/analog converter, D/A converter) 4 2 0。

附帶地，發明人思及也可能將一系統顯示器整體的與其他之未列示的邏輯電路裝置一起，例如一影像感測器、電荷電耦裝置 (Charge Coupled Device, CCD)、一 I/O 埠以輸入及輸出信號這些電路之信號、一放大群電路 (微分放大器、運算放大器、比較器等等)、一記憶體以儲存資料隨機存取存儲器 (Random Access Memory, RAM) 或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

唯讀存儲器 (Read Only Memory, ROM) 及中央處理單位 (Central Processing Unit, CPU) 。

數字 4 2 1 爲一依據數位灰階信號之類比信號的輸入端，數字 4 2 2 代表一位元信號的輸入端以選擇一數位灰階信號，數字 4 2 3 爲一水平掃描之同步信號輸入端，數字 4 2 4 爲垂直掃描之同步信號輸入端。自然地，當振蕩電路形成之類比信號、位元信號與同步信號整體於基材上時，則不需輸入端。

實施例 5

本實施例說明以使用實施例 1 所述之 C M O S 電路的製造步驟而構成微處理器或其類似者之半導體裝置 (半導體電路) 。更進一步，本實施例之半導體電路及電路之構成爲一例子，並非用以限制本發明之實施例。

第 5 圖爲微處理器之半導體電路之一例。於一陶瓷基材 5 0 1 上形成一絕緣膜 5 0 2，且基材與各元件彼此隔絕，更進一步於絕緣膜 5 0 2 上形成 I / O 埠 5 0 3 ~ 5 0 5、中央處理器 (C P U) 5 0 6、平齊存儲器 5 0 7、平齊編址陣列 5 0 8、倍增器 5 0 9、含實時時鐘電路 5 1 0、串行介面、計時器與其類似者、時鐘控制電路 5 1 1、平齊控制器 5 1 2 及匯流控制器 5 1 3。

更進一步，亦可構成其他不同於第 5 圖所示之電路結構，如液晶顯示器 (Liquid Crystal Display, LCD) 驅動電路、攜帶型裝置之高頻電路及其類似者。也就是使用如本

(請先閱讀背面之注意事項再寫本頁)

裝

訂

線

五、發明說明 (36)

發明實施例 1 所述之薄膜電晶體，可製造傳統之 I C 電路片或 L S I 電路片。

實施例 6

本實施例說明不同於實施例 1 結構的 C M O S 電路之構成，如第 6 A 及 6 B 圖所示。更進一步，第 6 A 及 6 B 圖之基礎部份設有一完全相同於如實施例 1 之 C M O S 電路之結構，因此，實施例 1 中之標記在此亦適用之。

首先，第 6 A 圖為以一使用如實施例 1 所示之 C M O S 電路中，設有特定導電度如閘門電極 6 0 1 及 6 0 2 之矽薄膜（聚矽膜）之矽閘門型薄膜電晶體構成 C M O S 電路之一例。更進一步，可構成閘門電極之導電度不同於 N 型及 P 型薄膜電晶體（N - t y p e 或 P - t y p e）的雙閘門型薄膜電晶體。

如一矽閘門結構，同時形成矽化鈦膜 1 4 8 與 1 4 9 時，閘門電極 6 0 1 及 6 0 2 的上方部份也形成矽化鈦膜 6 0 3 及 6 0 4。因此，於閘門電極與連接於閘門電極的連接線間之歐姆接觸可進一步地獲得改善。

更進一步，第 6 B 圖為側壁 1 3 0、1 3 1 及含鈦的島狀圖案 1 5 1、1 5 2 並未形成於如實施例 2 所述之 C M O S 電路中。依據該構成，低濃度不純區域 1 3 6、1 4 5 之長度以閘門絕緣膜 6 0 5、6 0 6（閘門電極 1 1 3、1 1 4 向外延伸部份）末端之寬度而定。更進一步，依據此結構，矽化鈦膜 1 5 1 及 1 5 2 直接與電線

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (37)

1 5 5、1 5 6 及 1 5 8 接觸。

依據第 6 B 圖所示之結構，簡化形成側壁 1 3 0 與 1 3 1 及島狀圖案 1 5 1 與 1 5 2 之步驟，可期望達到提昇產量、提高產率及降低製造成本。

更進一步，雖然依據實施例 1 及實施例 6，說明了一頂端閘門型薄膜電晶體如一平面型薄膜電晶體之例，但對於一底部閘門在此狀況下，使用具有高耐熱性材料用於閘門電極之裝置是需要的。

實施例 7

本發明可應用於各種光電裝置，例如當液晶插入於如實施例所示之主動式矩陣基材與一反向基材之間，則構成主動式矩陣型式之液晶顯示器裝置。而在此情況之下，當圖元電極以透光材料形成時，透光型液晶顯示器裝置即形成；反之，當以反光材料形成時，則形成反光型液晶顯示器裝置。

更進一步，藉著對主動式矩陣基材結構的幾分修飾，可容易地製造主動式矩陣型電子發光 (Electroluminescence, EL) 顯示器裝置或主動式型 E C 顯示器裝置或其類似者。

實施例 8

本實施例以不同的電子裝置作為半導體裝置之例說明本發明之可應用性，參考第 7 A ~ 7 E 圖。如使用本發明之半導體裝置，(數位)視頻照像機、(數位)靜止照相

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

機、head mount顯示器、汽車導航系統、個人電腦、攜帶型資訊終端機（移動式電腦、攜帶式電話及其類似者）等等均是。更進一步，本發明亦可應用於設有個人手機系統（Personal Handyphone, PHS）之攜帶型資訊終端機，此為近來被受矚目的焦點。

第 7 A 圖為一移動式電腦，由一主體 2 0 0 1、一照相機單位 2 0 0 2、一影像接收單位 2 0 0 3、一操作開關 2 0 0 4 及一顯示器單位 2 0 0 5 所構成，本發明可應用於顯示器裝置 2 0 0 5 或內部電路。

第 7 B 圖為一 head mount顯示器，由一主體 2 1 0 1、一顯示器裝置 2 1 0 2 及一帶狀單位 2 1 0 3 所構成，本發明則可應用於其顯示器裝置 2 1 0 2。

第 7 C 圖為一汽車導航系統，由一主體 2 2 0 1、一顯示器裝置 2 2 0 2、操作開關 2 2 0 3 及一天線 2 2 0 4 所構成，本發明可應用於顯示器裝置 2 2 0 2 或內部電路。

第 7 D 圖為攜帶式電話，由一主體 2 3 0 1、一聲音輸出單位 2 3 0 2、一聲音輸入單位 2 3 0 3、一顯示器裝置 2 3 0 4、操作開關 2 3 0 5 及一天線 2 3 0 6 所構成，本發明可應用於顯示器裝置 2 3 0 4 或通訊之高頻電路等等。

第 7 E 圖為一視訊照像機，由一主體 2 4 0 1、一顯示器裝置 2 4 0 2、一聲音輸入單位 2 4 0 3、操作開關 2 4 0 4、一電池 2 4 0 5 及一影像接收單位 2 4 0 6 所

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (39)

構成，本發明可應用於顯示器裝置 2 4 0 2。

如上所述，本發明之應用範圍非常廣，且本發明可應用於所有領域之顯示器媒體。更進一步，可應用於其他不同於上述者，本發明函蓋所有之必需使用半導體電路如 I C 或 L S I 之產品。

依據本發明於說明書中之揭示可知，於單晶矽上製造具有高功能之薄膜電晶體相等於或優於 I G F E T。更進一步，即使當管路長度為 $1 \mu m$ 或更小時，亦可得到極高的耐電壓性質。

以如上所述之薄膜電晶體所構成之半導體電路或光電裝置及一具有該等之電子裝置，具有非常高的功能並且有極優可見的功效、可攜帶性及可靠性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：顯示裝置與半導體裝置)

本發明係提供一種顯示裝置，其具有構成至少像素電路、控制該像素電路之驅動電路、CPU或記憶體之一的半導體電路。該半導體電路包括：形成於具有絕緣表面之基底上的半導體膜，鄰接於該半導體膜之至少一閘門電極（以一閘門絕緣膜插入其間）。該半導體電路之一操作速度為10GHz或更高。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

Display device and semiconductor device

To provide a display device having a semiconductor circuit constituting at least one of a pixel circuit, a driving circuit controlling said pixel circuit, a CPU, or a memory. Said semiconductor circuit comprises a semiconductor film formed over a substrate having an insulating surface, and at least one gate electrode adjacent to said semiconductor film with a gate insulating film interposed therebetween. An operating speed of said semiconductor circuit is 10GHz or higher.

訂

六、申請專利範圍

附件：第 8 9 1 0 9 7 8 3 號專利申請案

中文申請專利範圍修正本

民國 9 0 年 6 月修正

1 . 一種顯示裝置，其具有構成至少像素電路、控制該像素電路之驅動電路、C P U 或記憶體之一的半導體電路，該半導體電路包括：

形成於具有絕緣表面之基底上的半導體膜，該半導體膜包括至少兩個晶體以及晶體之間的晶界；

臨接於該半導體膜之至少一閘門電極，以一閘門絕緣膜插入其間；

其中該半導體電路之一操作速度為 1 0 G H z 或更高，及

其中於晶界處之不相稱鍵相對於所有鍵之比例為等於或小於 5 % 。

2 . 如申請專利範圍第 1 項所述之顯示裝置，其中該顯示裝置被結合入選擇自以視訊相機、數位靜止相機、頭戴式顯示、汽車導航、個人電腦及行動資訊終端機所組成之族群的一種光電設備。

3 . 如申請專利範圍第 1 項所述之顯示裝置，其中該顯示裝置係選擇自以液晶顯示裝置、電致變色顯示裝置及電發光顯示裝置所組成之族群。

4 . 一種顯示裝置，其具有構成至少像素電路、控制該像素電路之驅動電路、C P U 或記憶體之一的半導體電

（請先閱讀背面之注意事項再填寫本頁）

訂

六、申請專利範圍

路，該半導體電路包括：

形成於具有絕緣表面之基底上的半導體膜，該半導體膜包括至少兩個晶體以及晶體之間的晶界；

臨接於該半導體膜之至少一閘門電極，以一閘門絕緣膜插入其間；

其中構成該半導體電路之一薄膜電晶體的次臨限係數為 60 至 100 mV / decade，及

其中於晶界處之不相稱鍵相對於所有鍵之比例為等於或小於 5 %。

5 . 如申請專利範圍第 4 項所述之顯示裝置，其中該顯示裝置被結合入選擇自以視訊相機、數位靜止相機、頭戴式顯示、汽車導航、個人電腦及行動資訊終端機所組成之族群的一種光電設備。

6 . 如申請專利範圍第 4 項所述之顯示裝置，其中該顯示裝置係選擇自以液晶顯示裝置、電致變色顯示裝置及電發光顯示裝置所組成之族群。

7 . 一種顯示裝置，其具有構成至少像素電路、控制該像素電路之驅動電路、CPU 或記憶體之一的半導體電路，該半導體電路包括：

形成於具有絕緣表面之基底上的半導體膜，該半導體膜包括至少兩個晶體以及晶體之間的晶界；

臨接於該半導體膜之至少一閘門電極，以一閘門絕緣膜插入其間；

其中構成該半導體電路之一 N 通道型式薄膜電晶體的

六、申請專利範圍

場效移動率是 200 至 $650 \text{ cm}^2/\text{Vs}$ ；

其中構成該半導體電路之一 P 通道型式薄膜電晶體的場效移動率是 100 至 $300 \text{ cm}^2/\text{Vs}$ ，及

其中於晶界處之不相稱鍵相對於所有鍵之比例為等於或小於 5% 。

8．如申請專利範圍第 7 項所述之顯示裝置，其中該顯示裝置被結合入選擇自以視訊相機、數位靜止相機、頭戴式顯示、汽車導航、個人電腦及行動資訊終端機所組成之族群的一種光電設備。

9．如申請專利範圍第 7 項所述之顯示裝置，其中該顯示裝置係選擇自以液晶顯示裝置、電致變色顯示裝置及電發光顯示裝置所組成之族群。

10．一種半導體裝置，包括：

形成於具有絕緣表面之基底上的半導體膜，該半導體膜包括至少兩個晶體以及晶體之間的晶界；

臨接於該半導體膜之至少一閘門電極，以一閘門絕緣膜插入其間；

其中該半導體裝置之次臨限係數為 60 至 $100 \text{ mV}/\text{decade}$ ，及

其中於晶界處之不相稱鍵相對於所有鍵之比例為等於或小於 5% 。

11．如申請專利範圍第 10 項所述之半導體裝置，其中該半導體裝置被結合入選擇自以視訊相機、數位靜止相機、頭戴式顯示、汽車導航、個人電腦及行動資訊終端

六、申請專利範圍

機所組成之族群的一種光電設備。

1 2 . 如申請專利範圍第 1 0 項所述之半導體裝置，其中該半導體裝置係選擇自以液晶顯示裝置、電致變色顯示裝置及電發光顯示裝置所組成之族群。

1 3 . 一種半導體裝置，包括：

形成於具有絕緣表面之基底上的半導體膜，該半導體膜包括至少兩個晶體以及晶體之間的晶界；

臨接於該半導體膜之至少一閘門電極，以一閘門絕緣膜插入其間；

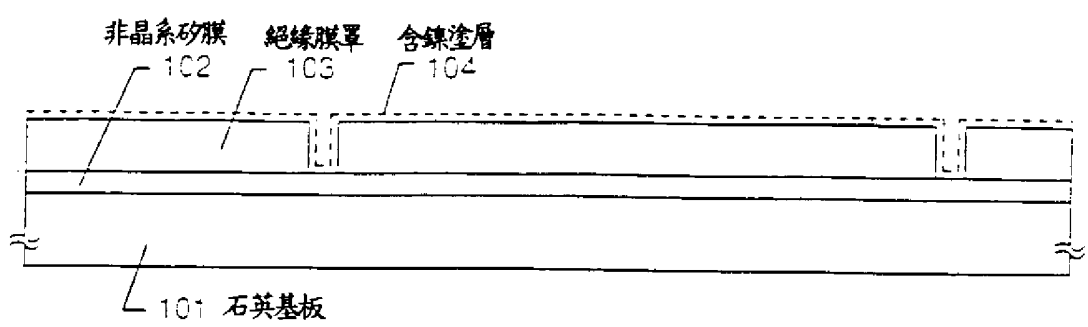
其中構成該半導體裝置之一 N 通道型式薄膜電晶體的場效移動率是 200 至 $650 \text{ cm}^2/\text{Vs}$ ；

其中構成該半導體裝置之一 P 通道型式薄膜電晶體的場效移動率是 100 至 $300 \text{ cm}^2/\text{Vs}$ ，及

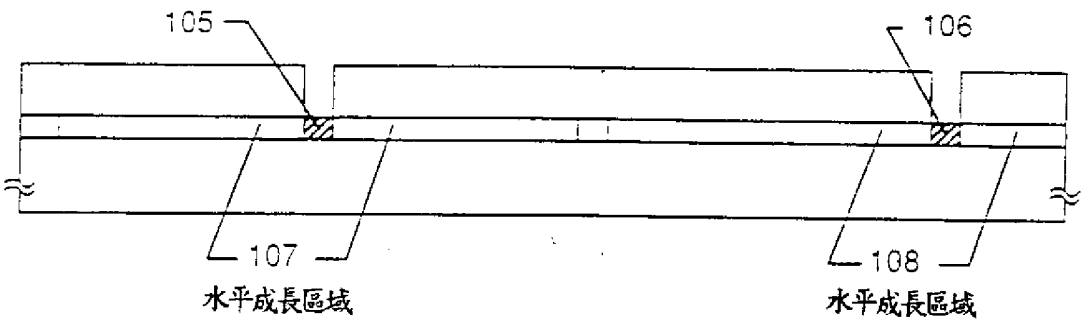
其中於晶界處之不相稱鍵相對於所有鍵之比例為等於或小於 5% 。

1 4 . 如申請專利範圍第 1 3 項所述之半導體裝置，其中該半導體裝置被結合入選擇自以視訊相機、數位靜止相機、頭戴式顯示、汽車導航、個人電腦及行動資訊終端機所組成之族群的一種光電設備。

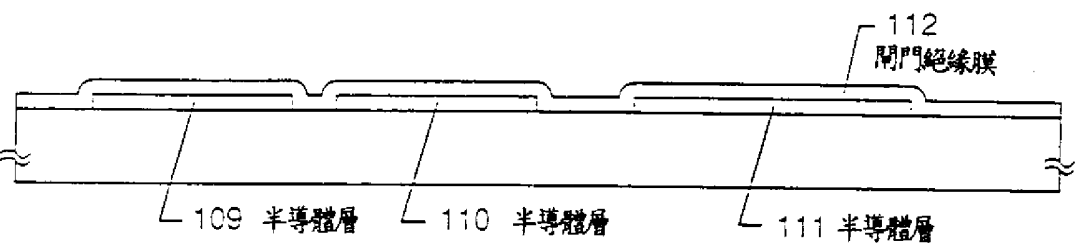
1 5 . 如申請專利範圍第 1 3 項所述之半導體裝置，其中該半導體裝置係選擇自以液晶顯示裝置、電致變色顯示裝置及電發光顯示裝置所組成之族群。



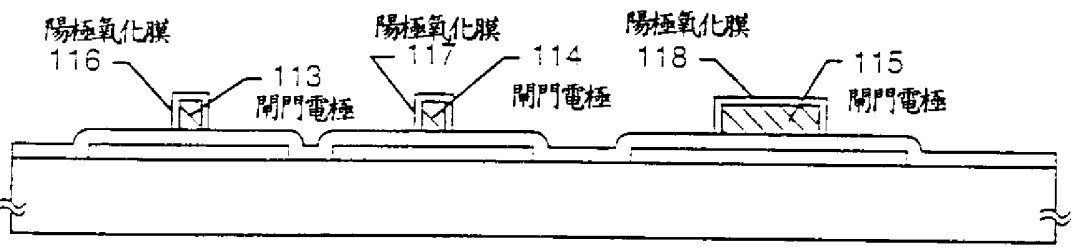
第 1 圖 A



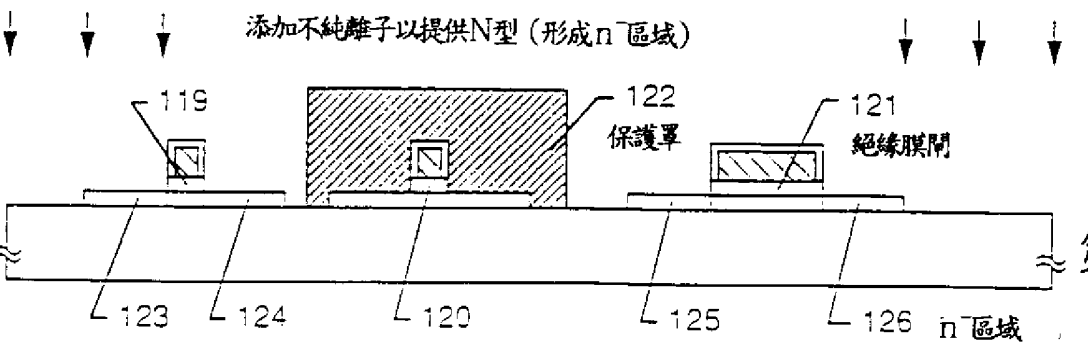
第 1 圖 B



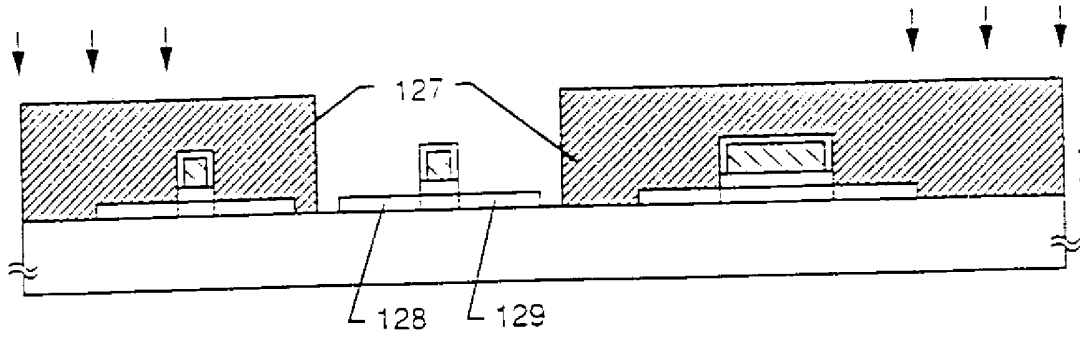
第 1 圖 C



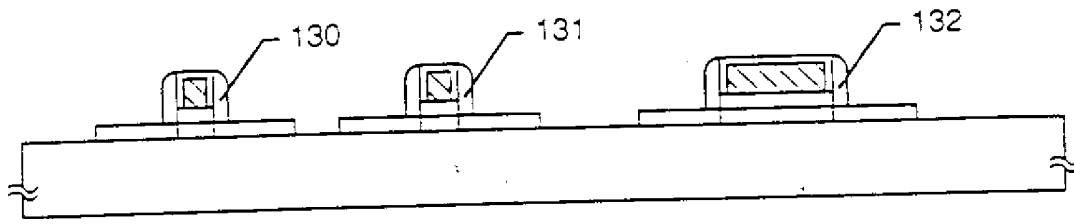
第 1 圖 D



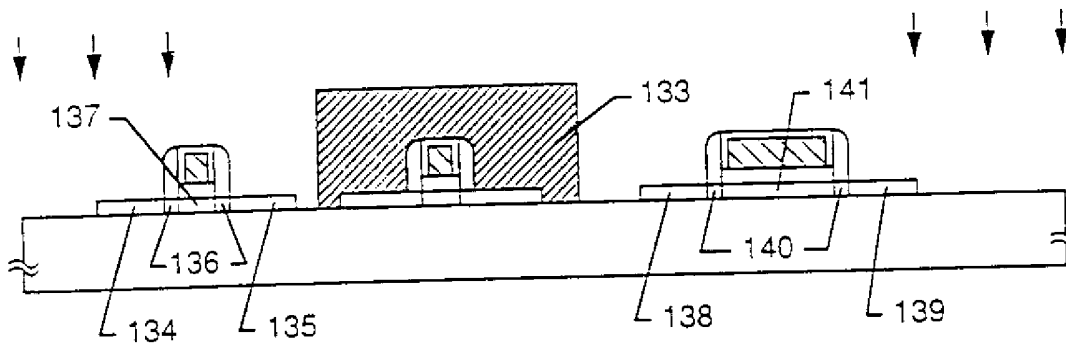
第 1 圖 E



第2圖 A

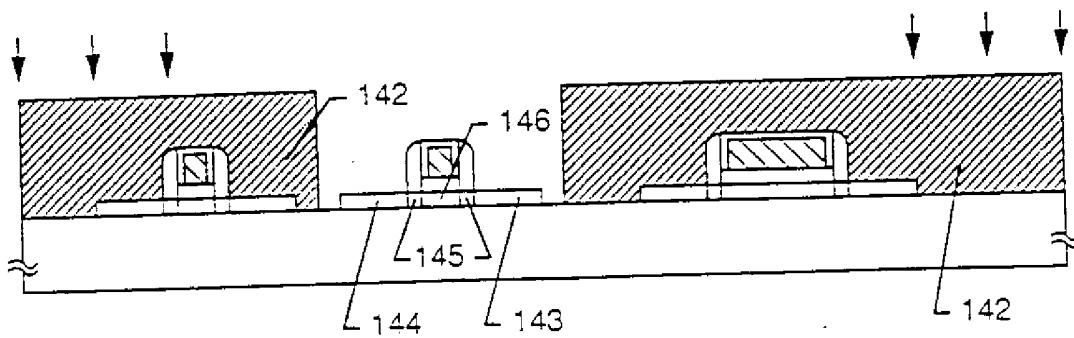


第2圖 B

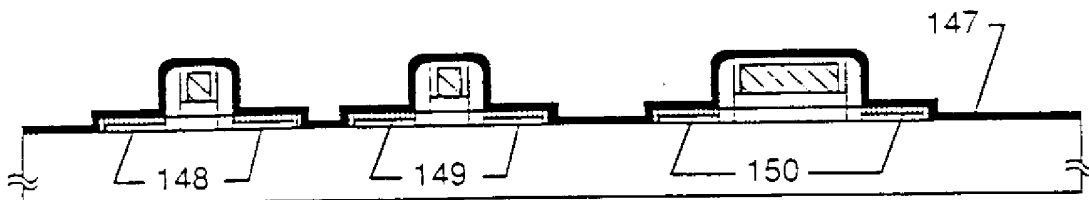


第2圖 C

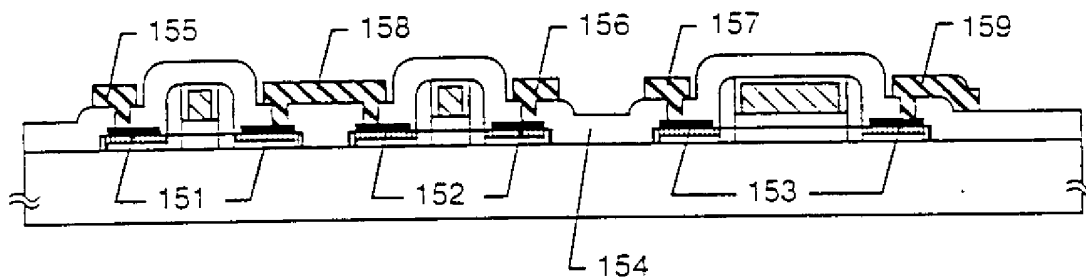
第



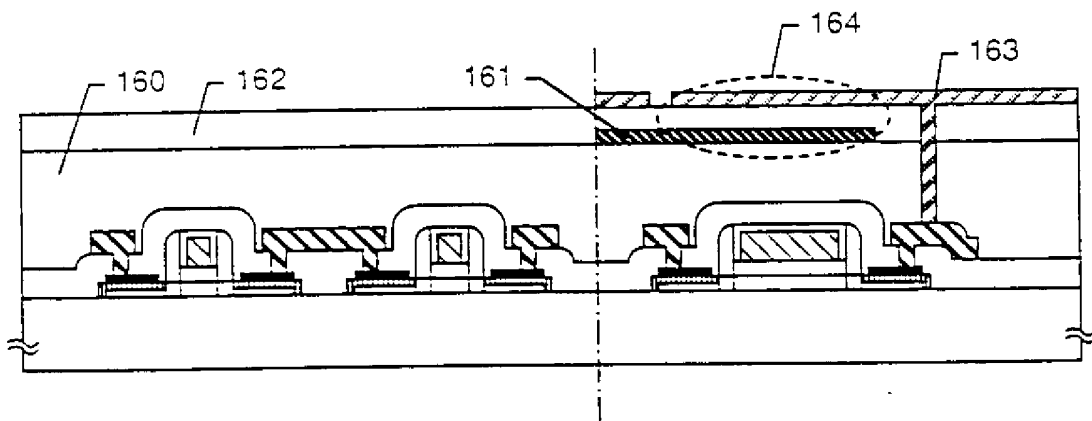
第2圖 D



第 3 圖 A

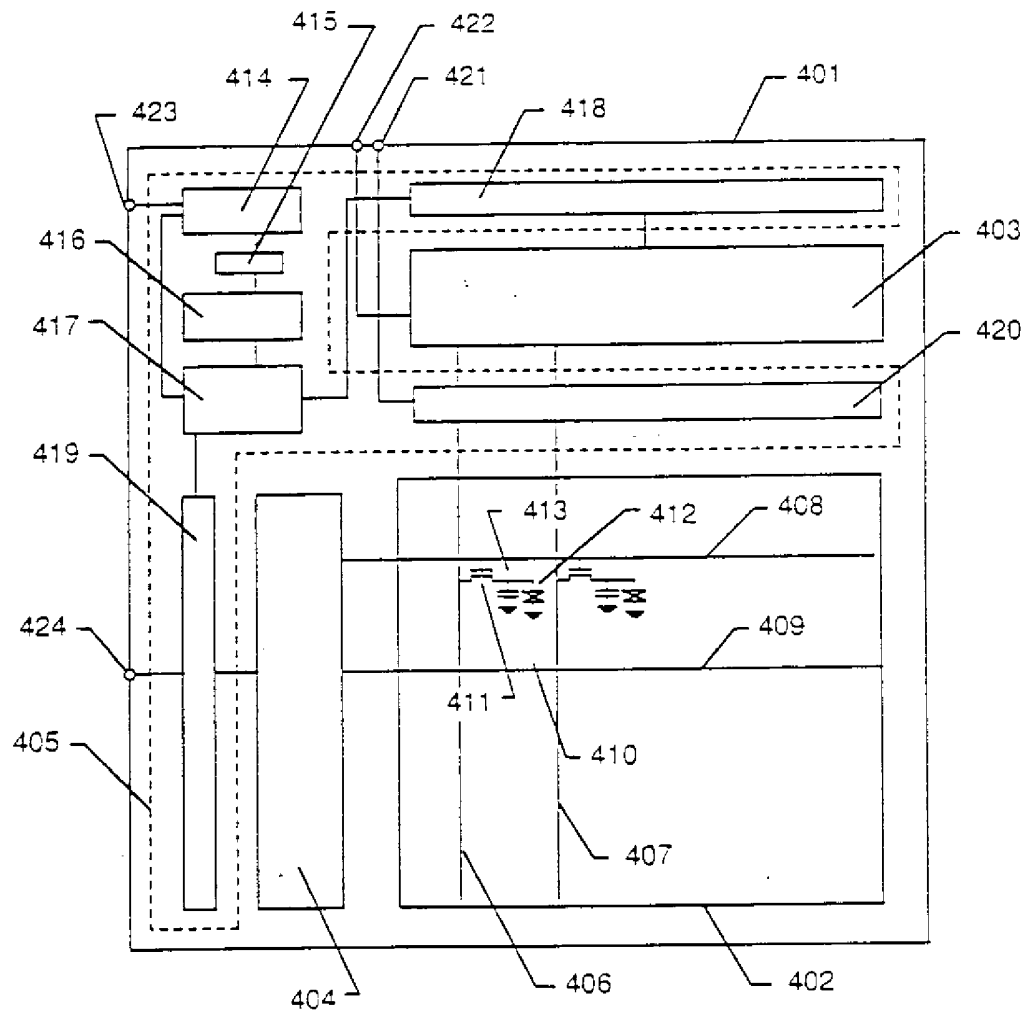


第 3 圖 B

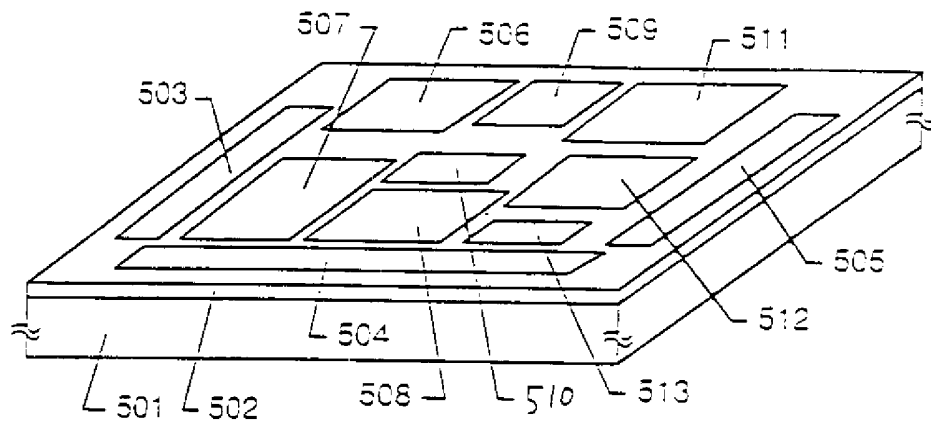


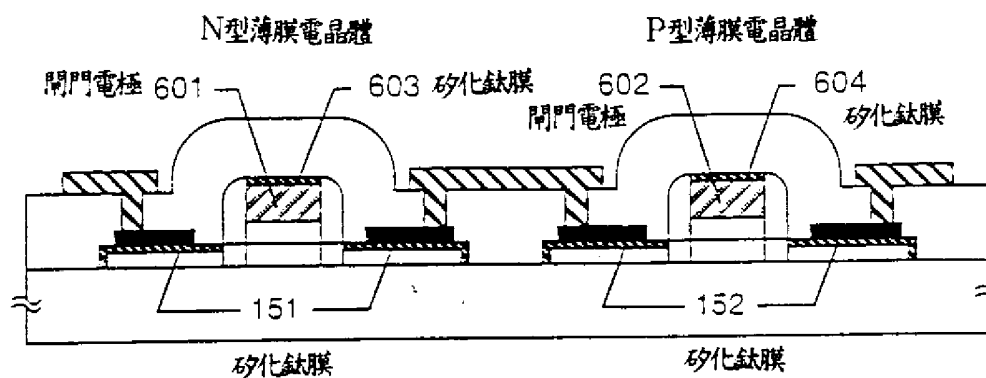
第 3 圖 C

第 4 圖

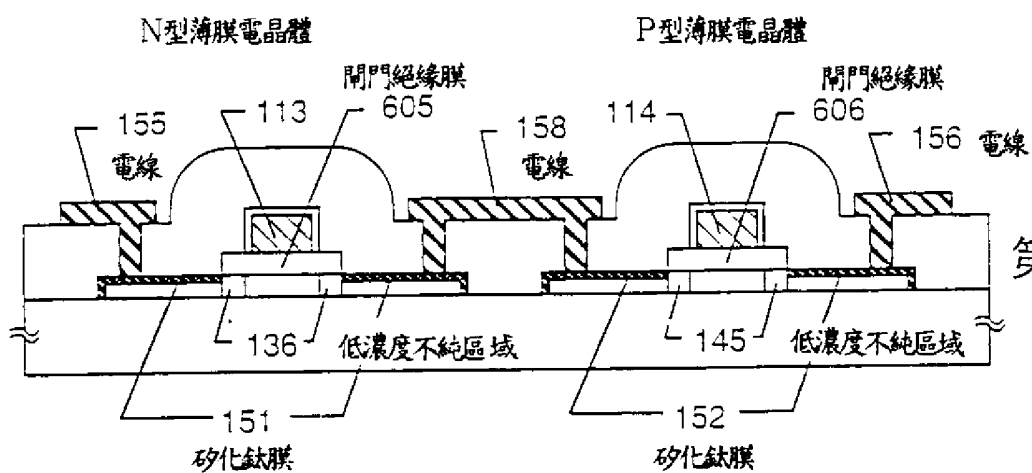


第 5 圖



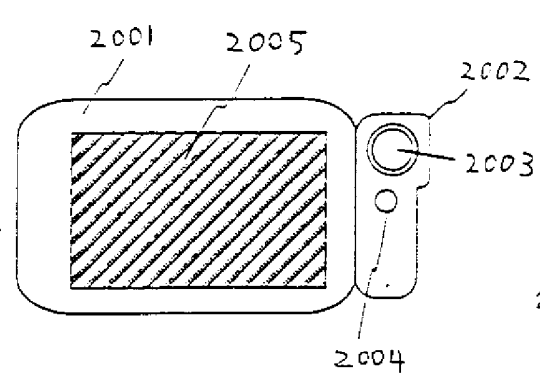


第 6 圖 A

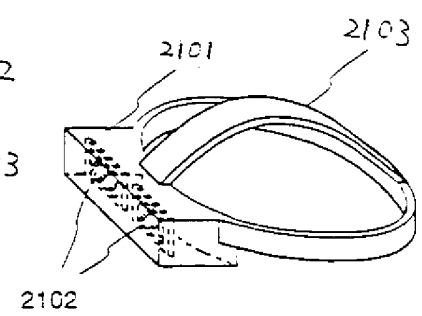


第 6 圖 B

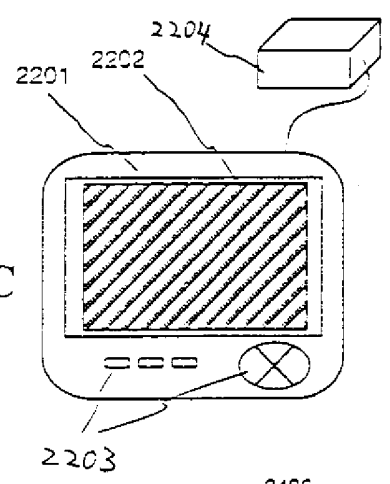
第 7 圖 A



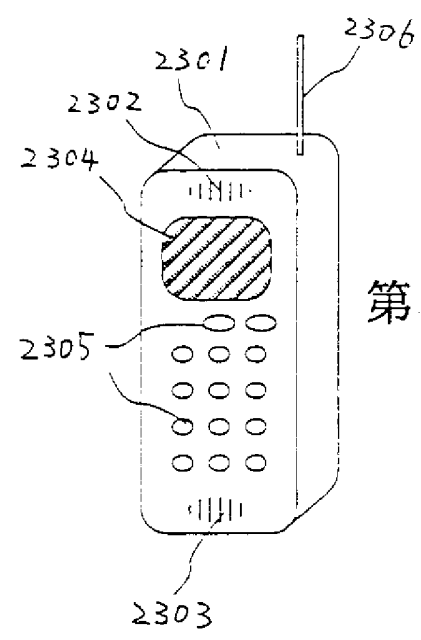
第 7 圖 B



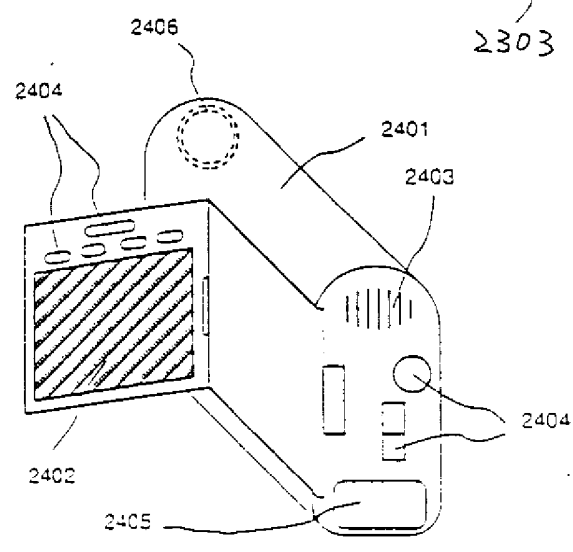
第 7 圖 C



第 7 圖 D

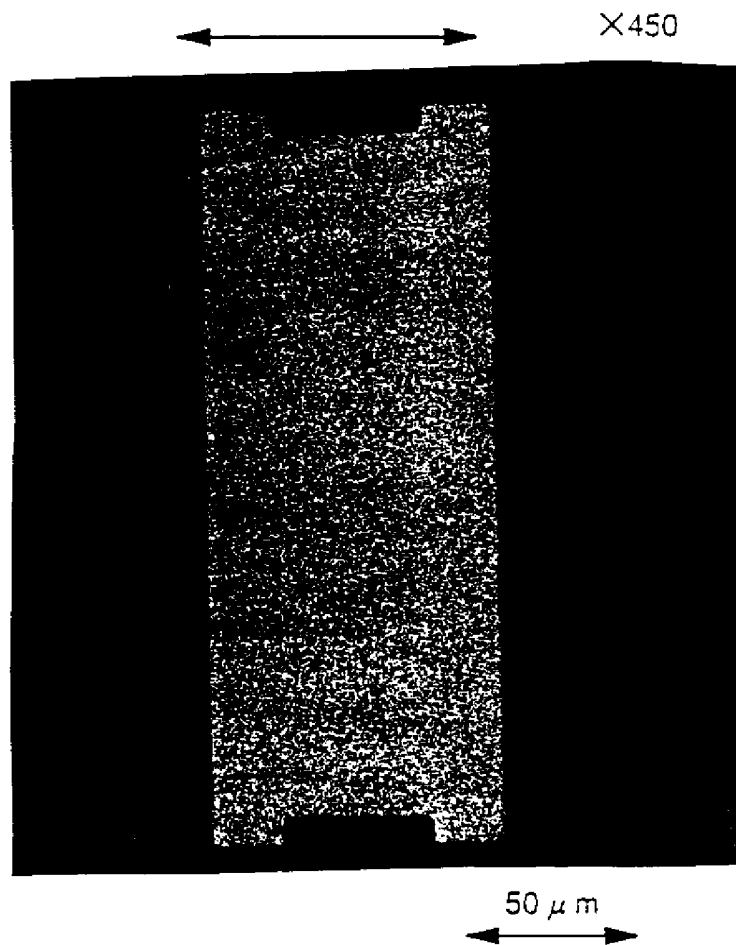


第 7 圖 E

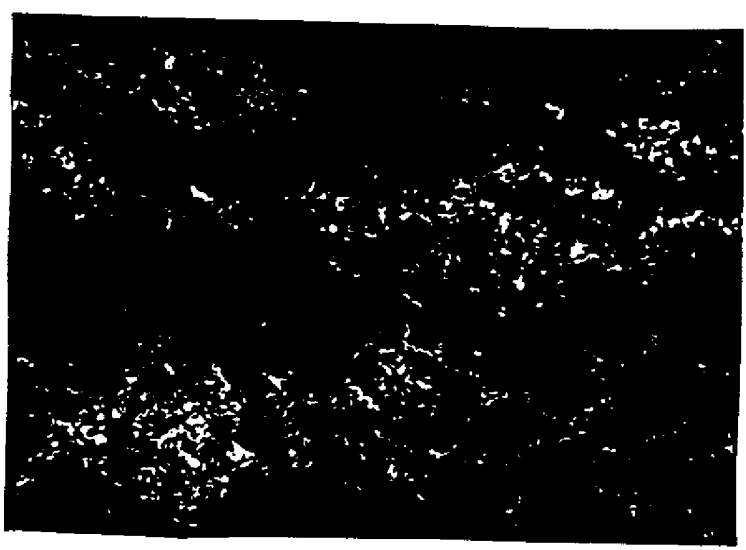


455912

第 8 圖



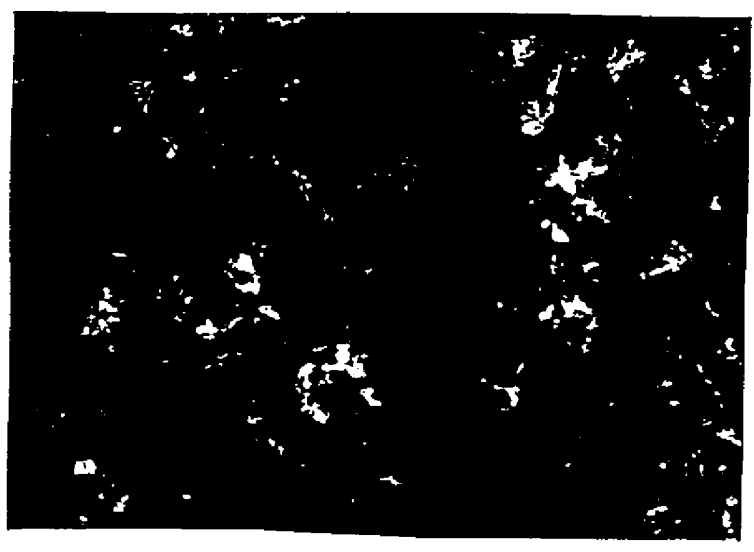
X10000



第 9 圖 A

2 μ m

X10000



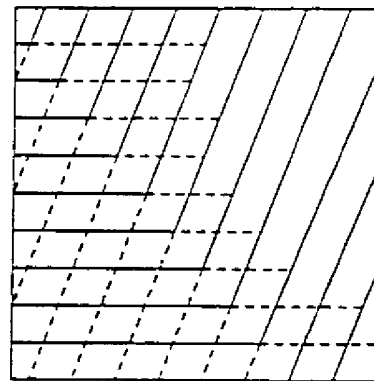
第 9 圖 B

2 μ m

X4000000

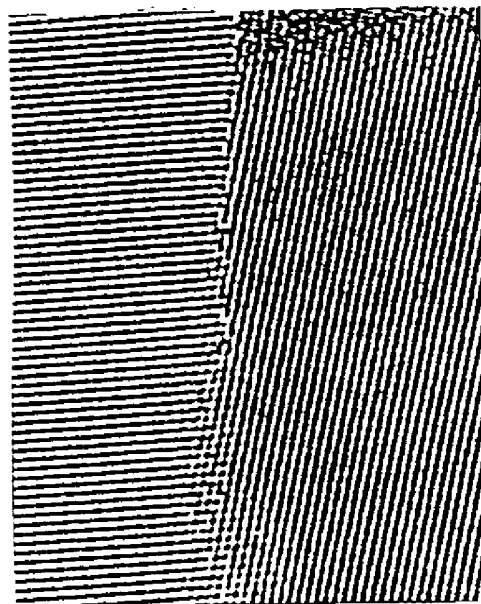


第 10 圖 A

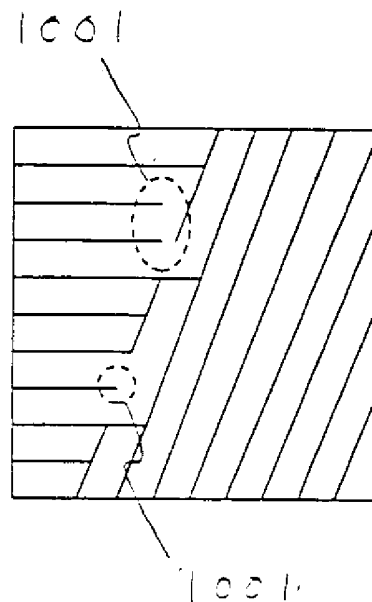


第 10 圖 B

X4000000

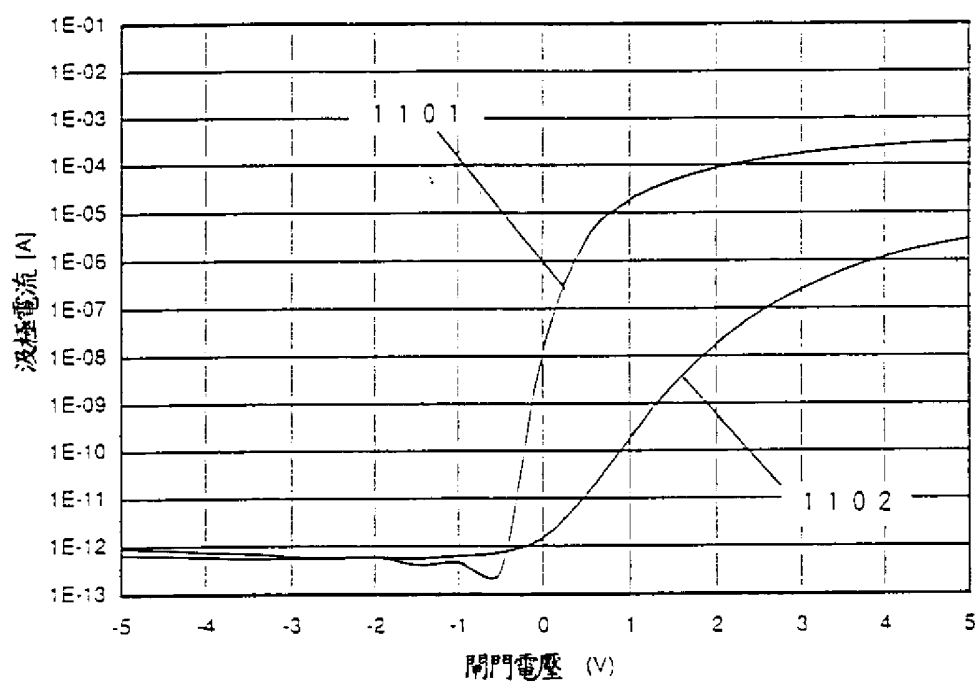


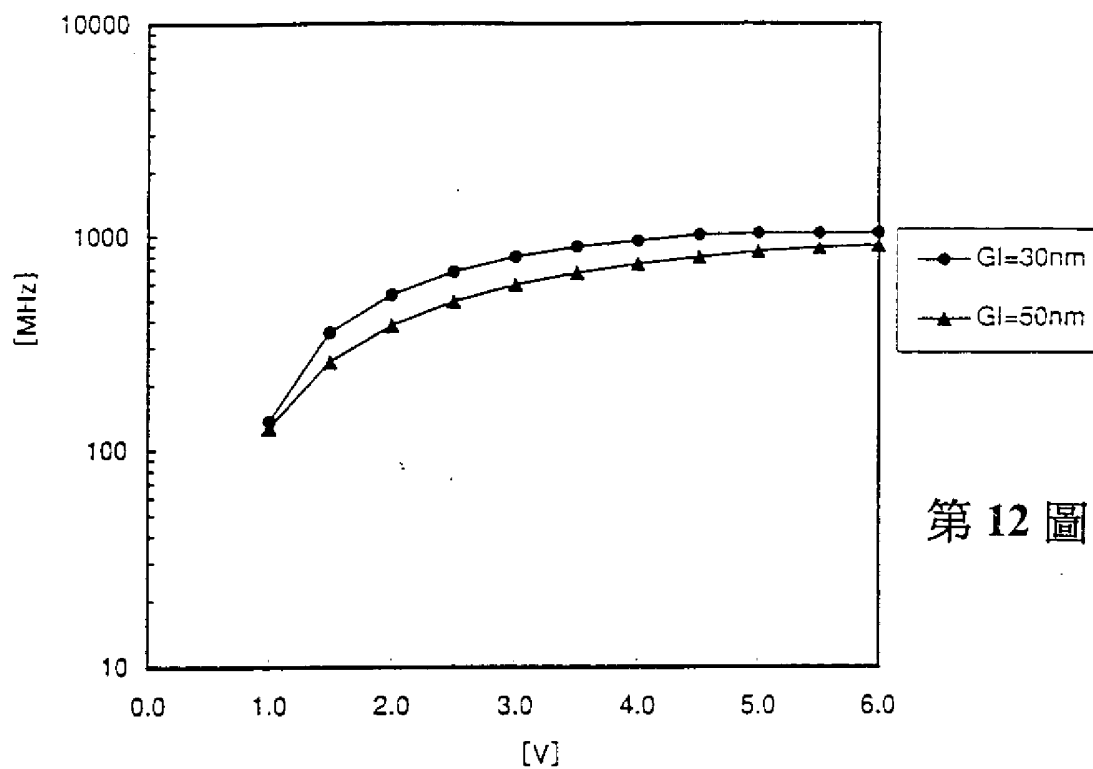
第 10 圖 C



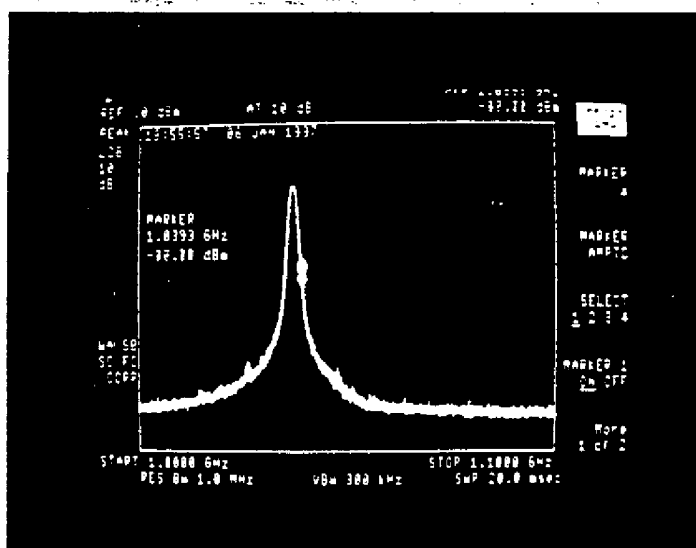
第 10 圖 D

第 11 圖

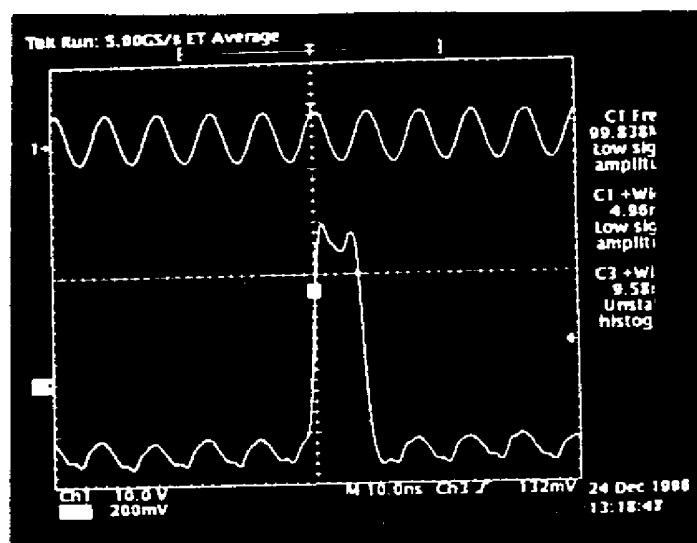




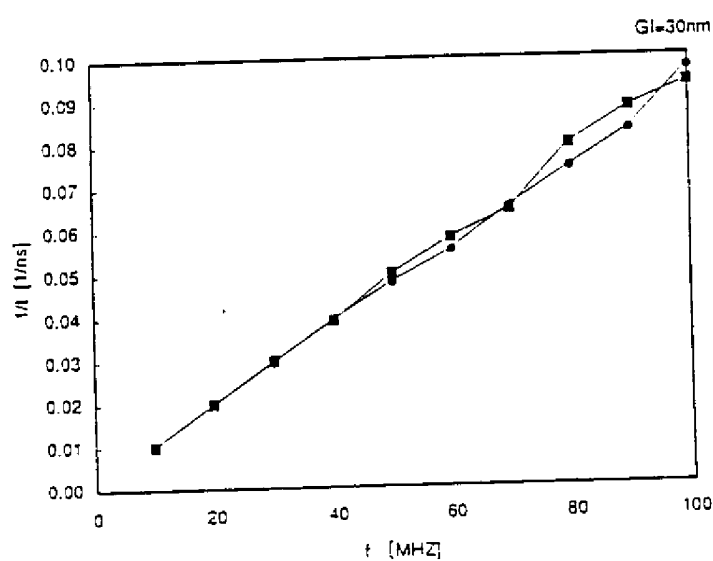
第 12 圖



第 13 圖

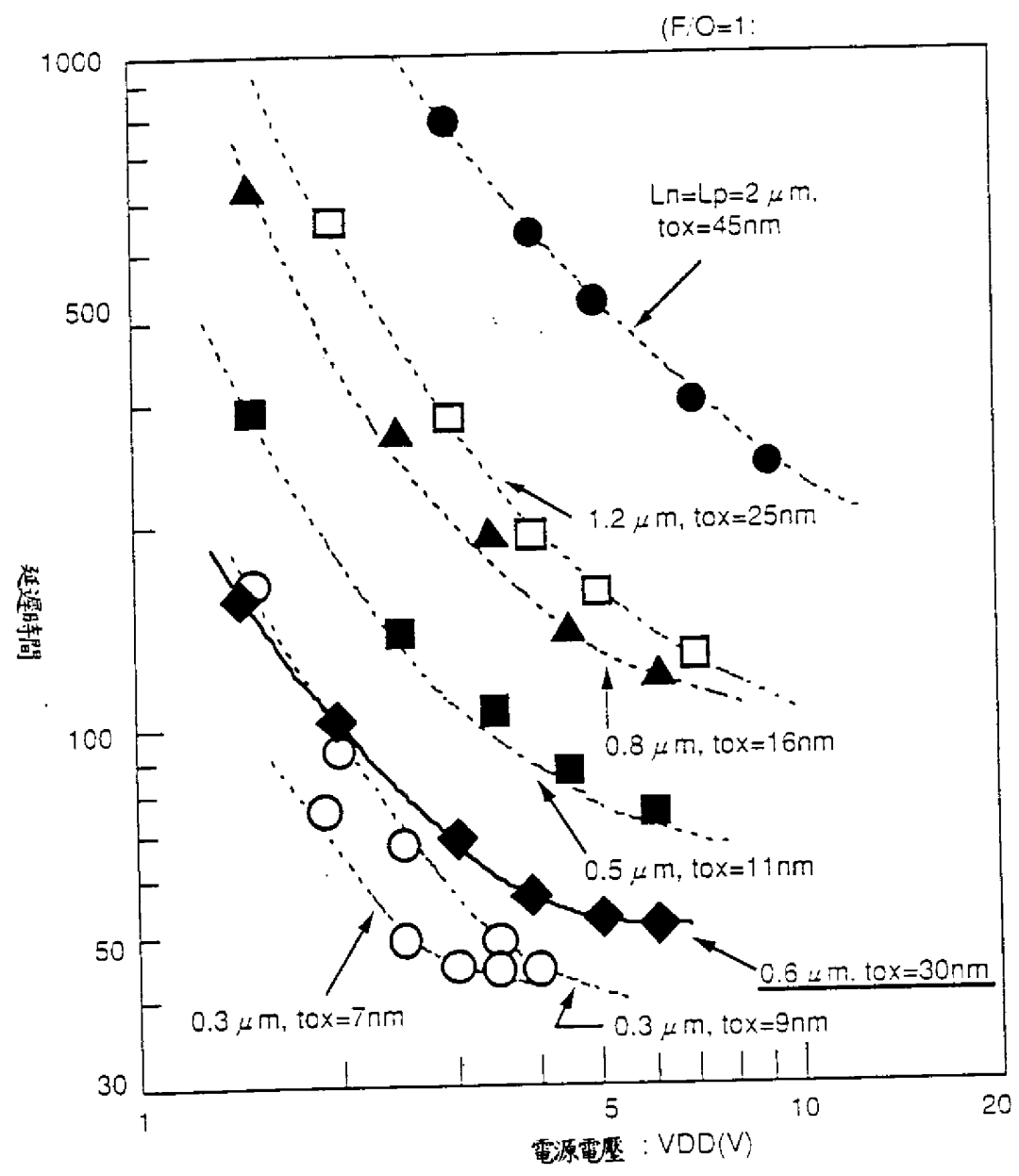


第 14 圖



第 15 圖

第 16 圖

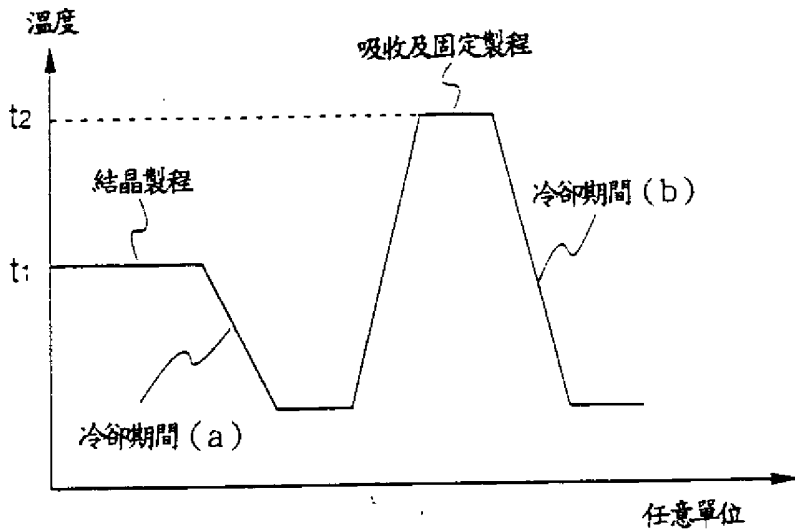




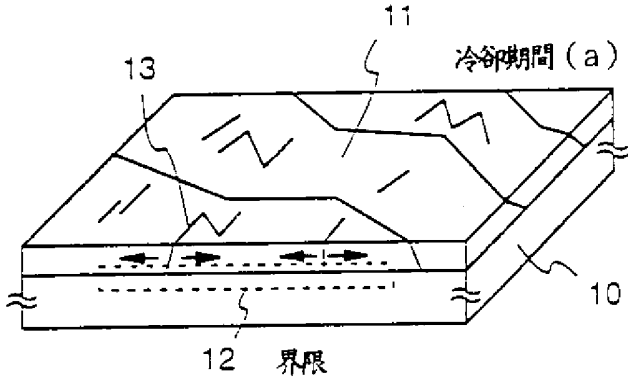
第 17 圖 A



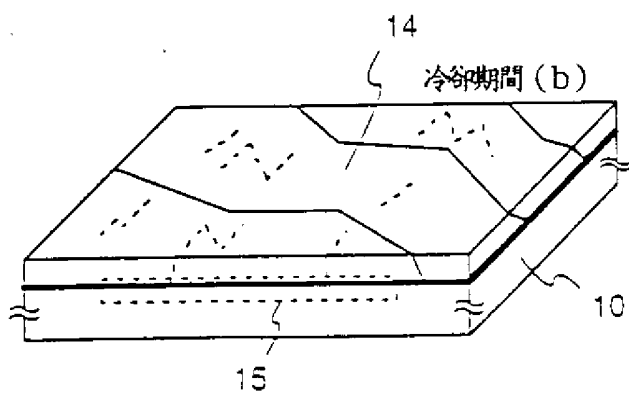
第 17 圖 B



第 18 圖 A



第 18 圖 B



第 18 圖 C

六、申請專利範圍

附件：第 8 9 1 0 9 7 8 3 號專利申請案

中文申請專利範圍修正本

民國 9 0 年 6 月修正

1 . 一種顯示裝置，其具有構成至少像素電路、控制該像素電路之驅動電路、C P U 或記憶體之一的半導體電路，該半導體電路包括：

形成於具有絕緣表面之基底上的半導體膜，該半導體膜包括至少兩個晶體以及晶體之間的晶界；

臨接於該半導體膜之至少一閘門電極，以一閘門絕緣膜插入其間；

其中該半導體電路之一操作速度為 1 0 G H z 或更高，及

其中於晶界處之不相稱鍵相對於所有鍵之比例為等於或小於 5 % 。

2 . 如申請專利範圍第 1 項所述之顯示裝置，其中該顯示裝置被結合入選擇自以視訊相機、數位靜止相機、頭戴式顯示、汽車導航、個人電腦及行動資訊終端機所組成之族群的一種光電設備。

3 . 如申請專利範圍第 1 項所述之顯示裝置，其中該顯示裝置係選擇自以液晶顯示裝置、電致變色顯示裝置及電發光顯示裝置所組成之族群。

4 . 一種顯示裝置，其具有構成至少像素電路、控制該像素電路之驅動電路、C P U 或記憶體之一的半導體電

（請先閱讀背面之注意事項再填寫本頁）

訂