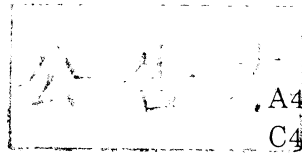


申請日期	90.03.30
案號	90107601
類別	G06F15/78 G06F9/302



(以上各欄由本局填註)

552523

## 發 明 專 利 說 明 書

### 新 型

一、發明 名稱	中 文	有效交替操作模式之數位信號處理器執行單元
	英 文	"DSP EXECUTION UNIT FOR EFFICIENT ALTERNATE MODES OF OPERATION"
二、發明 創作人	姓 名	1. 布萊德利 C. 艾德瑞奇      2. 約瑟 弗瑞曼 BRADLEY C. ALDRICH      JOSE FRIDMAN
	國 籍	3. 保羅 梅爾 PAUL MEYER
	住、居所	1. 美國德州奧斯汀市西南帕克路5604號 2. 美國麻薩諸塞州布魯克林市中心街70號 3. 美國亞歷桑那州查德勒市西勞林大道2545號
三、申請人	姓 名 (名稱)	1. 美商英特爾公司 INTEL CORPORATION 2. 美商亞拿羅設計公司 ANALOG DEVICES, INC.
	國 籍	均美國
	住、居所 (事務所)	1. 美國加州聖塔卡拉瓦市米遜大道2200號 2. 美國麻州諾伍市科技路1號
	代 表 人 姓 名	1. 湯姆士 C. 雷納德 THOMAS C. REYNOLDS 2. 約瑟夫 E. 麥唐諾 JOSEPH E. MCDONOUGH

裝 訂 線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國

2000年3月31日

09/541,116

有無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

### 技術領域

本發明係關於數位信號處理器，且更特別地係關於用於處理縮減之資料尺寸之數位信號處理器。

### 發明背景

數位信號處理係關於以數位形式表示信號以及採用數值運算轉換或處理該信號表示。數位信號處理乃一許多現今高技術產品之核心技術，其領域為例如無線通訊、網路、以及多媒體。數位信號處理技術盛行之一理由乃其低發展成本，功能強大的數位信號處理器(DSPs)提供工程師們可靠的計算能力以便宜地並且有效率地實現這些產品。由1980年代早期第一次DSPs之發展開始，DSP之架構與設計已進步到亦可執行高度精密的視頻速率序列即時處理。

一般而言，DSPs具有固定的尺寸。DSP尺寸之選擇乃基於所要處理之資料之最大尺寸。例如，一用於處理16位元資料之DSP需要具有一特定尺寸之乘法器和累加器以確保資料處理之正確性。當這些DSPs處理具有小於16位元之資料時，會使一部分DSP硬體維持在未使用狀態。這減低了DSP之效率。

### 圖示簡述

配合附圖閱讀完底下的詳細說明之後可使本發明之這些及其它特徵和優點變得明顯。

圖1為一數位信號處理器之概要圖，其乃根據一本發明之具體實施例用於一般的n位元操作模式。

圖2為一數位信號處理器之概要圖，其乃根據一本發明

## 五、發明說明(2)

之具體實施例用於 $n$ 位元或 $(n/2)$ 位元操作模式。

圖3為一數位信號處理器之概要圖，其乃根據一本發明之具體實施例用於具插補功能之 $n$ 位元或 $(n/2)$ 位元操作模式。

圖4為一數位信號處理器之概要圖，其包含根據一本發明之具體實施例而用於 $(n/2)$ 位元操作之分離式乘法器。

圖5為一數位信號處理器之概要圖，其乃根據另一本發明之具體實施例用於 $n$ 位元或 $(n/2)$ 位元操作模式。

### 詳細發明說明

圖1概要性地圖示一通用數位信號處理器(DSP) 100。DSP 100包含多工器115、120、150、155、160、一乘法器135、拍擊器(flop) 140、145、170、一算術邏輯單元(ALU) 165、以及一累加器175。DSP 100之設計乃用於處理 $n$ 位元資料，圖1所描繪之實施例DSP 100之 $n$ 等於16。應了解DSP 100所操作的資料尺寸乃取決於其設計選擇。另外，應瞭解本發明之觀點不侷限於具有這些元件之DSPs。

DSP 100從資料匯流排接收具有16位元之資料105、110。每一條資料匯流排提供許多16位元資料組105、110予DSP 100。該等許多16位元資料組105乃輸入至多工器115且該等許多16位元資料組110乃輸入至多工器120。多工器115自該等許多16位元資料組105選擇一單一的16位元資料組125。多工器120自該等許多16位元資料組110選擇一單一的16位元資料組130。所選擇的該

### 五、發明說明(3)

等16位元資料組125、130乃由DSP 100予以處理。

乘法器135自該等多工器115、120接收該等所選擇的16位元資料組125、130。乘法器135可予以配置以乘算兩個n位元資料組。爲了確保適當的操作，乘法器135之尺寸至少爲2n位元。在本範例性實施例中，乘法器135之尺寸至少爲32位元以提供兩個16位元數目之乘法運算。當然，乘法器135可乘算兩個尺寸多達16位元之數目。然而，若乘法器135乘算小於16位元的數目，則乘法器135之一部分乃維持在未使用狀態。因爲乘法器135具有未使用的部分，故DSP 100無法操作於預期的效率。

在本具體實施例中，乘法運算的結果乃轉移至拍擊器140、145。拍擊器140、145乃是用到門鎖電路之記憶體元件。拍擊器140、145含有來自乘法運算處理之部分乘積。拍擊器140、145中該等部分乘積之組合等於乘法器135之結果。拍擊器140、145將該等部分乘積送至多工器150、155。多工器150、155和160選擇適當的資料並送至ALU 165。多工器160接收累加器175之數值作爲輸入。若乘法器135之結果是預期的，則多工器160不將資料送至ALU 165。ALU 165執行基本的算術及邏輯運算。在一具體實施例中，ALU 165具有全加法器。全加法器於同一時間加算三個位元並且產生具有一總和及一進位的結果。ALU 165由乘法器135取出結果並將此結果加至先前儲存於多工器160之累加器175之數值。

ALU 165之輸出可提供至拍擊器170和累加器175。拍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

擊器170之結果為ALU 165之最後數值。累加器175之數值代表整個來自ALU 165之先前結果之全部。ALU 165最近的輸出乃加至累加器175，且新的累加器數值通常乃接著提供至多工器160並形成一個回授迴圈而可能含於下一次ALU 165操作中。新的累加器數值亦供作一多工器180之輸入。拍擊器170之數值亦可供作一多工器180之輸入。多工器180使DSP 100選擇是否要輸出來自ALU 165最近的結果或累加器175之數值。一旦選擇之後，此資料乃送至一輸出185。

圖2表示一根據本發明用於n位元或(n/2)位元操作模式之DSP 200概要圖。DSP 200包含多工器115、120、205、210、235、240、245、250、285、一乘法器135、拍擊器140、145、265、270、算術邏輯單元(ALUs) 225、230、255、260、以及累加器275、280。DSP 200可用於處理n位元或n/2位元資料，圖2所繪之實施例DSP 200中n等於16。因此，DSP 200可有效地操作於8位元模式或16位元模式。應了解DSP 200所操作的資料尺寸乃取決於設計選擇且不影響本發明之觀點。

DSP 200自資料匯流排接收具有16位元資料105、110形式之資料。每一條匯流排提供許多16位元資料組105、110予DSP 200。該許多16位元資料組105乃輸入至多工器115且該許多16位元資料組110乃輸入至多工器120。多工器115自該等許多16位元資料組105選擇一單一的16位元資料組125。多工器120自該等許多16位元資料

## 五、發明說明(5)

組 110 選擇一單一的 16 位元資料組 130。該等所選擇的 16 位元資料組 125、130 乃由 DSP 200 予以處理。

DSP 200 以 8 位元模式或 16 位元模式處理該等所選擇的 16 位元資料組 125、130。DSP 200 包含多工器 205、210、235、240 以及 ALUs 225、230，其可與乘法器 135 平行操作並支援 DSP 200 之  $(n/2)$  位元、或 8 位元操作。多工器 205、210 自多工器 115、120 接收該等所選擇的 16 位元資料組 125、130。多工器 205 自輸入資料 125、130 選擇適當的 16 位元資料並輸出 8 位元資料 215。多工器 210 亦自輸入資料 125、130 選擇該等適當的 16 位元資料組並輸出 8 位元資料 220。當然，來自資料匯流排的原始資料已為 8 位元，其中 8 位元資料經由多工器 115、120、205、210 送至 ALUs 225、230。

ALUs 225、230 接收 8 位元資料 215、220 並執行如 DSP 200 所指示之基本的算術及邏輯運算，接著將這些運算的結果輸出至多工器 235、240。多工器 235、240 接著提供資料予多工器 245、250 或直接提供至多工器 285。多工器 235、240 亦考慮到 (allow for) 加法與減法兩者功能之選擇，因而考慮到絕對值函數之處理。

若有需要處理  $n$  位元則可使用乘法器 135。如上所述，乘法器 135 乃設計用來乘算兩個  $n$  位元數目且其尺寸因而至少為  $2n$  位元。若乘法器 135 乘算小於  $n$  位元之數目，則乘法器 135 之一部分會維持在未使用狀態且 DSP 無法操作於預期的效率。因此，若需要處理  $(n/2)$  位元或更小的數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

目，則可使用ALUs 225、230。這會提升DSP 200之效率。

乘法運算的結果乃轉移至拍擊器140、145。拍擊器140、145含有乘法運算處理所產生之部分乘積。拍擊器140、145中部分乘積之組合等於乘法器135之結果。拍擊器140、145將該等部分乘積送至多工器245、250。多工器235、240亦將來自ALUs 225、230數學運算之結果送至多工器245、250。多工器245、250視DSP 200之操作模式選擇適當的資料以傳送至ALUs 255、260。兩個(n/2)位元ALUs 255、260乃用來取代一個圖1之16位元DSP 100中之n位元ALU。ALU 255自多工器245取得資料並將結果加至累加器275之先前數值。ALU 260自多工器250取得資料並將結果加至累加器280之先前數值。

ALU 255之輸出可提供予拍擊器265和累加器275。拍擊器265單純地含有ALU 255之最後數值。累加器275之數值代表整個來自ALU 255之所有先前結果。ALU 255之最近輸出乃接著加至累加器275。新的累加器數值經由迴授迴圈傳回ALU 255。新的累加器數值亦可供作一多工器285之輸入。拍擊器265之數值亦可供作一多工器285之輸入。

類似地，ALU 260之輸出可提供予拍擊器265及累加器280。拍擊器270總是含有最近的ALU 260之數值。累加器280之數值代表整個來自ALU 260之所有先前結果。接著可將最近的ALU 260輸出加至累加器280。新的累加器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(7)

數值可接著經由一回授迴圈傳回ALU 260。新的累加器數值亦可供作一多工器285之輸入。拍擊器270之數值亦可供作一多工器285之輸入。

多工器285使DSP 200選擇其所要輸出的數值。一旦選擇之後，此資料會送至一輸出290。

圖3為一DSP 300之概要圖，其乃用於具插補功能之 $n$ 位元或 $(n/2)$ 位元操作模式。DSP 300將圖2中DSP 200之 $n$ 位元或 $(n/2)$ 位元乘法運算級與圖1中DSP 100之單一ALU 165予以組合。

圖4概要表示一DSP 400，其包含一分離式乘法器，用於根據一本發明之具體實施例之 $(n/2)$ 位元運算。DSP 400自資料匯流排(未示)接收具有16位元資料組105、110形式之資料。每一條資料匯流排提供該等許多16位元資料組105、110予DSP 400。該等許多16位元資料組105乃輸入至多工器115且該等許多16位元資料組110乃輸入至多工器120。多工器115自該許多16位元資料組105選擇一單一的16位元資料組125。多工器120自該許多16位元資料組110選擇一單一的16位元資料組130。

多工器405接收資料125並輸出多重8位元資料串415、420。該等8位元資料串415、420乃由乘法器435予以接收為輸入。多工器410接收資料130並輸出多重8位元資料串425、430。該等8位元資料串425、430乃由乘法器440予以接收成輸入。當然，來自資料匯流排之原始資料可為8位元，其中8位元資料乃經由多工器115、120、

## 五、發明說明(8)

405、410予以送至乘法器435、440。

乘法器435自多工器405接收所選擇的8位元資料415、420。乘法器440自多工器410接收所選擇的8位元資料425、430。乘法器435、440皆設計用來乘算兩個 $(n/2)$ 位元資料串。為了確保適當的運算，乘法器435、440之尺寸至少為 $n$ 個位元。乘法器435、440可用較大的乘法器135之部分予以包括。當較大的乘法器135用於乘算小於16位元的數目時，乘法器135之一部分會維持在未使用狀態且非操作於預期的效率。藉由將乘法器135分割成較小的元件，或單純地使用兩個較小的乘法器435、440， $(n/2)$ 位元資料串可以更有效率的方式予以處理。

該等乘法運算的結果乃轉移至拍擊器140、145。拍擊器140、145將該等結果送至多工器245、250。DSP 400之剩餘部分乃配合圖2如上所述地操作。DSP 400之輸出445可為拍擊器265、累加器275、累加器280或拍擊器270之結果。

圖5為一數位信號處理器之概要圖，其乃根據本發明之另一具體實施例用於 $n$ 位元或 $(n/2)$ 位元操作模式。圖5中的DSP 500乃圖2之DSP 200之修改版。圖5中，多工器505乃置於多工器235與拍擊器140之間。一第二多工器510乃置於多工器240與拍擊器145之間。多工器505和510可選擇提供至拍擊器140、145之輸入。圖3之DSP 300可予以類似地修改。

一根據本發明之具體實施例之DSP可用於取代一需要數

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(9)

位處理之裝置中的特殊應用積體電路(ASIC)。某些實施例包含數位相機、電腦、行動電話以及個人數位助理器。例如，根據本發明之一具體實施例之DSP可用於配有網際網路存取之行動視訊通訊器。DSP可執行處理視訊資料所需用到的計算。

熟暗此藝者已可明白本發明之多種變形和修改。因此，本發明可在不脫離其精神或本質特徵的條件下內括於其它的特定形式。詳細的具體實施例乃全方面地僅可視為描述性以及非限制性，且本發明之範疇因而介由附加的申請專利範圍而非前述說明予以表明。所有含括於該等申請專利範圍等義之意義與範圍之改變皆包含於其範疇內。例如，當本揭露說明基於 $(n/2)$ 個資料之分割時，相同的技術可用於任何分離，如 $(n/3)$ 、 $(n/4)$ 等。一般而言，分割乃分成 $(n/m)$ 個部分。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：有效交替操作模式之數位信號處理器執行單元)

在一具體實施例中，一數位信號處理器(DSP)處理 $n$ 個位元之資料與 $(n/2)$ 個位元之資料。數位信號處理器包含多重處理路徑。一第一處理路徑處理 $n$ 個位元之資料。一第二處理路徑處理 $(n/2)$ 個位元之資料。該等多重處理路徑可用多重元件予以建立或可共享元件。當處理路徑共享元件時，同一時間只能使用其中一條處理路徑。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱："DSP EXECUTION UNIT FOR EFFICIENT ALTERNATE MODES OF OPERATION")

In one embodiment, a digital signal processor (DSP) processes both  $n$ -bit data and  $(n/2)$ -bit data. The DSP includes multiple processing paths. A first processing path processes  $n$ -bit data. A second processing path is processes  $(n/2)$ -bit data. The multiple processing paths may be established using multiple components or may share components. When the processing paths share components, only one of the processing paths may be used at a time.

訂

線

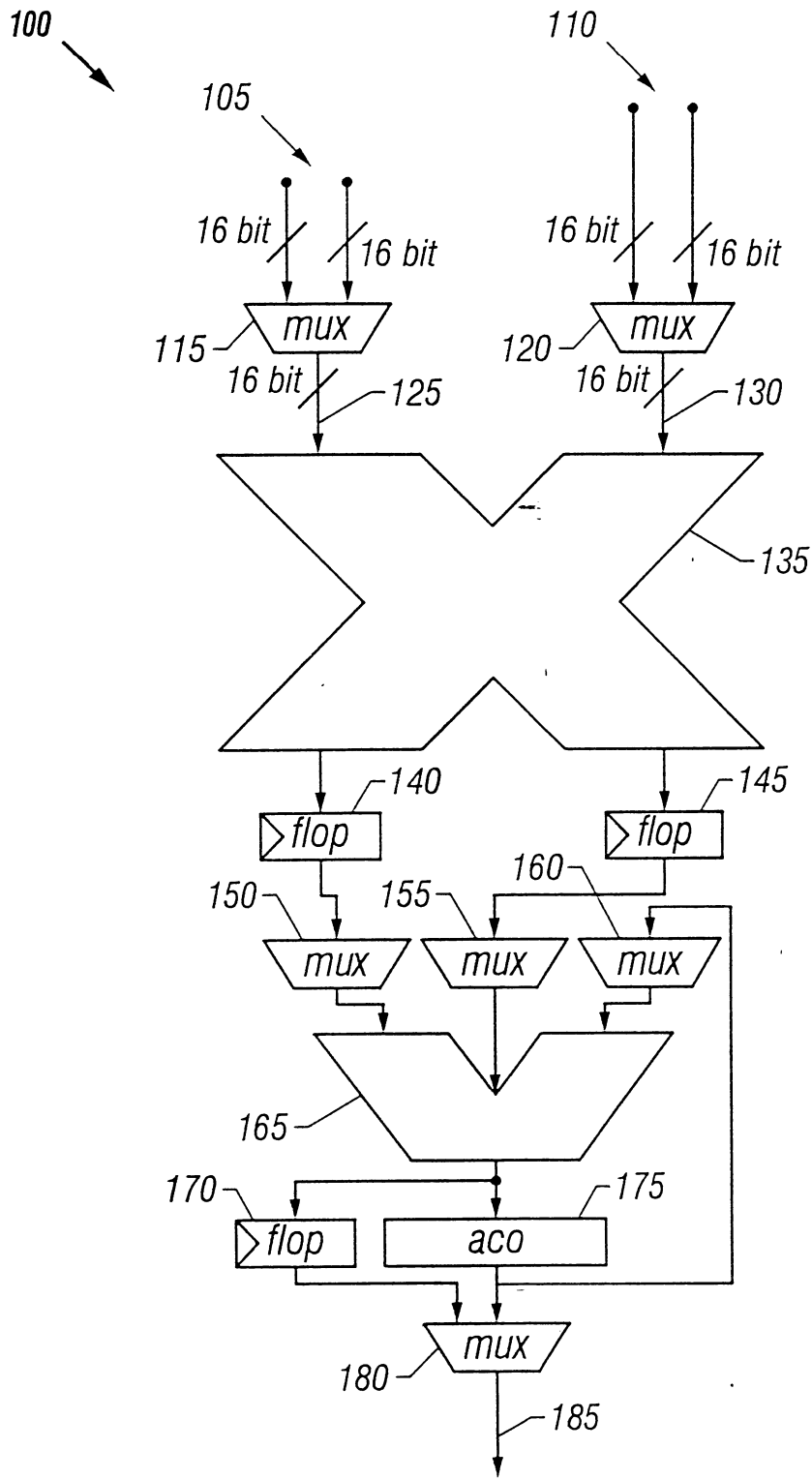


圖 1

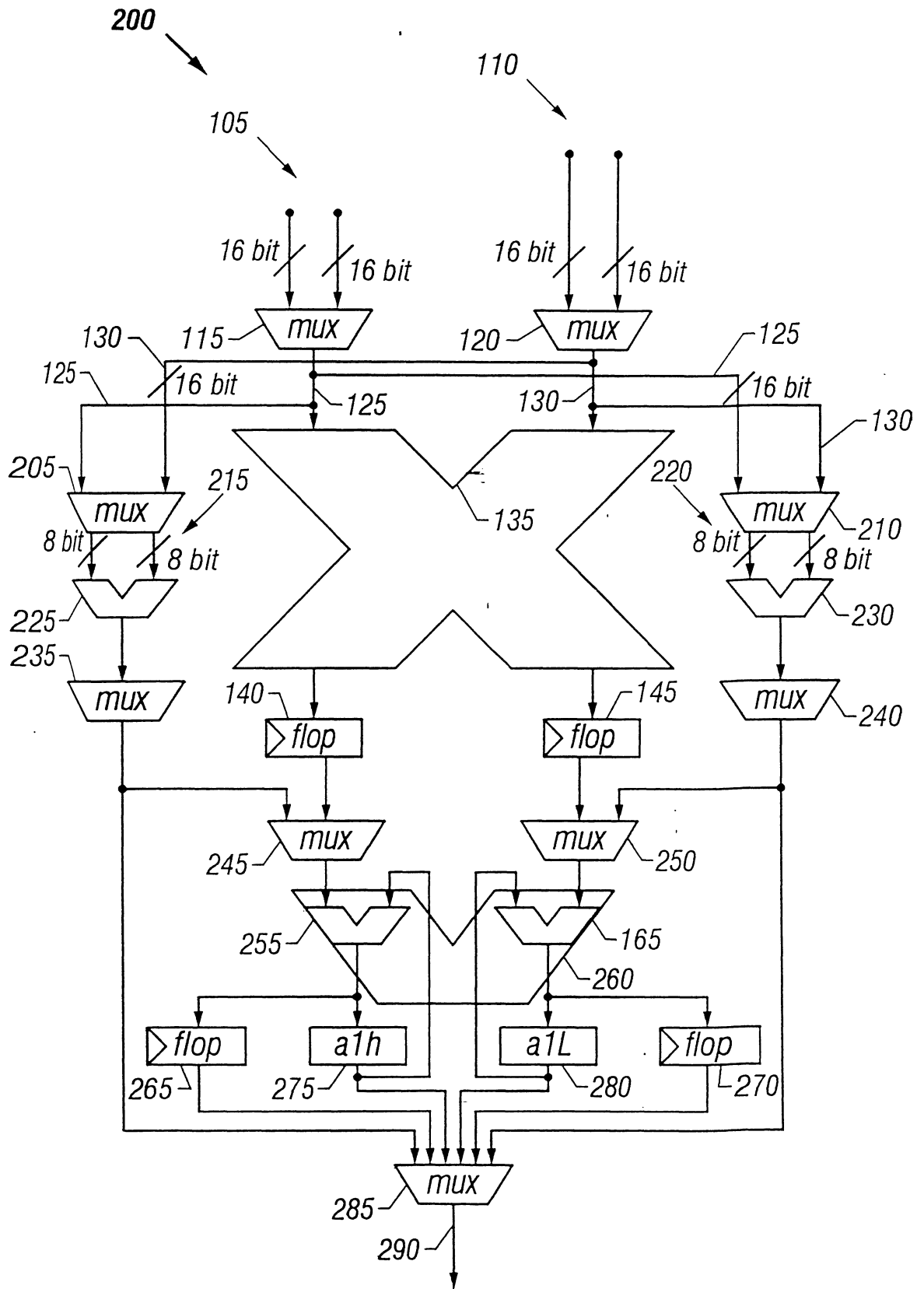


圖 2

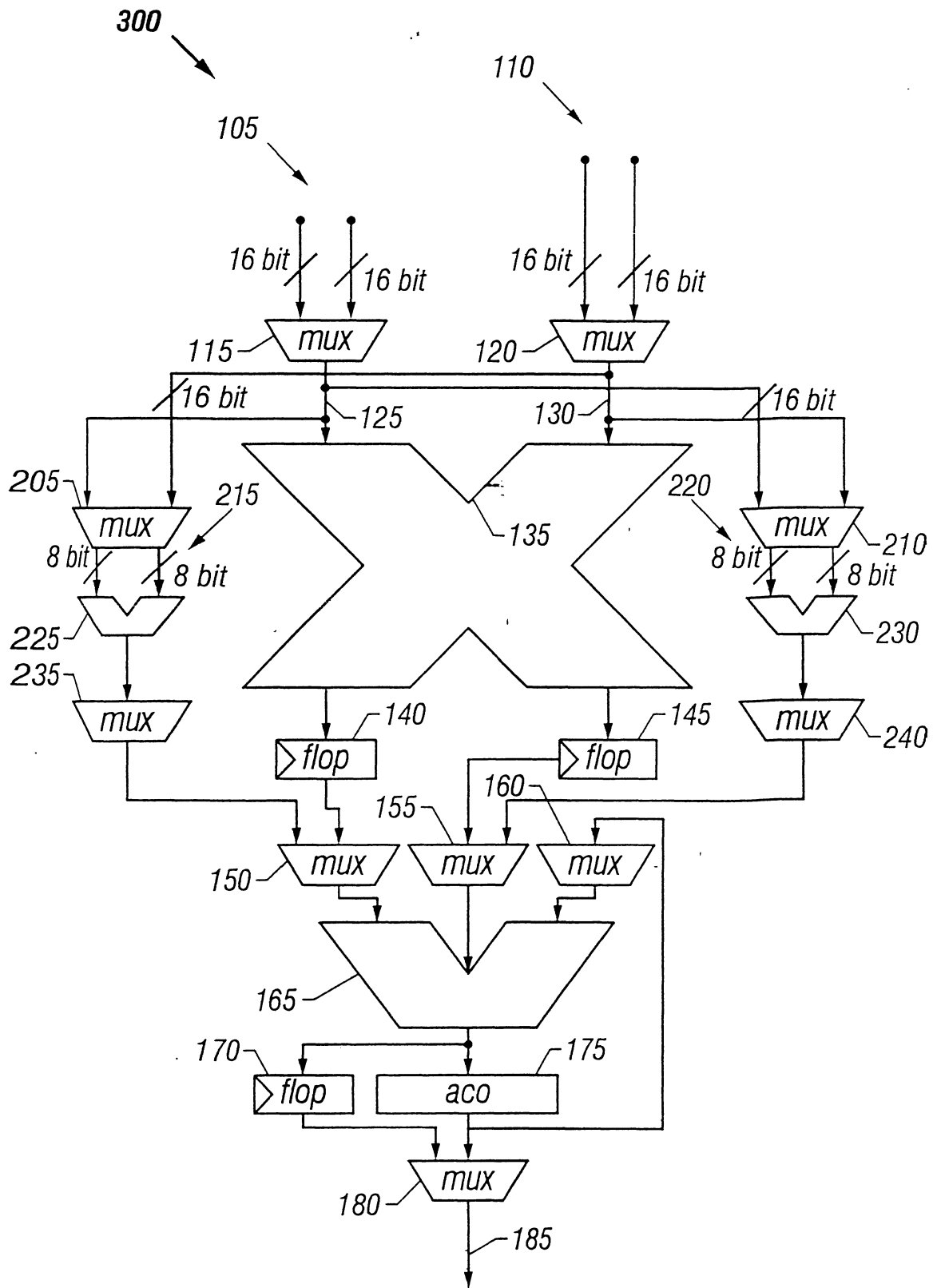


圖 3

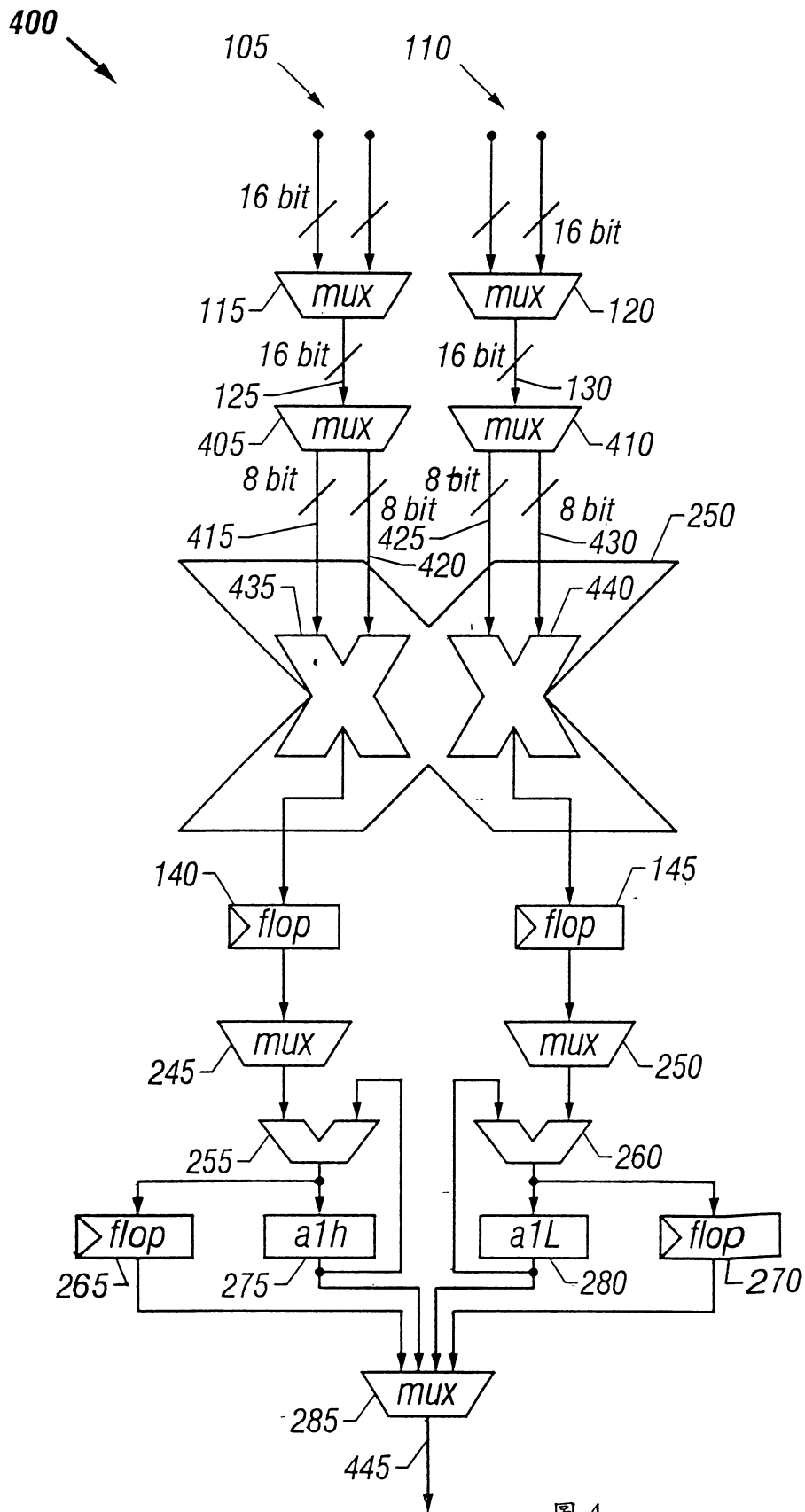


圖 4

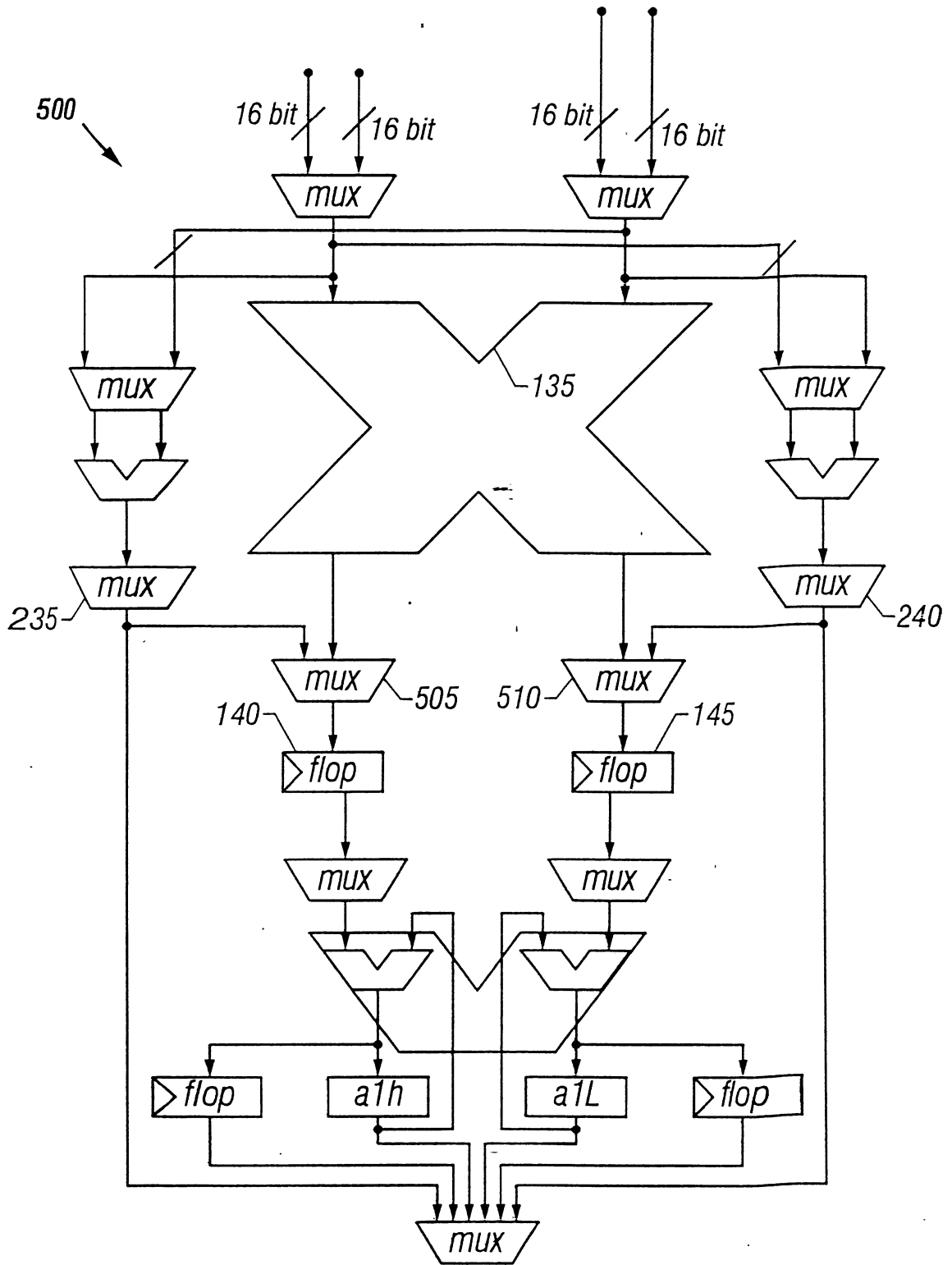


圖 5

## 五、發明說明(10)

92年4月21日修正補充

## 元件符號說明

100	數位信號處理器(DSP)
105、110	16位元資料組
115、120	多工器
125、130	16位元資料組
135	乘法器
140、145	拍擊器
150、155、160	多工器
165	算術邏輯單元(ALU)
170	拍擊器
175	累加器
180	多工器
185	輸出
200	數位信號處理器(DSP)
205、210	多工器
215、220	8位元資料
225、230	算術邏輯單元(ALU)
235、240、245、250	多工器
255、260	算術邏輯單元(ALU)
265、270	拍擊器
275、280	累加器
285	多工器
290	輸出
400	數位信號處理器(DSP)

煩請委員明示  
修正本有無變更實質內容是否准予修正。  
92年4月21日所提

裝

訂

線

## 五、發明說明( 11 )

405	多工器
410	多工器
415、420、425、430	8位元資料庫
435、440	乘法器
445	輸出
500	數位信號處理器(DSP)
505、510	多工器

裝

訂

線

## 六、申請專利範圍

1. 一種數位信號處理器，包含：
  - 一第一處理路徑，其處理多達 $n$ 個位元的資料；以及
  - 一第二處理路徑，其處理多達 $(n/2)$ 個位元的資料。
2. 如申請專利範圍第1項之數位信號處理器，其中該第一處理路徑與該第二處理路徑乃平行操作。
3. 如申請專利範圍第1項之數位信號處理器，其中該第一處理路徑包含一乘法器。
4. 如申請專利範圍第1項之數位信號處理器，其中該第二處理路徑包含許多算術邏輯單元。
5. 如申請專利範圍第1項之數位信號處理器，其中該第一處理路徑處理多達16個位元的資料。
6. 如申請專利範圍第5項之數位信號處理器，其中該第二處理路徑處理多達8個位元的資料。
7. 如申請專利範圍第1項之數位信號處理器，其中該第一處理路徑包含一 $n$ 位元乘法器且該第二處理路徑包含許多 $(n/2)$ 位元算術邏輯單元。
8. 如申請專利範圍第1項之數位信號處理器，其中具有小於或等於 $(n/2)$ 個位元之資料乃於該第二處理路徑予以處理。
9. 一種處理資料之方法，包含：
  - 決定一所要處理之資料尺寸；以及
  - 若資料尺寸大於一第一尺寸則選擇一第一處理路徑；且
  - 若資料尺寸小於一第一尺寸則選擇一第二處理路徑。
10. 如申請專利範圍第9項之方法，進一步包含將一來自該

## 六、申請專利範圍

第一處理路徑之結果儲存於一拍擊器中。

11. 如申請專利範圍第9項之方法，進一步包含將一來自該第二處理路徑之結果儲存於一拍擊器中。
12. 如申請專利範圍第10項之方法，進一步包含將來自該第一處理路徑之結果加至至少一算術邏輯單元中之累加值。
13. 如申請專利範圍第11項之方法，進一步包含將來自該第二處理路徑之結果加至至少一算術邏輯單元中之運轉總數。
14. 如申請專利範圍第9項之方法，其中該第一處理路徑乃大約用於 $n$ 位元資料且該第二處理路徑乃大約用於 $(n/2)$ 位元資料。
15. 如申請專利範圍第14項之方法，進一步包含平行地操作該第一處理路徑和該第二處理路徑。
16. 如申請專利範圍第14項之方法，進一步包含重新配置該第一處理路徑以產生該第二處理路徑。
17. 如申請專利範圍第16項之方法，進一步包含：  
於一輸出收集來自該第一處理路徑與該第二處理路徑之資料；以及  
選擇適當的資料以輸出。
18. 一種處理資料之系統，包含：  
一匯流排；以及  
一數位信號處理器，包含：  
一具有一第一架構與一第二架構之乘法器，該第一

## 六、申請專利範圍

架構處理多達 $n$ 個位元的資料且該第二架構處理多達 $(n/2)$ 個位元的資料；以及

一資料尺寸選擇器，其在資料大於 $(n/2)$ 個位元時將乘法器配置成該第一架構且在資料等於或小於 $(n/2)$ 個位元時將乘法器配置成該第二架構。

19. 如申請專利範圍第18項之系統，其中該第一架構乃一單一的 $n$ 位元乘法器。
20. 如申請專利範圍第18項之系統，其中該第二架構包含兩個 $(n/2)$ 位元乘法器。
21. 如申請專利範圍第18項之系統，進一步包含許多用於收集處理過之資料之算術邏輯單元。
22. 如申請專利範圍第18項之系統，進一步包含一拍擊器，其儲存乘法器之結果。
23. 如申請專利範圍第22項之系統，進一步包含至少一算術邏輯單元，其將來自乘法器之結果加至一運轉總數。
24. 一種處理資料之方法，包含：
  - 決定一所要處理之資料尺寸；
  - 若資料尺寸大於 $(n/m)$ 個位元則配置一資料為 $n$ 個位元之第一處理路徑；以及
  - 若資料尺寸等於或小於 $(n/m)$ 個位元則將該第一處理路徑分割成多重處理路徑。
25. 如申請專利範圍第24項之方法，進一步包含配置所有資料尺寸小於該第一處理路徑之多重處理路徑。
26. 如申請專利範圍第24項之方法，進一步包含將該第一處

## 六、申請專利範圍

理路徑分割成  $m$  條處理路徑。

27. 如申請專利範圍第 24 項之方法，進一步包含一該第一處理路徑中的  $n$  位元乘法器。
28. 如申請專利範圍第 24 項之方法，進一步包含界定  $m=2$ 。