



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2016년04월18일  
 (11) 등록번호 10-1613199  
 (24) 등록일자 2016년04월11일

- (51) 국제특허분류(Int. Cl.)  
*H01L 43/08* (2006.01) *H01L 43/08* (2006.01)  
*H01L 43/12* (2006.01)
- (21) 출원번호 10-2014-7034325
- (22) 출원일자(국제) 2013년05월09일  
 심사청구일자 2015년08월05일
- (85) 번역문제출일자 2014년12월05일
- (65) 공개번호 10-2015-0002898
- (43) 공개일자 2015년01월07일
- (86) 국제출원번호 PCT/US2013/040406
- (87) 국제공개번호 WO 2013/170070  
 국제공개일자 2013년11월14일
- (30) 우선권주장  
 13/746,011 2013년01월21일 미국(US)  
 61/644,592 2012년05월09일 미국(US)
- (56) 선행기술조사문현  
 US20090279353 A1  
 US20100032738 A1  
 WO2006100835 A1

(73) 특허권자  
**웰컴 인코포레이티드**  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자  
**두, 양**  
 미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(74) 대리인  
**특허법인 남앤드남**

전체 청구항 수 : 총 14 항

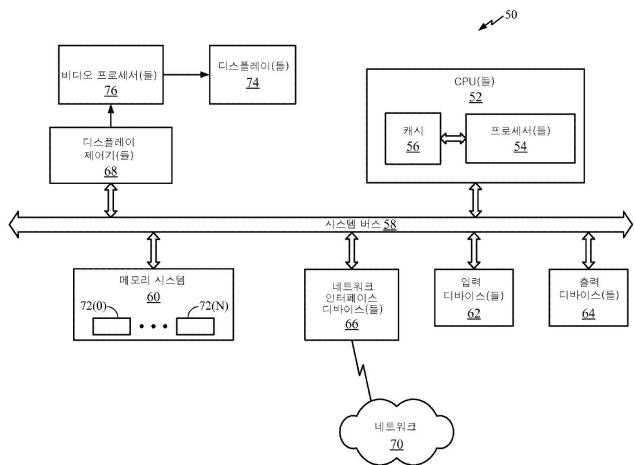
심사관 : 노영철

(54) 발명의 명칭 압전 층을 이용하는 스픈 트랜지스터들 및 관련된 메모리, 메모리 시스템들, 및 이들을 제조하는 방법들

### (57) 요약

스핀 트랜지스터들 및 관련된 메모리, 메모리 시스템들, 및 방법들이 기재된다. 스핀 트랜지스터는, 공유된 다중강성 층을 이용하는 적어도 2개의 자기 터널 접합(MTJ)들에 의해 제공된다. 다중강성 층은, 금속 전극(meta 1)을 갖는 강자성 박막(FM 채널) 위의 압전(PE) 박막으로부터 형성된다. 강자성 층은 스핀 채널로서 기능하며, 압전 층은 채널의 스핀 상태를 제어하도록 압전 스트레스를 전달하기 위해 사용된다. 스핀 트랜지스터에 대하여, 공유된 층의 일 측면 상의 MTJ는 소스를 형성하며, 다른 측면 상의 MTJ는 드레인이다.

### 대표도



## 명세서

### 청구범위

#### 청구항 1

스핀 트랜지스터로서,

제 1 강자성(ferromagnetic) 층을 포함하는 제 1 자기 터널 접합(magnetic tunnel junction : MTJ);

제 2 강자성 층을 포함하는 제 2 MTJ; 및

공유된 스핀 층을 포함하며,

상기 공유된 스핀 층은,

전극;

압전 유전체 층; 및

강자성 스핀 층을 포함하고,

상기 강자성 스핀 층 및 상기 제 1 강자성 층은 제 1 자기 접합을 형성하고, 상기 강자성 스핀 층 및 상기 제 2 강자성 층은 제 2 자기 접합을 형성하고, 상기 제 1 MTJ는 상기 스핀 트랜지스터에 대한 소스를 형성하고, 상기 제 2 MTJ는 상기 스핀 트랜지스터에 대한 드레인을 형성하며, 상기 전극은 상기 스핀 트랜지스터에 대한 게이트를 형성하는,

스핀 트랜지스터.

#### 청구항 2

제 1 항에 있어서,

상기 전극에 인가되는 전압은, 상기 압전 유전체 층으로 하여금, 강자성 물질의 스핀 분극을 준안정(metastable) 분극 상태로 유도하기 위해, 상기 강자성 스핀 층에 스트레인(strain)을 유도하게 하는, 스핀 트랜지스터.

#### 청구항 3

제 1 항에 있어서,

메모리 디바이스에 포함되는, 스핀 트랜지스터.

#### 청구항 4

제 1 항에 있어서,

스위치로서 기능하도록 구성되는, 스핀 트랜지스터.

#### 청구항 5

제 1 항에 있어서,

반도체 다이에 집적되는, 스핀 트랜지스터.

#### 청구항 6

제 1 항에 있어서,

상기 스핀 트랜지스터가 집적되는 셋 톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 개인 휴대 정보 단말(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크

(DVD) 플레이어, 및 휴대용 디지털 비디오 플레이어로 구성되는 그룹으로부터 선택되는 디바이스를 더 포함하는, 스핀 트랜지스터.

#### 청구항 7

스핀 트랜지스터를 형성하는 방법으로서,

제 1 강자성 층을 포함하는 제 1 자기 터널 접합(MTJ)을 제공하는 단계;

제 2 강자성 층 및 제 2 채널을 포함하는 제 2 MTJ를 제공하는 단계; 및

공유된 스핀 층을 제공하는 단계를 포함하고,

상기 공유된 스핀 층은,

전극;

압전 유전체 층; 및

강자성 스핀 층을 포함하며;

상기 강자성 스핀 층 및 상기 제 1 강자성 층은 제 1 자기 접합을 형성하고, 상기 강자성 스핀 층 및 상기 제 2 강자성 층은 제 2 자기 접합을 형성하고, 상기 제 1 MTJ는 상기 스핀 트랜지스터에 대한 소스를 형성하고, 상기 제 2 MTJ는 상기 스핀 트랜지스터에 대한 드레인을 형성하며, 상기 전극은 상기 스핀 트랜지스터에 대한 게이트를 형성하는, 스핀 트랜지스터를 형성하는 방법.

#### 청구항 8

제 7 항에 있어서,

상기 압전 유전체 층으로 하여금, 강자성 물질의 스핀 분극을 준안정(metastable) 분극 상태로 유도하기 위해, 상기 강자성 스핀 층에 스트레인(strain)을 유도하게 하기 위해 상기 전극에 전압을 인가하는 단계를 더 포함하는, 스핀 트랜지스터를 형성하는 방법.

#### 청구항 9

제 7 항에 있어서,

상기 스핀 트랜지스터는 반도체 다이에 형성되는, 스핀 트랜지스터를 형성하는 방법.

#### 청구항 10

스핀 밸브 스위치로서,

제 1 전극;

채널 영역을 제공하도록 구성되는 강자성 층;

상기 제 1 전극과 상기 강자성 층 사이에 배치되며, 게이트 유전체를 제공하도록 구성되는 압전 유전체 층;

상기 강자성 층과 함께 제 1 자기 접합을 형성하는 제 1 고정된 강자성 층;

상기 강자성 층과 함께 제 2 자기 접합을 형성하는 제 2 고정된 강자성 층;

상기 제 1 자기 접합과 연관된 제 1 터널 배리어; 및

상기 제 2 자기 접합과 연관된 제 2 터널 배리어를 포함하고,

상기 제 1 전극은 상기 스핀 밸브 스위치에 대한 게이트를 형성하고, 상기 스핀 밸브 스위치가 스핀 트랜지스터로서 동작하기 위해, 상기 제 2 고정된 강자성 층은 드레인으로서 동작하고, 상기 제 1 고정된 강자성 층은 소스로서 동작하는,

스핀 밸브 스위치.

#### 청구항 11

제 10 항에 있어서,

상기 제 1 전극에 인가되는 전압은, 상기 압전 유전체 층으로 하여금, 강자성 물질의 스핀 분극을 준안정(metastable) 분극 상태로 유도하기 위해, 상기 강자성 층에 스트레인(strain)을 유도하게 하는, 스핀 밸브 스위치.

#### 청구항 12

제 10 항에 있어서,

메모리 디바이스에 포함되는, 스핀 밸브 스위치.

#### 청구항 13

제 10 항에 있어서,

반도체 다이에 집적되는, 스핀 밸브 스위치.

#### 청구항 14

제 10 항에 있어서,

상기 스핀 밸브 스위치가 집적되는 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 개인 휴대 정보 단말(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 및 휴대용 디지털 비디오 플레이어로 구성되는 그룹으로부터 선택되는 디바이스를 더 포함하는, 스핀 밸브 스위치.

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

#### 청구항 20

삭제

#### 청구항 21

삭제

#### 청구항 22

삭제

#### 청구항 23

작제

## 발명의 설명

### 기술 분야

#### 우선권 주장

[0001] 본 출원은 발명의 명칭이 "SPIN TRANSISTORS AND RELATED MEMORY, MEMORY SYSTEMS, AND METHODS"로 2012년 5월 9일자로 출원된 미국 특허 출원 제 61/644,592호를 우선권으로 및 그 출원의 이점을 주장하며, 그 출원은 그 전체가 본 명세서에 인용에 의해 포함된다.

[0003] 본 발명의 기술은 일반적으로, 메모리 셀들을 제공하기 위해 사용되는 자기 터널 접합(magnetic tunnel junction)(MTJ)들에 관한 것이다.

### 배경 기술

[0004] 전자 산업은, 회로 설계의 컴포넌트로서 스위치들을 일반적으로 사용한다. 현재까지, 이들 스위치들은, CMOS 또는 MOSFET 스위치와 같은 전하 기반 스위치들이었다. 그러한 전하 기반 스위치들에서의 전력 소비가 관심사이며, 기존의 스위칭 기술에 대한 저전력 대안들을 발견하기 위한 계속되는 압력이 존재한다.

[0005] 자기 터널 접합(MTJ)들은, 스위치들로서 사용될 수 있지만, MTJ를 프로그래밍함으로써 데이터가 저장되는 비-휘발성 메모리인 자기 랜덤 액세스 메모리(MRAM)와 같은 메모리 애플리케이션들에서 더 빈번하게 사용된다. 그러나, 종래의 MTJ들은, 상태들 사이에서 스위칭할 시에 특정한 양들의 전력을 소비한다. 휴대용 전자기기들과 같은 많은 디바이스들에서, 그러한 메모리 엘리먼트들에 의한 전력 소비를 감소시키기 위한 일반적인 목표가 존재한다.

[0006] MTJ의 전력 소비에도 불구하고, MRAM은, 전력이 턴 오프된 경우에도 MTJ가 정보를 저장하는데 사용될 수 있기 때문에 유리하다. 데이터는, 전기 전하 또는 전류보다는 작은 자기 엘리먼트로서 MTJ에 저장된다. 예시적인 MTJ(10)가 도 1에 도시된다. 데이터는, 2개의 층들(고정된 또는 피닝된(pinned) 층(14) 위에 배치된 프리 층(free layer)(12)) 사이의 자기 배향에 따라 MTJ(10)에 저장된다. 프리 및 피닝된 층들(12, 14)은, 강자성(ferromagnetic) 재료로부터 형성된다. MTJ(10)는, 피닝된 층(14)이 프리 층(12) 아래에 배치되는 종래의 "하부-스핀 밸브" 구성으로 구성된다. 프리 및 피NING된 층들(12, 14)은, 얇은 비-자기 유전체 층에 의해 형성되는 터널 접합 또는 배리어(16)에 의해 분리된다. 프리 및 피NING된 층들(12, 14)은, 자기 H-필드가 MTJ(10)의 히스테리시스 루프(18)로 인해 '0'인 경우에도 정보를 저장할 수 있다. 전자들은, MTJ(10)의 단부들 상에 커플링된 2개의 전극들(20, 22) 사이에 바이어스 전압이 인가되면, 터널 배리어(16)를 통해 터널링 할 수 있다. 터널링 전류는, 프리 및 피NING된 층들(12, 14)의 상대적인 배향에 의존한다. 스핀-토크-전달(STT) MTJ를 사용하는 경우, 프리 및 피NING된 층들(12, 14)의 스핀 정렬이 평행(P)과 반-평행(anti-parallel)(AP) 사이에서 스위칭되는 경우의 터널링 전류에서의 차이는, 터널 자기저항비(tunnel magnetoresistance ratio)(TMR)로서 알려져 있다.

[0007] 프리 및 피NING된 층들(12, 14)의 자기 배향들이 서로 반-평행인 경우(MTJ(10')로서 도 1에 도시됨), 제 1 메모리 상태가 존재한다(예를 들어, 로직 '1'). 프리 및 피NING된 층들(12, 14)의 자기 배향들이 서로 평행인 경우(MTJ(10'')로서 도 1에 도시됨), 제 2 메모리 상태가 존재한다(예를 들어, 로직 '0'). 프리 및 피NING된 층들(12, 14)의 자기 배향은, 전류가 MTJ(10)를 통해 흐를 경우 저항을 감지함으로써 MTJ(10)에 저장된 데이터를 판독하도록 감지될 수 있다. 또한, 데이터는, 프리 강자성 층(12)의 배향을 피NING된 층(14)에 대한 P 또는 AP 자기 배향 중 어느 하나로 변경시킬도록 자기장을 인가함으로써 MTJ(10)에 기입되고 저장될 수 있다. 프리 층(12)의 자기 배향은 변경될 수 있지만, 피NING된 층(14)의 자기 배향은 고정된다.

[0008] 도 2는, 도 1의 MTJ(10)와 유사한 설계의 STT MTJ(23)("MTJ(23)"로 지칭됨)를 도시한다. MTJ(23)는, 비-휘발성 데이터를 저장하기 위한 MRAM 비트셀(24)의 일부로서 제공된다. 예들로서, MRAM 비트셀(24)은, 컴퓨터 프로세싱 유닛(CPU) 또는 프로세서-기반 시스템과 같이, 전자 메모리를 요구하는 임의의 타입의 시스템에 대해 메모리 어레이로 제공되고 메모리 저장부로서 사용될 수도 있다. 금속-산화물 반도체(통상적으로 n-타입 MOS, 즉, NMOS) 액세스 트랜지스터(26)는, MTJ(23)에 대한 판독 및 MTJ(23)로의 기입을 제어하도록 제공된다. 액세스 트랜지스터(26)의 드레인(D)은, 피NING된 층(14)에 커플링된 MTJ(23)의 하부 전극(22)에 커플링된다. 워드 라인(V<sub>WL</sub>)은 액세스 트랜지스터(26)의 게이트(G)에 커플링된다. 액세스 트랜지스터(26)의 소스(S)는 전압 소스(V<sub>S</sub>)

에 커플링된다. 비트 라인( $V_{BL}$ )은, 프리 층(12)에 커플링된 MTJ(23)의 상부 전극(20)에 커플링된다.

[0009] MTJ(23)에 저장된 데이터를 판독할 경우, 워드 라인( $V_W$ )은, 작은 전류가 전극들(20, 22) 사이에서 MTJ(23)를 통해 흐르게 하도록 액세스 트랜지스터(26)에 대해 활성화된다. 측정된 전류에 의해 나눗셈된 비트 라인( $V_{BL}$ ) 상에 인가된 전압에 의해 측정되는 바와 같은 낮은 저항은, 프리 층(12)과 피닝된 층(14) 사이의 P 배향과 연관된다. 더 높은 저항은, 프리 층(12)과 피닝된 층(14) 사이의 AP 배향과 연관된다. MTJ(23)에 데이터를 기입하는 경우, 액세스 트랜지스터(26)의 게이트(G)는 워드 라인( $V_W$ )을 활성화시킴으로써 활성화된다. 비트 라인( $V_{BL}$ )과 소스 라인( $V_S$ ) 사이에 전압차가 인가된다. 결과로서, 기입 전류(I)가 드레인(D)과 소스(S) 사이에서 발생된다. 자기 배향이 AP로부터 P로 변경될 것이라면, 상부 전극(20)으로부터 하부 전극(22)으로 흐르는 기입 전류( $I_{AP-P}$ )가 발생되며, 이 전류는, 프리 층(12)의 자기 배향을 피닝된 층(14)에 대한 P로 변경시키도록 프리 층(12)에서 STT를 유도한다. 자기 배향이 P로부터 AP로 변경될 것이라면, 하부 전극(22)으로부터 상부 전극(20)으로 흐르는 전류( $I_{P-AP}$ )가 생성되며, 이 전류는 프리 층(12)의 자기 배향을 피닝된 층(14)에 대한 AP로 변경시키기 위해 프리 층(12)에서 STT를 유도한다.

[0010] 디바이스가 스위치 또는 판독/기입 메모리 디바이스로서 제공되는지 또는 디바이스가 어떤 상태로 변경하는지에 관계없이, 특정한 양의 전류(즉, 전력)가 요구된다. 전력 소비는, 모바일 폰들과 같은 모바일 단말들에서 배터리 수명을 단축시키며, 모든 디바이스들에서 소산(dissipate)되어야 하는 폐열(waste heat)을 발생시킨다. 따라서, 상술된 바와 같이, MRAM을 이용할 수도 있는 프로세서 기반 시스템들에서 전력 소비를 감소시키기 위한 일반적으로 소망되는 목표가 존재한다.

### 발명의 내용

[0011] 상세한 설명에 기재된 실시예들은, 스픈 트랜지스터들 및 관련된 메모리, 메모리 시스템들, 및 방법들을 포함한다. 스픈 트랜지스터는, 공유된 다중강성(multiferroic) 층을 갖는 적어도 2개의 자기 터널 접합(MTJ)들에 의해 제공된다. 일 실시예에서, 다중강성 층은, 금속 전극(metal)을 갖는 강자성 박막(FM 채널) 위의 압전(PE) 박막으로부터 형성된다. 강자성 층은 스픈 채널로서 기능하며, 압전 층은, 채널의 스픈 상태를 제어하도록 압전 스트레스를 전달하기 위해 사용된다. 스픈 트랜지스터에 대하여, 공유된 층의 일 측면 상의 MTJ는 소스를 형성하며, 다른 측면 상의 MTJ는 드레인이다. 전압 펄스가 PE 막에 제공되는 경우, PE 막은 강자성 층에 대하여 스트레스를 유도한다. 차례로, 강자성 층에서의 유도된 스트레스-이방성은, 초기 평행 또는 반-평행 상태로부터 90도 회전의 바람직한 스픈 배향(용이(easy) 축)을 유도한다. 이러한 회전은 준-안정(meta-stable) 스픈 상태를 셋업한다. 스픈 트랜지스터의 소스와 드레인 사이에 작은 전압이 인가된 경우, 작은 스픈 분극된 전류는, 스픈 상태를 평행 배향으로 붕괴(collapse)시키고, 채널을 낮은 임피던스 상태로 전환시켜서, 스픈 트랜지스터 온-상태 트랜지션(transition)을 완료한다. 소스와 드레인 사이에 어떠한 전압도 존재하지 않는 경우, 자기 쌍극자는, 스픈 상태를 반-평행으로 강제(force)하고 채널을 높은 임피던스 상태로 변화시켜서, 오프-상태 트랜지션을 완료한다.

[0012] 이와 관련하여, 일 실시예에서, 전압 제어된 스픈 채널은, 제 1 전극, 채널 영역을 제공하도록 구성되는 강자성 층, 및 게이트 유전체를 제공하도록 구성되는 제 1 전극과 강자성 층 사이에 배치된 압전 유전체 층을 포함한다.

[0013] 다른 실시예에서, 스픈 트랜지스터가 제공된다. 스픈 트랜지스터는, 제 1 강자성 층 및 제 1 채널을 포함하는 제 1 MTJ, 제 2 강자성 층 및 제 2 채널을 포함하는 제 2 MTJ, 및 공유된 스픈 층을 포함한다. 공유된 스픈 층은, 전극, 압전 층, 및 강자성 스픈 층을 포함한다. 제 1 MTJ는 스픈 트랜지스터에 대한 소스를 형성하고, 제 2 MTJ는 스픈 트랜지스터에 대한 드레인을 형성하며, 전극은 스픈 트랜지스터에 대한 게이트를 형성한다.

[0014] 다른 실시예에서, 스픈 트랜지스터를 형성하기 위한 방법이 제공된다. 방법은, 제 1 전극을 제공하는 단계 및 채널 영역을 제공하도록 구성되는 강자성 층을 제공하는 단계를 포함한다. 방법은, 게이트 유전체를 제공하기 위해 제 1 전극과 강자성 층 사이에 압전 유전체 층을 배치하는 단계를 더 포함한다.

[0015] 다른 실시예에서, 스픈 트랜지스터를 형성하기 위한 방법이 제공된다. 방법은, 제 1 강자성 층 및 제 1 채널을 포함하는 제 1 MTJ를 제공하는 단계를 포함한다. 방법은, 제 2 강자성 층 및 제 2 채널을 포함하는 제 2 MTJ를 제공하는 단계를 더 포함한다. 방법은, 전극, 압전 유전체 층, 및 강자성 스픈 층을 포함하는 공유된 스픈 층을 제공하는 단계를 더 포함하며, 여기서, 제 1 MTJ는 스픈 트랜지스터에 대한 소스를 형성하고, 제 2 MTJ는 스

핀 트랜지스터에 대한 드레인을 형성하며, 전극은 스핀 트랜지스터에 대한 게이트를 형성한다.

[0016] 다른 실시예에서, 스핀 밸브 스위치는, 제 1 전극, 채널 영역을 제공하도록 구성되는 강자성 층, 게이트 유전체를 제공하도록 구성되는 제 1 전극과 강자성 층 사이에 배치된 압전 유전체 층, 강자성 층과 함께 제 1 자기 접합 또는 제 1 스핀 밸브를 형성하는 제 1 고정된 강자성 층, 및 강자성 층과 함께 제 2 자기 접합 또는 제 2 스핀 밸브를 형성하는 제 2 고정된 강자성 층을 포함한다.

### 도면의 간단한 설명

도 1은, 평행(P) 및 반-평행(AP) 상태들 둘 모두에서 도시된 종래 기술에서의 자기 터널 접합의 예시이다.

도 2는, 종래 기술에서 종래의 자기 터널 접합(MTJ) 설계를 이용하는 예시적인 자기 랜덤 액세스 메모리(MRAM) 비트셀의 도면이다.

도 3은 본 발명에 따른, 전압 제어된 스핀 채널의 예시적인 실시예의 간략화된 블록도이다.

도 4a-4c는, 도 3의 스핀 트랜지스터의 3개의 상태들을 도시한다.

도 5a-5d는, 제 1 전극과 강자성(FM) 층 사이에 배치된 압전(PE) 층으로부터 형성된 예시적인 스핀 밸브 스위치들 및 스핀 트랜지스터들의 블록도들이다.

도 6은, 도 5d의 스핀 트랜지스터의 도면이며, PE 층에 의한 스트레스 유도된 준-안정성을 유도하는 전압 바이어스를 도시한다.

도 7은, 도 5d의 스핀 트랜지스터의 도면이며, 도 6의 스트레스 유도된 준-안정성에 의해 보조되는 스핀 전류 유도된 분극 상태 변화들을 도시한다.

도 8은, 도 5d의 예시적인 스핀 트랜지스터에 대한 제안된 예시적인 회로도 심볼이다.

도 9는, 도 5d의 스핀 트랜지스터를 포함하는 예시적인 메모리 디바이스이다.

도 10은, 본 명세서에 기재된 스핀 트랜지스터들을 포함할 수 있는 예시적인 프로세서-기반 시스템의 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

[0018] 이제 도시한 도면들을 참조하여, 본 발명의 수개의 예시적인 실시예들이 설명된다. 단어 "예시적인"은 "예, 예시, 또는 예증으로서 가능하는 것"을 의미하도록 본 명세서에서 사용된다. "예시적인"것으로서 본 명세서에 설명된 임의의 실시예는 다른 실시예들에 비해 바람직하거나 유리한 것으로서 해석될 필요는 없다.

[0019] 상세한 설명에 기재된 실시예들은, 스핀 트랜지스터들 및 관련된 메모리, 메모리 시스템들, 및 방법들을 포함한다. 스핀 트랜지스터는, 공유된 다중강성 층을 갖는 적어도 2개의 자기 터널 접합(MTJ)들에 의해 제공된다. 일 실시예에서, 다중강성 층은, 금속 전극(metal)을 갖는 강자성 박막(FM 채널) 위의 압전(PE) 박막으로부터 형성된다. 강자성 층은 스핀 채널로서 기능하며, 압전 층은 채널의 스핀 상태를 제어하도록 압전 스트레스를 전달하기 위해 사용된다. 스핀 트랜지스터에 대하여, 공유된 층의 일 측면 상의 MTJ는 소스를 형성하고, 다른 측면 상의 MTJ는 드레인이다. 전압 펄스가 PE 막에 제공되는 경우, PE 막은 강자성 층에 대하여 스트레스를 유도한다. 차례로, 강자성 층에서의 유도된 스트레스-이방성은, 초기의 평행 또는 반-평행 상태로부터 90도 회전의 바람직한 스핀 배향(용이(easy) 축)을 유도한다. 이러한 회전은 준-안정 스핀 상태를 셋업한다. 스핀 트랜지스터의 소스와 드레인 사이에 작은 전압이 인가된 경우, 작은 스핀 분극된 전류는, 스핀 상태를 평행 배향으로 봉괴시키고, 채널을 낮은 임피던스 상태로 전환시켜서, 스핀 트랜지스터 온-상태 트랜지션을 완료한다. 소스와 드레인 사이에 어떠한 전압도 존재하지 않는 경우, 자기 쌍극자는, 스핀 상태를 반-평행으로 강제하고, 채널을 높은 임피던스 상태로 변경시켜서, 오프-상태 트랜지션을 완료한다.

[0020] 이와 관련하여, 도 3은, 전압 제어된 스핀 채널(150)의 간략화된 도면이다. 전압 제어된 스핀 채널(150)은, 더 상세히 후술되는 바와 같은 스핀 트랜지스터의 빌딩 블록(building block)을 형성할 수도 있다. 전압 제어된 스핀 채널(150)은 압전 유전체 층(152)을 포함한다. 압전 유전체 층(152)의 일 측면 상에는 강자성 층(154)이 존재하며, 압전 유전체 층(152)의 다른 측면 상에는 금속 층(156)이 존재한다. 금속 층(156)은, 전압 제어된 스핀 채널(150)에 대한 제 1 전극을 제공하며, 강자성 층(154)은 전압 제어된 스핀 채널(150)에 대한 채널 영역을 제공한다. 압전 유전체 층(152)은 게이트 유전체로서 동작한다. 접합적으로, 압전 유전체 층(152) 및 강자

성 층(154)은, 다중강성 스택으로 본 명세서에서 종종 지칭된다.

[0021] 전압 제어된 스핀 채널(150)은, 강자성 층(154)에 대한 에너지 상태를 가지고, 그 에너지 상태는  $E_{total}$ 인 것으로 본 명세서에서 정의된다. 전압 제어된 스핀 채널(150)에 대해 가장 안정한 상태는, 가장 낮은 에너지 상태이다.  $E_{total}$ 은 자기 엘리먼트들의 물리적 속성들, 임의의 자기 쌍극자에 의해 형성된 에너지 및 임의의 외력(external force)들의 합과 동일하다. 따라서,  $E_{total}$ 은 다음과 같이 수학적으로 정의될 수도 있다.

$$E_{total} = E_0 + E_{dipole} + E_{spin-torque} + E_{stress-anisotropy}$$

[0023] 여기서,  $E_0$ 는, 자기 엘리먼트들의 물리적 속성들 및 지오메트리(geometry)들의 함수이고;  $E_{dipole}$ 은 자기 쌍극자의 함수이고,  $E_{spin-torque}$ 는 스핀-스핀 상호작용 또는 스핀-토크의 함수이며,  $E_{stress-anisotropy}$ 는 외부 기계력(external mechanical force)들의 함수이다. 통상적으로,  $E_{dipole}$ 은 작다.  $E_{stress-anisotropy}$  및  $E_{spin-torque}$  중 임의의 것이 부재시에, 주로  $E_{dipole}$  때문에 가장 낮은 에너지 상태는 스핀 트랜지스터에서 반-평행이다. 따라서, 전압 제어된 스핀 채널(150)이 스핀 트랜지스터 내에 포함된다면, 강자성 층(154)에 대한 디폴트 배향은 반-평행이다(즉, 그것은, 스핀 트랜지스터의 소스 및 드레인을 형성하기 위해 사용되는 고정된 강자성 층들의 반대가 되기를 원한다(아래에 더 상세히 도시됨)). 그러나, 금속 전극(156)에 작은 전압 펄스를 인가함으로써, 압전 유전체 층(152)으로부터의 스트레스의 형태로 에너지가 강자성 층(154)에 공급된 경우,  $E_{total}$ 은 변하며, 새로운 가장 낮은 에너지 상태를 추구한다. 그러한 경우에서, 가장 낮은 에너지 상태는, 용이 측에 수직인 스핀 상태를 선호하는 준-안정 스핀 상태이다. 이제, 작은 전압이 인가된 경우(예를 들어, 전류는 스핀 트랜지스터에서 소스로부터 드레인으로 흐름), 작은 스핀 분극된 전류는, 스핀 상태를 평행 배향으로 봉괴시키고, 채널을 낮은 임피던스 상태로 전환시킨다. 전압의 다른 펄스는, 소스와 드레인 사이에 어떠한 스핀 분극된 전류도 존재하지 않는 경우, 배향을 역으로 반-평행으로 푸시(push)한다.

[0024] 강자성 층(154)의 상태들(즉, 스트레인(strain) 유도된 준안정 스핀 상태 트랜지션(170A)(도 4a), 스핀 전류 셋팅된 온 상태(즉, 평행)(170B)(도 4b), 및 쌍극자 유도된 오프 상태(즉, 반-평행)(170C)(도 4c))은, 도 4a-4c에 도시되며 (그리고 더 상세히 후술됨), 금속 층(156)에서의 전압 및 소스와 드레인 사이의 스핀 전류의 존재에 따라 이를 사이에서 스위칭할 수 있다.

[0025] 도 3 및 도 4a-4c를 계속 참조하면, 전압이 제 1 전극(즉, 전압 제어된 스핀 채널(150)의 금속 층(156))에 인가된 경우, 전압은, 압전 유전체 층(152)으로 하여금 형상을 변경시키게 하며, 이는 강자성 층(154)에서 물리적 스트레인을 야기한다. 비교적 낮은 전압(예를 들어, 얇은 다중강성 스택에 대해  $< 0.1V$ )이 이러한 스트레인을 부여(impart)하도록 요구된다. 전압과 커플링된 강자성 층(154) 상의 스트레인은, 강자성 층(154)의 상태가 변경되게 한다. 스트레스 하에서, 강자성 층(154)은 준안정 스핀 상태로 떨어질 것이다. 준안정 스핀 상태는, 강자성 층(154)이, 스트레인 및 수평으로 놓여있는 스핀 배향 하에 있는 상태이다. 일단 스트레스가 텔리즈(release)되면, 스핀 분극된 전류가 채널을 통해 흐르는지 여부, 즉, 작은 스핀 분극된 전류와 평행한지, 어떠한 스핀 분극된 전류와도 반-평행이 아닌지에 의해 결정되는 AP 또는 P 방향을 따라 (수직인) 용이 측으로 스핀 상태가 되돌아갈 것이다. 따라서, 물리적 스트레인의 부가는, 평행 스핀 배향에 대한 변경을 달성하기 위해 요구되는 전류의 양이, 도 2의 MTJ(23)에서 상태들을 변경시키기 위해 요구되는 전류의 양보다 훨씬 작다는 것을 의미한다. 따라서, 전압 제어된 스핀 채널(150)의 스핀 전류는, 비교적 작으며, 예를 들어 0.1V와 같은 매우 낮은 바이어싱 전압에서 전도될 수 있다. CMOS 로직과 유사하게, 스위치 딜레이이는 CV/I에 의존하고 스위칭 에너지는  $CV^2$ 을 따르지만, C( $>100A$  압전 층 두께)는 낮고  $V^2$ 은 매우 낮다. 또한, 채널 상태는 락킹(lock)되며, 따라서, 스위칭 페이즈들 동안을 제외하고 어떠한 전력도 제공될 필요는 없다.

[0026] 전압 제어된 스핀 채널(150)의 전도도는, 강자성 층(154)의 스핀 분극에 의해 제어되며, 이는, 스트레인 및 그에 따라 압전 층(152)에서의 유도된 스트레인 의하여 금속 층(156)에 인가된 전압에 의해 조작된다.

[0027] 일 예시적인 실시예에서, 압전 층(152)은 PZT(lead zirconate titanate)일 수도 있으며, 금속 층(156)은, 구리, 은, 또는 알루미늄 등과 같은 임의의 전도체일 수도 있다.

[0028] 도 3 및 도 4a-4c의 전압 제어된 스핀 채널(150)은, 도 5a-5d에 더 완전히 도시된 바와 같이, 전압 제어된 스핀 밸브 스위치 또는 스핀 트랜지스터에 용이하게 포함된다. 특히, 도 5a는, 제 1 고정된 강자성 층(158A) 및 제 2 고정된 강자성 층(158B)에 커플링된 전압 제어된 스핀 채널(150)로부터 형성된 스핀 밸브 스위치(172)를 도시한다. 제 1 고정된 강자성 층(158A)과 강자성 층(154) 사이의 계면은, 다이오드에서의 p-n 접합과 유사한 전위

를 갖는 자기 접합(174) 또는 스핀 밸브를 형성하지만, 그 전위는, 전기 전위 대신 자기 전위이다. 유사하게, 제 2 고정된 강자성 층(158B)과 강자성 층(154) 사이의 계면은 자기 접합(176)을 형성한다. 대부분의 재료들에 대해, 자기 접합들(174 및 176)은 효율적이지 않다. 고정된 강자성 층(158)이 강자성 층(154)과 동일한 재료로 제조되면, 압전 유전체 층(152)이 강자성 층(154) 상에 스트레인을 배치하는 경우, 그들 사이에 어떠한 자기 접합도 존재하지 않으며 도메인 벽(domain wall)을 형성함을 유의한다. 일 예시적인 실시예에서, 고정된 강자성 층들(158)은 동일한 재료로부터 제조된다. 그러나, 대안적인 실시예에서, 고정된 강자성 층들(158)은, 비대칭적인 스핀 밸브 스위치를 생성하기 위해 상이한 재료들로부터 제조된다.

[0029] 자기 접합들(174, 176)에서 스핀 주입 효율을 개선시키기 위해, 터널 배리어가 사용될 수도 있다. 도 5b 및 5c는 자기 접합들(174, 176)에서 터널 배리어들(160A, 160B)을 사용하는 대안적인 실시예들을 각각 도시한다. 터널 배리어들(160A, 160B)은, 스핀 분극된 전류 주입을 개선시키며, 강자성 층들(154, 158A, 및 158B) 사이의 전도성 미스매치들을 회피한다. 그러한 접합은, 자기 터널링 접합으로 또한 지칭된다.

[0030] 따라서, 자기 접합들(174, 176) 둘 모두에서 2개의 터널 배리어들(160A, 160B)의 사용은, 도 5d에 도시된 바와 같이 스핀 트랜지스터(178)를 제공한다. 더 상세하게는, 도 5d는, 상술된 압전 유전체 층(152), 강자성 층(154), 및 금속 층(156)을 공유한다. 강자성 층(154)의 일 측면 상의 제 1 고정된 강자성 층(158A)은, 스핀 트랜지스터(178)에 대한 소스로서 기능한다. 제 1 고정된 강자성 층(158A)은, 터널 배리어(160A)에 의해 강자성 층(154)으로부터 분리된다. 강자성 층(154)의 다른 측면 상의 제 2 고정된 강자성 층(158B)은, 스핀 트랜지스터(178)에 대한 드레인으로서 사용된다. 제 2 고정된 강자성 층(158B)은, 제 2 터널 배리어(160B)에 의해 강자성 층(154)으로부터 분리된다. 실제로, 고정된 강자성 층들(158A 및 158B)은, 강자성 층(154)에 의해 형성되는 공유된 채널을 갖는 2개의 MTJ들을 형성한다. 금속 층(156)은, 게이트에 대한 전극으로서 동작하며, 강자성 층들(158A, 158B)은, 전극들이 부착(affix)될 수 있는 소스 및 드레인을 제공한다. 이러한 구조는, 스핀 트랜지스터(178)가 스위치로서 또는 메모리 엘리먼트로서 기능하게 한다. 어느 하나의 경우에서, 구조는, 다른 설계들보다 작은 전류를 이용하는 상태로의 변경들을 허용하며, 이는 차례로 전력을 절약한다.

[0031] 도 6은, 도 5의 스핀 트랜지스터(178)의 도면이며, 강자성 층(154)에서 준-안정 스핀 상태를 유도하는 압전 유전체 층(152)에 인가된 전압을 도시한다. 전압 소스(180)가, 금속 층(156)에 인가되고, 일 예시적인 실시예에서는 0.1V보다 작은 전압 Vg를 제공함을 유의한다. 유사하게, 전압 소스(182)는, 스핀 트랜지스터(178)의 소스와 드레인 사이에 전압 Vds를 제공한다. 유사하게, 전압 Vds는, 일 예시적인 실시예에서 0.1V보다 작을 수도 있다.

[0032] 도 7은, 강자성 층(154)이 준안정 상태로부터 온 상태(실선 화살표) 또는 오프 상태(점선 화살표)로 트랜지션하도록 스핀 트랜지스터(178)의 소스 및 드레인에 인가된 전류를 갖는 스핀 트랜지스터(178)를 도시한다. 또한, 준안정 상태로부터 온 또는 오프 상태들 중 어느 하나로 시프팅하기 위해 요구되는 전류의 양은 매우 작으며, 따라서 전력 보존이 달성된다.

[0033] 본 발명의 어레인지먼트(arrangement)는, 비교적 낮은 전력 공급, 즉, 대략  $\ll 0.1V$  Vgs 및 Vds 전압을 단일 도메인 강자성 채널(높은 온/오프 비)에 제공한다. 예로서, 50mV가 시연되었다. 또한, 압전 유전체 층(152)의 두께는 스트레인 변환을 위해 비교적 두꺼우며, 이는, 그와 연관된 낮은 커페시턴스를 초래한다. 유사하게, 채널 상태 메모리(온 및 오프)는 게이트 전압 펄스에 의해 스위칭된다.

[0034] 도 8은, 도 5d의 예시적인 스핀 트랜지스터에 대한 예시적인 회로도 심볼(200)이다. 다른 심볼들이 사용될 수 있지만, 제안된 심볼(200)은 본 발명의 구조를 연상시킨다.

[0035] 도 9는, 자기 랜덤 액세스 메모리(MRAM)로서 사용되는 상술된 스핀 트랜지스터(178)의 예시적인 실시예를 도시한다. 상세하게, 도 9는, 고정된 강자성 층들(158A, 158B)에 걸쳐 커플링된 비트 라인 전압 V<sub>BL</sub>을 가진 비트 라인(212)을 갖는 제 1 MRAM(210)을 도시한다. 워드 라인 전압 V<sub>WL</sub>을 갖는 워드 라인(214)은, 제 1 전극으로서 동작하는 금속 층(156)에 커플링된다.

[0036] 본 명세서에 기재된 실시예들에 따른 메모리를 갖는 스핀 트랜지스터는, 임의의 프로세서-기반 디바이스에서 제공되거나 그 내에 통합될 수도 있다. 제한이 아닌 예들은, 셋톱 박스, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 고정 위치 데이터 유닛, 모바일 위치 데이터 유닛, 모바일 폰, 셀룰러 폰, 컴퓨터, 휴대용 컴퓨터, 데스크톱 컴퓨터, 개인 휴대 정보 단말(PDA), 모니터, 컴퓨터 모니터, 텔레비전, 튜너, 라디오, 위성 라디오, 뮤직 플레이어, 디지털 뮤직 플레이어, 휴대용 뮤직 플레이어, 디지털 비디오 플레이어, 비디오 플레이어, 디지털 비디오 디스크(DVD) 플레이어, 및 휴대용 디지털 비디오 플레이어를 포함한다.

[0037]

이와 관련하여, 도 10은, 도 5d에 도시된 스판 트랜지스터(178)를 이용할 수 있는 프로세서-기반 시스템(50)의 예를 도시한다. 이러한 예에서, 프로세서-기반 시스템(50)은, 하나 또는 그 초과의 프로세서들(54)을 각각 포함하는 하나 또는 그 초과의 중앙 프로세싱 유닛(CPU)들(52)을 포함한다. CUP(들)(52)는 마스터 디바이스일 수도 있다. CPU(들)(52)는 일시적으로 저장된 데이터로의 고속 액세스를 위해 프로세서(들)(54)에 커플링된 캐시 메모리(56)를 가질 수도 있다. CPU(들)(52)는 시스템 버스(58)에 커플링되며, 프로세서-기반 시스템(50)에 포함된 마스터 디바이스들과 슬레이브 디바이스들을 상호커플링시킬 수 있다. 잘 알려진 바와 같이, CPU(들)(52)는 시스템 버스(58)를 통해 어드레스, 제어, 및 데이터 정보를 교환함으로써 이들 다른 디바이스들과 통신한다. 도 10에 도시된 않았지만, 다수의 시스템 버스들(58)이 제공될 수 있으며, 여기서 각각의 시스템 버스(58)는 상이한 구조를 구성한다.

[0038]

다른 마스터 및 슬레이브 디바이스들이 시스템 버스(58)에 접속될 수 있다. 도 10에 도시된 바와 같이, 이들 디바이스들은, 예들로서, 메모리 시스템(60), 하나 또는 그 초과의 입력 디바이스들(62), 하나 또는 그 초과의 출력 디바이스들(64), 하나 또는 그 초과의 네트워크 인터페이스 디바이스들(66), 및 하나 또는 그 초과의 디스플레이 제어기들(68)을 포함할 수 있다. 입력 디바이스(들)(62)는, 입력 키들, 스위치들, 보이스 프로세서들을 포함하지만 이에 제한되지 않는 임의의 타입의 입력 디바이스를 포함할 수 있다. 출력 디바이스(들)(64)는, 오디오, 비디오, 다른 시각적 표시자들 등을 포함하지만 이에 제한되지 않는 임의의 타입의 출력 디바이스를 포함할 수 있다. 네트워크 인터페이스 디바이스(들)(66)는, 네트워크(70)로 그리고 네트워크(70)로부터의 데이터의 교환을 허용하도록 구성되는 임의의 디바이스들일 수 있다. 네트워크(70)는, 유선 또는 무선 네트워크, 개인 또는 공용 네트워크, 로컬 영역 네트워크(LAN), WLAN(wide local area network), 및 인터넷을 포함하지만 이에 제한되지 않는 임의의 타입의 네트워크일 수 있다. 네트워크 인터페이스 디바이스(들)(66)은, 소망되는 임의의 타입의 통신 프로토콜을 지원하도록 구성될 수 있다. 메모리 시스템(60)은, 하나 또는 그 초과의 MRAM(210)을 포함할 수도 있는 하나 또는 그 초과의 메모리 유닛들(72(0-N))을 포함할 수 있다.

[0039]

CPU(52)들은, 하나 또는 그 초과의 디스플레이들(74)에 전송되는 정보를 제어하기 위해 시스템 버스(58)를 통해 디스플레이 제어기(들)(68)에 액세스하도록 또한 구성될 수도 있다. 디스플레이 제어기(들)(68)는, 하나 또는 그 초과의 비디오 프로세서들(76)을 통해 디스플레이될 정보를 디스플레이(들)(74)에 전송하며, 그 비디오 프로세서(76)는, 디스플레이(들)(74)에 적절한 포맷으로 디스플레이되도록 정보를 프로세싱한다. 디스플레이(들)(74)는 CRT(cathode ray tube), LCD(liquid crystal display), 플라즈마 디스플레이 등을 포함하지만 이에 제한되지 않는 임의의 타입의 디스플레이를 포함할 수 있다.

[0040]

당업자들은, 본 명세서에 기재된 실시예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘들이 전자 하드웨어, 메모리 또는 다른 컴퓨터-판독가능 매체에 저장되고 프로세서 또는 다른 프로세싱 디바이스에 의해 실행되는 명령들, 또는 이 둘의 결합들로서 구현될 수도 있음을 추가적으로 인식할 것이다. 본 명세서에 설명된 아비터(arbiter)들, 마스터 디바이스들, 및 슬레이브 디바이스들은, 예들로서, 임의의 회로, 하드웨어 컴포넌트, 집적 회로(IC), 또는 IC 칩에서 이용될 수도 있다. 본 명세서에 기재된 메모리는 임의의 타입 및 사이즈의 메모리일 수도 있으며, 임의의 타입의 원하는 정보를 저장하도록 구성될 수도 있다. 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그들의 기능의 관점들에서 일반적으로 상술되었다. 그러한 기능이 어떻게 구현되는지는 특정 애플리케이션, 설계 선택들, 및/또는 전체 시스템에 부과된 설계 제한들에 의존한다. 당업자들은 설명된 기능을 각각의 특정한 애플리케이션에 대해 다양한 방식들로 구현할 수도 있지만, 그러한 구현 결정들이 본 발명의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.

[0041]

본 명세서에 기재된 실시예들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 및 회로들은 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적회로(ASIC), 필드 프로그래밍가능 게이트 어레이(FPGA) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현되거나 수행될 수도 있다. 프로세서는 마이크로프로세서일 수도 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수도 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 결합, 예를 들어 DSP와 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과의 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수도 있다.

[0042]

본 명세서에 기재된 실시예들은 하드웨어, 및 하드웨어에 저장된 명령들로 구현될 수도 있으며, 예를 들어, 랜덤 액세스 메모리(RAM), 플래시 메모리, 판독 전용 메모리(ROM), 전기적으로 프로그래밍가능 ROM(EPROM), 전기적으로 소거가능한 프로그래밍가능 ROM(EEPROM), 레지스터들, 하드 디스크, 착탈형 디스크, CD-ROM, 또는 당업

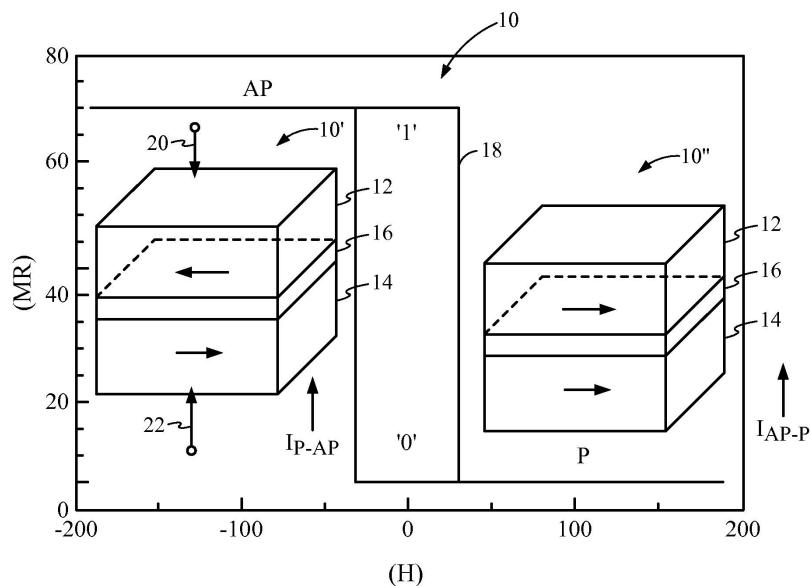
계에 알려진 임의의 다른 형태의 컴퓨터 관독가능 매체에 상주할 수도 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 관독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수도 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수도 있다. ASIC은 원격 스테이션에 상주할 수도 있다. 대안적으로, 프로세서 및 저장 매체는 원격 스테이션, 기지국, 또는 서버 내의 별개의 컴퓨트들로서 상주할 수도 있다.

[0043] 본 명세서의 예시적인 실시예들 중 임의의 실시예에서 설명된 동작 단계들은 예들 및 설명을 제공하기 위해 설명됨을 또한 유의한다. 설명된 동작들은 예시된 시퀀스들 이외에 다수의 상이한 시퀀스들로 수행될 수도 있다. 또한, 단일 동작 단계로 설명된 동작들은 실제로, 다수의 상이한 단계들로 수행될 수도 있다. 부가적으로, 예시적인 실시예들에서 설명된 하나 또는 그 초과의 동작 단계들은 결합될 수도 있다. 흐름도 도면들에서 도시된 동작 단계들이, 당업자에게 용이하게 명백할 바와 같이 다수의 상이한 변형들을 겪을 수도 있음을 이해할 것이다. 당업자들은, 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 기술 및 기법을 사용하여 표현될 수도 있음을 또한 이해할 것이다. 예를 들어, 상기 설명 전반에 걸쳐 참조될 수도 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들, 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광학 필드들 또는 광학 입자들, 또는 이들의 임의의 결합에 의해 표현될 수도 있다.

[0044] 본 발명의 이전 설명은 당업자가 본 발명을 사용 또는 실시할 수 있도록 제공된다. 본 발명에 대한 다양한 변형들은 당업자들에게 용이하게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 본 발명의 사상 또는 범위를 벗어나지 않으면서 다른 변경들에 적용될 수도 있다. 따라서, 본 발명은 본 명세서에 설명된 예들 및 설계들로 제한되도록 의도되는 것이 아니라, 본 명세서에 기재된 원리들 및 신규한 특성들과 일치하는 가장 넓은 범위에 부합할 것이다.

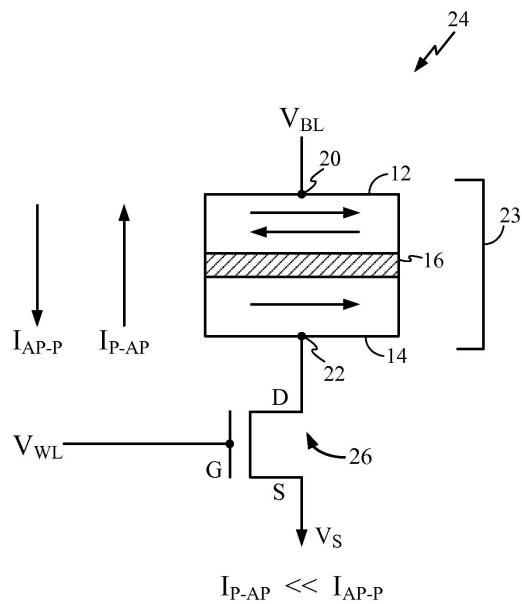
## 도면

### 도면1



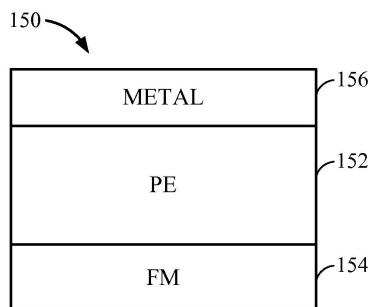
(종래 기술)

## 도면2

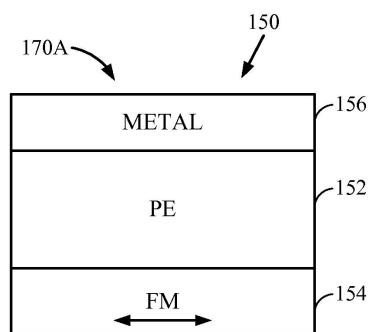


(종래 기술)

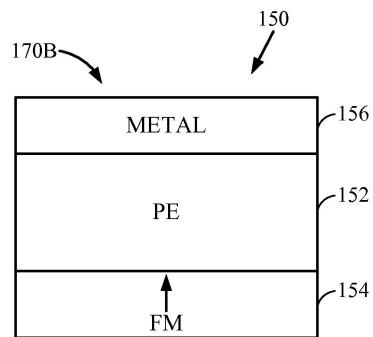
## 도면3



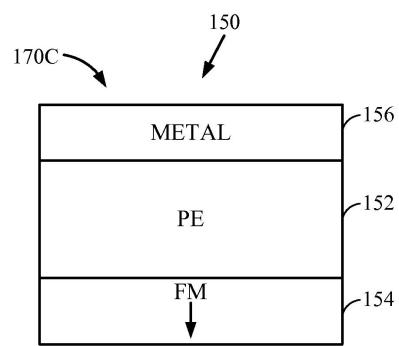
## 도면4a



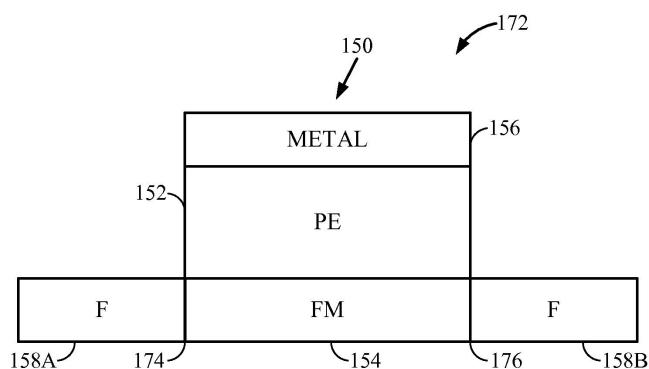
## 도면4b



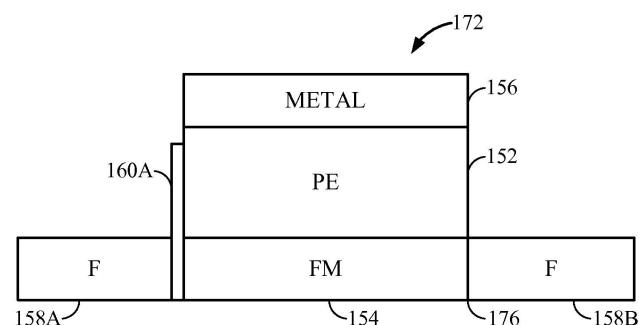
## 도면4c



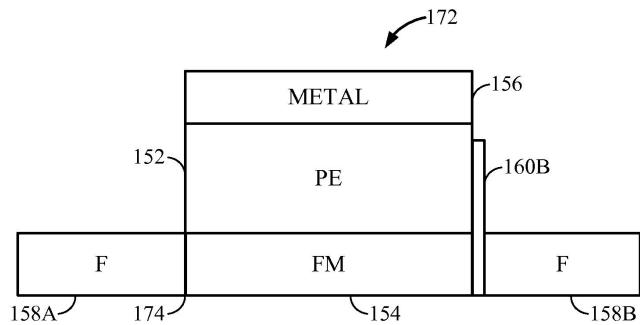
## 도면5a



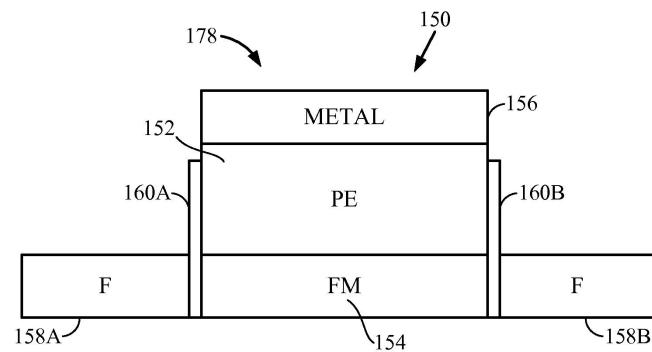
## 도면5b



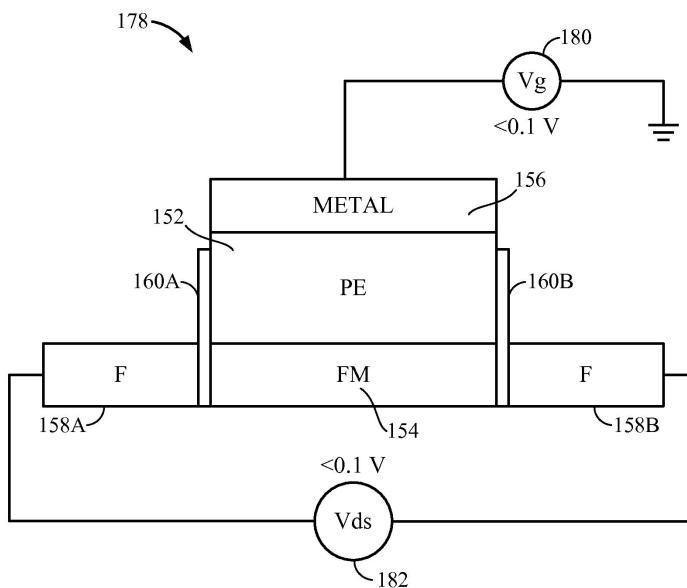
도면5c



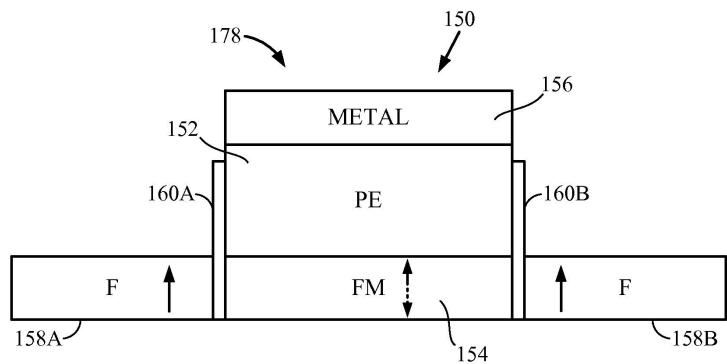
도면5d



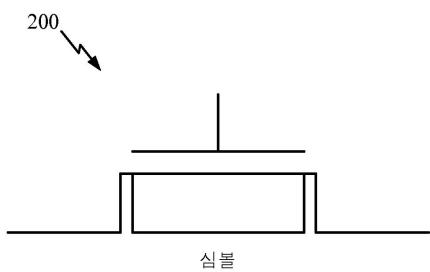
도면6



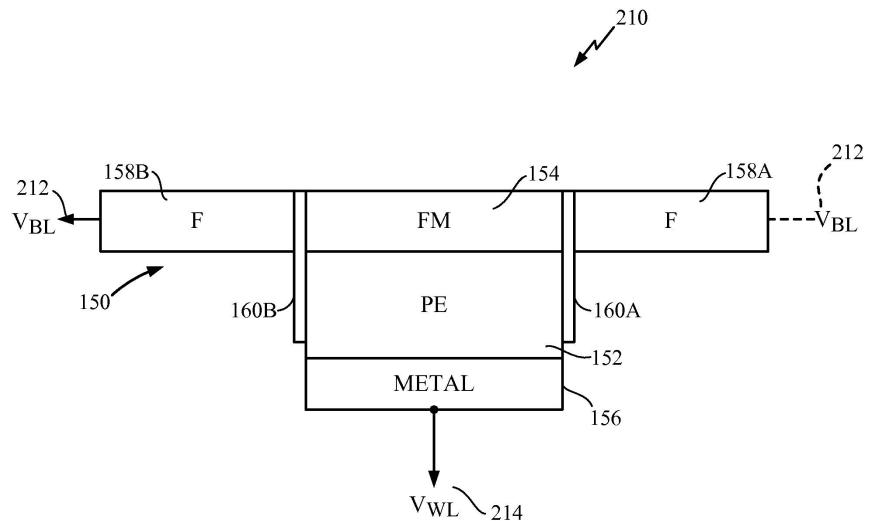
도면7



도면8



도면9



도면10

