

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3993473号
(P3993473)

(45) 発行日 平成19年10月17日(2007.10.17)

(24) 登録日 平成19年8月3日(2007.8.3)

(51) Int. Cl.

F I

G05F 1/56 (2006.01)

G05F 1/56 310D

H01L 21/822 (2006.01)

G05F 1/56 310L

H01L 27/04 (2006.01)

H01L 27/04 B

H03F 3/45 (2006.01)

H01L 27/04 C

H01L 27/04 P

請求項の数 3 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2002-179279 (P2002-179279)

(22) 出願日 平成14年6月20日(2002.6.20)

(65) 公開番号 特開2004-21871 (P2004-21871A)

(43) 公開日 平成16年1月22日(2004.1.22)

審査請求日 平成17年3月14日(2005.3.14)

(73) 特許権者 503121103

株式会社ルネサステクノロジ

東京都千代田区大手町二丁目6番2号

(74) 代理人 100089071

弁理士 玉村 静世

(72) 発明者 豊嶋 博

東京都小平市上水本町5丁目22番1号

株式会社日立超エル・エス・アイ・システムズ内

(72) 発明者 西山 雅彦

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内

審査官 櫻田 正紀

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

第1の入力端子、第2の入力端子、及び出力端子を含み、高電位側電源と低電位側電源とが供給されることにより、上記第1の入力端子からの入力信号と上記第2の入力端子からの入力信号とを差動増幅して上記出力端子から出力可能な差動増幅回路と、

上記差動増幅回路の出力端子から出力された信号に基づいて動作制御され、上記高電位側電源から降圧された電圧を生成する、ドレインコンダクタンスを有するトランジスタと、

上記トランジスタの出力端子に一方端が接続された配線抵抗を有する配線と、

上記配線抵抗の他方端と上記低電位側電源との間に設けられた第1の位相補償用容量と、

10

上記配線抵抗の他方端と上記低電位側電源との間に設けられた負荷素子と、

上記トランジスタの出力端子と上記差動増幅回路の第2の入力端子との間に接続された第1の抵抗と、

上記差動増幅回路の第2の入力端子と上記低電位側電源との間に接続された第2の抵抗と、

上記差動増幅回路の第2の入力端子と低電位側電源との間に設けられ、前記第1の位相補償容量よりもサイズの小さい第2の位相補償用容量と、

上記第2の入力端子と上記第2の位相補償用容量との間に設けられ、上記ドレインコンダクタンスによる抵抗より大きい抵抗値を有する位相補償用抵抗とを備える、半導体集積

20

回路装置。

【請求項 2】

高電位側電源に接続された高電位側電源線と、

低電位側電源に接続された低電位側電源線と、

それぞれ上記高電位側電源線と上記低電位側電源線とに結合された複数の電源回路と、
を含み、

上記電源回路は、第 1 の入力端子、第 2 の入力端子、及び出力端子を含み、上記高電位側電源線と上記低電位側電源線とに接続され、上記第 1 の入力端子からの入力信号と上記第 2 の入力端子からの入力信号とを差動増幅して上記出力端子から出力可能な差動増幅回路と、上記差動増幅回路の出力端子から出力された信号に基づいて動作制御され、上記高電位側電源から降圧された内部電圧を生成するドレインコンダクタンスを有するトランジスタと、上記トランジスタの出力端子と上記差動増幅回路の第 2 の入力端子との間に接続された第 1 の抵抗と、上記差動増幅回路の第 2 の入力端子と上記低電位側電源線との間に接続された第 2 の抵抗と、上記差動増幅回路の第 2 の入力端子と低電位側電源線との間に設けられ、位相補償用容量と、上記第 2 の入力端子と上記位相補償用容量との間に設けられ、上記ドレインコンダクタンスによる抵抗より大きい抵抗値を有する位相補償用抵抗と、を含み、

10

上記各電源回路の差動増幅回路の出力端子は、上記内部電圧が供給される内部電源配線にそれぞれ接続され、

上記内部電源配線と上記低電位側電源線とに接続され、上記内部電圧が供給されることで動作する内部回路と、

20

上記内部回路を上記トランジスタの出力端子とで挟むように配置され、上記内部電源配線と上記低電位側電源線とに接続された電源間容量と、を更に有する、半導体集積回路装置。

【請求項 3】

上記内部回路は、複数の領域に分割して配置され、

上記電源回路は、上記領域ごとに配置され、

上記各第 1 の入力端子には、基準電圧を形成する基準電圧発生回路から共通に与えられる、請求項 2 に記載の半導体集積回路装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置、さらにはそれに含まれる増幅回路の位相補償技術に関する。

【0002】

【従来の技術】

半導体集積回路装置においては、MOS トランジスタの微細化が進むに従って耐圧が低下する。従って、外部から高電位側電源 VDD が供給された場合に、その高電位側電源 VDD に基づいてそれよりも低いレベルの内部電源 VDDI を生成し、それを動作電源として内部回路へ供給するようにしている。そのような内部電源 VDDI は、リミッタ回路（降圧回路とも称される）によって生成される。

40

【0003】

リミッタ回路は、ドライバ PMOS などと称される p チャネル型 MOS トランジスタと、内部電源 VDDI の検出結果と基準電圧 VREF との比較結果に基づいて上記ドライバ PMOS を駆動するための差動増幅回路とを含む。上記高電位側電源 VDD が上記ドライバ PMOS のソース・ドレイン間で電圧降下されることで内部電源 VDDI が生成される。この内部電源 VDDI のレベルが変動された場合には、その変動は、上記基準電圧 VREF との比較結果に反映され、内部電源 VDDI の帰還制御が行われることによって内部電源 VDDI の電圧レベルが安定化される。

【0004】

50

また、リミッタ回路には発振防止のための位相補償回路が設けられる。この位相補償回路としてポール・ゼロ補償方式を挙げることができる。ポール・ゼロ補償方式では、位相補償用抵抗と位相補償用容量との直列接続回路を内部電源 V_{DDI} と低電位側電源 V_{SS} との間に接続して位相余裕を確保する。

【0005】

尚、外部から供給された電源電圧を降圧してから内部回路へ供給するようにした半導体集積回路装置について記載された文献の例としては、特許公開 2002-25260 号公報がある。

【0006】

【発明が解決しようとする課題】

消費電流増加に伴い電流供給能力を大きくするためにドライバ P M O S のゲート長は微細化された寸法を適用する必要性がでてきている。

【0007】

しかしながら、ドライバ P M O S にゲート長の短いものを適用することは、ドライバ P M O S のドレインコンダクタンスが小さくなり、そうすると、以下の理由により、ポール・ゼロ補償方式での容量や抵抗のサイズが大きくなってしまう。

【0008】

ポールゼロ補償方式は、ドライバ P M O S の出力段の最初の極周波数が差動増幅段の最初の極周波数よりも低周波側にある関係のときに有効とされ、位相補償用抵抗 R_{c1} 、位相補償用容量 C_{c1} によりドライバ P M O S 出力段の最初の極周波数を更に低周波側にシフトさせ、ゼロ点により差動増幅段の最初の極周波数を相殺することにより、位相の遅れを低減し位相余裕を確保する。しかし、ドライバ P M O S のドレインコンダクタンスが小さくなると、ドライバ P M O S の最初の極周波数は高周波側にシフトし、この場合、ポール・ゼロ補償方式のみで、ドライバ P M O S の極周波数を差動増幅段の最初の極周波数よりも低周波側にシフトさせるには位相補償用容量としてかなり大きな容量が必要となる。大きな容量を得るために、多数の容量を並列接続しなければならないから、位相補償用容量のチップ占有面積が増大する。また、個々の位相補償用容量に直列接続されている位相補償用抵抗が互いに並列接続されることで合成抵抗値が低下されてしまい、適切な位相補償が行われなくなる。従って、より多くの容量を並列接続する場合には、個々の位相補償用容量に直列接続されている位相補償用抵抗としては、より大きな値を有するものを用いなければならない。抵抗値が大きくなると、その分、位相補償用抵抗のチップ占有面積が大きくなる。

【0009】

このように、ドライバ P M O S のドレインコンダクタンスが小さい場合には、ポール・ゼロ補償方式での位相補償用容量や位相補償用抵抗のチップ占有面積が大きくならざるを得ない。しかしながら、実際にはチップサイズの制限により位相補償用容量や位相補償用抵抗の占有面積には限界があるため、十分な位相余裕を得ることが困難になる。

【0010】

本発明の目的は、位相余裕を容易に得るための技術を提供することにある。

【0011】

本発明の別の目的は、位相補償用容量や位相補償用抵抗のチップ占有面積の低減を図るための技術を提供することにある。

【0012】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0014】

すなわち、第1の入力端子、第2の入力端子、及び出力端子を含み、高電位側電源と低電位側電源とが供給されることにより、上記第1の入力端子からの入力信号と上記第2の入力端子からの入力信号とを差動増幅して上記出力端子から出力可能な差動増幅回路と、上記差動増幅回路の出力端子から出力された信号に基づいて動作制御され、上記高電位側電源からそれとは異なる電圧を形成するためのトランジスタと、上記トランジスタの出力端子と上記差動増幅回路の第2の入力端子との間に接続された第1の抵抗と、上記差動増幅回路の第2の入力端子と上記低電位側電源との間に接続された第2の抵抗とを含んで半導体集積回路装置が構成されるとき、上記差動増幅回路の第2の入力端子と低電位側電源との間に設けられた位相補償用容量を含んで上記電源回路を構成する。

【0015】

10

上記の手段によれば、ポール・ゼロ補償のボード線図において、総合利得の最初の極周波数は分圧抵抗段の最初の極周波数で決定され、低周波側にシフトされる。また、ポール・ゼロ補償のボード線図において、ゼロ点により差動増幅段の最初の極周波数が相殺されることにより、位相の遅れが低減されるため、位相余裕を確保することが可能となる。差動増幅回路の非反転入力端子での振幅は、上記第1の抵抗と第2の抵抗とによって分圧された電位であるから、その振幅も小さくなっており、内部発生電位(VDDI)でポール・ゼロ補償を行うための位相補償用抵抗や位相補償用容量よりも、小さい抵抗や容量で回路を構成できる。この結果、内部発生電位(VDDI)の金属配線の抵抗(配線抵抗)はリミッタ回路の位相余裕を考慮することなく低減でき、リミッタ回路の安定動作を確保することが可能となる。さらに、上記トランジスタとしては、ドレインコンダクタンスを懸念することなくゲート長の小さいサイズの素子を適用できるようになるため、消費電流の大きなチップに対応可能なリミッタ回路を構成できる。

20

【0016】

このとき、基準電圧を形成する基準電圧発生回路を含み、上記第1の入力端子には、上記基準電圧が与えられるように構成することができる。

【0017】

上記電源回路は、上記第2の入力端子と、上記位相補償用容量との間に設けられた第1の位相補償用抵抗を含んで構成することができる。

【0018】

必要に応じて、第2の位相補償用容量と、それに直列接続された第2の位相補償用抵抗とが、上記トランジスタの出力端子と低電位側電源との間に設けることができる。

30

【0019】

位相余裕を更に大きく確保するには、上記トランジスタの出力端子と、上記差動増幅回路の第2の入力端子との間に、高周波数側での位相遅れ低減用容量を設けることができ、上記第1の位相補償用抵抗及び第1の位相補償用容量と併用するとよい。

【0020】

第1の位相補償用抵抗としては、金属配線の抵抗を利用することもできるし、半導体基板に形成された拡散層を利用した抵抗、半導体基板上の導電層を利用した抵抗、さらにはポリシリコンで形成されたものを適用することができる。

【0021】

40

第1の位相補償用容量としては、半導体基板上に形成された酸化膜を誘電体として利用した容量とすることもできるし、半導体基板上に形成された絶縁膜を誘電体として利用した容量とすることができる。このとき、上記絶縁膜をゲート酸化膜とすることができる。

【0022】

上記電源回路は、SRAMやDRAMなどの各種半導体集積回路装置内に設けることができる。

【0023】

【発明の実施の形態】

図10には、本発明にかかる半導体集積回路装置の一例であるSRAM(スタティック・ランダム・アクセス・メモリ)が示される。

50

【 0 0 2 4 】

この S R A M 2 は、特に制限されないが、フリップチップ型とされ、半導体チップ 2 0 に B G A (ボール・グリッド・アレイ) 基板が結合されて成る。半導体チップ 2 0 は、特に制限されないが、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。B G A 基板は、部品実装基板などへの電氣的な結合を可能とするための外部端子である B G A ボールを有する。半導体チップ 2 0 と B G A 基板とはバンプ電極を介して電氣的に結合される。

【 0 0 2 5 】

半導体チップ 2 0 には、その短手方向に 2 分割配置されたメモリセルアレイ 1 0 1 , 1 0 2 が形成され、このメモリセルアレイ 1 0 1 , 1 0 2 間に中央回路部 1 2 5 が配置される。メモリセルアレイ 1 0 1 , 1 0 2 は、複数のスタティック型メモリセルがアレイ状に配列されて成る。

10

【 0 0 2 6 】

メモリセルアレイ 1 0 1 , 1 0 2 における長手方向の中央部には、対応するメモリセルアレイにおけるワード線を駆動するためのワードドライバ 1 0 3 , 1 0 4 が配置される。

【 0 0 2 7 】

上記中央回路部 1 2 5 には、特に制限されないが、内部電源 V D D I を生成するためのリミッタ回路 1 0 5 ~ 1 1 2、データの出力を可能とする出力回路 (D Q) 1 1 3 ~ 1 1 6、アドレス信号の取り込みを可能とする入力回路 1 1 7 ~ 1 2 0、出力データを一時的に保持して選択的に外部出するための出力レジスタ及びセレクタ (R e q . / S E L) 1 2 1 , 1 2 2、アドレスを一時的に保持してそれをブレデコードするためのアドレスレジスタ及びブレデコーダ (A D R R e g . / P r e D e c) 1 2 3、及び基準電圧を生成するための基準電圧発生回路 1 2 4 などが含まれる。

20

【 0 0 2 8 】

本例においては、回路素子や配線における電流集中を回避するため、8 個のリミッタ回路 1 0 5 ~ 1 1 2 が中央回路部 1 2 5 において分散されるように配置され、この 8 個のリミッタ回路 1 0 5 ~ 1 1 2 によって、内部回路への電源供給を分担することで、リミッタ回路一つ当たりの負荷の軽減を図っている。個々のリミッタ回路 1 0 5 ~ 1 1 2 は、それぞれ与えられた高電位側電源 V D D を基準電圧発生回路 1 2 4 からの基準電圧 V R E F に基づいて降圧することで内部電源 V D D I を生成する。特に制限されないが、高電位側電源 V D D の電圧レベルを 2 . 5 V とするとき、内部電源 V D D I の電圧レベルは、1 . 2 V とされる。半導体チップ面積の縮小化を図るため、基準電圧発生回路 1 2 4 は、上記複数のリミッタ回路 1 0 5 ~ 1 1 2 で共有される。

30

【 0 0 2 9 】

ここで、上記リミッタ回路 1 0 5 ~ 1 1 2 が、本発明における電源回路の一例とされる。

【 0 0 3 0 】

図 1 1 には、上記リミッタ回路 1 0 5 ~ 1 1 2 と、それに結合される回路との関係が示される。

【 0 0 3 1 】

上記リミッタ回路 1 0 5 ~ 1 1 2 は、互いに同一構成とされ、それぞれ基準電圧 V R E F に基づいて高電位側電源 V D D を降圧することによって内部電圧 V D D I を形成する。このリミッタ回路 1 0 5 ~ 1 1 2 で形成された内部電源 V D D I は、対応する内部回路へ伝達される。内部電源 V D D I が供給されることで動作する内部回路として、例えば入力回路 1 1 7 ~ 1 2 0、メモリセルアレイ 1 0 1 , 1 0 2、及び周辺回路 5 0 5 を挙げることができる。ここで、周辺回路 5 0 5 には、出力レジスタ及びセレクタ (R e q . / S E L) 1 2 1 , 1 2 2 や、アドレスレジスタ及びブレデコーダ (A D R R e g . / P r e D e c) 1 2 3 が含まれる。上記内部回路への内部電源 V D D I の供給は、電源供給経路での電圧降下を可能な限り抑えるため、上記内部回路に最も近いところに位置するリミッタ回路 1 0 5 ~ 1 1 2 から行うのが望ましい。

40

【 0 0 3 2 】

50

出力回路 113 ~ 116 には、外部から供給された高電位側電源 V_{DDQ} が供給される。特に制限されないが、この高電位側電源 V_{DDQ} の電圧レベルは、1.5V とされる。

【0033】

尚、内部電源 V_{DDI} と低電位側電源 V_{SS} との間には、 $V_{DDI} - V_{SS}$ 電源間容量 11 が形成され、高電位側電源 V_{DDQ} と低電位側電源 V_{SS} との間には、 $V_{DDQ} - V_{SS}$ 電源間容量 12 が形成される。

【0034】

図 1 には上記リミッタ回路 105 ~ 112 の構成例が示される。

【0035】

差動増幅回路 501 が設けられ、その後段には、差動増幅回路 501 の出力信号によって駆動制御される p チャネル型 MOS トランジスタ 504 が設けられる。p チャネル型 MOS トランジスタ 504 は、差動増幅回路 501 の出力信号に基づいて高電位側電源 V_{DD} を降圧することによって内部電源 V_{DDI} を形成する。p チャネル型 MOS トランジスタ 504 のドレイン電極と低電位側電源 V_{SS} との間には、抵抗 R_1 , R_2 の直列接続回路が設けられ、内部電源 V_{DDI} の電圧変動がこの抵抗 R_1 , R_2 の直列接続回路によって検出されるようになっている。内部電源 V_{DDI} の電圧変動は、抵抗 R_1 , R_2 の直列接続ノードから得られる。この抵抗 R_1 , R_2 の直列接続ノードは差動増幅回路 501 の非反転入力端子に結合される。差動増幅回路 501 の反転入力端子には、基準電圧 V_{REF} が供給される。この差動増幅回路 501 の増幅率 R_0 は、抵抗 R_1 , R_2 の関係から次のように決定される。

$$R_0 = (R_1 + R_2) / R_2$$

【0036】

差動増幅回路 501 では、抵抗 R_1 , R_2 の直列接続ノードの電圧 (V_{DDI} / R_0) と、基準電圧 V_{REF} とが比較され、その比較結果に基づいて p チャネル型 MOS トランジスタ 504 が動作制御される。p チャネル型 MOS トランジスタ 504 によって得られる内部電源 V_{DDI} は、次式によって示される。

$$V_{DDI} = R_0 \times V_{REF}$$

【0037】

負荷の変動により内部電源 V_{DDI} の電圧レベルが変動した場合、その変動は抵抗 R_1 , R_2 によって検出され、差動増幅回路 501 に伝達される。抵抗 R_1 , R_2 の分圧出力レベルが基準電圧 V_{REF} よりも低い場合には、差動増幅回路 501 の出力信号によって p チャネル型 MOS トランジスタ 504 のオン抵抗値が下げられ、それによって内部電源 V_{DDI} の電圧レベルが上げられる。また、抵抗 R_1 , R_2 の分圧出力レベルが基準電圧 V_{REF} よりも高い場合には、差動増幅回路 501 の出力信号によって p チャネル型 MOS トランジスタ 504 のオン抵抗値が上げられ、それによって内部電源 V_{DDI} の電圧レベルが下げられる。このような帰還制御により内部電源 V_{DDI} の電圧レベルが安定化される。

【0038】

また、位相補償のために、位相補償用容量 C_{c1} , C_{c2} 、位相補償用抵抗 R_{c2} が設けられている。位相補償用容量 C_{c1} は、p チャネル型 MOS トランジスタ 504 の出力端子と、低電位側電源 V_{SS} との間に設けられ、配線抵抗 R_{L1} とともにポールゼロ補償方式による位相補償が行われる。位相補償用抵抗 R_{c2} と位相補償用容量 C_{c2} とは、差動増幅回路 501 の非反転入力端子と低電位側電源 V_{SS} との間に直列接続され、この回路構成が本リミッタ回路 105 ~ 112 の特徴点のひとつとされる。

【0039】

尚、 R_{L1} は負荷抵抗、 C_{L1} は負荷容量である。

【0040】

ここで、位相補償について詳述する。

【0041】

図 2 , 図 3 には、図 1 に示されるリミッタ回路の比較対象とされる回路が示される。

【 0 0 4 2 】

図 2 に示される回路構成では、位相補償用抵抗 R_{c1} と、位相補償用容量 C_{c1} との直列接続回路が、内部電源 V_{DDI} と低電位側電源 V_{SS} との間に接続され、それによって位相補償が行われる。

【 0 0 4 3 】

図 3 に示される回路構成では、内部電源 V_{DDI} の配線抵抗 R_{L2} を位相補償用を利用するものである。配線抵抗 R_{L2} は、図 1 における位相補償用抵抗 R_{c1} と同様に機能する。この方法は、位相補償用容量 C_{c1} に位相補償用抵抗 R_{c1} を直列接続することができない場合に有効とされる。

【 0 0 4 4 】

電流供給能力を高めるためには、pチャネル型 MOS トランジスタ 504 として、ゲート長の短い MOS を適用することが望ましい。

【 0 0 4 5 】

図 5 には、一般的なポール・ゼロ補償におけるボード線図が示される。尚、ボード線図において、分圧抵抗段とは抵抗 R_1 , R_2 を指し、PMOS 出力段とは pチャネル型 MOS トランジスタ 504 を指し、差動増幅段とは差動増幅回路 501 を指す。また、 G_{01} , G_{02} , G_{03} は、それぞれ差動増幅段、PMOS 出力段、分圧抵抗段での利得を示す。

【 0 0 4 6 】

ポール・ゼロ補償方式は、差動増幅段の利得と pチャネル型 MOS トランジスタ 504 の出力段の利得との関係が図 5 に示されるように、ドライバ PMOS 出力段の最初の極周波数の方が差動増幅段の最初の極周波数よりも低周波側にある関係のときに有効な方式で、図 2 に示される位相補償用抵抗 R_{c1} 、位相補償用容量 C_{c1} により pチャネル型 MOS トランジスタ 504 の最初の極周波数を更に低周波側にシフトさせ、ゼロ点により差動増幅段の最初の極周波数を相殺することにより、位相の遅れを低減し位相余裕を確保する。しかし、上記のように、pチャネル型 MOS トランジスタ 504 のドレインコンダクタンスが小さくなると、この pチャネル型 MOS トランジスタ 504 の最初の極周波数は高周波側にシフトし、図 6 に示されるような関係になる。この場合、ポール・ゼロ補償方式のみで、pチャネル型 MOS トランジスタ 504 の極周波数を差動増幅段の最初の極周波数よりも低周波側にシフトさせるには位相補償用容量 C_{c1} としてかなり大きな容量が必要となる。大きな容量を得るためには、図 4 に示されるように、より多くの容量 C_{c3} を並列接続しなければならないから、位相補償用容量のチップ占有面積が増大する。また、このとき、個々の位相補償用容量 C_{c3} に直列接続されている位相補償用抵抗が互いに並列接続されることで合成抵抗値が低下されてしまい、適切な位相補償が行われなくなる。従って、より多くの容量 C_{c3} を並列接続する場合には、個々の位相補償用容量に直列接続されている位相補償用抵抗 R_{c3} としては、より大きな値を有するものを用いなければならない。抵抗値が大きくなると、その分、位相補償用抵抗のチップ占有面積が大きくなる。

【 0 0 4 7 】

このように、pチャネル型 MOS トランジスタ 504 のドレインコンダクタンスが小さい場合には、ポール・ゼロ補償方式での位相補償用容量や位相補償用抵抗のチップ占有面積が大きくならざるを得ない。しかしながら、実際にはチップサイズの制限により位相補償用容量や位相補償用抵抗の占有面積には限界があるため、十分な位相余裕を得ることが困難になる。

【 0 0 4 8 】

また、図 3 に示されるように、配線抵抗 R_{L2} を位相補償用抵抗として用いる場合には、電流供給能力を高めることを考慮すると、配線抵抗 R_{L2} を大きくすることができないため、十分な位相余裕を確保することが困難になる。

【 0 0 4 9 】

これに対して、図 1 に示される回路構成では、差動増幅回路 501 の非反転入力端子と低電位側電源 V_{SS} との間に位相補償用抵抗 R_{c2} と位相補償用容量 C_{c2} との直列接続回

10

20

30

40

50

路が設けられ、配線抵抗 R_{L1} と位相補償用容量 C_{c1} とによる位相補償に加えて、位相補償用抵抗 R_{c2} と位相補償用容量 C_{c2} とによる位相補償が行われる。

【0050】

図7には、図1に示される回路におけるボード線図が示される。

【0051】

差動増幅回路501の非反転入力端子と低電位側電源 V_{SS} との間に位相補償用抵抗 R_{c2} と位相補償用容量 C_{c2} との直列接続回路が設けられたことにより、図7に示されるボード線図において、分圧抵抗段に、位相補償用抵抗 R_{c2} と位相補償用容量 C_{c2} で発生する極周波数 $P3$ とゼロ点新たに挿入される。この結果、総合利得の最初の極周波数は分圧抵抗段の最初の極周波数 $P3$ で決定され、低周波側にシフトされる。そして、ゼロ点により差動増幅段の最初の極周波数が相殺されることにより、位相の遅れが低減されるため、位相余裕を確保することが可能となる。

【0052】

また、図2に示される構成では、図5に示されるPMOS出力段の最初の極周波数はpチャンネル型MOSトランジスタ504の出力抵抗と $(C_{c1} + C_{L1})$ との積の逆数に比例する式で表わされる。しかし、リミッタ回路では、大きな駆動電流を得るためにpチャンネル型MOSトランジスタ504の出力抵抗を小さくする必要がある。従って、例えば数MHzの極周波数を得るためには、位相補償用容量 C_{c1} の値を大きくする必要がある。これに対して図1に示される回路構成では、図7に示される極周波数 $P3$ は図1の R_{c2} と C_{c2} の積の逆数に比例する式で表わされるため、位相補償用抵抗 R_{c2} をpチャンネル型MOSトランジスタ504の出力抵抗とは別に設定できる。このため、位相補償用抵抗 R_{c2} として大きな値を選択できる。位相補償用抵抗 R_{c2} を大きく設定できるため、位相補償用容量 C_{c2} としては小さい値で、同様の特性を得ることができる。従って、位相補償用抵抗 R_{c2} と位相補償用容量 C_{c2} は、ポール・ゼロ補償を行うための位相補償用抵抗 R_{c1} や位相補償用容量 C_{c1} よりも、小さいサイズとすることができる。そして、内部発生電位 (V_{DDI}) の配線抵抗はリミッタ回路105～112の位相余裕を考慮することなく低減することができ、リミッタ回路105～112の安定動作を確保することが可能となる。そして、pチャンネル型MOSトランジスタ504としては、ドレインコンダクタンスを懸念することなくゲート長の短いMOSを適用できるようになるため、消費電流の大きなチップに対応可能なリミッタ回路が構成できる。

【0053】

図8には、上記差動増幅回路501の構成例が示される。

【0054】

図8に示されるように上記差動増幅回路501は、pチャンネル型MOSトランジスタ1401, 1402, 1403, 1404と、nチャンネル型MOSトランジスタ1405, 1406, 1407が結合されて成る。nチャンネル型MOSトランジスタ1405, 1406は、そのソース電極がnチャンネル型MOSトランジスタ1407を介して低電位側電源 V_{SS} に結合されることで差動結合される。nチャンネル型MOSトランジスタ1407は、そのゲート電極に所定の制御電圧が供給されることで定電流源として機能する。nチャンネル型MOSトランジスタ1405のドレイン電極は、pチャンネル型MOSトランジスタ1401, 1402を介して高電位側電源 V_{DD} に結合される。nチャンネル型MOSトランジスタ1406のドレイン電極は、pチャンネル型MOSトランジスタ1403, 1404を介して高電位側電源 V_{DD} に結合される。pチャンネル型MOSトランジスタ1404にpチャンネル型MOSトランジスタ1402がカレントミラー結合されることで、nチャンネル型MOSトランジスタ1405, 1406(差動対)のカレントミラー型負荷が形成される。nチャンネル型MOSトランジスタ1405のゲート電極には基準電圧発生回路124からの基準電圧 V_{REF} が伝達される。nチャンネル型MOSトランジスタ1406のゲート電極には抵抗502, 503の分圧出力が伝達される。pチャンネル型MOSトランジスタ1401, 1402の直列接続ノードから、この差動増幅回路501の出力信号が得られ、この出力がpチャンネル型MOSトランジスタ504のゲート電極に伝達される。

【 0 0 5 5 】

上記 p チャンネル型 MOS トランジスタ 1 4 0 1 , 1 4 0 3 は、ゲート耐圧が高電位側電源 V D D の電圧レベルよりも低い MOS トランジスタで差動増幅回路が構成される場合の耐圧緩和のために設けられる。このため、差動増幅回路を構成する MOS トランジスタのゲート耐圧が高電位側電源 V D D の電圧レベル以上の場合には、 p チャンネル型 MOS トランジスタ 1 4 0 1 , 1 4 0 3 を省略しても良い。図 9 にはその場合の構成例が示される。

【 0 0 5 6 】

図 2 4 には、上記基準電圧 V R E F を生成するための基準電圧発生回路の構成例が示される。

【 0 0 5 7 】

差動増幅回路 2 4 2 が設けられ、この差動増幅回路 2 4 2 の後段に配置された p チャンネル型 MOS トランジスタ 2 4 3 が上記差動増幅回路 2 4 2 によって駆動制御されるようになっている。 p チャンネル型 MOS トランジスタ 2 4 3 のソース電極は高電位側電源 V D D に結合される。 p チャンネル型 MOS トランジスタ 2 4 3 のドレイン電極と、低電位側電源 V S S との間には、抵抗 2 4 4 とバイポーラトランジスタ 2 4 5 との直列接続回路や、抵抗 2 4 6 , 2 4 7 とバイポーラトランジスタ 2 4 8 との直列接続回路、抵抗 2 4 9 , 2 5 0 の直列接続回路が設けられる。そして上記抵抗 2 4 4 とバイポーラトランジスタ 2 4 5 との直列接続ノードは、上記差動増幅回路 2 4 2 の反転入力端子に結合され、上記抵抗 2 4 6 と上記抵抗 2 4 7 との直列接続ノードは、上記差動増幅回路 2 4 2 の非反転入力端子に結合される。上記差動増幅回路 2 4 2 は、非反転入力端子を介して取り込まれた電圧と、反転入力端子を介して取り込まれた電圧とを比較し、その比較結果に応じて p チャンネル型 MOS トランジスタ 2 4 3 を駆動制御する。このとき、抵抗 2 4 9 , 1 5 0 によって分圧された電圧が基準電圧 V R E F として出力される。

【 0 0 5 8 】

上記位相補償用容量 C c 2 は、図 1 2、図 1 3、図 1 4 に示されるように、絶縁膜の一例とされるゲート酸化膜を誘電体を利用して形成することができる。すなわち、ゲート酸化膜にゲート電極が積層されるとき、スルーホールによってこのゲート電極に導通されるメタル配線電極と、スルーホールを介して P⁺ 拡散層、N⁺ 拡散層に導通するメタル配線 (V S S) との間に容量が形成され、この容量を上記位相補償用容量 C c 2 に利用することができる。図 1 2 に示される構成では、N ウェル (N W E L L) に N⁺ 拡散層が形成され、P ウェル (P W E L L) に P⁺ 拡散層が形成される。図 1 3 に示される構成では、N W E L L に N⁺ 拡散層、P⁺ 拡散層が形成される。図 1 4 に示される構成では、P W E L L に N⁺ 拡散層、P⁺ 拡散層が形成される。

【 0 0 5 9 】

上記位相補償用抵抗 R c 2 は、図 1 5、図 1 6、図 1 7 に示されるように形成することができる。図 1 5 にはポリシリコンを利用した抵抗の断面構造が示される。ポリシリコン層の両端部からスルーホールを介してメタル配線に導通させることにより、抵抗の両端を引き出すことができる。図 1 6 には拡散層を利用した抵抗の断面構造が示される。N W E L L 上の N⁺ 拡散層からスルーホールを介してメタル配線に導通させることにより、抵抗の両端を引き出すことができる。図 1 7 には P W E L L 上の N⁺ 拡散層を利用した抵抗の断面構造が示される。P W E L L 上の N⁺ 拡散層からスルーホールを介してメタル配線に導通させることにより、抵抗の両端を引き出すことができる。この他に、メタル配線 (金属配線) に存在する抵抗を利用して上記位相補償用抵抗 R c 2 を得ることができる。

【 0 0 6 0 】

図 1 8 には、位相補償用抵抗 R c 2、及び位相補償用容量 C c 2 についてのレイアウト例が示される。1 8 3 で示される領域には、ポリシリコンを利用して位相補償用抵抗 R c 2 が形成されている。1 8 5 で示される領域には、ゲート酸化膜を利用して位相補償用容量 C c 2 が形成されている。領域 1 8 2 と領域 1 8 5 とを結ぶようにメタル配線 1 8 4 が形成される。このメタル配線 1 8 4 によって位相補償用抵抗 R c 2 と位相補償用容量 C c 2 とが結合される。また、1 8 6 で示される領域には、差動増幅回路 5 0 1 が形成される。

10

20

30

40

50

187で示される領域には差動増幅回路501におけるpチャネル型MOSトランジスタの一部が形成され、188で示される領域には差動増幅回路501におけるnチャネル型MOSトランジスタの一部が形成される。181で示されるのは、抵抗 R_1 、 R_2 の直列接続ノードと結合するためのメタル配線、182で示されるのは、差動増幅回路501の非反転入力端子と位相補償用抵抗 R_{c2} とを結合させるためのメタル配線である。

【0061】

図19は、図18においてポリシリコンを利用して位相補償用抵抗 R_{c2} が形成されている領域183が拡大して示される。抵抗を形成するための複数のポリシリコン層191が互いに並行に形成され、それらが直列接続されることで位相補償用抵抗 R_{c2} が形成される。メタル配線182、184と、ポリシリコン層191とはスルーホールを介して結合される。

10

【0062】

図20には、図18において位相補償用容量 C_{c2} が形成される領域185の一部が拡大して示される。また、図21には、図20におけるA-B線切断断面が示される。

【0063】

ゲート酸化膜203上にポリシリコンゲート電極202が形成され、このポリシリコンゲート電極202がスルーホール213を介してメタル配線184に導通される。

【0064】

上記の例によれば、以下の作用効果を得ることができる。

【0065】

20

(1) 位相補償用抵抗 R_{c2} と位相補償用容量 C_{c2} とが設けられたことにより、図7に示されるボード線図において、分圧抵抗段に、位相補償用抵抗 R_{c2} と位相補償用容量 C_{c2} で発生する極周波数 P_3 とゼロ点が新たに挿入される。この結果、総合利得の最初の極周波数は分圧抵抗段の最初の極周波数 P_3 で決定されて低周波側にシフトされ、ゼロ点により差動増幅段の最初の極周波数が相殺されることにより、位相の遅れが低減されるため、十分な位相余裕を確保することが可能となる。

【0066】

(2) 図1に示される回路構成では、図7に示される極周波数 P_3 は図1の R_{c2} と C_{c2} の積の逆数に比例する式で表わされるため、位相補償用抵抗 R_{c2} をpチャネル型MOSトランジスタ504の出力抵抗とは別に設定できる。このため、位相補償用抵抗 R_{c2} として大きな値を選択できる。位相補償用抵抗 R_{c2} を大きく設定できるため、位相補償用容量 C_{c2} としては小さい値で、同様の特性を得ることができる。従って、位相補償用抵抗 R_{c2} と位相補償用容量 C_{c2} は、ポール・ゼロ補償を行うための位相補償用抵抗 R_{c1} や位相補償用容量 C_{c1} よりも、小さいサイズとすることができる。この結果、リミッタ回路105～112の位相余裕を考慮することなく、内部電源VDDIの配線抵抗を低減でき、それによってリミッタ回路105～112の安定動作を確保することが可能となる。そして、pチャネル型MOSトランジスタ504としては、ドレインコンダクタンスを懸念することなくゲート長の小さいサイズのMOSを適用できるようになるから、消費電流の大きなチップに対応可能なリミッタ回路105～112を得ることができる。

30

【0067】

40

(3) 上記のようにリミッタ回路105～112の位相余裕を考慮することなく内部電源配線の抵抗値を低減できるので、電源配線の電位ドロップによる内部電源電圧の低下を小さくすることができ、それによって動作周波数の向上を図ることができる。また、リミッタ回路の位相余裕を大きく確保することで、製品(半導体集積回路装置)の信頼性の向上を図ることができる。

【0068】

次に、別の構成例について説明する。

【0069】

図22や図23にはリミッタ回路の別の構成例が示される。

【0070】

50

図 2 2 に示される回路が図 1 に示されるのと大きく相違するのは、位相補償用容量 $C_c 3$ が追加されている点である。この位相補償用容量 $C_c 3$ は、高周波側の位相遅れを低減する効果を有し、位相補償用抵抗 $R_c 2$ 、及び位相補償用容量 $C_c 2$ と併用することにより、位相余裕を更に大きく確保することが可能となる。

【 0 0 7 1 】

図 2 3 に示される回路が図 1 に示されるのと大きく相違するのは、位相補償用抵抗 $R_L 1$ 、位相補償用容量 $C_c 1$ が省略されている。位相補償用抵抗 $R_c 2$ 、及び位相補償用容量 $C_c 2$ によって十分に位相補償がなされる場合には、図 2 3 に示されるように、位相補償用抵抗 $R_L 1$ 及び位相補償用容量 $C_c 1$ (図 2 2 参照) を省略することができ、それによって、レイアウト面積の低減を図ることができる。

10

【 0 0 7 2 】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 7 3 】

例えば、図 1 0 に示されるメモリブロック 1 0 1、1 0 2 は、複数のスタティック型メモリセルがマトリクス配置されて成るものについて説明したが、複数のダイナミック型メモリセルをマトリクス配置して上記メモリブロック 1 0 1、1 0 2 が構成される場合、すなわち、半導体チップ 2 0 がダイナミック・ランダム・アクセス・メモリ (DRAM) として構成される場合においても、内部回路への電源供給を行うためのリミッタ 1 0 5 ~ 1 1 2 が設けられる場合には、当該リミッタ 1 0 5 ~ 1 1 2 として、図 1 や図 2 2、図 2 3 に示される回路構成を適用することができ、その場合においても、上記と同様の作用効果を得ることができる。

20

【 0 0 7 4 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である SRAM や DRAM に適用した場合について説明したが、本発明はそれに限定されるものではなく、各種半導体集積回路装置に広く適用することができる。

【 0 0 7 5 】

本発明は、少なくとも電源回路を具備することを条件に適用することができる。

【 0 0 7 6 】

【発明の効果】

30

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 7 7 】

すなわち、差動増幅回路の第 2 の入力端子と低電位側電源との間に設けられた位相補償用容量を含んで電源回路を構成することにより、ポール・ゼロ補償のボード線図においては、総合利得の最初の極周波数は分圧抵抗段の最初の極周波数で決定され、低周波側にシフトされる。また、ポール・ゼロ補償のボード線図において、ゼロ点により差動増幅段の最初の極周波数が相殺されることにより、位相の遅れが低減されるため、位相余裕を確保することが可能となる。さらに、位相補償用抵抗をドライバ PMOS の出力抵抗とは別に設定できるため、大きな値を選択できる。位相補償用抵抗を大きく設定できるため、位相補償容量が小さくても同様の特性を得ることができる。このため、内部発生電位 (V_{DDI}) でポール・ゼロ補償を行うための位相補償用抵抗や位相補償用容量よりも、小さい面積の抵抗や容量で位相補償を行うことができる。それにより内部発生電位 (V_{DDI}) の金属配線の抵抗はリミッタ回路の位相余裕を考慮することなく低減でき、リミッタ回路の安定動作を確保することが可能となる。

40

【図面の簡単な説明】

【図 1】本発明にかかる半導体集積回路装置の一例である SRAM に含まれるリミッタ回路の構成例回路図である。

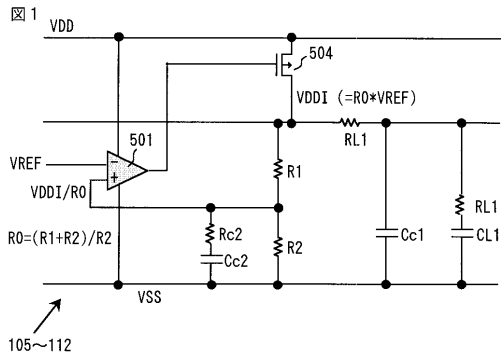
【図 2】図 1 に示されるリミッタ回路の比較対象とされる回路の構成例回路図である。

【図 3】図 1 に示されるリミッタ回路の比較対象とされる回路の構成例回路図である。

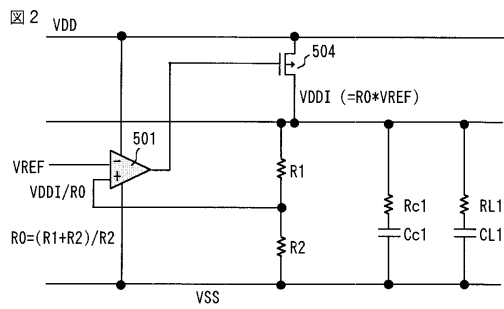
50

- 【図 4】位相補償用抵抗と位相補償用容量との関係を説明するための回路図である。
- 【図 5】一般的な位相補償のボード線図である。
- 【図 6】図 3 に示される回路における位相補償のボード線図である。
- 【図 7】図 1 に示される回路における位相補償のボード線図である。
- 【図 8】図 1 に示されるリミッタ回路に適用可能な差動増幅回路の構成例回路図である。
- 【図 9】図 1 に示されるリミッタ回路に適用可能な差動増幅回路の別の構成例回路図である。
- 【図 10】図 1 に示されるリミッタ回路の構成例説明図である。
- 【図 11】上記リミッタ回路とそれに結合される回路との関係説明図である。
- 【図 12】上記リミッタ回路に含まれる位相補償用容量の構成例断面図である。 10
- 【図 13】上記リミッタ回路に含まれる位相補償用容量の構成例断面図である。
- 【図 14】上記リミッタ回路に含まれる位相補償用容量の構成例断面図である。
- 【図 15】上記リミッタ回路に含まれる位相補償用抵抗の構成例断面図である。
- 【図 16】上記リミッタ回路に含まれる位相補償用抵抗の構成例断面図である。
- 【図 17】上記リミッタ回路に含まれる位相補償用抵抗の構成例断面図である。
- 【図 18】上記リミッタ回路に含まれる位相補償用抵抗及び位相補償用容量についてのレイアウト例説明図である。
- 【図 19】図 18 における主要部の拡大図である。
- 【図 20】図 18 における主要部の拡大図である。
- 【図 21】図 20 における A - B 線切断断面図である。 20
- 【図 22】上記リミッタ回路の別の構成例回路図である。
- 【図 23】上記リミッタ回路の別の構成例回路図である。
- 【図 24】上記リミッタ回路で使用される基準電圧を形成する基準電圧発生回路の構成例回路図である。
- 【符号の説明】
- 2 S R A M
- 20 半導体チップ
- 101, 102 メモリセルアレイ
- 117, 118, 119, 120 入力回路
- 113, 114, 115, 116 出力回路 30
- 124 基準電圧発生回路
- 501 差動増幅回路
- 504 pチャネル型MOSトランジスタ
- Rc2 位相補償用抵抗
- Cc2 位相補償用容量
- R1, R2 抵抗
- VDD 高電位側電源
- VSS 低電位側電源
- VDDI 内部電源

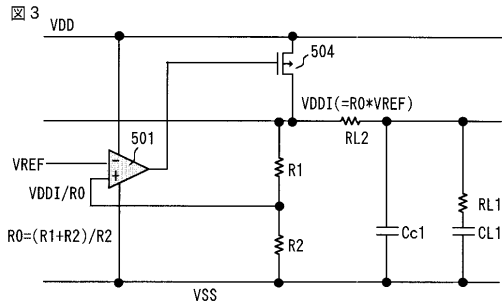
【図 1】



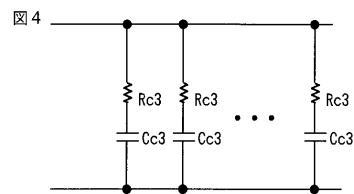
【図 2】



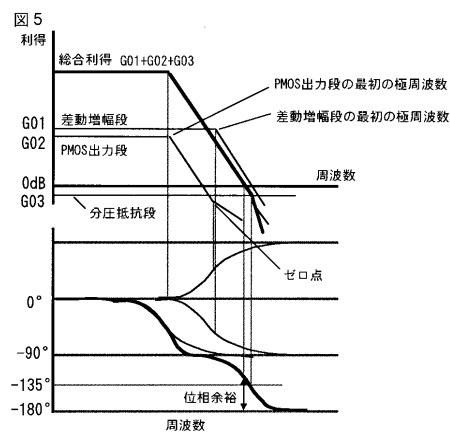
【図 3】



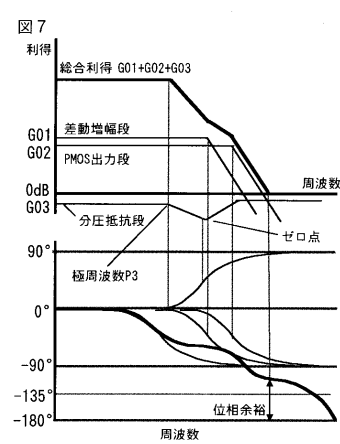
【図 4】



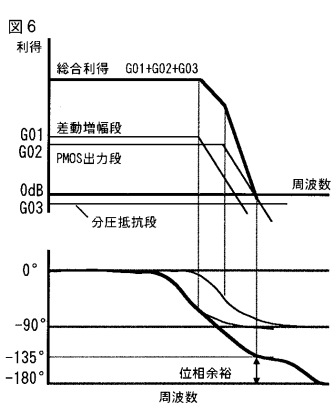
【図 5】



【図 7】

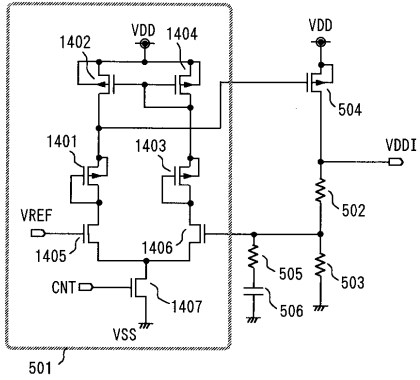


【図 6】



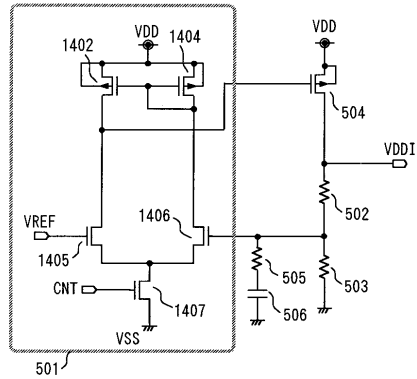
【図 8】

図 8



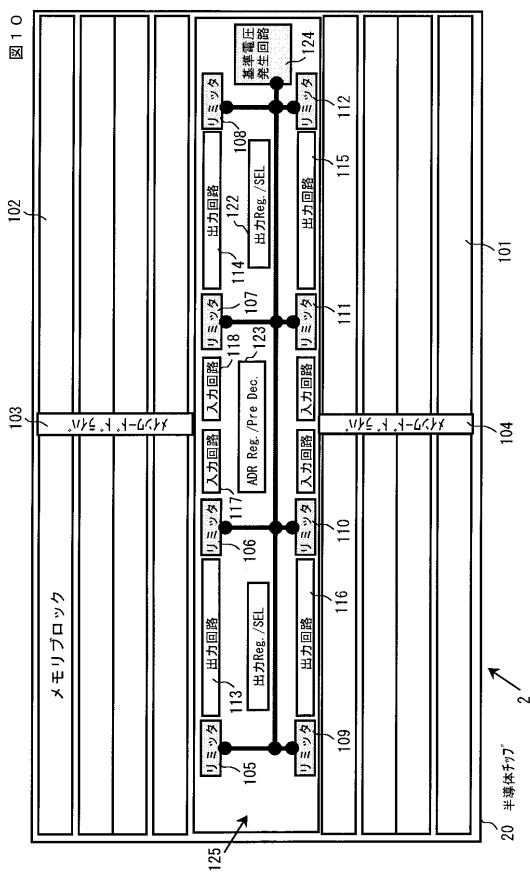
【図 9】

図 9



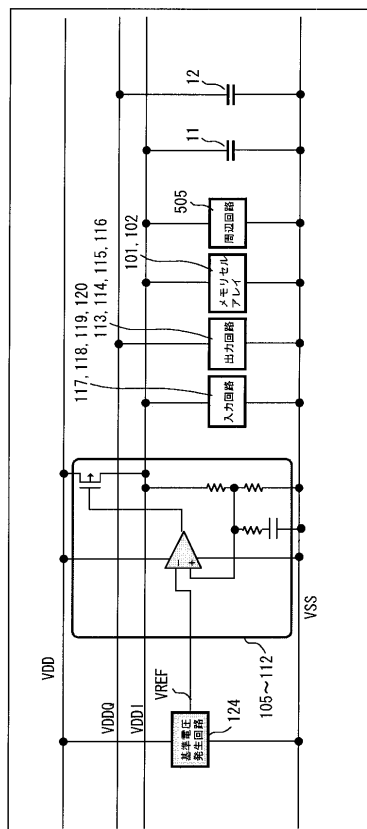
【図 10】

図 10

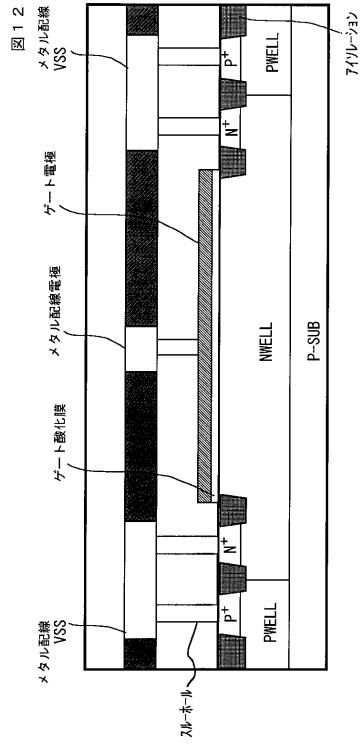


【図 11】

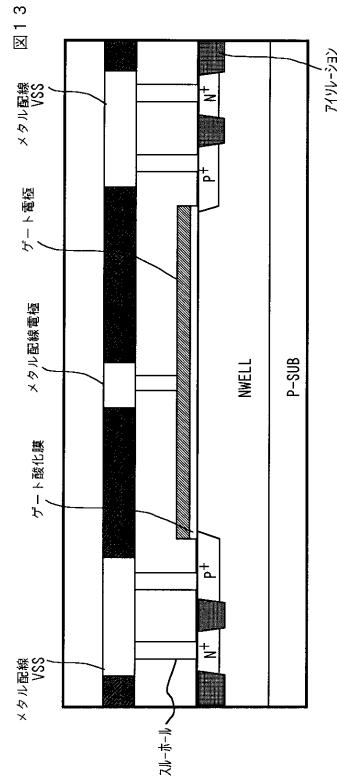
図 11



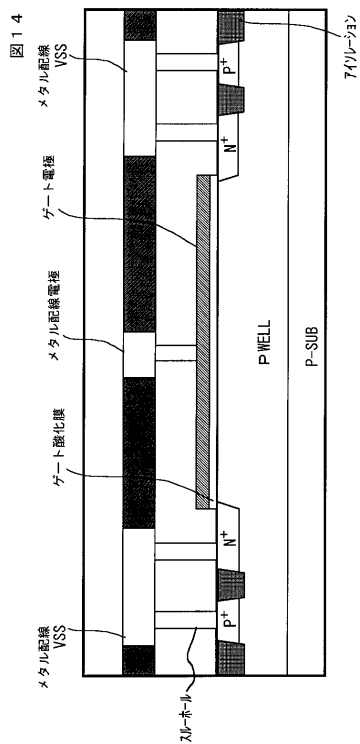
【 図 1 2 】



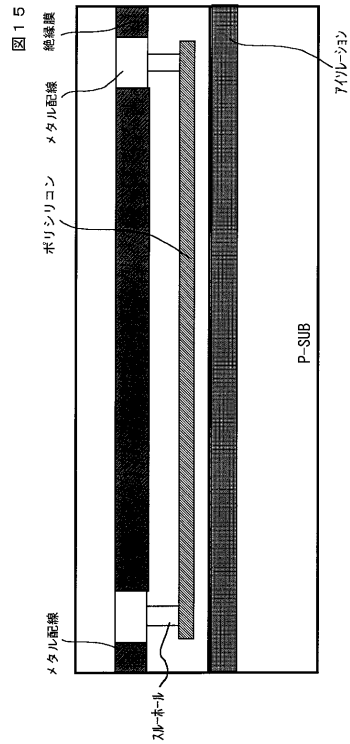
【 図 1 3 】



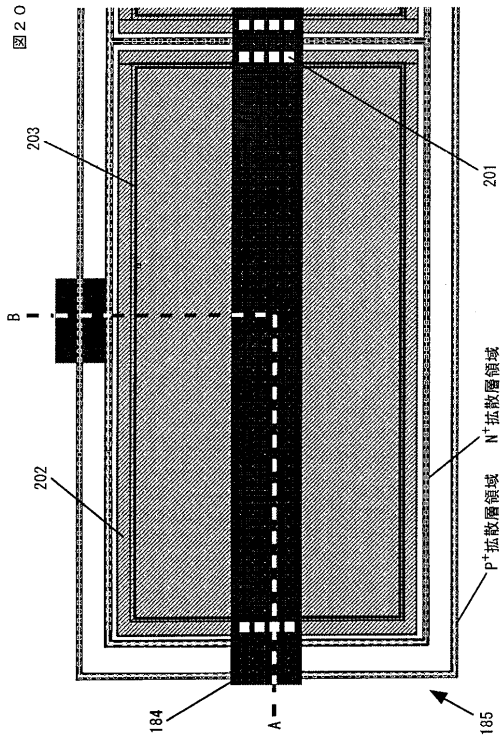
【 図 1 4 】



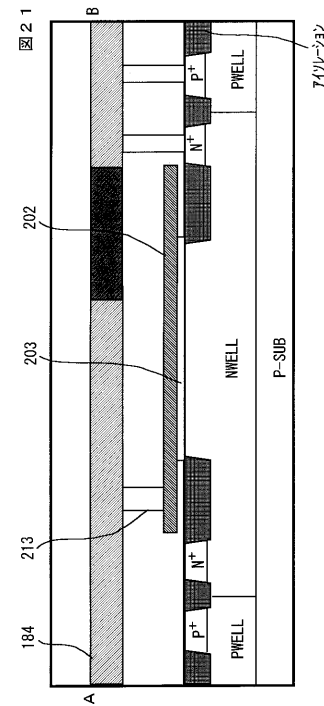
【 図 1 5 】



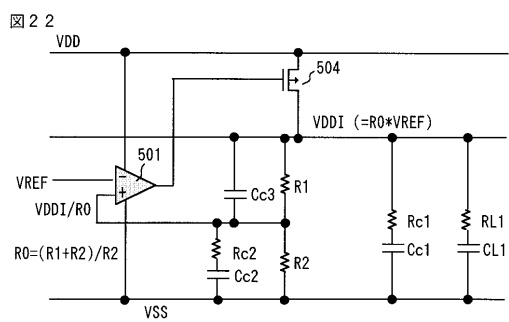
【図 20】



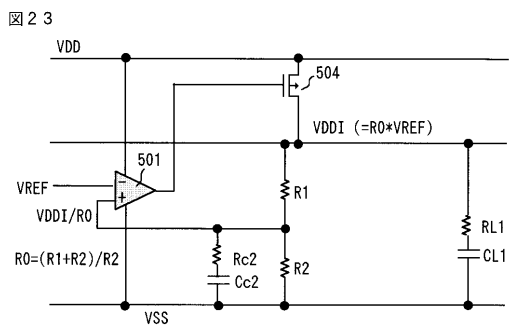
【図 21】



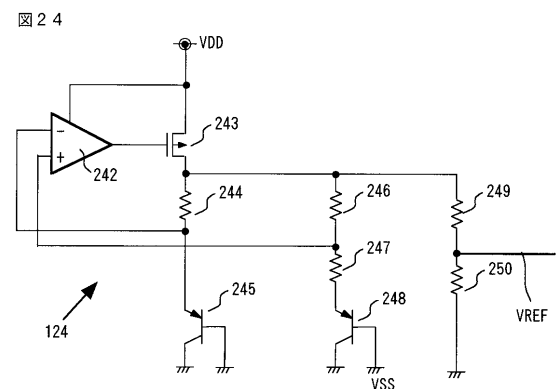
【図 22】



【図 23】



【図 24】



フロントページの続き

(51) Int.Cl.	F I		
	H 0 1 L	27/04	R
	H 0 3 F	3/45	B

(56)参考文献 特開2000-148263(JP,A)
特開平03-089376(JP,A)
実開昭62-152679(JP,U)
特開平11-053039(JP,A)
特開2002-151969(JP,A)
特開平11-122195(JP,A)
特開2001-216036(JP,A)

(58)調査した分野(Int.Cl., DB名)

G05F 1/445,1/56,1/613,1/618
H01L 21/822
H01L 27/04
H03F 3/45