



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201916279 A

(43) 公開日：中華民國 108 (2019) 年 04 月 16 日

(21) 申請案號：106146106 (22) 申請日：中華民國 106 (2017) 年 12 月 27 日
 (51) Int. Cl. : *H01L23/34 (2006.01)* *H01L23/373 (2006.01)*
 (30) 優先權：2017/10/06 美國 62/568,803
 (71) 申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)
 新竹縣竹東鎮中興路四段 195 號
 (72) 發明人：高國書 KAO, KUO-SHU (TW)；張道智 CHANG, TAO-CHIH (TW)；陳文志 CHEN, WEN-CHIH (TW)；余泰君 YU, TAI-JYUN (TW)；邱柏凱 CHIU, PO-KAI (TW)；林彥廷 LIN, YEN-TING (TW)；韓偉國 HAN, WEI-KUO (TW)
 (74) 代理人：葉璟宗；卓俊傑
 申請實體審查：有 申請專利範圍項數：21 項 圖式數：10 共 39 頁

(54) 名稱

晶片封裝

CHIP PACKAGE

(57) 摘要

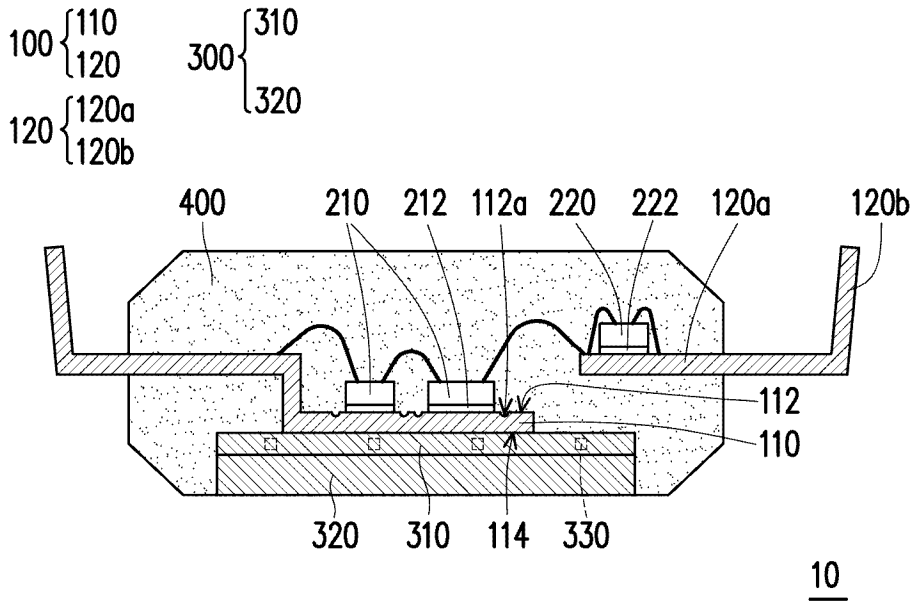
一種晶片封裝，其包括導線架、第一晶片、散熱結構以及絕緣密封體。導線架包括晶片座與連接於晶片座的引腳。晶片座具有第一表面及相對於第一表面的第二表面。第一晶片設置於晶片座的第一表面上並與導線架的引腳電性連接。散熱結構設置於晶片座的第二表面上，包括貼附於晶片座的第二表面的熱介面材料層。熱介面材料層的熱傳導係數介於 3W/mK 至 15W/mK 之間，且厚度介於 100 μ m 至 300 μ m 之間。絕緣密封體包覆第一晶片、散熱結構及部分的導線架。第一晶片經由引腳電性連接至絕緣密封體之外。

A chip package including a lead frame, a first chip, a heat dissipation structure and an insulating encapsulant is provided. The lead frame includes a chip pad and a lead connected to the chip pad. The chip pad has a first surface and a second surface opposite to the first surface. The first chip is disposed on the first surface of the chip pad and electrically connected to the lead of the lead frame. The heat dissipation structure disposed on the second surface of the chip pad includes a thermal interface material layer attached to the second surface of the chip pad. The thermal conductivity of thermal interface material layer ranges from 3 W/mK to 15W/mK and the thickness ranges from 100 μ m to 300 μ m. The insulating encapsulant encapsulates the first chip, the heat dissipation structure and a portion of the lead frame. The first chip is electrically connected to the outside of the insulating encapsulant by the lead.

指定代表圖：

符號簡單說明：

- 10 . . . 晶片封裝
- 100 . . . 導線架
- 110 . . . 晶片座
- 112 . . . 第一表面
- 112a . . . 凹槽
- 114 . . . 第二表面
- 120 . . . 引腳
- 120a . . . 內引腳部
- 120b . . . 外引腳部
- 210 . . . 第一晶片
- 212、222 . . . 連接材料
- 220 . . . 第二晶片
- 300 . . . 散熱結構
- 310 . . . 熱介面材料層
- 320 . . . 散熱件
- 330 . . . 導熱塊
- 400 . . . 絕緣密封體



【圖1B】

【發明說明書】

【中文發明名稱】晶片封裝

【英文發明名稱】CHIP PACKAGE

【技術領域】

【0001】本發明的實施例是有關於一種封裝結構，且特別是有關於一種晶片封裝。

【先前技術】

【0002】傳統變頻家電中的壓縮機或馬達驅控系統的驅控系統晶片及功率模組晶片大多是採用離散式元件（Discrete type）的方式進行封裝，再將單一封裝元件組裝於系統板。為了提高功率元件的功率密度並達成低成本的需求，遂發展出一種整合型或智慧型功率模組（Intelligent Power Module，IPM），其特色在於將多個半導體元件結合在一個封裝結構中，藉此在小體積的封裝結構下提供高輸出功率，進而提高功率密度。對於此類的整合型功率模組而言，功率模組的散熱特性顯得非常重要。

【0003】目前的整合型功率模組大部分是採用覆銅陶瓷基板（Direct Bonded Cooper，DBC）或直接電鍍銅陶瓷基板（Direct Plated Copper，DPC）作為絕緣與散熱的途徑。然而，DBC/DPC基板中的陶瓷材料厚度約0.385mm~0.635mm，厚度較厚導致功率模組的熱阻值無法有效降低，進而影響功率模組的散熱效能。

【發明內容】

【0004】 本發明的實施例提供一種晶片封裝，其包括導線架、第一晶片、散熱結構以及絕緣密封體。導線架包括晶片座與連接於晶片座的引腳，其中晶片座具有第一表面及相對於第一表面的第二表面。第一晶片設置於晶片座的第一表面上並與導線架的引腳電性連接。散熱結構設置於晶片座的第二表面上，包括貼附於晶片座的第二表面的熱介面材料層。熱介面材料層的熱傳導係數介於 3W/mK 至 15W/mK 之間，且厚度介於 100 μ m 至 300 μ m 之間。絕緣密封體包覆第一晶片、散熱結構及部分的導線架，並暴露出導線架的引腳。第一晶片經由引腳電性連接至絕緣密封體之外。

【0005】 本發明的另一實施例提供一種晶片封裝，其包括導線架、晶片、散熱堆疊結構以及絕緣密封體。導線架具有第一表面及相對於第一表面的第二表面。導線架包括引腳。晶片設置於導線架的第一表面上並電性連接於導線架。散熱堆疊結構設置於導線架的第二表面上。散熱堆疊結構包括第一熱介面材料層、第二熱介面材料層。第一熱介面材料層包括朝向晶片的頂表面。第二熱介面材料層位於導線架與第一熱介面材料層之間並覆蓋第一熱介面材料層的頂表面。第二熱介面材料層包括連接於導線架的第二表面的頂表面與相對於頂表面的底表面。第一熱介面材料層的頂表面的面積相等於第二熱介面材料層的底表面的面積，並大於第二熱介面材料層的頂表面的面積。絕緣密封體包覆晶片、散熱

堆疊結構及導線架，其中導線架的引腳自絕緣密封體內延伸出。

【0006】 本發明的又一實施例提供一種晶片封裝，其包括晶片、晶片承載板、散熱堆疊結構以及絕緣密封體。晶片承載板承載晶片並與晶片電性連接。散熱堆疊結構位於晶片承載板相對於承載晶片的一側。散熱堆疊結構包括第一熱介面材料層、第二熱介面材料層以及第三熱介面材料層。第二熱介面材料層堆疊於第一熱介面材料層上。第三熱介面材料層，堆疊於第二熱介面材料層上並位於晶片承載板與第二熱介面材料層之間。第二熱介面材料層的材料不同於第一熱介面材料層的材料與第三熱介面材料層的材料。絕緣密封體包覆晶片、散熱堆疊結構及晶片承載板，並暴露出晶片承載板的一部分。

【0007】 本發明的又一實施例提供一種晶片封裝，其包括散熱件、熱介面材料層、圖案化線路層、晶片以及絕緣密封體。熱介面材料層配置於散熱件上。熱介面材料層的熱傳導係數介於 3W/mK 至 15W/mK 之間，且厚度介於 $100\mu\text{m}$ 至 $300\mu\text{m}$ 之間。圖案化線路層配置於熱介面材料層上。熱介面材料層位於圖案化線路層與散熱件之間。晶片配置於圖案化線路層上並與圖案化線路層電性連接。絕緣密封體覆蓋晶片、圖案化線路層以及熱介面材料層。

【0008】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】**【0009】**

圖 1A 是依照本發明的第一實施例的一種晶片封裝中導線架與晶片的平面示意圖。

圖 1B 是依照本發明的第一實施例的一種晶片封裝的剖面示意圖。

圖 2 是依照本發明的第二實施例的一種晶片封裝的剖面示意圖。

圖 3 是依照本發明的第三實施例的一種晶片封裝的剖面示意圖。

圖 4 是依照本發明的第四實施例的一種晶片封裝的剖面示意圖。

圖 5 是依照本發明的第五實施例的一種晶片封裝的剖面示意圖。

圖 6 是依照本發明的第六實施例的一種晶片封裝的剖面示意圖。

圖 7 是依照本發明的第七實施例的一種晶片封裝的剖面示意圖。

圖 8 是依照本發明的第八實施例的一種晶片封裝的剖面示意圖。

圖 9 是依照本發明的第九實施例的一種晶片封裝的剖面示意圖。

圖 10 是依照本發明的第十實施例的一種晶片封裝的剖面示意圖。

【實施方式】

【0010】 第一實施例

【0011】 圖 1A 是依照本發明的第一實施例的一種晶片封裝中導線架與晶片的平面示意圖，圖 1B 是依照本發明的第一實施例的一種晶片封裝的剖面示意圖。請參照圖 1A 與圖 1B，本實施例的晶片封裝 10 可包括導線架 100、第一晶片 210、散熱結構 300 以及絕緣密封體 400。可以理解的是，在圖 1A 的平面示意圖中，為顯示導線架與晶片的配置關係，因此並未繪出包覆導線架與晶片的絕緣密封體。絕緣密封體的配置請參照圖 1B 的剖面示意圖，圖 1B 例如是沿著圖 1A 的虛線 A-A 的剖面示意圖。導線架 100 包括晶片座 110 與連接於晶片座 110 的引腳 120。導線架 100 的材料可包括鋁、銅等適合的金屬材料。在一些實施例中，導線架 100 也可為晶片承載板。導線架 100 的晶片座 (die pad) 110 具有第一表面 112 及相對於第一表面 112 的第二表面 114。第一晶片 210 設置於晶片座 110 的第一表面 112 上並與導線架 100 的引腳 120 電性連接。第一晶片 210 經由引腳 120 電性連接至絕緣密封體 400 之外。引腳 120 包括與內引腳部 120a 以及一端連接於內引腳部 120a 的外引腳部 120b。舉例來說，外引腳部 120b 未連接於內引腳部 120a 的另一端可以朝絕緣密封體 400 的厚度方向上延伸並遠離內

引腳部 120a。絕緣密封體 400 包覆導線架 100 的晶片座 110 及連接於晶片座 110 的內引腳部 120a，並暴露出外引腳部 120b。在一些實施例中，導線架 100 可以具有多個引腳 120 環繞於晶片座 110 且引腳 120 與晶片座 110 位於不同的水平高度。也就是說，導線架 100 的晶片座 110 與引腳 120 的配置可以是呈凹狀。

【0012】 在一些實施例中，第一晶片 210 的材料可以包括矽、碳化矽、氮化鎵等，但本發明的實施例並不限於此。舉例來說，第一晶片 210 可以藉由連接材料 212 安裝於晶片座 110 上。舉例來說，連接材料 212 可以具有導電性例如錒錫/銀膏/銅膏/銀膠/銅膠等。當第一晶片 210 在運作時，其所產生的熱可以經由連接材料 212 傳遞至導線架 100 及散熱結構 300。在一些實施例中，連接材料 212 可以包括有機矽類或環氧類的絕緣黏著材料。在一些實施例中，晶片座 110 的第一表面 112 設置有凹槽 112a，第一晶片 210 例如是位於凹槽 112a 所定義的區域中。也就是說，凹槽 112a 可以是環繞於第一晶片 210。在一些實施例中，可以設置多個彼此不連通的凹槽 112a，並排列在第一晶片 210 的周圍。凹槽 112a 可以收集在第一晶片 210 黏著至晶片座 110 的過程中所造成的多餘的黏著材料，以避免黏著材料污染晶片座 110 的其他區域。

【0013】 在圖 1B 所繪示的剖視圖中，凹槽 112a 為 U 型。在其他的實施例中，凹槽 112a 可以是 V 型、方型凹槽或其他適合的形狀。在其他的實施例中，凹槽 112a 可以是整片式的凹槽，第一晶片 210 例如是位於整片式的凹槽 112a 之中。本發明的實施例並不限制凹

槽 112a 的尺寸，但深度較深的凹槽 112a 可能會導致晶片座 110 的結構完整性下降，因此，可以根據可能施加在晶片封裝 10 上的應力程度與種類及其他設計需求，來決定凹槽 112a 的尺寸。

【0014】 在一些實施例中，第一晶片 210 是藉由打線（wire bonding）的方式電性連接至導線架 100。舉例來說，導線（如圖 1A 及圖 1B 中的粗黑實線）可以是鋁線、銀線、銅線、鋁帶、銀帶、銅帶、銅墊等。在其他的實施例中，第一晶片 210 也可以是藉由覆晶（flip chip）的方式電性連接至導線架 100。在一些實施例中，第一晶片 210 可以是功率晶片（power chip），例如絕緣柵雙極型晶體管（insulated-gate bipolar transistor, IGBT）、金氧半場效晶體管（Metal-Oxide Semiconductor Field Effect Transistor, MOSFET）或二極管等。在圖 1A 及圖 1B 所繪示的晶片封裝 10 中包含兩個第一晶片 210，應當理解的是，第一晶片 210 的數量僅為示例，可以依據設計需求增減第一晶片 210 的數量及配置位置。

【0015】 晶片封裝 10 的散熱結構 300 例如設置於晶片座 110 的第二表面 114 上。散熱結構 300 包括熱介面材料（thermal interface material, TIM）層 310。在一些實施例中，熱介面材料層 310 貼附於晶片座 110 的第二表面 114 上，藉此將第一晶片 210 運作時所產生的熱發散至外部。在一些實施例中，熱介面材料層 310 的寬度可以大於晶片座 110 的寬度。在其他實施例中，熱介面材料層 310 的寬度可以等於或小於晶片座 110 的寬度。舉例來說，熱介面材料層 310 厚度可以是介於 100 μm 至 300 μm 之間。熱介面材

料層 310 具有低熱阻、高導熱及高電性絕緣的材料特性。舉例來說，熱介面材料層 310 的材料可以包括矽、二氧化矽 (SiO_2)、氧化鋁 (Al_2O_3)、氮化鋁 (AlN)、氮化硼 (BN) 或其他適合的材料。在一些實施例中，熱介面材料層 310 的熱傳導係數介於 3W/mK 至 15W/mK 之間。

【0016】 在一些實施例中，散熱結構 300 還包括散熱件 320。散熱件 320 可以密封於絕緣密封體 400 中。熱介面材料層 310 可以設置在散熱件 320 及晶片座 110 之間，以填補晶片座 110 和散熱件 320 之間的接合間隙，以擴大晶片座 110 和散熱件 320 之間的散熱面積，使散熱件 320 的作用充分地發揮。散熱件 320 的材料可包括鋁、銅等適合的金屬材料或陶瓷材料。在一些實施例中，散熱件 320 的熱傳導係數大於熱介面材料層 310 的熱傳導係數及絕緣密封體 400 的熱傳導係數。舉例來說，散熱件 320 可以包括散熱片 (heat sink)。散熱件 320 的材料之熱傳導率 (thermal conductivity) 愈高及熱擴散率 (thermal diffusivity) 愈快，散熱面積愈大，則其散熱效率愈佳。第一晶片 210 至散熱件 320 的熱傳導路徑中，無導熱能力不佳的材料存在，藉此，在第一晶片 210 及散熱件 320 之間的熱阻 (thermal resistance) 低，使得晶片封裝 10 具有高散熱效率。

【0017】 在一些實施例中，可選擇性地在熱介面材料層 310 中配置導熱塊 330。舉例來說，導熱塊 330 可以包括熱傳導係數較高的材質，例如金屬、陶瓷或其他適合的材料等，藉以提高散熱結構

300 的散熱性能。在一些實施例中，導熱塊 330 的形狀包括圓球、圓柱、方柱等，但本發明的實施例並不以此為限。在其他實施例中，在熱介面材料層 310 中也可以不配置導熱塊 330，因此在圖式中導熱塊 330 以虛線表示。

【0018】 絕緣密封體 400 包覆第一晶片 210、散熱結構 300 及導線架 100 的晶片座 110 與內引腳部 120a，外引腳部 120b 暴露於絕緣密封體 400 之外。藉此，晶片封裝 10 可透過外引腳部 120b 與其他電子元件電性連接。絕緣密封體 400 的材料可以包括環氧樹脂（epoxy）等絕緣材料。在圖 1A 及圖 1B 所繪示的晶片封裝 10 中還包括第二晶片 220。第二晶片 220 位於導線架 100 的內引腳 120a 上且密封於絕緣密封體 400 中。也就是說，第一晶片 210 所在的水平高度介於第二晶片 220 所在的水平高度與散熱結構 300 所在的水平高度之間。第二晶片 220 可以藉由連接材料 222 安裝於導線架 100 上，連接材料 222 可以是與連接材料 212 相同或相似的材料，本發明的實施例並不限於此。

【0019】 第二晶片 220 可以藉由導線架 100 電性連接於第一晶片 210。在一些實施例中，第二晶片 220 的功能可以不同於第一晶片 210 的功能。舉例來說，第二晶片 220 是驅動晶片，以驅動第一晶片 210 的運作。在其他的實施例中，第二晶片 220 可以是控制晶片，藉由導線電性連接第一晶片 210 而達到控制第一晶片 210 的作動。在一些實施例中，第二晶片 220 可以藉由打線的方式形成導線，以電性連接至內引腳 120a。在其他實施例中，第二晶片 220

可以是藉由覆晶的方式電性連接至導線架 100。藉由將第一晶片 210 與第二晶片 220 結合在晶片封裝 10，藉以形成在小體積的整合型功率模組。

【0020】 在本實施例中，第一晶片 210 在運作時所產生的熱量可以透過設置在晶片座 110 的第二表面 114 上的散熱結構 300 所形成的導熱途徑快速地將熱量傳導至晶片封裝 10 之外而消散。相較於傳統利用直接壓合銅 (Direct Bonding Copper, DBC) 陶瓷基板，直接電鍍銅 (Direct Plated Copper, DPC) 陶瓷基板作為散熱途徑的整合型功率模組，本實施例的晶片封裝 10 具有製程簡化且降低製造成本的優點，且以散熱結構 300 作為散熱途徑可以改善熱阻大約 30% 以上。

【0021】 第二實施例

【0022】 圖 2 是依照本發明的第二實施例的一種晶片封裝的剖面示意圖。請參照圖 2，本實施例的晶片封裝 20 與第一實施例的晶片封裝 10 類似，相同或相似的標號表示相同或相似的構件，故針對圖 1A 及圖 1B 說明過的構件於此不再贅述。本實施例的晶片封裝 20 與第一實施例的晶片封裝 10 之間的差異例如在於，晶片封裝 20 還包括印刷電路板 (Printed Circuit Board, PCB) 500。舉例來說，印刷電路板 500 位於導線架 100 的晶片座 110 與引腳 120 的內引腳 120a 之間。印刷電路板 500 可以藉由連接材料 510 以連接至內引腳 120a，並與晶片座 110 空間上隔開。舉例來說，印刷電路板 500 的垂直投影面積與晶片座 110 的垂直投影面積彼此不

重疊。印刷電路板 500 的垂直投影面積可以與散熱結構的垂直投影面積部分重疊。在一些實施例中，連接材料 510 可以包括焊錫材料或其他適合的材料，在印刷電路板 500 上形成的連接材料 510 也可以稱為焊錫接點。

【0023】 在一些實施例中，第二晶片 220 例如是位於印刷電路板 500 上，並可藉由打線方式與印刷電路板 500 電性連接。由於印刷電路板 500 的佈線密度高，可利於第二晶片 220（例如驅動晶片或控制晶片）設置於其上。在一些實施例中，印刷電路板 500 的材質可以包括絕緣隔熱材料，以利阻擋熱量傳導至第二晶片 220，而損壞第二晶片 220。導線也可以形成在第一晶片 210 與印刷電路板 500 之間，以電性連接第一晶片 210 與第二晶片 220。在其他實施例中，第二晶片 220 可以是藉由覆晶的方式電性連接至印刷電路板 500。舉例來說，第二晶片 220 與連接材料 510 可以位於印刷電路板 500 的同一表面上。

【0024】 第三實施例

【0025】 圖 3 是依照本發明的第三實施例的一種晶片封裝的剖面示意圖。請參照圖 3，本實施例的晶片封裝 30 與第一實施例的晶片封裝 10 類似，相同或相似的標號表示相同或相似的構件，故針對圖 1A 及圖 1B 說明過的構件於此不再贅述。本實施例的晶片封裝 30 與第一實施例的晶片封裝 10 之間的差異例如在於，本實施例的晶片封裝 30 包括第一導線架 610 及連接於第一導線架 610 的第二導線架 620。舉例來說，第一晶片 210 與第二晶片 220 皆設置

於第一導線架 610 的第一表面 612 上，第一晶片 210 與第二晶片 220 所在的區域可以視為第一導線架 610 的晶片座。散熱結構 300 設置於相對於第一表面 612 的第二表面 614 上。熱介面材料層 310 可以是與第二表面 614 直接接觸。在一些實施例中，散熱結構 300 的邊緣可以與第一導線架 610 的邊緣切齊。

【0026】 第二導線架 620 可以藉由連接材料 630 安裝在第一導線架 610 的第一表面 612 上。連接材料 630 可以包括焊錫材料或其他適合的材料。舉例來說，第一晶片 210 與第二晶片 220 設置在第一導線架 610 的第一表面 612 的中央區域，第二導線架 620 可以安裝在第一導線架 610 的第一表面 612 的周圍區域。第一導線架 610 的第一表面 612 上設置凹槽 612a。凹槽 612a 與第一實施例中的凹槽 112a，故於此不在贅述。在一些實施例中，第二晶片 220 也可以設置在凹槽 612a 所定義的區域中，如圖 3 所示。

【0027】 第四實施例

【0028】 圖 4 是依照本發明的第四實施例的一種晶片封裝的剖面示意圖。請參照圖 4，本實施例的晶片封裝 40 與第一實施例的晶片封裝 10 類似，相同或相似的標號表示相同或相似的構件，故針對圖 1A 及圖 1B 說明過的構件於此不再贅述。本實施例的晶片封裝 40 與第一實施例的晶片封裝 10 之間的差異例如在於，晶片封裝 40 的散熱堆疊結構 700 包括雙層的熱介面材料層，例如第一熱介面材料層 710 以及第二熱介面材料層 720。第二熱介面材料層 720 位於導線架 100 的晶片座 110 與第一熱介面材料層 710 之間。

【0029】 第一熱介面材料層 710 第二熱介面材料層 720 分別包括朝向第一晶片 210 的頂表面 710a、720a 以及相對於頂表面 710a、720a 的底表面 710b、720b。第二熱介面材料層 720 覆蓋第一熱介面材料層 710 的頂表面 710a。舉例來說，第二熱介面材料層 720 的頂表面 720a 連接於晶片座 110 的第二表面 114，第二熱介面材料層 720 的底表面 720b 連接於第一熱介面材料層 710 的頂表面 710a。第二熱介面材料層 720 的頂表面 720a 的面積可以大於晶片座 110 的底面積。

【0030】 在一些實施例中，且第一熱介面材料層 710 的頂表面 710a 的面積大於第二熱介面材料層 720 的頂表面 720a 的面積。在圖 4 所繪示剖視圖中，第一熱介面材料層 710 與第二熱介面材料層 720 結構呈現彼此相互對應的凹凸形狀，因此，第一熱介面材料層 710 的頂表面 710a 的面積相等於第二熱介面材料層 720 的底表面 720b 的面積。在其他實施例中，第一熱介面材料層 710 與第二熱介面材料層 720 的交界面之剖面例如是呈現相互對應的鋸齒狀、波浪狀、椎狀交叉等。藉由上述的配置方式，以增加第一熱介面材料層 710 與第二熱介面材料層 720 兩者之間交界的接觸面的面積，進而增加散熱結構 700 的散熱性能。

【0031】 在一些實施例中，第一熱介面材料層 710 的厚度大於第二熱介面材料層 720 的厚度。所述厚度例如是最大厚度或是平均厚度。在一些實施例中，第一熱介面材料層 710 的體積大於第二熱介面材料層 720 的體積。舉例來說，第一熱介面材料層 710 的

邊緣可以切齊於第二熱介面材料層 720 的邊緣。也就是說，第一熱介面材料層 710 的垂直投影面積可以與第二熱介面材料層 720 的垂直投影面積完全重疊。在其他的實施例中，第二熱介面材料層 720 的垂直投影面積可以是小於第一熱介面材料層 710 的垂直投影面積，並且位在第一熱介面材料層 710 的垂直投影面積內。

【0032】 第一熱介面材料層 710 與第二熱介面材料層 720 的材料可以類似於第一實施例中的熱介面材料 310。在一些實施例中，第一熱介面材料層 710 的材料可以不同於第二熱介面材料層 720 的材料。也就是說，在材料特性（例如絕緣性、熱傳性等）方面，第一熱介面材料層 710 不同於第二熱介面材料層 720。舉例來說，第一熱介面材料層 710 的熱傳導係數大於第二熱介面材料層 720 的熱傳導係數。第一熱介面材料層 710 的熱傳導係數例如介於 3W/mK 至 15 W/mK 之間，第二熱介面材料層 720 的熱傳導係數例如介於 1W/mK 至 7W/mK 之間。在一些實施例中，第一熱介面材料層 710 的黏滯係數（viscosity）大於第二熱介面材料層 720 的黏滯係數。第一熱介面材料層 710 的絕緣阻抗（Volume Resistivity / Dielectric Resistivity）小於第二熱介面材料層 720 的絕緣阻抗。在一些實施例中，第一熱介面材料層 710 的黏著性（adhesion）小於第二熱介面材料層 720 的黏著性。

【0033】 在一些實施例中，散熱堆疊結構 700 還包括導熱塊 730。在圖 4 所繪示的晶片封裝 40 中，導熱塊 730 位於第二熱介面材料層 720 中。在一些實施例中，導熱塊 730 可以是位於第一熱介面

材料層 710 中。在一些其他實施例中，導熱塊 730 可以是位於第一熱介面材料層 710 以及第二熱介面材料層 720 中。導熱塊 730 的材料可以是與第一實施例中的導熱塊 330 相同或相似，故於此不在贅述。在其他實施例中，晶片封裝 40 也可以視實際需求而不配置導熱塊 730，本發明的實施例並不以此為限。

【0034】 在一些實施例中，散熱堆疊結構 700 還包括散熱件 740。舉例來說，散熱件 740 交疊於第一熱介面材料層 710 且連接第一熱介面材料層 710 的底表面 710b。散熱件 740 的邊緣可以切齊於第一熱介面材料層 710 及/或第二熱介面材料層 720。在其他實施例中，散熱件 740 的寬度可以是大於第一熱介面材料層 710 及/或第二熱介面材料層 720 的寬度。藉由大面積地接觸熱源，可協助熱的傳導，最後熱量則可以藉由散熱結構 700 而發散至外部。

【0035】 第五實施例

【0036】 圖 5 是依照本發明的第五實施例的一種晶片封裝的剖面示意圖。請參照圖 5，本實施例的晶片封裝 50 與第四實施例的晶片封裝 40 類似，相同或相似的標號表示相同或相似的構件，故針對圖 4 說明過的構件於此不再贅述。本實施例的晶片封裝 50 與第四實施例的晶片封裝 40 之間的差異例如在於，晶片封裝 50 還包括位於晶片座 110 與引腳 120 之間的印刷電路板 500。印刷電路板 500 的配置方式類似於第二實施例，故於此不再贅述。

【0037】 第六實施例

【0038】 圖 6 是依照本發明的第六實施例的一種晶片封裝的剖面

示意圖。請參照圖 6，本實施例的晶片封裝 60 與第四實施例的晶片封裝 40 類似，相同或相似的標號表示相同或相似的構件，故針對圖 4 說明過的構件於此不再贅述。本實施例的晶片封裝 60 與第四實施例的晶片封裝 40 之間的差異例如在於，晶片封裝 60 還包括第一導線架 610 及連接於第一導線架 610 的第二導線架 620。第一導線架 610 與第二導線架 620 的配置方式類似於第三實施例，故於此不再贅述。

【0039】 第七實施例

【0040】 圖 7 是依照本發明的第七實施例的一種晶片封裝的剖面示意圖。請參照圖 7，本實施例的晶片封裝 70 與第一實施例的晶片封裝 10 類似，相同或相似的標號表示相同或相似的構件，故針對圖 1A 及圖 1B 說明過的構件於此不再贅述。本實施例的晶片封裝 70 與第一實施例的晶片封裝 10 之間的差異例如在於，晶片封裝 70 的散熱堆疊結構 800 包括多層的熱介面材料層，例如第一熱介面材料層 810、第二熱介面材料層 820 以及第三熱介面材料層 830。舉例來說，第二熱介面材料層 820 堆疊於第一熱介面材料層 810 上，第三熱介面材料層 830 堆疊於第二熱介面材料層 820 上，並位於導線架 100 的晶片座 110 與第二熱介面材料層 820 之間。

【0041】 在一些實施例中，第二熱介面材料層 820 的厚度大於第一熱介面材料層 810 的厚度，並大於第三熱介面材料層 830 的厚度。第一熱介面材料層 810 的厚度例如是與第三熱介面材料層 830 的厚度相同。舉例來說，第一熱介面材料層 810 與第三熱介面材

料層的厚度介於 $10\mu\text{m}$ 至 $50\mu\text{m}$ 之間，第二熱介面材料層的厚度介於 $100\mu\text{m}$ 至 $300\mu\text{m}$ 之間，但本發明並不限於此。在另一實施例，第二熱介面材料層 820 的厚度可以是第一熱介面材料層 810 或第三熱介面材料層 830 的厚度約 5 至 10 倍。在一些實施例中，第一熱介面材料層 810、第二熱介面材料層 820 與第三熱介面材料層 830 的邊緣相互切齊。第二熱介面材料層 820 與第一熱介面材料層 810 交界的表面積可以是與第三熱介面材料層 830 交界的表面積相同。舉例來說，第二熱介面材料層 820 的體積大於第一熱介面材料層 810 的體積，並大於第三熱介面材料層 830 的體積。在其他實施例中，第一熱介面材料層 810 的厚度可以大於或小於第三熱介面材料層 830 的厚度。第一熱介面材料層 810 的體積可以大於或小於第三熱介面材料層 830 的體積。第一熱介面材料層 810、第二熱介面材料層 820 與第三熱介面材料層 830 邊緣可以是不切齊的，例如其邊緣的剖面形狀呈階梯狀或凹凸狀，本發明的實施例並不以此為限。

【0042】 第一熱介面材料層 810、第二熱介面材料層 820 與第三熱介面材料層 830 的材料可以類似於第一實施例中的熱介面材料 310。在一些實施例中，第二熱介面材料層 820 的材料可以是不同於第一熱介面材料層 810 的材料與第三熱介面材料層 830 的材料。在一些實施例中，第一熱介面材料層 810、第二熱介面材料層 820 及第三熱介面材料層 830 的材料可以分別是不同的材料，其材料的絕緣性與熱傳性也可以各自不同。舉例來說，第二熱介面材

料層 820 的熱傳導係數大於第一熱介面材料層 810 的熱傳導係數，並大於第三熱介面材料層 830 的熱傳導係數。舉例來說，第二熱介面材料層 820 的熱傳導係數介於 3W/mK 至 15W/mK 之間。第一熱介面材料層 810 及/或第三熱介面材料層 830 的熱傳導係數例如是介於 1W/mK 至 7W/mK 之間。在一些實施例中，第二熱介面材料層 820 的黏滯係數大於第一熱介面材料層 810 的黏滯係數，並大於第三熱介面材料層 830 的黏滯係數。在一些實施例中，第二熱介面材料層 820 的黏著性小於第一熱介面材料層 810 的黏著性，並小於第三熱介面材料層 830 的黏著性。

【0043】 在一些實施例中，散熱堆疊結構 800 還包括導熱塊 840。舉例來說，導熱塊 840 可以是位在第一熱介面材料層 810、第二熱介面材料層 820 或第三熱介面材料層 830 的至少一層中。在圖 7 所繪示的晶片封裝 70 中，導熱塊 840 位於第二熱介面材料層 820 中。在一些實施例中，導熱塊 840 可以是位於第一熱介面材料層 810 及/或第二熱介面材料層 820 及/或第三熱介面材料層 830 中。導熱塊 840 配置的位置可以視設計需求而決定，本發明的實施例並不以此為限。在其他實施例中，散熱堆疊結構 800 也可以視實際需求而不配置導熱塊 840，本發明的實施例並不以此為限。

【0044】 在一些實施例中，散熱堆疊結構 800 還包括散熱件 850。舉例來說，散熱件 850 交疊於第一熱介面材料層 810，且第一熱介面材料層 810 例如是位於散熱件 850 及第二熱介面材料層 820 之間。散熱件 850 的邊緣可以切齊於第一熱介面材料層 810 及/或第

二熱介面材料層 820 及/或第三熱介面材料層 830。在其他實施例中，散熱件 850 的寬度可以是大大於第一熱介面材料層 810 及/或第二熱介面材料層 820 及/或第三熱介面材料層 830 的寬度。藉由大面積地接觸熱源可協助熱的傳導，最後熱量則可以藉由散熱結構 800 而發散至外部。

【0045】 第八實施例

【0046】 圖 8 是依照本發明的第八實施例的一種晶片封裝的剖面示意圖。請參照圖 8，本實施例的晶片封裝 80 與第七實施例的晶片封裝 70 類似，相同或相似的標號表示相同或相似的構件，故針對圖 7 說明過的構件於此不再贅述。本實施例的晶片封裝 80 與第七實施例的晶片封裝 70 之間的差異例如在於，晶片封裝 80 還包括位於晶片座 110 與引腳 120 之間的印刷電路板 500。印刷電路板 500 的配置方式類似於第二實施例，故於此不再贅述。

【0047】 第九實施例

【0048】 圖 9 是依照本發明的第九實施例的一種晶片封裝的剖面示意圖。請參照圖 9，本實施例的晶片封裝 90 與第七實施例的晶片封裝 70 類似，相同或相似的標號表示相同或相似的構件，故針對圖 7 說明過的構件於此不再贅述。本實施例的晶片封裝 90 與第七實施例的晶片封裝 70 之間的差異例如在於，晶片封裝 90 還包括第一導線架 610 及連接於第一導線架 610 的第二導線架 620。第一導線架 610 與第二導線架 620 的配置方式類似於第三實施例，故於此不再贅述。

【0049】 第十實施例

【0050】 圖 10 是依照本發明的第十實施例的一種晶片封裝的剖面示意圖。在本實施例中，與前述實施例相同或相似的標號表示相同或相似的構件，於此不再贅述。請參照圖 10，本實施例的晶片封裝 95 包括散熱件 320、熱介面材料層 310、圖案化線路層 900、晶片 210' 以及絕緣密封體 400。熱介面材料層 310 可以配置於散熱件 320 上。在其他實施例中，晶片封裝 95 中的熱介面材料層 310 也可以替換為前述的散熱堆疊結構 700 或 800。

【0051】 圖案化線路層 900 可以配置於熱介面材料層 310 上。熱介面材料層例如位於圖案化線路層 900 與散熱件 320 之間。晶片 210' 可以例如是以覆晶的方式配置於圖案化線路層 900 上，並且與圖案化線路層 900 電性連接。在其他實施例中，晶片 210' 也可以是以打線的方式與圖案化線路層 900 電性連接。晶片 210' 可以包括如前所述的第一晶片 210 或第二晶片 220，本發明的實施例並不限於此。絕緣密封體 400 例如是配置於熱介面材料層 310 上並包覆晶片 210'、圖案化線路層 900 以及熱介面材料層 310。舉例來說，在覆晶的實施例中，絕緣密封體 400 可包括成型底部填膠（molding underfill，MUF）以覆蓋於熱介面材料層 310 上並填充於晶片 210' 的接點之間。在其他實施例中，絕緣密封體 400 也可以進一步覆蓋散熱件 320。

【0052】 綜上所述，本發明的實施例將晶片與散熱結構分別配置於導線架的晶片座的相對兩側，藉此可以將晶片運作時所產生的

熱量經由導線架及散熱結構傳導至外部，此配置方式具有較短的熱傳導距離且散熱結構具有較高的熱傳導係數，以改善晶片封裝的散熱能力。本發明實施例的散熱結構可以包含單層、雙層或多層的熱介面材料，其具有高散熱的特性，使晶片運作時所產生大量的熱，可以經熱介面材料快速傳導並發散至外界，無需經過熱傳導性不佳的絕緣密封體。在具有雙層熱介面材料的實施例中，藉由增加第一熱介面材料層與第二熱介面材料層兩者之間交界的接觸面的面積，進而提升散熱結構的散熱性能。在具有多層熱介面材料的實施例中，位於第一熱介面材料層與第三熱介面材料層之間的第二熱介面材料層具有三者之中最高的熱傳導係數且厚度最厚，藉由此配置方式提升散熱結構的熱導率，可有效地將運作晶片所產生的熱量從晶片封裝中發散至外界。此外，藉由在熱介面材料層中配置導熱塊，以提高散熱結構的熱傳特性。另外，散熱結構還可以包括散熱件，藉由將熱介面材料配置在散熱件與晶片之間，以增加晶片封裝的散熱效率。

【0053】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0054】

- 10、20、30、40、50、60、70、80、90、95：晶片封裝
- 100：導線架
- 110：晶片座
- 112、612：第一表面
- 112a、612a：凹槽
- 114、614：第二表面
- 120：引腳
- 120a：內引腳部
- 120b：外引腳部
- 210：第一晶片
- 210'：晶片
- 212、222、510、630：連接材料
- 220：第二晶片
- 300：散熱結構
- 310：熱介面材料層
- 320、740、850：散熱件
- 330、730、840：導熱塊
- 400：絕緣密封體
- 500：印刷電路板
- 610：第一導線架
- 620：第二導線架
- 700、800：散熱堆疊結構

710、810：第一熱介面材料層

710a、720a：頂表面

710b、720b：底表面

720、820：第二熱介面材料層

830：第三熱介面材料層

900：圖案化線路層



201916279

【發明摘要】**【中文發明名稱】** 晶片封裝**【英文發明名稱】** CHIP PACKAGE

【中文】 一種晶片封裝，其包括導線架、第一晶片、散熱結構以及絕緣密封體。導線架包括晶片座與連接於晶片座的引腳。晶片座具有第一表面及相對於第一表面的第二表面。第一晶片設置於晶片座的第一表面上並與導線架的引腳電性連接。散熱結構設置於晶片座的第二表面上，包括貼附於晶片座的第二表面的熱介面材料層。熱介面材料層的熱傳導係數介於3W/mK至15W/mK之間，且厚度介於100 μ m至300 μ m之間。絕緣密封體包覆第一晶片、散熱結構及部分的導線架。第一晶片經由引腳電性連接至絕緣密封體之外。

【英文】 A chip package including a lead frame, a first chip, a heat dissipation structure and an insulating encapsulant is provided. The lead frame includes a chip pad and a lead connected to the chip pad. The chip pad has a first surface and a second surface opposite to the first surface. The first chip is disposed on the first surface of the chip pad and electrically connected to the lead of the lead frame. The heat dissipation structure disposed on the second surface of the chip pad includes a thermal interface material layer attached to the

second surface of the chip pad. The thermal conductivity of thermal interface material layer ranges from 3 W/mK to 15W/mK and the thickness ranges from 100 μ m to 300 μ m. The insulating encapsulant encapsulates the first chip, the heat dissipation structure and a portion of the lead frame. The first chip is electrically connected to the outside of the insulating encapsulant by the lead.

【指定代表圖】圖1B。

【代表圖之符號簡單說明】

10：晶片封裝

100：導線架

110：晶片座

112：第一表面

112a：凹槽

114：第二表面

120：引腳

120a：內引腳部

120b：外引腳部

210：第一晶片

212、222：連接材料

220：第二晶片

300：散熱結構

310：熱介面材料層

320：散熱件

330：導熱塊

400：絕緣密封體

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種晶片封裝，包括：

導線架，包括晶片座與連接於所述晶片座的引腳，其中所述晶片座具有第一表面及相對於所述第一表面的第二表面；

第一晶片，設置於所述晶片座的所述第一表面上並與所述導線架的所述引腳電性連接；

散熱結構，設置於所述晶片座的所述第二表面上，包括貼附於所述晶片座的所述第二表面的熱介面材料層，其中所述熱介面材料層的熱傳導係數介於 3W/mK 至 15W/mK 之間，且厚度介於 100 μ m 至 300 μ m 之間；以及

絕緣密封體，包覆所述第一晶片、所述散熱結構及部分的所述導線架，其中所述第一晶片經由所述引腳電性連接至所述絕緣密封體之外。

【第2項】 如申請專利範圍第1項所述的晶片封裝，其中所述散熱結構還包括：

散熱件，密封於所述絕緣密封體中，所述熱介面材料層位於所述散熱件及所述晶片座之間，其中所述散熱件的熱傳導係數大於所述熱介面材料層的熱傳導係數及所述絕緣密封體的熱傳導係數。

【第3項】 如申請專利範圍第1項所述的晶片封裝，其中所述散熱結構還包括位於所述熱介面材料層中的導熱塊。

【第4項】如申請專利範圍第1項所述的晶片封裝，其中所述晶片座的所述第一表面設置有凹槽，所述第一晶片位於所述凹槽所定義的區域中。

【第5項】如申請專利範圍第1項所述的晶片封裝，還包括：

第二晶片，密封於所述絕緣密封體中並藉由所述導線架電性連接於所述第一晶片，其中所述第二晶片位於所述導線架的所述引腳上或位於所述晶片座上。

【第6項】如申請專利範圍第1項所述的晶片封裝，還包括：

電路板，連接於所述引腳並與所述第一晶片電性連接，其中所述電路板位於所述晶片座與所述引腳之間，且所述電路板與所述晶片座空間上隔開；以及

第二晶片，位於所述電路板上並與所述電路板電性連接。

【第7項】一種晶片封裝，包括：

導線架，具有第一表面及相對於所述第一表面的第二表面，所述導線架包括引腳；

晶片，設置於所述導線架的所述第一表面上並電性連接於所述導線架；

散熱堆疊結構，設置於所述導線架的所述第二表面上，包括：

第一熱介面材料層，包括朝向所述晶片的頂表面；以及

第二熱介面材料層，位於所述導線架與所述第一熱介面材料層之間並覆蓋所述第一熱介面材料層的所述頂表面，所述第二熱介面材料層包括連接於所述導線架的所述第二表面

的頂表面與相對於所述頂表面的底表面，其中所述第一熱介面材料層的所述頂表面的面積相等於所述第二熱介面材料層的所述底表面的面積，並大於所述第二熱介面材料層的所述頂表面的面積；以及

絕緣密封體，包覆所述晶片、所述散熱堆疊結構及所述導線架，其中所述導線架的所述引腳自所述絕緣密封體內延伸出。

【第8項】如申請專利範圍第7項所述的晶片封裝，其中所述第一熱介面材料層的厚度大於所述第二熱介面材料層的厚度。

【第9項】如申請專利範圍第7項所述的晶片封裝，其中所述第一熱介面材料層的熱傳導係數大於所述第二熱介面材料層的熱傳導係數。

【第10項】如申請專利範圍第7項所述的晶片封裝，其中所述第一熱介面材料層的黏滯係數大於所述第二熱介面材料層的黏滯係數。

【第11項】如申請專利範圍第7項所述的晶片封裝，其中所述第一熱介面材料層的黏著性小於所述第二熱介面材料層的黏著性。

【第12項】如申請專利範圍第7項所述的晶片封裝，其中所述散熱堆疊結構還包括至少位於所述第一熱介面材料層中或位於所述第二熱介面材料層中的導熱塊。

【第13項】如申請專利範圍第7項所述的晶片封裝，其中所述散熱堆疊結構還包括：

散熱件，交疊於所述第一熱介面材料層且連接相對於所述第

一熱介面材料層的所述頂表面的底表面。

【第14項】 一種晶片封裝，包括：

晶片；

晶片承載板，承載所述晶片並與所述晶片電性連接；

散熱堆疊結構，位於所述晶片承載板相對於承載所述晶片的一側，所述散熱堆疊結構包括：

第一熱介面材料層；

第二熱介面材料層，堆疊於所述第一熱介面材料層上；

以及

第三熱介面材料層，堆疊於所述第二熱介面材料層上，並位於所述晶片承載板與所述第二熱介面材料層之間，其中所述第二熱介面材料層的材料不同於所述第一熱介面材料層的材料與所述第三熱介面材料層的材料；以及

絕緣密封體，包覆所述晶片、所述散熱堆疊結構及所述晶片承載板，並暴露出所述晶片承載板的一部分。

【第15項】 如申請專利範圍第14項所述的晶片封裝，其中所述第二熱介面材料層的厚度大於所述第一熱介面材料層的厚度，並大於所述第三熱介面材料層的厚度。

【第16項】 如申請專利範圍第14項所述的晶片封裝，其中所述第二熱介面材料層的體積大於所述第一熱介面材料層的體積，並大於所述第三熱介面材料層的體積。

【第17項】 如申請專利範圍第14項所述的晶片封裝，其中所述第二熱介面材料層的熱傳導係數大於所述第一熱介面材料層的熱傳導係數，並大於所述第三熱介面材料層的熱傳導係數。

【第18項】 如申請專利範圍第14項所述的晶片封裝，其中所述第二熱介面材料層的黏滯係數大於所述第一熱介面材料層的黏滯係數，並大於所述第三熱介面材料層的黏滯係數。

【第19項】 如申請專利範圍第14項所述的晶片封裝，其中所述第二熱介面材料層的黏著性小於所述第一熱介面材料層的黏著性，並小於所述第三熱介面材料層的黏著性。

【第20項】 如申請專利範圍第14項所述的晶片封裝，其中所述散熱堆疊結構還包括：

導熱塊，位於所述第一熱介面材料層、所述第二熱介面材料層或所述第三熱介面材料層的至少一層中；以及

散熱件，交疊於所述第一熱介面材料層，所述第一熱介面材料層位於所述散熱件及所述第二熱介面材料層之間。

【第21項】 一種晶片封裝，包括：

散熱件；

熱介面材料層，配置於所述散熱件上，其中所述熱介面材料層的熱傳導係數介於 3W/mK 至 15W/mK 之間，且厚度介於 100 μ m 至 300 μ m 之間；

圖案化線路層，配置於所述熱介面材料層上，其中所述熱介面材料層位於所述圖案化線路層與所述散熱件之間；

晶片，配置於所述圖案化線路層上並與所述圖案化線路層電性連接；以及

絕緣密封體，覆蓋所述晶片、所述圖案化線路層以及所述熱介面材料層。

