

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6180882号
(P6180882)

(45) 発行日 平成29年8月16日(2017.8.16)

(24) 登録日 平成29年7月28日(2017.7.28)

(51) Int.Cl.

F I

H O 4 N 9/07 (2006.01)

H O 4 N 9/07 A

G O 2 B 5/20 (2006.01)

G O 2 B 5/20 I O I

H O 1 L 27/14 (2006.01)

H O 1 L 27/14

H O 4 N 5/367 (2011.01)

H O 4 N 5/367

請求項の数 11 (全 29 頁)

(21) 出願番号 特願2013-226299 (P2013-226299)
 (22) 出願日 平成25年10月31日(2013.10.31)
 (65) 公開番号 特開2015-88947 (P2015-88947A)
 (43) 公開日 平成27年5月7日(2015.5.7)
 審査請求日 平成28年1月7日(2016.1.7)

(73) 特許権者 316005926
 ソニーセミコンダクタソリューションズ株
 式会社
 神奈川県厚木市旭町四丁目14番1号
 (74) 代理人 100121131
 弁理士 西川 孝
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 山本 敦彦
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 審査官 西谷 憲人

最終頁に続く

(54) 【発明の名称】 固体撮像装置、信号処理装置、および電子機器

(57) 【特許請求の範囲】

【請求項 1】

同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、

前記複数画素群がベイヤ配列されてなるカラーフィルタと

を備え、

前記画素共有の単位内で発生した欠陥画素は、前記複数画素内で発生した欠陥画素の個数に応じて、前記複数画素群内の画素を用いて補正される

固体撮像装置。

【請求項 2】

前記複数画素群は、互いに画素共有のない画素で構成されている

請求項 1 に記載の固体撮像装置。

【請求項 3】

前記画素共有の単位は、2 × 2 画素である

請求項 2 に記載の固体撮像装置。

【請求項 4】

前記複数画素群は、互いに画素共有のない画素を、その構成の少なくとも半分含むように構成されている

請求項 1 に記載の固体撮像装置。

【請求項 5】

前記画素共有の単位は、 2×4 画素である
請求項 4 に記載の固体撮像装置。

【請求項 6】

前記画素共有の単位は、 1×4 画素である
請求項 4 に記載の固体撮像装置。

【請求項 7】

前記複数画素群は、4画素で構成される
請求項 1 に記載の固体撮像装置。

【請求項 8】

前記色コーディングは、原色市松のコーディングである
請求項 1 に記載の固体撮像装置。

10

【請求項 9】

前記色コーディングは、WRGBのコーディングである
請求項 1 に記載の固体撮像装置。

【請求項 10】

同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、前記複数画素群がベイア配列されてなるカラーフィルタとを備える固体撮像装置から出力される出力信号において、前記画素共有の単位内で発生した欠陥画素を、前記複数画素内で発生した欠陥画素の個数に応じて、前記複数画素群内の画素を用いて補正する補正処理部を

20

備える信号処理装置。

【請求項 11】

同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、前記複数画素群がベイア配列されてなるカラーフィルタとを備え、前記画素共有の単位内で発生した欠陥画素は、前記複数画素内で発生した欠陥画素の個数に応じて、前記複数画素群内の画素を用いて補正される固体撮像装置と、

入射光を前記固体撮像装置に入射する光学系と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路と
を有する電子機器。

【発明の詳細な説明】

30

【技術分野】

【0001】

本開示は、固体撮像装置、信号処理装置、および電子機器に関し、特に、白点補正における解像度の劣化を抑えることができるようにした固体撮像装置、信号処理装置、および電子機器に関する。

【背景技術】

【0002】

同一画素共有の固体撮像装置において、4画素同色のカラーフィルタを付ける場合、同一画素共有で同じカラーコーディングを行っていた（特許文献1参照）。

【先行技術文献】

40

【特許文献】

【0003】

【特許文献1】特開2010-28423号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、画素共有内のフローティングディフュージョン部のリークなどで、白点が発生した場合、例えば、2画素分離れた4画素同色の画素から補正することになり、補正対象の画素の位置に対して、補正に用いる画素の位置が空間的に離れてしまっていた。このため、補正後の解像度が劣化してしまうことがあった。

50

【 0 0 0 5 】

本開示は、このような状況に鑑みてなされたものであり、白点補正における解像度の劣化を抑えることができるものである。

【課題を解決するための手段】

【 0 0 0 6 】

本技術の第 1 の側面の固体撮像装置は、同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、前記複数画素群がベイヤ配列されてなるカラーフィルタとを備え、前記画素共有の単位内で発生した欠陥画素は、前記複数画素内で発生した欠陥画素の個数に応じて、前記複数画素群内の画素を用いて補正される。

【 0 0 0 7 】

前記複数画素群は、互いに画素共有のない画素で構成されている。

【 0 0 0 8 】

前記画素共有の単位は、 2×2 画素である。

【 0 0 0 9 】

前記複数画素群は、互いに画素共有のない画素を、その構成の少なくとも半分含むように構成されている。

【 0 0 1 0 】

前記画素共有の単位は、 2×4 画素である。

【 0 0 1 1 】

前記画素共有の単位は、 1×4 画素である。

【 0 0 1 3 】

前記複数画素群は、4 画素で構成される。

【 0 0 1 4 】

前記色コーディングは、原色市松のコーディングである。

【 0 0 1 5 】

前記色コーディングは、WRGBのコーディングである。

【 0 0 1 6 】

本技術の第 2 の側面の信号処理装置は、同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、前記複数画素群がベイヤ配列されてなるカラーフィルタとを備える固体撮像装置から出力される出力信号において、前記画素共有の単位内で発生した欠陥画素を、前記複数画素内で発生した欠陥画素の個数に応じて、前記複数画素群内の画素を用いて補正する補正処理部を備える。

【 0 0 2 0 】

本技術の第 3 の側面の電子機器は、同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、前記複数画素群がベイヤ配列されてなるカラーフィルタとを備え、前記画素共有の単位内で発生した欠陥画素は、前記複数画素内で発生した欠陥画素の個数に応じて、前記複数画素群内の画素を用いて補正される固体撮像装置と、入射光を前記固体撮像装置に入射する光学系と、前記固体撮像装置から出力される出力信号を処理する信号処理回路とを有する。

【 0 0 2 1 】

本技術の第 1 の側面においては、同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、前記複数画素群がベイヤ配列されてなるカラーフィルタとが備えられる。そして、前記画素共有の単位内で発生した欠陥画素が、前記複数画素内で発生した欠陥画素の個数に応じて、前記複数画素群内の画素を用いて補正される。

【 0 0 2 2 】

本技術の第 2 の側面においては、同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、前記複数画素群がベイヤ配列されてなるカラーフィルタとを備える固体撮像装置から出力される出力信号において、前記画素共有の単位内で発生した欠陥画素が、前記複数画素内で発生した欠陥画素の個数に応じて、前記複数

10

20

30

40

50

画素群内の画素を用いて補正される。

【0023】

本技術の第3の側面においては、固体撮像装置に、同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、前記複数画素群がベイア配列されてなるカラーフィルタとを備えられ、前記画素共有の単位内で発生した欠陥画素が、前記複数画素内で発生した欠陥画素の個数に応じて、前記複数画素群内の画素を用いて補正される。そして、入射光が前記固体撮像装置に入射され、前記固体撮像装置から出力される出力信号が処理される。

【発明の効果】

【0024】

本技術によれば、白点補正を行うことができる。また、本技術によれば、白点補正における解像度の劣化を抑えることができる。

【0025】

なお、本明細書に記載された効果は、あくまで例示であり、本技術の効果は、本明細書に記載された効果に限定されるものではなく、付加的な効果があってもよい。

【図面の簡単な説明】

【0026】

【図1】本技術を適用した固体撮像装置の概略構成例を示すブロック図である。

【図2】本技術の一実施の形態に係る固体撮像装置の断面図を示す図である。

【図3】 2×2 画素共有単位の回路構成の一例を示す回路図である。

【図4】 2×2 画素共有単位の回路構成の一例を示す平面図である。

【図5】 2×2 画素共有単位とカラーフィルタのコーディングの単位との関係の例を示す図である。

【図6】本技術の 2×2 画素共有単位とカラーフィルタのコーディングの単位との関係を示す図である。

【図7】本技術の電子機器の構成例を示すブロック図である。

【図8】DSP回路の構成例を示す図である。

【図9】図8のDSP回路の信号処理の例を説明するフローチャートである。

【図10】DSP回路の構成例を示す図である。

【図11】図10のDSP回路の信号処理の例を説明するフローチャートである。

【図12】DSP回路の構成例を示す図である。

【図13】図12のDSP回路の信号処理の例を説明するフローチャートである。

【図14】画素毎の市松RGBベイア配列の例を示す図である。

【図15】 2×4 画素共有単位の回路構成の一例を示す回路図である。

【図16】 2×4 画素共有単位の回路構成の一例を示す平面図である。

【図17】 2×4 画素共有単位とカラーフィルタのコーディングの単位との関係の例を示す図である。

【図18】本技術の 2×4 画素共有単位とカラーフィルタのコーディングの単位との関係を示す図である。

【図19】本技術の 2×4 画素共有単位とカラーフィルタのコーディングの単位との関係を示す図である。

【図20】 1×4 画素共有単位の回路構成の一例を示す回路図である。

【図21】 1×4 画素共有単位の回路構成の一例を示す平面図である。

【図22】本技術の 1×4 画素共有単位とカラーフィルタのコーディングの単位との関係を示す図である。

【図23】本技術の 1×4 画素共有単位とカラーフィルタのコーディングの単位との関係を示す図である。

【図24】本技術の他の実施の形態に係る固体撮像装置の断面図を示す図である。

【図25】コンピュータの構成例を示すブロック図である。

【発明を実施するための形態】

10

20

30

40

50

【 0 0 2 7 】

以下、本開示を実施するための形態（以下実施の形態とする）について説明する。なお、説明は以下の順序で行う。

- 0 . 固体撮像装置の概略構成例
- 1 . 第 1 の実施の形態（ 2 × 2 画素共有の例）
- 2 . 第 2 の実施の形態（ 2 × 4 画素共有の例）
- 3 . 第 3 の実施の形態（ 1 × 4 画素共有の例）
- 4 . 第 4 の実施の形態（固体撮像装置の他の構成例）
- 5 . 第 5 の実施の形態（コンピュータ）

【 0 0 2 8 】

10

< 0 . 固体撮像装置の概略構成例 >

< 固体撮像装置の概略構成例 >

図 1 は、本技術の各実施の形態に適用される CMOS（Complementary Metal Oxide Semiconductor）固体撮像装置の概略構成例を示している。

【 0 0 2 9 】

図 1 に示されるように、固体撮像装置（素子チップ）1 は、半導体基板 1 1（例えばシリコン基板）に複数の光電変換素子を含む画素 2 が規則的に 2 次元的に配列された画素領域（いわゆる撮像領域）3 と、周辺回路部とを有して構成される。

【 0 0 3 0 】

画素 2 は、光電変換素子（例えばフォトダイオード）と、複数の画素トランジスタ（いわゆる MOS トランジスタ）を有してなる。複数の画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ、および増幅トランジスタの 3 つのトランジスタで構成することができ、さらに選択トランジスタを追加して 4 つのトランジスタで構成することもできる。各画素 2（単位画素）の等価回路は一般的なものと同様であるので、ここでは詳細な説明は省略する。

20

【 0 0 3 1 】

また、画素 2 は、画素共有構造とすることもできる。画素共有構造は、例えば、図 3 を参照して後述されるが、複数のフォトダイオード、複数の転送トランジスタ、共有される 1 つのフローティングディフュージョン、および、共有される 1 つずつの他の画素トランジスタから構成される。

30

【 0 0 3 2 】

周辺回路部は、垂直駆動回路 4、カラム信号処理回路 5、水平駆動回路 6、出力回路 7、および制御回路 8 から構成される。

【 0 0 3 3 】

制御回路 8 は、入力クロックや、動作モード等を指令するデータを受け取り、また、固体撮像装置 1 の内部情報等のデータを出力する。具体的には、制御回路 8 は、垂直同期信号、水平同期信号、およびマスタクロックに基づいて、垂直駆動回路 4、カラム信号処理回路 5、および水平駆動回路 6 の動作の基準となるクロック信号や制御信号を生成する。そして、制御回路 8 は、これらの信号を垂直駆動回路 4、カラム信号処理回路 5、および水平駆動回路 6 に入力する。

40

【 0 0 3 4 】

垂直駆動回路 4 は、例えばシフトレジスタによって構成され、画素駆動配線を選択し、選択された画素駆動配線に画素 2 を駆動するためのパルスを供給し、行単位で画素 2 を駆動する。具体的には、垂直駆動回路 4 は、画素領域 3 の各画素 2 を行単位で順次垂直方向に選択走査し、垂直信号線 9 を通して各画素 2 の光電変換素子において受光量に応じて生成した信号電荷に基づいた画素信号をカラム信号処理回路 5 に供給する。

【 0 0 3 5 】

カラム信号処理回路 5 は、画素 2 の例えば列毎に配置されており、1 行分の画素 2 から出力される信号を画素列毎にノイズ除去等の信号処理を行う。具体的には、カラム信号処理回路 5 は、画素 2 固有の固定パターンノイズを除去するための CDS（Correlated Double

50

Sampling) や、信号増幅、A/D (Analog/Digital) 変換等の信号処理を行う。カラム信号処理回路 5 の出力段には、水平選択スイッチ (図示せず) が水平信号線 10 との間に接続されて設けられる。

【0036】

水平駆動回路 6 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から画素信号を水平信号線 10 に出力させる。

【0037】

出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 10 を通して順次に供給される信号に対し、信号処理を行って出力する。出力回路 7 は、例えば、バッファリングだけを行う場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理等を行う場合もある。

【0038】

入出力端子 12 は、外部と信号のやりとりをするために設けられる。

【0039】

< 固体撮像装置の断面例 >

図 2 は、固体撮像装置の画素領域 3 および周辺回路部の構造の一例を示す断面図である。図 2 の例においては、裏面照射型の固体撮像装置の例が示されている。

【0040】

図 2 の例の固体撮像装置 1 においては、ウエハを CMP (Chemical Mechanical Polishing) によって研磨することにより、10 乃至 20 μm 程度の厚さの Si (シリコン) 層 (素子層) 31 が形成される。その厚さの好ましい範囲は、可視光に対して 5 乃至 15 μm 、赤外光に対して 5 乃至 50 μm 、紫外光に対して 3 乃至 7 μm である。この Si 層の一方の面側には、SiO₂ 膜 32 を挟んで遮光膜 33 が形成されている。

【0041】

遮光膜 33 は、配線と異なり、光学的な要素だけを考慮してレイアウトされる。この遮光膜 33 には開口部 33A が形成されている。遮光膜 33 の上には、パッシベーション膜としてシリコン窒化膜 (SiN) 34 が形成され、さらに、開口部 33A の上方にカラーフィルタ 35 および OCL (On Chip Lens) 36 が形成されている。

【0042】

すなわち、Si 層 31 の一方の面側から入射する光は、OCL 36 およびカラーフィルタ 35 を経由し、Si 層 31 に形成されるフォトダイオード 37 の受光面に導かれる画素構造となっている。Si 層 31 の他方の面側には、トランジスタや金属配線が形成される配線層 38 が形成され、その下には、さらに、基板支持材 39 が貼り付けられている。

【0043】

< 1. 第 1 の実施の形態 (2 × 2 画素共有の例) >

< 画素共有単位の構成例 >

まず、図 3 および図 4 を参照して、2 × 2 画素共有単位の回路構成例について説明する。図 3 は、2 × 2 画素共有単位の回路構成の一例を示す回路図である。図 4 は、2 × 2 画素共有単位の回路構成の一例を示す平面図である。

【0044】

図 3 および図 4 で示されるように、2 × 2 画素共有単位は、4 つの光電変換素子、例えば、フォトダイオード PD0 乃至 PD3、およびそれらに対応する 4 つの転送トランジスタ TR0 乃至 TR3、並びに、リセットトランジスタ Rst、増幅トランジスタ Amp、および選択トランジスタ Sel の 3 つのトランジスタを有する構成となっている。

【0045】

フォトダイオード PD0 乃至 PD3 は、アノード電極が負側電源 (例えば、グランド) に接続されており、受光した光をその光量に応じた電荷量の光電荷 (ここでは、光電子) に光電変換する。フォトダイオード PD0 乃至 PD3 のカソード電極は、対応する各転送トランジスタ TR0 乃至 TR3 を介して増幅トランジスタ Amp のゲート電極と電氣的に

10

20

30

40

50

接続されている。増幅トランジスタAmpのゲート電極と4つの転送トランジスタTR0乃至TR3とが電氣的に繋がったノードをフローティングディフュージョンFDと称する。

【0046】

転送トランジスタTR0乃至TR3は、対応するフォトダイオードPD0乃至PD3のカソード電極とフローティングディフュージョンFDとの間に接続されている。転送トランジスタTR0乃至TR3のゲート電極には、高レベル（例えば、VDDレベル）がアクティブ（以下、「Highアクティブ」と記述する）の転送パルスTRFが、図示せぬ転送線を介して与えられる。転送パルスTRFが与えられることで、転送トランジスタTR0乃至TR3はオン状態となってフォトダイオードPD0乃至PD3で光電変換された光電荷をフローティングディフュージョンFDに転送する。

10

【0047】

リセットトランジスタRstは、ドレイン電極が画素電源VDDに、ソース電極がフローティングディフュージョンFDにそれぞれ接続されている。リセットトランジスタRstのゲート電極には、フォトダイオードPD0乃至PD3からフローティングディフュージョンFDへの信号電荷の転送に先立って、HighアクティブのリセットパルスRSTが図示せぬリセット線を介して与えられる。リセットパルスRSTが与えられることで、リセットトランジスタRstはオン状態となり、フローティングディフュージョンFDの電荷を画素電源VDDに捨てることによってフローティングディフュージョンFDをリセットする。

20

【0048】

増幅トランジスタAmpは、ゲート電極がフローティングディフュージョンFDに、ドレイン電極が画素電源VDDにそれぞれ接続されている。そして、増幅トランジスタAmpは、リセットトランジスタRstによってリセットした後のフローティングディフュージョンFDの電位をリセット信号（リセットレベル）Vresetとして出力する。増幅トランジスタAmpはさらに、転送トランジスタTR0乃至TR3によって信号電荷を転送した後のフローティングディフュージョンFDの電位を光蓄積信号（信号レベル）Vsigとして出力する。

【0049】

選択トランジスタSelは、例えば、ドレイン電極が増幅トランジスタAmpのソース電極に、ソース電極が垂直信号線L1にそれぞれ接続されている。選択トランジスタSelのゲート電極には、Highアクティブの選択パルスSELが図示せぬ選択線を介して与えられる。選択パルスSELが与えられることで、選択トランジスタSelはオン状態となって単位画素を選択状態とし、増幅トランジスタAmpから出力される信号を垂直信号線L1に中継する。

30

【0050】

なお、選択トランジスタSelについては、画素電源VDDと増幅トランジスタAmpのドレインとの間に接続した回路構成を採ることも可能である。

【0051】

<画素共有単位とCFコーディング単位との関係>

40

図5は、2×2画素共有単位とカラーフィルタ(CF)のコーディングの単位との関係を示す図である。図5の例においては、ハッチなしが緑(GREEN)画素、斜線のハッチが赤(RED)画素、残りのハッチが青(BLUE)画素を示している。これらの記載は、以下の他の図においても同様である。また、図5の例においては、太線に示されるように、2×2画素共有の例が示されており、また、実線に示されるように、4画素毎に同じカラーフィルタをRGB市松コーディング(ベイヤ配列)した例が示されている。

【0052】

すなわち、図5の例においては、画素共有単位と、同じカラーフィルタのコーディング単位とが1対1対応しており、画素共有単位の2×2画素の各画素は、同じカラーフィルタでコーディングされている。

50

【 0 0 5 3 】

このため、中央の黒い 2 × 2 画素部分に、フローティングディフュージョンのリークなどで白点が発生した場合、その緑画素の補正は、図中 1 乃至 4 の数字が示される最周辺の位置の緑画素を使用して行うことが考えられる。すなわち、図 5 の例の場合、単位画素で、2 画素空間的に離れたデータで補正することになる。

【 0 0 5 4 】

< 本技術の画素共有単位と CF コーディング単位との関係 >

図 6 は、本技術を適用した画素共有単位とカラーフィルタ (CF) のコーディングの単位との関係を示す図である。図 6 の例においては、太線に示されるように、2 × 2 画素共有の例が示されており、また、実線に示されるように、4 画素毎に同じカラーフィルタを RGB 市松コーディング (ベイヤ配列) した例が示されている。

10

【 0 0 5 5 】

図 6 の例において、画素共有単位の 2 × 2 画素の各画素は、太線に示されるように、それぞれ異なるカラーフィルタでコーディングされている。換言するに、同一カラーフィルタのコーディング単位の 4 画素は、異なる画素共有単位の画素で構成されている。すなわち、同一カラーフィルタのコーディング単位の 4 画素 (以下、適宜、同色の隣接 4 画素とも称する) は、互いに画素共有のない画素で構成されている。

【 0 0 5 6 】

なお、図 6 のカラーフィルタ 3 5 は、図 5 のカラーフィルタを、例えば、上に 1 画素、かつ、右に 1 画素移動させて形成されたものである。

20

【 0 0 5 7 】

このようにすることで、中央の黒い画素部分に、フローティングディフュージョンのリークなどにより白点が発生した場合、黒い画素部分のうち、例えば、丸が示される緑画素の補正は、同一緑のカラーフィルタのコーディング単位の三角、菱形、および逆三角が示される緑画素の少なくとも 1 つを使用して行われる。なお、補正には、三角、菱形、および逆三角が示される緑画素のいずれか 1 つを用いてもよいし、そのうち、2 つ、あるいはすべての画素を用いてもよい。

【 0 0 5 8 】

すなわち、図 6 の例の場合、補正に使用される画素が、隣の画素なので、空間的に近いデータで補正可能であり、図 5 の例の場合よりも解像度劣化を抑えることができる。

30

【 0 0 5 9 】

以下、白点が発生した場合の画素の補正方法について具体的に説明していく。

【 0 0 6 0 】

< 電子機器の構成例 >

図 7 は、本技術を適用した電子機器としての、カメラ装置の構成例を示すブロック図である。図 7 の電子機器においては、白点発生のために、上述したような補正が行われる。

【 0 0 6 1 】

図 7 のカメラ装置 1 0 0 は、レンズ群などからなる光学部 1 0 1、図 1 に示された画素 2 の各構成が採用される固体撮像装置 (撮像デバイス) 1、およびカメラ信号処理回路である DSP (Digital Signal Processor) 回路 1 0 3 を備える。また、カメラ装置 1 0 0 は、フレームメモリ 1 0 4、表示部 1 0 5、記録部 1 0 6、操作部 1 0 7、および電源部 1 0 8 も備える。DSP 回路 1 0 3、フレームメモリ 1 0 4、表示部 1 0 5、記録部 1 0 6、操作部 1 0 7 および電源部 1 0 8 は、バスライン 1 0 9 を介して相互に接続されている。

40

【 0 0 6 2 】

光学部 1 0 1 は、被写体からの入射光 (像光) を取り込んで固体撮像装置 1 の撮像面上に結像する。固体撮像装置 1 は、光学部 1 0 1 によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。DSP 回路 1 0 3 は、図 1 の出力回路 7 から出力された信号に対して、上述したフローティングディフュージョンのリークなどによる白点の発生のための補正を行う。DSP 回路 1 0 3 は、補正された信号

50

を、例えば、フレームメモリ 104 に記憶させる。

【0063】

表示部 105 は、例えば、液晶パネルや有機 EL (Electro Luminescence) パネル等のパネル型表示装置からなり、固体撮像装置 1 で撮像された動画または静止画を表示する。記録部 106 は、固体撮像装置 1 で撮像された動画または静止画を、ビデオテープや DVD (Digital Versatile Disk) 等の記録媒体に記録する。

【0064】

操作部 107 は、ユーザによる操作の下に、カメラ装置 100 が有する様々な機能について操作指令を発する。電源部 108 は、DSP 回路 103、フレームメモリ 104、表示部 105、記録部 106 および操作部 107 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

10

【0065】

< DSP 回路の構成例 >

図 8 は、白点が発生した場合の画素の補正を行う、DSP 回路の第 1 の構成例を示すブロック図である。

【0066】

図 8 の例において、DSP 回路 103 は、欠陥画素アドレスメモリ 151、画素判定部 152、メモリ部 153、および補正処理部 154 を含むように構成される。

【0067】

欠陥画素アドレスメモリ 151 は、工場出荷時に欠陥画素として判定された欠陥画素のアドレスを記憶している。欠陥画素の判定は、次のように行われる。例えば、白点については、工場出荷時に OPB 基準のダーク状態である出力以上が白点と判定される。一方、HL 点欠陥ならば、工場出荷時においては、感度光量程度の光を入れて同色で出力の割合がある割合以上多い (カラーフィルタ (CF) 抜け)、またはある割合以上少ないもの (ゴミ) が欠陥画素として判定される。このようにして判定された欠陥画素のアドレスが、欠陥画素アドレスメモリ 151 に書き込まれている。

20

【0068】

画素判定部 152 は、欠陥画素アドレスメモリ 151 に記憶される欠陥画素アドレスを参照し、メモリ部 153 に記憶される画像における同色の隣接 4 画素 (CF のコーディング) 単位に欠陥画素が含まれるか否かを判定する。画素判定部 152 は、判定結果 (すなわち、同色の隣接 4 画素単位における欠陥画素の含まれる個数 (割合)) に応じて、補正処理部 154 の補正処理を制御する。

30

【0069】

メモリ部 153 は、例えば、フレームメモリで構成される。メモリ部 153 は、固体撮像装置 1 の出力回路 7 から出力される信号 (画像) を一旦記憶している。

【0070】

補正処理部 154 は、メモリ部 153 から同色の隣接 4 画素毎に読み出し、画素判定部 152 からの制御に応じて、画素データを補正処理し、出力する。

【0071】

< 信号処理の例 >

40

次に、図 9 のフローチャートを参照して、図 8 の DSP 回路 103 による信号処理の例を説明する。この信号処理は、CF のコーディング単位である同色の隣接 4 画素毎に行われる。また、例えば、この信号処理は、同色の隣接 4 画素単位の画素データを加算データとして後段に出力する処理である。なお、図 6 を適宜参照し、2 × 2 画素共有単位を例に説明する。

【0072】

固体撮像装置 1 の出力回路 7 から出力される信号 (画像) がメモリ部 153 に記憶される。補正処理部 154 は、メモリ部 153 から処理対象の同色の隣接 4 画素 (CF のコーディング単位) を読み出す。

【0073】

50

ステップS 1 1において、画素判定部 1 5 2は、欠陥画素アドレスメモリ 1 5 1から、画像の欠陥画素アドレスを取得する。なお、欠陥画素アドレスは、処理対象の同色の隣接 4 画素毎に取得するようにすることも可能である。

【 0 0 7 4 】

ステップS 1 2において、画素判定部 1 5 2は、ステップS 1 1により取得された欠陥画素アドレスを参照し、処理対象の同色の隣接 4 画素内に欠陥画素がないか否かを判定する。ステップS 1 2において、欠陥画素がないと判定された場合、処理は、ステップS 1 3に進む。

【 0 0 7 5 】

ステップS 1 3において、補正処理部 1 5 4は、画素判定部 1 5 2の制御のもと、補正することなく、メモリ部 1 5 3から読み出した同色の隣接 4 画素の 4 画素データを出力データとして、例えば、フレームメモリ 1 0 4に出力する。

【 0 0 7 6 】

ステップS 1 2において、欠陥画素があると判定された場合、処理は、ステップS 1 4に進む。ステップS 1 4において、画素判定部 1 5 2は、ステップS 1 1により取得された欠陥画素アドレスを参照し、同色の隣接 4 画素内の 1 画素が欠陥画素であるか否かを判定する。

【 0 0 7 7 】

ステップS 1 4において、同色の隣接 4 画素内の 1 画素が欠陥画素であると判定された場合、処理は、ステップS 1 5に進む。ステップS 1 5において、補正処理部 1 5 4は、画素判定部 1 5 2の制御のもと、同色の隣接 4 画素の欠陥画素以外の 3 画素データに 4 / 3を乗算したものを出力データとして、フレームメモリ 1 0 4に出力する。

【 0 0 7 8 】

例えば、図 6 に示される丸が示される緑画素が欠陥画素の場合は、同一緑のカラーフィルタのコーディング単位の三角、菱形、および逆三角が示される緑画素のデータが用いられる。具体的には、三角、菱形、および逆三角が示される緑画素のデータを足したものに対して、4 / 3が乗算され、その結果が、この同色の隣接 4 画素の出力データとして出力される。

【 0 0 7 9 】

ステップS 1 4において、同色の隣接 4 画素内の 1 画素が欠陥画素ではないと判定された場合、処理は、ステップS 1 6に進む。ステップS 1 6において、画素判定部 1 5 2は、ステップS 1 1により取得された欠陥画素アドレスを参照し、同色の隣接 4 画素内の 2 画素が欠陥画素であるか否かを判定する。

【 0 0 8 0 】

ステップS 1 6において、同色の隣接 4 画素内の 2 画素が欠陥画素であると判定された場合、処理は、ステップS 1 7に進む。ステップS 1 7において、補正処理部 1 5 4は、画素判定部 1 5 2の制御のもと、同色の隣接 4 画素の欠陥画素以外の 2 画素データに 2を乗算したものを出力データとして、フレームメモリ 1 0 4に出力する。

【 0 0 8 1 】

例えば、図 6 に示される丸および三角が示される緑画素が欠陥画素の場合は、同一緑のカラーフィルタのコーディング単位の菱形および逆三角が示される緑画素のデータが用いられる。具体的には、菱形および逆三角が示される緑画素のデータを足したものに対して、2が乗算され、その結果が、この同色の隣接 4 画素の出力データとして出力される。

【 0 0 8 2 】

ステップS 1 6において、同色の隣接 4 画素内の 2 画素が欠陥画素ではないと判定された場合、すなわち、同色の隣接 4 画素内の 3 画素が欠陥画素である場合、処理は、ステップS 1 8に進む。ステップS 1 8において、補正処理部 1 5 4は、画素判定部 1 5 2の制御のもと、同色の隣接 4 画素の欠陥画素以外の 1 画素データに 4を乗算したものを出力データとして、フレームメモリ 1 0 4に出力する。なお、この例において、同色の隣接 4 画素内すべての画素が欠陥画素である場合は非常に稀であるので、そのような場合はCMOSイ

10

20

30

40

50

メージセンサの出荷時の選別を行って出荷しないようにしている。

【 0 0 8 3 】

例えば、図 6 に示される丸、三角、菱形が示される緑画素が欠陥画素の場合は、同一緑のカラーフィルタのコーディング単位の逆三角が示される緑画素のデータが用いられる。具体的には、逆三角が示される緑画素のデータに対して 4 が乗算され、その結果が、この同色の隣接 4 画素の出力データとして出力される。

【 0 0 8 4 】

ステップ S 1 9 において、画素判定部 1 5 2 は、画像における同色の隣接 4 画素単位の処理がすべて終了したか否かを判定する。ステップ S 1 9 において、同色の隣接 4 画素単位の処理がまだ終了していないと判定された場合、処理は、ステップ S 1 2 に戻り、次の処理対象の同色の隣接 4 画素単位についての処理が繰り返し行われる。ステップ S 1 9 において、同色の隣接 4 画素単位の処理が終了したと判定された場合、この信号処理は終了する。

【 0 0 8 5 】

以上のように、同色の隣接 4 画素内において欠陥画素がある場合、欠陥画素データの補正には、欠陥画素についての同一カラーフィルタのコーディング単位の画素データが用いられる。

【 0 0 8 6 】

なお、機器によっては、図 8 の欠陥画素アドレスメモリ 1 5 1 の容量が十分に取ることが困難である機器もある。そのような機器に対応する処理例について、次に説明する。

【 0 0 8 7 】

< D S P 回路の構成例 >

図 1 0 は、白点が発生した場合の画素の補正を行う、D S P 回路の第 2 の構成例を示すブロック図である。

【 0 0 8 8 】

図 1 0 の D S P 回路 1 0 3 は、欠陥画素アドレスメモリ 1 5 1 が除かれた点、画素判定部 1 5 2 が画素判定部 1 7 1 に入れ替わった点が、図 8 の D S P 回路 1 0 3 と異なっている。図 1 0 の D S P 回路 1 0 3 は、メモリ部 1 5 3 および補正処理部 1 5 4 を備える点が、図 8 の D S P 回路 1 0 3 と共通している。

【 0 0 8 9 】

すなわち、画素判定部 1 7 1 は、補正処理部 1 5 4 に対して、同色の隣接 4 画素の全画素を、メディアン処理させることで、動的に点欠陥を行わせる。なお、加算出力の場合は、全画素をメディアン処理させ、その全画素の数を乗算して出力データとすればよい。

【 0 0 9 0 】

< 信号処理の例 >

次に、図 1 1 のフローチャートを参照して、図 1 0 の D S P 回路 1 0 3 による信号処理の例を説明する。この信号処理は、同色の隣接 4 画素単位で行われる。また、例えば、この信号処理は、同色の隣接 4 画素の画素データを加算データとして後段に出力する処理である。なお、図 6 を適宜参照し、 2×2 画素共有単位を例に説明する。

【 0 0 9 1 】

固体撮像装置 1 の出力回路 7 から出力される信号（画像）がメモリ部 1 5 3 に記憶される。補正処理部 1 5 4 は、メモリ部 1 5 3 から処理対象の同色の隣接 4 画素を読み出す。

【 0 0 9 2 】

ステップ S 3 1 において、補正処理部 1 5 4 は、画素判定部 1 7 1 の制御のもと、メモリ部 1 5 3 から読み出した同色の隣接 4 画素内の画素のメディアンをとる。ステップ S 3 2 において、補正処理部 1 5 4 は、画素判定部 1 7 1 の制御のもと、メディアンを 4 倍して、出力データとして出力する。なお、加算データとして出力しない処理の場合は、ステップ S 3 2 の処理は省略され、メディアンが後段に出力される。

【 0 0 9 3 】

ステップ S 3 3 において、画素判定部 1 7 1 は、画像における同色の隣接 4 画素単位の

10

20

30

40

50

処理がすべて終了したか否かを判定する。ステップS33において、同色の隣接4画素単位の処理がまだ終了していないと判定された場合、処理は、ステップS31に戻り、次の処理対象の同色の隣接4画素単位についての処理が繰り返し行われる。ステップS33において、同色の隣接4画素単位の処理が終了したと判定された場合、この信号処理は終了する。

【0094】

以上のように、CFのコーディング単位である同色の隣接4画素内においてメディアン処理を行うことにより、白点が簡単に補正可能である。なお、HL点欠陥も補正可能である。したがって、欠陥画素アドレスメモリ151の容量が十分にとることが難しい機器であっても、白点補正における解像度の劣化を抑えることができる。

10

【0095】

次に、高ダイナミックレンジを確保するために、蓄積時間を変えて画像処理する場合の例について説明する。

【0096】

<DSP回路の構成例>

図12は、白点が発生した場合の画素の補正を行う、DSP回路の第3の構成例を示すブロック図である。

【0097】

図12のDSP回路103は、蓄積時間メモリ191が追加された点、画素判定部152が画素判定部192に入れ替わった点が、図8のDSP回路103と異なっている。図12のDSP回路103は、欠陥画素アドレスメモリ151、メモリ部153、および補正処理部154を備える点が、図8のDSP回路103と共通している。

20

【0098】

固体撮像装置1においては、画素毎に光（電荷）の蓄積時間を変えることで、高ダイナミックレンジが可能となる。例えば、図12の例の場合、2種類の蓄積時間AおよびBが定められており、蓄積時間メモリ191は、各画素の蓄積時間（A，Bどちらであるか）を記憶している。なお、蓄積時間メモリ191は、画素判定部192に内蔵されていてもよい。

【0099】

画素判定部192は、欠陥画素アドレスメモリ151に記憶される欠陥画素アドレスを参照し、メモリ部153に記憶される画像における同色の隣接4画素内に欠陥画素が含まれるか否かを判定する。欠陥画素が含まれる場合、画素判定部192は、蓄積時間メモリ191を参照し、欠陥画素と、同色の隣接4画素内において同じ蓄積時間内の画素を判定し、判定結果（蓄積時間）に応じて、補正処理部154の補正処理を制御する。

30

【0100】

<信号処理の例>

次に、図13のフローチャートを参照して、図12のDSP回路103による信号処理の例を説明する。この信号処理は、同色の隣接4画素単位で行われる。また、例えば、この信号処理は、同色の隣接4画素内の各画素データを後段に出力する処理である。なお、図6を適宜参照し、2×2画素共有単位を例に説明する。

40

【0101】

固体撮像装置1の出力回路7から出力される信号（画像）がメモリ部153に記憶される。補正処理部154は、メモリ部153から処理対象の同色の隣接4画素単位を読み出す。

【0102】

ステップS51において、画素判定部192は、欠陥画素アドレスメモリ151から、画像の欠陥画素アドレスを取得する。なお、欠陥画素アドレスは、処理対象の同色の隣接4画素毎に取得するようにすることも可能である。

【0103】

ステップS52において、画素判定部192は、ステップS51により取得された欠陥

50

画素アドレスを参照し、処理対象の同色の隣接 4 画素内に欠陥画素があるかを判定する。ステップ S 5 2 において、欠陥画素があると判定された場合、処理は、ステップ S 5 3 に進む。

【 0 1 0 4 】

ステップ S 5 3 において、補正処理部 1 5 4 は、画素判定部 1 9 2 の制御のもと、欠陥画素に対しては、同じ蓄積時間の画素のデータと置き換えて処理を行う。

【 0 1 0 5 】

すなわち、画素判定部 1 9 2 は、欠陥画素と、同色の隣接 4 画素内において同じ蓄積時間内の画素を判定し、欠陥画素に対しては、同じ蓄積時間の画像のデータに置き換えて、処理を行う。

10

【 0 1 0 6 】

図 6 の例において、丸および逆三角が示される緑画素が蓄積時間 A であり、三角および菱形が示される緑画素が蓄積時間 B である場合に、丸が示される緑画素が欠陥画素のとき、逆三角が示される画素のデータに置き換えて、丸が示される緑画素についての処理が行われる。例えば、図 6 の例において、蓄積時間の組をかえて、丸および菱形が示される緑画素が蓄積時間 A であり、三角および逆三角が示される緑画素が蓄積時間 B である場合に、丸が示される緑画素が欠陥画素のとき、菱形が示される画素のデータに置き換えて、丸の緑画素についての処理が行われる。

【 0 1 0 7 】

また、ステップ S 5 3 において行われる処理の例としては、例えば、1 画素出力であれば、置き換えたデータが出力データとして出力される。加算データ出力であれば、置き換えたデータが用いられて、出力データが加算されて出力される。

20

【 0 1 0 8 】

以上のように、高ダイナミックレンジを確保する場合にも、白点補正における解像度の劣化を抑えることができる。

【 0 1 0 9 】

< 効果の説明 >

なお、図 6 の例において、2 × 2 画素共有単位内の 2 × 2 画素のみのカラーフィルタ配置を見ると、図 1 4 の例に示される通常（すなわち、画素毎）の市松 RGB ベイヤ配列と同じであり、2 × 2 画素共有単位内だけでみると、これらの画素はメモリから別々に読み出されている。

30

【 0 1 1 0 】

しかしながら、図 1 4 のベイヤ配列においては、丸が示される緑画素が含まれる共有単位に欠陥があった場合、別々に読み出される、丸が示される緑画素の 1 画素離れた隣接の三角、菱形、逆三角、星が示される緑画素のどれかとデータの置き換えがなされる。あるいは、丸が示される緑画素の 1 画素離れた隣接の三角、菱形、逆三角、星が示される緑画素のデータの平均値で欠陥補正する必要がある。

【 0 1 1 1 】

これに対して、図 6 の例の場合、例えば、メモリから、同色の隣接 4 画素（CF のコーディング）単位を読み出しているため、その同色の隣接 4 画素単位内での補正をすぐに行うことができる。以上のように、図 1 4 の例の場合は、図 6 の例の場合と信号処理が異なっている。

40

【 0 1 1 2 】

以上のように、画素共有単位内でフローティングディフュージョン部のリークなどで白点が発生しても、異画素共有単位内の同じ色の画素で白色補正が可能になる。空間的に近いので、空間的に遠い場合よりも、画像劣化を抑えることができる。

【 0 1 1 3 】

なお、上記説明においては、画素共有単位が 2 × 2 画素の場合について説明したが、画素共有単位は、2 × 2 画素だけに限らず、2 × 2 画素以外の共有単位であってもよい。以下、他の画素共有単位について説明していく。

50

【 0 1 1 4 】

< 2 . 第 2 の実施の形態 (2 × 4 画素共有の例) >

< 画素共有単位の構成例 >

まず、図 1 5 および図 1 6 を参照して、2 × 4 画素共有単位の回路構成例について説明する。図 1 5 は、2 × 4 画素共有単位の回路構成の一例を示す回路図である。図 1 6 は、2 × 4 画素共有単位の回路構成の一例を示す平面図である。なお、図 3 および図 4 を参照して説明した 2 × 2 画素共有単位の例と数が異なるだけであり、トランジスタなどの基本的な機能は同じである。

【 0 1 1 5 】

図 1 5 および図 1 6 で示されるように、2 × 4 画素共有単位は、8 つの光電変換素子、例えば、フォトダイオード P D 0 乃至 P D 7、およびそれらに対応する 8 つの転送トランジスタ T R 0 乃至 T R 7、並びに、リセットトランジスタ R s t、増幅トランジスタ A m p、および選択トランジスタ S e l の 3 つのトランジスタを有する構成となっている。

10

【 0 1 1 6 】

フォトダイオード P D 0 乃至 P D 7 は、アノード電極が負側電源 (例えば、グランド) に接続されており、受光した光をその光量に応じた電荷量の光電荷 (ここでは、光電子) に光電変換する。フォトダイオード P D 0 乃至 P D 7 のカソード電極は、対応する各転送トランジスタ T R 0 乃至 T R 7 を介して増幅トランジスタ A m p のゲート電極と電気的に接続されている。増幅トランジスタ A m p のゲート電極と 4 つの転送トランジスタ T R 0 乃至 T R 3 とが電気的に繋がったノードをフローティングディフュージョン F D 0 と称する。増幅トランジスタ A m p のゲート電極と 4 つの転送トランジスタ T R 4 乃至 T R 7 とが電気的に繋がったノードをフローティングディフュージョン F D 1 と称する。

20

【 0 1 1 7 】

転送トランジスタ T R 0 乃至 T R 3 は、対応するフォトダイオード P D 0 乃至 P D 3 のカソード電極とフローティングディフュージョン F D 0 との間に接続されている。また、転送トランジスタ T R 4 乃至 T R 7 は、対応するフォトダイオード P D 4 乃至 P D 7 のカソード電極とフローティングディフュージョン F D 1 との間に接続されている。

【 0 1 1 8 】

転送トランジスタ T R 0 乃至 T R 7 のゲート電極には、高レベル (例えば、V D D レベル) がアクティブ (以下、「H i g h アクティブ」と記述する) の転送パルス T R F が、図示せぬ転送線を介して与えられる。転送パルス T R F が与えられることで、転送トランジスタ T R 0 乃至 T R 3 はオン状態となってフォトダイオード P D 0 乃至 P D 3 で光電変換された光電荷をフローティングディフュージョン F D 0 に転送する。同様に、転送パルス T R F が与えられることで、転送トランジスタ T R 4 乃至 T R 7 はオン状態となってフォトダイオード P D 4 乃至 P D 7 で光電変換された光電荷をフローティングディフュージョン F D 1 に転送する。

30

【 0 1 1 9 】

リセットトランジスタ R s t は、ドレイン電極が画素電源 V D D に、ソース電極がフローティングディフュージョン F D 0 にそれぞれ接続されている。リセットトランジスタ R s t のゲート電極には、フォトダイオード P D 0 乃至 P D 3 からフローティングディフュージョン F D 0 およびフォトダイオード P D 4 乃至 P D 7 からフローティングディフュージョン F D 1 への信号電荷の転送に先立って、H i g h アクティブのリセットパルス R S T が図示せぬリセット線を介して与えられる。リセットパルス R S T が与えられることで、リセットトランジスタ R s t はオン状態となり、フローティングディフュージョン F D 0 および F D 1 の電荷を画素電源 V D D に捨てることによってフローティングディフュージョン F D 0 および F D 1 をリセットする。

40

【 0 1 2 0 】

増幅トランジスタ A m p は、ゲート電極がフローティングディフュージョン F D 0 および F D 1 に、ドレイン電極が画素電源 V D D にそれぞれ接続されている。そして、増幅トランジスタ A m p は、リセットトランジスタ R s t によってリセットした後のフローティ

50

ングディフュージョンFD0およびFD1の電位をリセット信号(リセットレベル)Vresetとして出力する。増幅トランジスタAmpはさらに、転送トランジスタTR0乃至TR3によって信号電荷を転送した後のフローティングディフュージョンFD0の電位と、転送トランジスタTR4乃至TR7によって信号電荷を転送した後のフローティングディフュージョンFD1の電位とを光蓄積信号(信号レベル)Vsigとして出力する。

【0121】

選択トランジスタSelは、例えば、ドレイン電極が増幅トランジスタAmpのソース電極に、ソース電極が垂直信号線L1にそれぞれ接続されている。選択トランジスタSelのゲート電極には、Highアクティブの選択パルスSELが図示せぬ選択線を介して与えられる。選択パルスSELが与えられることで、選択トランジスタSelはオン状態となって単位画素を選択状態とし、増幅トランジスタAmpから出力される信号を垂直信号線L1に中継する。

10

【0122】

なお、選択トランジスタSelについては、画素電源VDDと増幅トランジスタAmpのドレインとの間に接続した回路構成を採ることも可能である。

【0123】

<画素共有単位とCFコーディング単位との関係>

図17は、2×4画素共有単位とカラーフィルタ(CF)のコーディングの単位との関係を示す図である。図17の例においては、太線に示されるように、2×4画素共有の例が示されており、また、実線に示されるように、4画素毎に同じカラーフィルタをRGB市松コーディング(バイヤ配列)した例が示されている。

20

【0124】

すなわち、図17の例においては、画素共有単位の2×4画素における上半分の4画素と下半分の4画素は、それぞれ、同じカラーフィルタでコーディングされている。

【0125】

このため、中央の黒い2×4画素部分に、フローティングディフュージョンのリークなどによる白点が発生した場合、丸印が付された緑画素の補正は、図中1乃至4の数字が示される最周辺の位置の緑画素を使用して行うことが考えられる。すなわち、図17の例の場合、単位画素で、2画素空間的に離れたデータで補正することになる。

【0126】

30

<本技術の画素共有単位とCFコーディング単位との関係>

図18は、本技術を適用した画素共有単位とカラーフィルタ(CF)のコーディングの単位との関係を示す図である。図18の例においては、太線に示されるように、2×4画素共有の例が示されており、また、実線に示されるように、4画素毎に同じカラーフィルタをRGB市松コーディング(バイヤ配列)した例が示されている。

【0127】

図18の例において、画素共有単位の2×4画素の上2つの画素と下2つの画素は、図18の太線に示されるように、それぞれ異なるカラーフィルタでコーディングされている。画素共有単位の2×4画素の中央4つの画素は、図18の太線に示されるように、2画素ずつ同じカラーフィルタでコーディングされている。換言するに、同一カラーフィルタのコーディング単位の4画素は、互いに画素共有のない画素を含むように構成されている。すなわち、同一カラーフィルタのコーディング単位の4画素は、異なる画素共有単位の画素を、その構成の少なくとも半分含むように構成されている。

40

【0128】

なお、図18のカラーフィルタ35は、図17のカラーフィルタを、例えば、上に1画素、かつ、右に1画素移動させて形成されたものである。

【0129】

このようにすることで、中央の黒い画素部分に、フローティングディフュージョンのリークなどにより白点が発生した場合、黒い画素部分のうち、丸が示される緑画素の補正は、同一緑のカラーフィルタのコーディング単位の三角、菱形、および逆三角が示される緑

50

画素の少なくとも1画素を使用して行われる。

【0130】

すなわち、図18の例の場合、隣の画素なので、空間的に近いデータで補正可能であり、図17の例の場合よりも解像度劣化を抑えることができる。

【0131】

なお、白点が発生した場合の画素の補正を行う電子機器の構成は、図7を参照して上述した図6の例の場合の電子機器と基本的に同じであるので、その説明は省略される。また、白点が発生した場合の画素の補正を行う信号処理の例も、図9、図11、図13を参照して上述した信号処理と基本的に同様であるので、その説明は省略される。

【0132】

すなわち、図9および図13の例の信号処理は、画素共有単位の 2×4 画素の上2つの画素および下2つの画素については、図6の例の場合と基本的に同様に行われる。一方、画素共有単位の 2×4 画素の中央4つの画素については、それぞれ2画素が同じ画素共有単位に含まれているので、後述する図19の場合と同様に行うことができる。

【0133】

なお、 2×4 画素共有単位においては、CFコーディング単位との関係が次に示される場合もあり得る。

【0134】

<本技術の画素共有単位とCFコーディング単位との関係>

図19は、本技術を適用した画素共有単位とカラーフィルタ(CF)のコーディングの単位との関係を示す図である。図19の例においては、太線に示されるように、 2×4 画素共有の例が示されており、また、実線に示されるように、4画素毎に同じカラーフィルタをRGB市松コーディング(ペイヤ配列)した例が示されている。

【0135】

図19の例において、画素共有単位の 2×4 画素の各画素は、図18の画素共有単位の中央4つの画素の場合と同様に、図19の太線に示されるように、2画素ずつ、同じカラーフィルタでコーディングされている。換言するに、同一カラーフィルタのコーディング単位の4画素は、互いに画素共有のない画素を含むように構成されている。すなわち、同一カラーフィルタのコーディング単位の4画素は、異なる画素共有単位の画素を、その構成の少なくとも半分含むように構成されている。

【0136】

なお、図19のカラーフィルタ35は、図17のカラーフィルタを、例えば、右に1画素移動させて形成されたものである。

【0137】

このようにすることで、中央の黒い画素部分に、フローティングディフュージョンのリークなどにより白点が発生した場合、黒い画素部分のうち、三角と丸が示される緑画素の補正は、同一緑のカラーフィルタのコーディング単位の菱形および逆三角が示される緑画素を使用して行われる。

【0138】

すなわち、図19の例の場合、隣の画素なので、空間的に近いデータで補正可能であり、図17の例の場合よりも解像度劣化を抑えることができる。

【0139】

なお、白点が発生した場合の画素の補正を行う電子機器の構成は、図7を参照して上述した図6の例の場合の電子機器と基本的に同じであるので、その説明は省略される。また、白点が発生した場合の画素の補正を行う信号処理の例も、図9、図11、図13を参照して上述した信号処理と基本的に同様であるので、その説明は省略される。

【0140】

すなわち、画素共有単位の 2×4 画素の画素については、それぞれ2画素(例えば、図19の三角と丸が示される画素)が同じ画素共有単位に含まれているので、特に、図9の例であれば、ステップS17の処理のように、画素共有単位内に2画素が欠陥画素である

10

20

30

40

50

場合の信号処理が行われる。

【 0 1 4 1 】

また、図 1 3 の例であれば、丸が示される画素と逆三角が示される画素が蓄積時間 A であり、三角が示される画素と菱形が示される画素が蓄積時間 B の 2 種類であるとする、丸が示される欠陥画素は、逆三角が示される画素のデータと置き換えることができる。また、三角が示される欠陥画素は、菱形が示される画素のデータと置き換えることができる。

【 0 1 4 2 】

以上のように、画素共有単位が 2×4 画素の場合にも、白点補正における解像度の劣化を抑えることができる。

【 0 1 4 3 】

< 3 . 第 3 の実施の形態 (1×4 画素共有の例) >

< 画素共有単位の構成例 >

まず、図 2 0 および図 2 1 を参照して、 1×4 画素共有単位の回路構成例について説明する。図 2 0 は、 1×4 画素共有単位の回路構成の一例を示す回路図である。図 2 1 は、 1×4 画素共有単位の回路構成の一例を示す平面図である。なお、図 3 および図 4 を参照して説明した 2×2 画素共有単位の例と数が異なるだけであり、トランジスタなどの基本的な機能は同じである。

【 0 1 4 4 】

図 2 0 および図 2 1 で示されるように、 1×4 画素共有単位は、4 つの光電変換素子、例えば、フォトダイオード P D 0 乃至 P D 3、およびそれらに対応する 4 つの転送トランジスタ T R 0 乃至 T R 3、並びに、リセットトランジスタ R s t、増幅トランジスタ A m p、および選択トランジスタ S e l の 3 つのトランジスタを有する構成となっている。

【 0 1 4 5 】

フォトダイオード P D 0 乃至 P D 3 は、アノード電極が負側電源（例えば、グランド）に接続されており、受光した光をその光量に応じた電荷量の光電荷（ここでは、光電子）に光電変換する。フォトダイオード P D 0 乃至 P D 3 のカソード電極は、対応する各転送トランジスタ T R 0 乃至 T R 3 を介して増幅トランジスタ A m p のゲート電極と電気的に接続されている。増幅トランジスタ A m p のゲート電極と 2 つの転送トランジスタ T R 0 および T R 1 とが電気的に繋がったノードをフローティングディフュージョン F D 0 と称する。増幅トランジスタ A m p のゲート電極と 2 つの転送トランジスタ T R 2 および T R 3 とが電気的に繋がったノードをフローティングディフュージョン F D 1 と称する。

【 0 1 4 6 】

転送トランジスタ T R 0 乃至 T R 3 は、対応するフォトダイオード P D 0 乃至 P D 3 のカソード電極とフローティングディフュージョン F D 0 または F D 1 との間に接続されている。転送トランジスタ T R 0 乃至 T R 3 のゲート電極には、高レベル（例えば、V D D レベル）がアクティブ（以下、「H i g h アクティブ」と記述する）の転送パルス T R F が、図示せぬ転送線を介して与えられる。転送パルス T R F が与えられることで、転送トランジスタ T R 0 乃至 T R 3 はオン状態となってフォトダイオード P D 0 乃至 P D 3 で光電変換された光電荷をフローティングディフュージョン F D 0 または F D 1 に転送する。

【 0 1 4 7 】

リセットトランジスタ R s t は、ドレイン電極が画素電源 V D D に、ソース電極がフローティングディフュージョン F D 0 および F D 1 にそれぞれ接続されている。リセットトランジスタ R s t のゲート電極には、フォトダイオード P D 0 および P D 1 からフローティングディフュージョン F D 0 への、フォトダイオード P D 2 および P D 3 からフローティングディフュージョン F D 1 への信号電荷の転送に先立って、H i g h アクティブのリセットパルス R S T が図示せぬリセット線を介して与えられる。リセットパルス R S T が与えられることで、リセットトランジスタ R s t はオン状態となり、フローティングディフュージョン F D 0 および F D 1 の電荷を画素電源 V D D に捨てることによってフロ

10

20

30

40

50

ーティングディフュージョンFD0およびFD1をリセットする。

【0148】

増幅トランジスタAmpは、ゲート電極がフローティングディフュージョンFD0およびFD1に、ドレイン電極が画素電源VDDにそれぞれ接続されている。そして、増幅トランジスタAmpは、リセットトランジスタRstによってリセットした後のフローティングディフュージョンFD0およびFD1の電位をリセット信号（リセットレベル）Vresetとして出力する。増幅トランジスタAmpはさらに、転送トランジスタTR0およびTR1によって信号電荷を転送した後のフローティングディフュージョンFD0および転送トランジスタTR2およびTR3によって信号電荷を転送した後のフローティングディフュージョンFD1の電位を光蓄積信号（信号レベル）Vsigとして出力する。

10

【0149】

選択トランジスタSelは、例えば、ドレイン電極が増幅トランジスタAmpのソース電極に、ソース電極が垂直信号線L1にそれぞれ接続されている。選択トランジスタSelのゲート電極には、Highアクティブの選択パルスSELが図示せぬ選択線を介して与えられる。選択パルスSELが与えられることで、選択トランジスタSelはオン状態となって単位画素を選択状態とし、増幅トランジスタAmpから出力される信号を垂直信号線L1に中継する。

【0150】

なお、選択トランジスタSelについては、画素電源VDDと増幅トランジスタAmpのドレインとの間に接続した回路構成を採ることも可能である。

20

【0151】

< 本技術の画素共有単位とCFコーディング単位との関係 >

図22は、本技術を適用した画素共有単位とカラーフィルタ(CF)のコーディングの単位との関係を示す図である。図22の例においては、太線に示されるように、1×4画素共有の例が示されており、また、実線に示されるように、4画素毎に同じカラーフィルタをRGB市松コーディング(ペイヤ配列)した例が示されている。

【0152】

図22の例において、画素共有単位の1×4画素の上1つの画素と下1つの画素は、図22の太線に示されるように、異なるカラーフィルタでコーディングされている。画素共有単位の1×4画素の中央2つの画素は、図22の太線に示されるように、同じカラーフィルタでコーディングされている。換言するに、同一カラーフィルタのコーディング単位の4画素は、互いに画素共有のない画素を含むように構成されている。すなわち、同一カラーフィルタのコーディング単位の4画素は、異なる画素共有単位の画素を、その構成の少なくとも半分含むように構成されている。

30

【0153】

このようにすることで、中央の黒い画素部分に、フローティングディフュージョンのリークなどにより白点が発生した場合、黒い画素部分のうち、逆三角が示される赤画素の補正は、同一赤のカラーフィルタのコーディング単位の三角、菱形、または丸が示される赤画素を使用して行われる。

【0154】

すなわち、補正に用いられる画素は、隣の画素なので、空間的に近いデータで補正可能であり、よって解像度劣化を抑えることができる。

40

【0155】

なお、1×4画素共有単位においては、CFコーディング単位との関係が次に示される場合もあり得る。

【0156】

< 本技術の画素共有単位とCFコーディング単位との関係 >

図23は、本技術を適用した画素共有単位とカラーフィルタ(CF)のコーディングの単位との関係を示す図である。図23の例においては、太線に示されるように、1×4画素共有の例が示されており、また、実線に示されるように、4画素毎に同じカラーフィルタを

50

RGB市松コーディング(ペイヤ配列)した例が示されている。

【0157】

図23の例において、画素共有単位の 1×4 画素の各画素は、図22の画素共有単位の中央2つの画素の場合と同様に、図23の太線に示されるように、2画素ずつ、同じカラーフィルタでコーディングされている。換言するに、同一カラーフィルタのコーディング単位の4画素は、互いに画素共有のない画素を含むように構成されている。すなわち、同一カラーフィルタのコーディング単位の4画素は、異なる画素共有単位の画素を、その構成の少なくとも半分含むように構成されている。

【0158】

このようにすることで、中央の黒い画素部分に、フローティングディフュージョンのリークなどにより白点が発生した場合、黒い画素部分のうち、菱形および逆三角が示される緑画素の補正は、同一緑のカラーフィルタのコーディング単位の三角と丸が示される緑画素を使用して行われる。

【0159】

すなわち、補正に用いられる画素は、隣の画素なので、空間的に近いデータで補正可能であり、よって解像度劣化を抑えることができる。

【0160】

以上のように、画素共有単位が 1×4 画素の場合にも、白点補正における解像度の劣化を抑えることができる。

【0161】

なお、上記説明においては、画素共有単位が 2×2 画素、 2×4 画素、 1×4 画素の場合について説明したが、その他の画素共有単位でも同様に行うことができる。

【0162】

また、上記説明においては、RGB市松カラーコーディングについて説明してきたが、本技術は、4画素同じカラーコーディングであれば、Wを入れたRGBWにも適用することができる。また、本技術は、RGBW以外の多色コーディングにも適用することができる。

【0163】

さらに、上記説明においては、裏面照射型の固体撮像装置について説明したが、本技術は、表面照射型の固体撮像装置にも適用することができる。

【0164】

<4. 第4の実施の形態>

<固体撮像装置の断面例>

図24は、本技術の固体撮像装置の画素領域および周辺回路部の構造の一例を示す断面図を示す。図24の例においては、表面照射型の固体撮像装置の例が示されている。

【0165】

図24の例の固体撮像装置201は、入射した光を光電変換する画素領域210と、画素を駆動して信号を読み出し、これに対して信号処理を施して出力する周辺回路部220とが同一チップ(基板)に集積された構成となっている。また、画素領域210を構成するトランジスタと周辺回路部220を構成するトランジスタとは、その配線の一部を共通にしている。画素領域210には、図1の画素領域3が適用される。

【0166】

画素領域210は、数百 μm 程度の厚さを持つN型シリコン基板211の表面側に形成されたフォトダイオード212を有するとともに、その上方に配線層213およびパッシベーション膜214を介してカラーフィルタ215およびOCL(On Chip Lens)216が配された構造となっている。カラーフィルタ215は、色の信号を得るために設けられている。なお、カラーフィルタ215には、図2のカラーフィルタ35が適用される。

【0167】

この画素領域210において、フォトダイオード212とカラーフィルタ215との間には、トランジスタや配線が存在するので、画素領域210への入射光に対するフォトダイオード212への入射光の比、即ち開口率を上げるために、入射光をOCL216によって

10

20

30

40

50

配線の間を通してフォトダイオード 2 1 2 へ集光するようにしている。

【 0 1 6 8 】

このような固体撮像装置 2 0 1 は、固体撮像装置 1 と同様に、画素共有単位とカラーフィルタ 2 1 5 のコーディングの単位とについて上述した関係性を有する。これにより、空間的に近いデータで白色補正を行うことができるので、解像度劣化を抑えることができる。

【 0 1 6 9 】

なお、本技術は、例えば、イメージセンサのような固体撮像装置への適用に限られるものではない。即ち、本技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。

【 0 1 7 0 】

< 5 . 第 5 の実施の形態 >

< コンピュータの構成例 >

上述した一連の処理は、ハードウェアにより実行することもできるし、ソフトウェアにより実行することもできる。一連の処理をソフトウェアにより実行する場合には、そのソフトウェアを構成するプログラムが、コンピュータにインストールされる。ここで、コンピュータには、専用のハードウェアに組み込まれているコンピュータや、各種のプログラムをインストールすることで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどが含まれる。

【 0 1 7 1 】

図 2 5 は、上述した一連の処理をプログラムにより実行するコンピュータのハードウェアの構成例を示すブロック図である。

【 0 1 7 2 】

コンピュータ 8 0 0 において、CPU (Central Processing Unit) 8 0 1 , ROM (Read Only Memory) 8 0 2 , RAM (Random Access Memory) 8 0 3 は、バス 8 0 4 により相互に接続されている。

【 0 1 7 3 】

バス 8 0 4 には、さらに、入出力インタフェース 8 0 5 が接続されている。入出力インタフェース 8 0 5 には、入力部 8 0 6 、出力部 8 0 7 、記憶部 8 0 8 、通信部 8 0 9 、及びドライブ 8 1 0 が接続されている。

【 0 1 7 4 】

入力部 8 0 6 は、キーボード、マウス、マイクロホンなどよりなる。出力部 8 0 7 は、ディスプレイ、スピーカなどよりなる。記憶部 8 0 8 は、ハードディスクや不揮発性のメモリなどよりなる。通信部 8 0 9 は、ネットワークインタフェースなどよりなる。ドライブ 8 1 0 は、磁気ディスク、光ディスク、光磁気ディスク、又は半導体メモリなどのリムーバブル記録媒体 8 1 1 を駆動する。

【 0 1 7 5 】

以上のように構成されるコンピュータでは、CPU 8 0 1 が、例えば、記憶部 8 0 8 に記憶されているプログラムを、入出力インタフェース 8 0 5 及びバス 8 0 4 を介して、RAM 8 0 3 にロードして実行することにより、上述した一連の処理が行われる。

【 0 1 7 6 】

コンピュータ 8 0 0 (CPU 8 0 1) が実行するプログラムは、例えば、パッケージメディア等としてのリムーバブル記録媒体 8 1 1 に記録して提供することができる。また、プログラムは、ローカルエリアネットワーク、インターネット、デジタル衛星放送といった、有線または無線の伝送媒体を介して提供することができる。

【 0 1 7 7 】

コンピュータでは、プログラムは、リムーバブル記録媒体 8 1 1 をドライブ 8 1 0 に装着することにより、入出力インタフェース 8 0 5 を介して、記憶部 8 0 8 にインストールすることができる。また、プログラムは、有線または無線の伝送媒体を介して、通信部 8

10

20

30

40

50

０９で受信し、記憶部８０８にインストールすることができる。その他、プログラムは、ROM ８０２や記憶部８０８に、あらかじめインストールしておくことができる。

【０１７８】

なお、コンピュータが実行するプログラムは、本明細書で説明する順序に沿って時系列に処理が行われるプログラムであっても良いし、並列に、あるいは呼び出しが行われたとき等の必要なタイミングで処理が行われるプログラムであっても良い。

【０１７９】

また、本明細書において、記録媒体に記録されるプログラムを記述するステップは、記載された順序に沿って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

10

【０１８０】

また、本明細書において、システムとは、複数のデバイス（装置）により構成される装置全体を表すものである。

【０１８１】

さらに、本開示における実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

【０１８２】

また、上述のフローチャートで説明した各ステップは、１つの装置で実行する他、複数の装置で分担して実行することができる。

【０１８３】

20

さらに、１つのステップに複数の処理が含まれる場合には、その１つのステップに含まれる複数の処理は、１つの装置で実行する他、複数の装置で分担して実行することができる。

【０１８４】

また、以上において、１つの装置（または処理部）として説明した構成を分割し、複数の装置（または処理部）として構成するようにしてもよい。逆に、以上において複数の装置（または処理部）として説明した構成をまとめて１つの装置（または処理部）として構成されるようにしてもよい。また、各装置（または各処理部）の構成に上述した以外の構成を付加するようにしてももちろんよい。さらに、システム全体としての構成や動作が実質的に同じであれば、ある装置（または処理部）の構成の一部を他の装置（または他の処理部）の構成に含めるようにしてもよい。つまり、本技術は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

30

【０１８５】

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、開示はかかる例に限定されない。本開示の属する技術の分野における通常の知識を有するのであれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

【０１８６】

なお、本技術は以下のような構成も取ることができる。

40

（１） 同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、

前記複数画素群がベイア配列されてなるカラーフィルタとを備える固体撮像装置。

（２） 前記複数画素群は、互いに画素共有のない画素で構成されている前記（１）に記載の固体撮像装置。

（３） 前記画素共有の単位は、 2×2 画素である前記（１）または（２）に記載の固体撮像装置。

（４） 前記複数画素群は、互いに画素共有のない画素を、その構成の少なくとも半分含むように構成されている

50

前記(1)に記載の固体撮像装置。

(5) 前記画素共有の単位は、 2×4 画素である

前記(1)または(4)に記載の固体撮像装置。

(6) 前記画素共有の単位は、 1×4 画素である

前記(1)または(4)に記載の固体撮像装置。

(7) 前記画素共有内で発生した欠陥画素は、前記複数画素群内の画素を用いて補正される

前記(1)乃至(6)のいずれかに記載の固体撮像装置。

(8) 前記複数画素群は、4画素で構成される

前記(1)乃至(7)のいずれかに記載の固体撮像装置。

(9) 前記色コーディングは、原色市松のコーディングである

前記(1)乃至(8)のいずれかに記載の固体撮像装置。

(10) 前記色コーディングは、WRGBのコーディングである

前記(1)乃至(8)のいずれかに記載の固体撮像装置。

(11) 同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、前記複数画素群がベイア配列されてなるカラーフィルタとを備える固体撮像装置から出力される出力信号において、前記画素共有内で発生した欠陥画素を、前記複数画素群内の画素を用いて補正する補正処理部を

備える信号処理装置。

(12) 前記補正処理部は、前記画素共有内で発生した欠陥画素を、前記画素共有内で発生した欠陥画素の個数に応じて、前記複数画素群内の画素を用いて補正する

前記(11)に記載の信号処理装置。

(13) 前記補正処理部は、前記画素共有内で発生した欠陥画素を、前記複数画素群内のすべての画素を用いて補正する

前記(11)に記載の信号処理装置。

(14) 前記補正処理部は、前記画素共有内で発生した欠陥画素を、前記画素共有内で発生した欠陥画素の蓄積時間に応じて、前記複数画素群内のデータを用いて補正する

前記(11)に記載の信号処理装置。

(15) 同色コーディングで、かつ、互いに画素共有のない画素を含むように構成された複数画素群と、前記複数画素群がベイア配列されてなるカラーフィルタとを備える固体撮像装置と、

入射光を前記固体撮像装置に入射する光学系と、

前記固体撮像装置から出力される出力信号を処理する信号処理回路と

を有する電子機器。

【符号の説明】

【0187】

1 固体撮像装置, 2 画素, 3 画素領域, 100 カメラ装置, 101 光学部, 103 DSP回路, 104 フレームメモリ, 151 欠陥画素アドレスメモリ, 152 画素判定部, 153 メモリ部, 154 補正処理部, 171 画素判定部, 191 蓄積時間メモリ, 192 画素判定部, 201 固体撮像装置

10

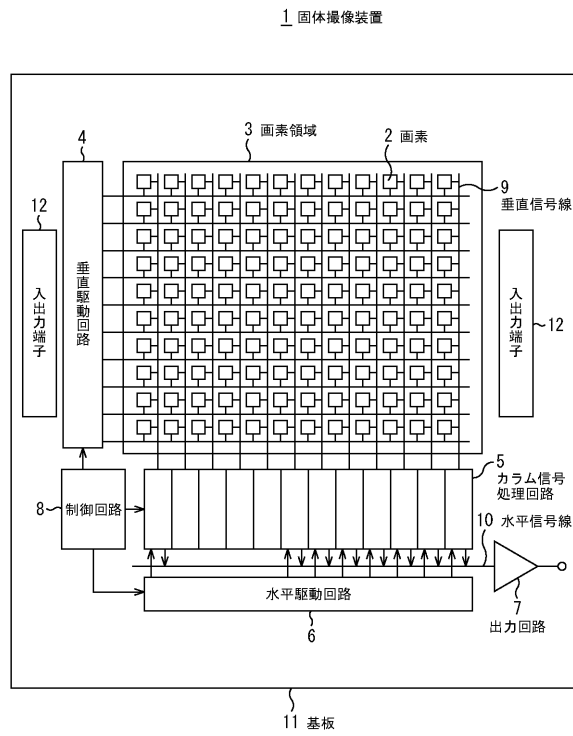
20

30

40

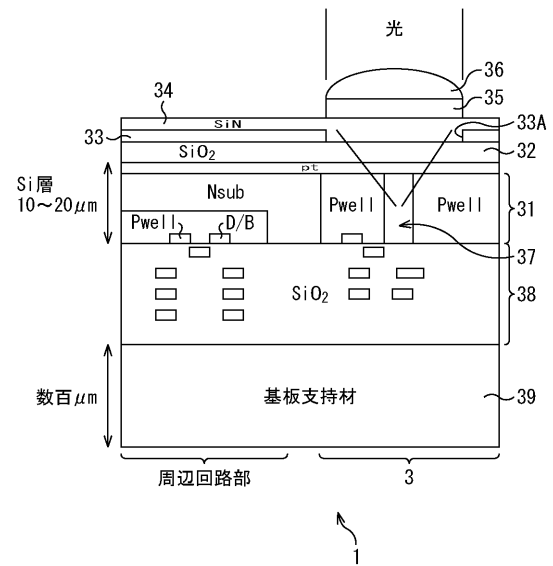
【図 1】

図1



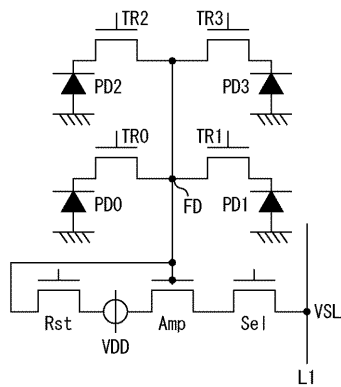
【図 2】

図2



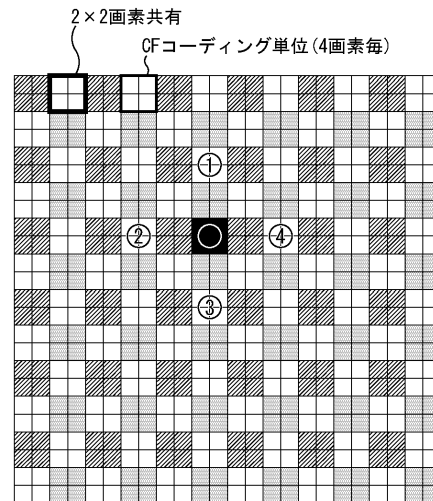
【図 3】

図3



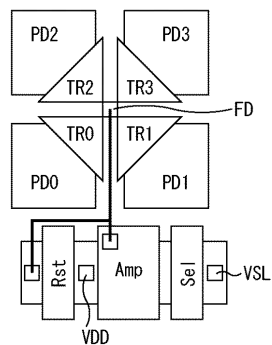
【図 5】

図5



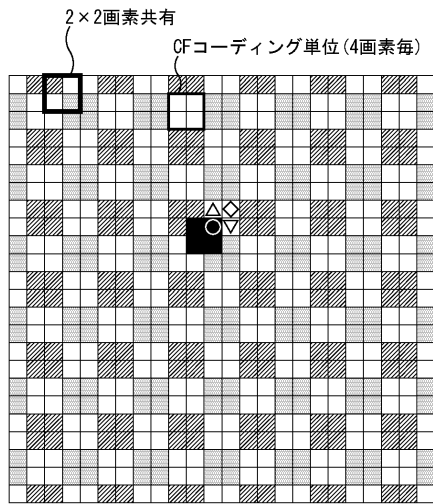
【図 4】

図4



【図 6】

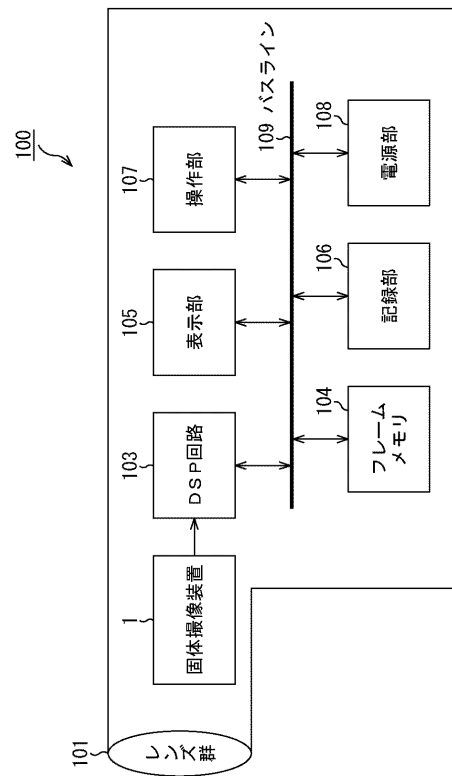
図6



35

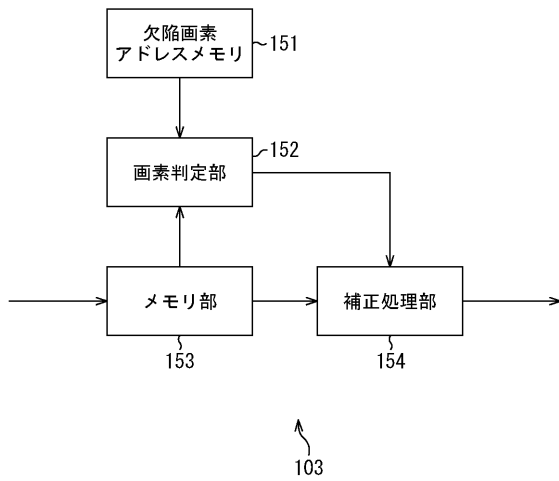
【図 7】

図7



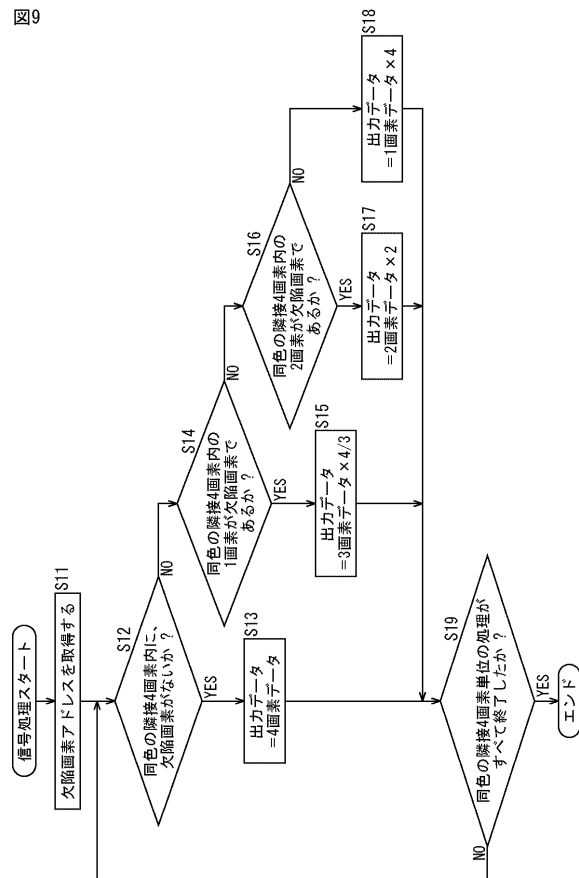
【図 8】

図8



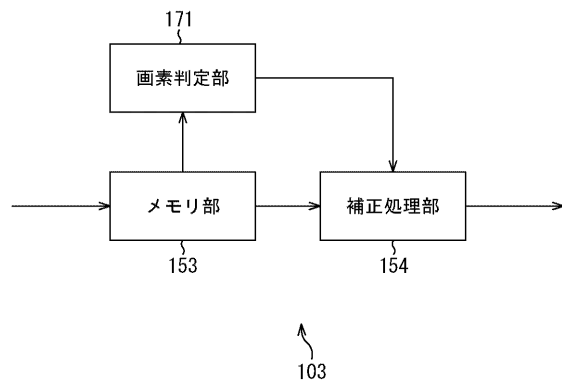
【図 9】

図9



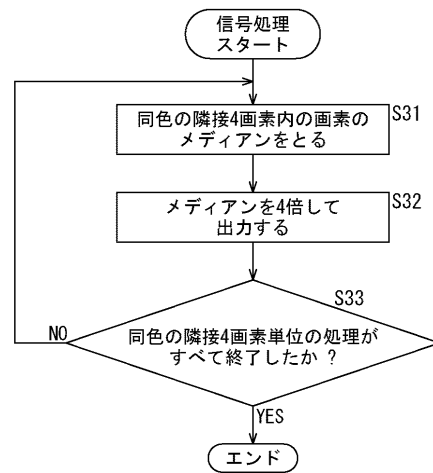
【図 10】

図10



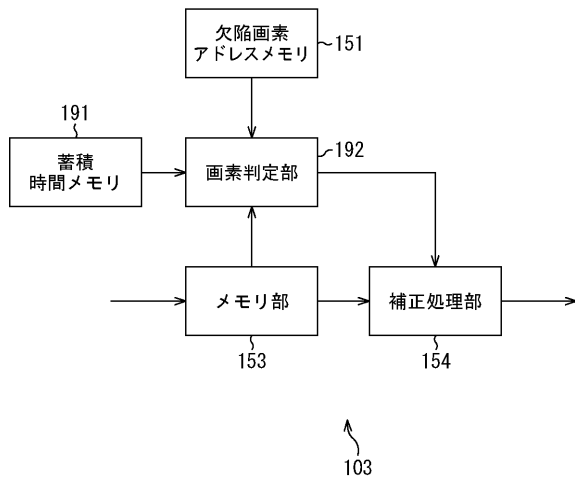
【図 11】

図11



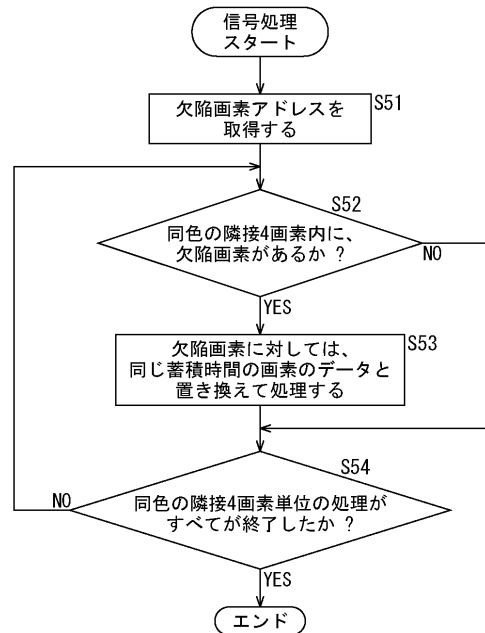
【図 12】

図12



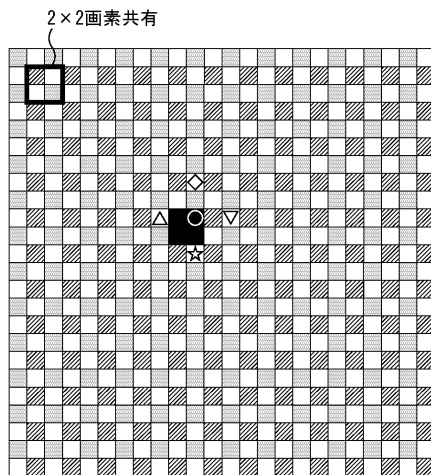
【図 13】

図13



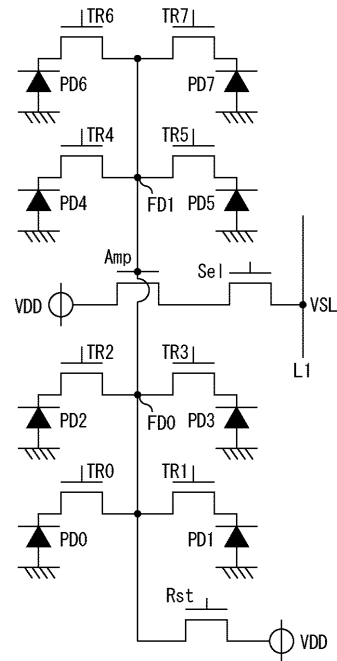
【図 14】

図14



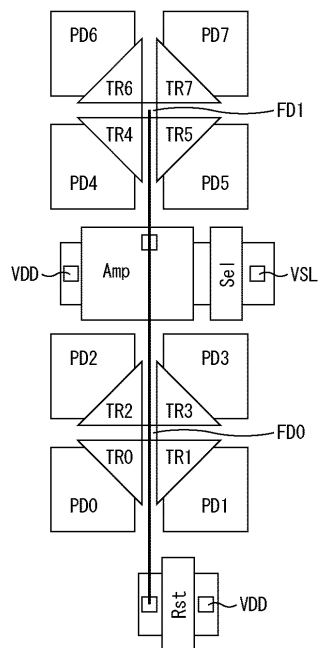
【図 15】

図15



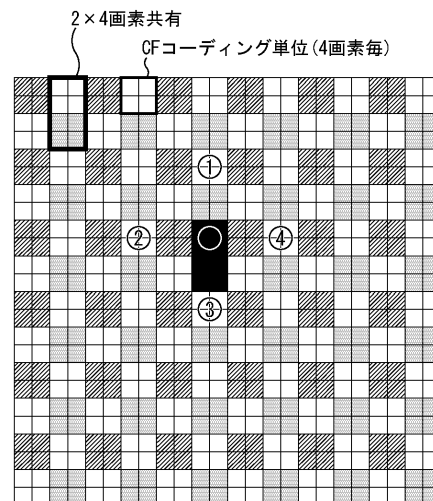
【図 16】

図16



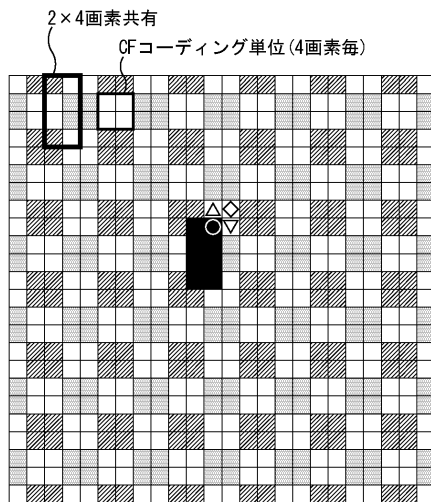
【図 17】

図17



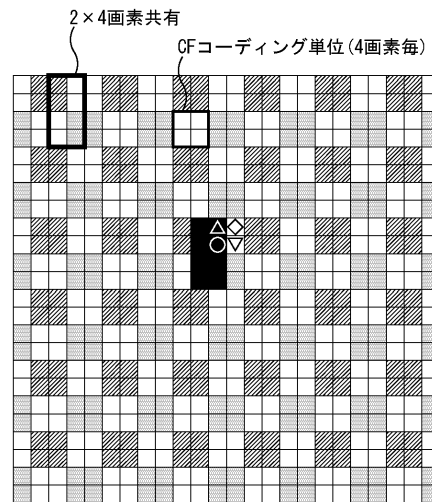
【図 18】

図18



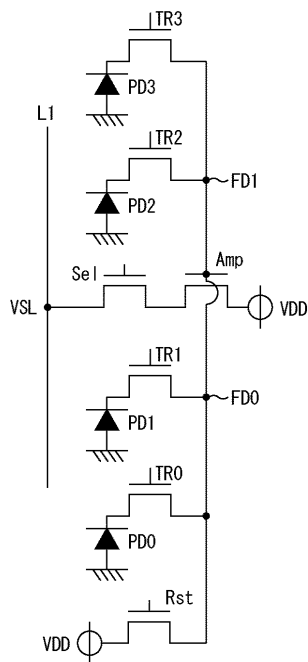
【図 19】

図19



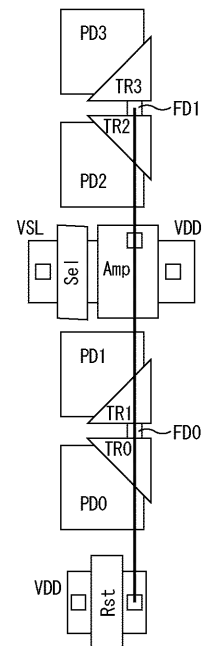
【図 20】

図20



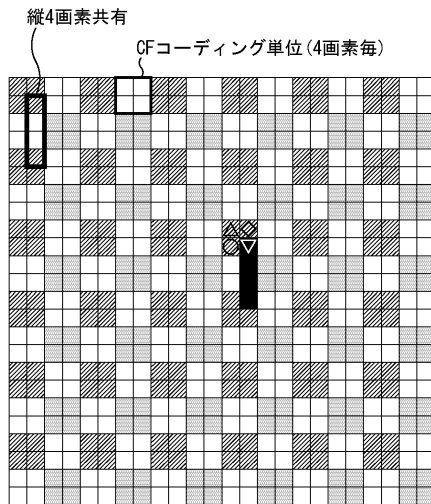
【図 21】

図21



【図 2 2】

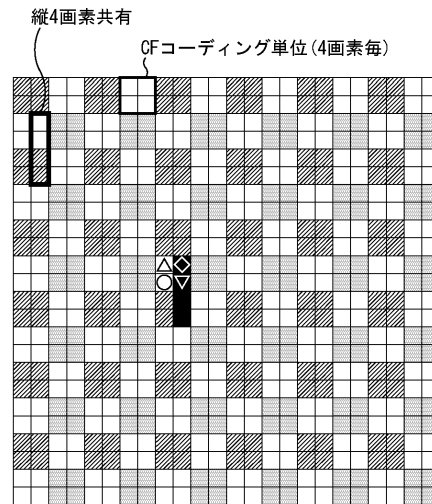
図22



35

【図 2 3】

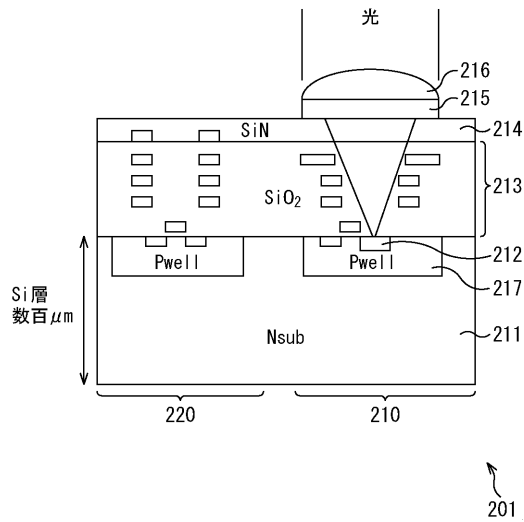
図23



35

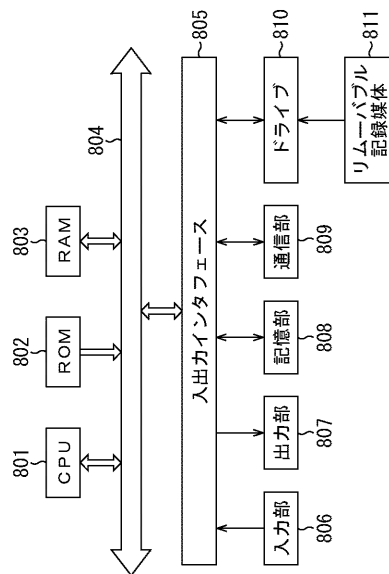
【図 2 4】

図24



【図 2 5】

図25



フロントページの続き

(56)参考文献 特開2010-153511(JP,A)
特開2011-049446(JP,A)
特開2010-010760(JP,A)
特開2012-044452(JP,A)
国際公開第2013/046827(WO,A1)
特開2010-239337(JP,A)
特開2007-124056(JP,A)
米国特許出願公開第2010/0148037(US,A1)
特開2011-004370(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N	9/07
G02B	5/20
H01L	27/14
H04N	5/367