(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0019055
(43) 공개일자 2025년02월07일

(51) 국제특허분류(Int. Cl.)
H01L 21/687 (2006.01) *G01K 7/16* (2006.01)
H01L 21/67 (2006.01) *H01L 21/683* (2006.01)
(52) CPC특허분류
H01L 21/68785 (2013.01)
G01K 7/16 (2013.01)
(21) 출원번호 10-2024-7041557
(22) 출원일자(국제) 2023년05월18일
심사청구일자 없음
(85) 번역문제출일자 2024년12월16일
(86) 국제출원번호 PCT/JP2023/018559
(87) 국제공개번호 WO 2023/228853
국제공개일자 2023년11월30일
(30) 우선권주장
63/346,205 2022년05월26일 미국(US)

(71) 출원인
도쿄엘렉트론가부시키가이샤
일본 도쿄도 미나토쿠 아카사카 5쵸메 3반 1고
(72) 발명자
야마모토 다카리
일본 981-3629 미야기 구로카와군 다이와쵸 테크노힐스 1 도쿄 엘렉트론 미야기 가부시키가이샤 내
야마다 가즈히토
일본 981-3629 미야기 구로카와군 다이와쵸 테크노힐스 1 도쿄 엘렉트론 미야기 가부시키가이샤 내
(뒷면에 계속)
(74) 대리인
장수길, 김성환, 성재동

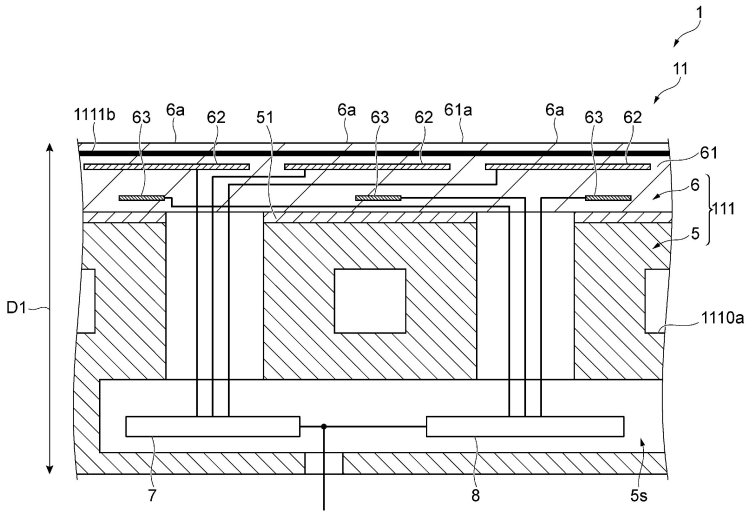
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 **기판 처리 장치**

(57) 요 약

기판 처리 장치가 제공된다. 기판 처리 장치는, 챔버, 기대, 정전 척, 제어 회로, 및 검지 회로를 구비한다. 정전 척은, 기대 위에 배치되어 있다. 정전 척은, 유전체 부재, 적어도 하나의 히터 전극층, 및 적어도 하나의 저항층을 포함한다. 유전체 부재는, 기판 지지면을 갖는다. 적어도 하나의 히터 전극층은, 제1 재료로 형성되어 있다. 적어도 하나의 저항층은, 제2 재료로 형성되어 있다. 적어도 하나의 저항층은, 300㎛ 이하의 두께를 갖는 적어도 하나의 저항층이다. 제2 재료의 저항 온도 계수는, 제1 재료의 저항 온도 계수 이상이다.

대 표 도



(52) CPC특허분류
H01J 37/32091 (2013.01)
H01J 37/32568 (2013.01)
H01J 37/32724 (2013.01)
H01J 37/32935 (2013.01)
H01L 21/67103 (2013.01)
H01L 21/67248 (2013.01)
H01L 21/6833 (2013.01)
(72) 발명자
다카하시 마사노리
일본 981-3629 미야기 구로카와군 다이와쵸 테크노 힐스 1 도쿄 엘렉트론 미야기 가부시키가이샤 내
이시카와 신야
일본 981-3629 미야기 구로카와군 다이와쵸 테크노 힐스 1 도쿄 엘렉트론 미야기 가부시키가이샤 내
에자키 쇼타
일본 981-3629 미야기 구로카와군 다이와쵸 테크노 힐스 1 도쿄 엘렉트론 미야기 가부시키가이샤 내

명 세 서

청구범위

청구항 1

그 내부에 있어서 처리 공간을 제공하는 챔버와,

상기 처리 공간 내에 배치되어 있으며, 그 내부에 있어서 내부 공간을 제공하는 기대와,

상기 기대 위에 배치된 정전 척이며,

기판 지지면을 포함하는 지지면을 갖는 유전체 부재와,

상기 유전체 부재 내에 배치되어 있으며, 제1 재료로 형성된 적어도 하나의 히터 전극층과,

상기 유전체 부재 내에 배치되고, 제2 재료로 형성되어 있으며, 300㎛ 이하의 두께를 갖는 적어도 하나의 저항층이며, 해당 제2 재료의 저항 온도 계수는, 상기 제1 재료의 저항 온도 계수 이상인, 해당 적어도 하나의 저항층

을 포함하는, 해당 정전 척과,

상기 내부 공간 중에 배치되어 있으며, 상기 적어도 하나의 히터 전극층에의 인가 전력을 제어하도록 구성된 제어 회로와,

상기 내부 공간 중에 배치되어 있으며, 상기 적어도 하나의 저항층에 걸리는 전압을 검지하도록 구성된 검지 회로

를 구비하는 기판 처리 장치.

청구항 2

제1항에 있어서,

상기 제2 재료의 저항 온도 계수는, 상기 제1 재료의 저항 온도 계수보다 큰, 기판 처리 장치.

청구항 3

제1항에 있어서,

상기 제2 재료는, 텅스텐인, 기판 처리 장치.

청구항 4

제1항에 있어서,

상기 적어도 하나의 저항층의 상기 두께는, 100㎛ 이하인, 기판 처리 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 정전 척 내에서의 두께 방향에 있어서의 상기 적어도 하나의 히터 전극층의 위치는, 해당 두께 방향에 있어서의 상기 적어도 하나의 저항층의 위치와는 다른, 기판 처리 장치.

청구항 6

제5항에 있어서,

상기 적어도 하나의 히터 전극층은, 상기 적어도 하나의 저항층과 상기 지지면 사이에서 연장되어 있는, 기판 처리 장치.

청구항 7

제5항에 있어서,

상기 적어도 하나의 저항층은, 상기 적어도 하나의 히터 전극층과 상기 지지면 사이에서 연장되어 있는, 기판 처리 장치.

청구항 8

제7항에 있어서,

상기 적어도 하나의 저항층은, 제1 저항층 및 제2 저항층을 포함하고,

상기 제2 저항층은, 상기 제1 저항층과 상기 지지면 사이에서 연장되어 있으며,

상기 검지 회로는, 상기 제1 저항층에 걸리는 제1 전압 및 상기 제2 저항층에 걸리는 제2 전압을 각각 검지하도록 구성되고,

해당 기판 처리 장치는, 상기 제1 전압 및 상기 제2 전압으로부터 상기 제1 저항층의 제1 온도 및 상기 제2 저항층의 제2 온도를 각각 특정하도록 구성되는 제어부이며, 해당 제1 온도와, 해당 제2 온도와, 상기 유전체 부재의 열전도율과, 상기 두께 방향에 있어서의 해당 제1 저항층과 해당 제2 저항층 사이의 거리에 기초하여 상기 지지면에서의 열유속을 특정하도록 구성되는 해당 제어부를 더 구비하는,

기판 처리 장치.

청구항 9

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 정전 척 내에서의 두께 방향에 있어서의 상기 적어도 하나의 히터 전극층의 위치는, 해당 두께 방향에 있어서의 상기 적어도 하나의 저항층의 위치와 같은, 기판 처리 장치.

청구항 10

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 지지면은, 복수의 영역을 포함하고,

상기 정전 척은, 상기 복수의 영역을 각각 포함하는 복수의 존을 포함하고,

상기 적어도 하나의 히터 전극층은, 복수의 히터 전극층을 포함하고,

상기 복수의 히터 전극층은, 상기 복수의 존 내에 각각 배치되어 있으며,

상기 적어도 하나의 저항층은, 복수의 저항층을 포함하고,

상기 복수의 저항층은, 상기 복수의 존 내에 각각 배치되어 있는 다른 적어도 하나의 저항층을 포함하고,

상기 제어 회로는, 상기 복수의 히터 전극층에의 복수의 인가 전력 각각을 제어하도록 구성되고,

상기 검지 회로는, 상기 복수의 저항층에 걸리는 복수의 전압값 각각을 검지하도록 구성되어 있는,

기판 처리 장치.

청구항 11

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 지지면은, 복수의 영역을 포함하고,

상기 정전 척은, 상기 복수의 영역을 각각 포함하는 복수의 존을 포함하고,

상기 적어도 하나의 히터 전극층은, 복수의 히터 전극층을 포함하고,

상기 복수의 히터 전극층은, 상기 복수의 존 내에 각각 배치되어 있으며,

상기 적어도 하나의 저항층은, 복수의 저항층을 포함하고,

상기 복수의 저항층은, 상기 복수의 존 중 2개 이상의 대응하는 존 내에 걸쳐 배치되어 있는 저항층을

포함하고,

상기 제어 회로는, 상기 복수의 히터 전극층에의 복수의 인가 전력 각각을 제어하도록 구성되고,

상기 검지 회로는, 상기 복수의 저항층에 걸리는 복수의 전압값 각각을 검지하도록 구성되어 있는,

기판 처리 장치.

청구항 12

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 적어도 하나의 저항층은, 복수의 층을 포함하고,

상기 복수의 층은, 상기 정전 척 내에서 상기 지지면과 상기 기대 사이에서 적층되어 있으며, 직렬 접속되어 있는,

기판 처리 장치.

청구항 13

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 정전 척은, 적어도 하나의 고주파 전극층을 더 포함하고,

상기 적어도 하나의 고주파 전극층은, 상기 기대와 전기적으로 접속되어 있으며, 또한, 상기 정전 척 내에서 상기 적어도 하나의 히터 전극층 및 상기 적어도 하나의 저항층을 둘러싸고 있는,

기판 처리 장치.

청구항 14

제13항에 있어서,

해당 기판 처리 장치는, 상기 기대와 전기적으로 접속된 고주파 전원을 더 구비하는, 기판 처리 장치.

청구항 15

제13항에 있어서,

상기 정전 척은, 정전 전극을 더 포함하고,

상기 정전 전극은, 상기 지지면과 상기 적어도 하나의 고주파 전극층 사이에서 연장되어 있는, 기판 처리 장치.

청구항 16

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 검지 회로는,

상기 적어도 하나의 저항층과 해당 적어도 하나의 저항층에 직렬 접속된 기준 저항을 포함하는 저항 분압 회로와,

상기 적어도 하나의 저항층에 걸리는 전압을 디지털값으로 변환하는 A/D 변환기

를 포함하는, 기판 처리 장치.

청구항 17

제16항에 있어서,

상기 A/D 변환기는, 상기 적어도 하나의 저항층의 일단부에 접속되어 있으며,

상기 적어도 하나의 저항층의 상기 일단부는, 상기 기준 저항에 접속되어 있는,

기판 처리 장치.

청구항 18

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 검지 회로는,

상기 적어도 하나의 저항층에 접속된 정전류원과,

상기 적어도 하나의 저항층에 걸리는 전압을 디지털값으로 변환하는 A/D 변환기

를 포함하는, 기판 처리 장치.

청구항 19

제18항에 있어서,

상기 A/D 변환기는, 상기 정전류원에 접속된 상기 적어도 하나의 저항층의 일단부에 접속되어 있는, 기판 처리 장치.

발명의 설명

기 술 분 야

[0001] 본 개시의 예시적 실시 형태는, 기판 처리 장치에 관한 것이다.

배 경 기 술

[0002] 기판 처리 장치가, 기판에 대한 기판 처리에 있어서 사용되고 있다. 기판 처리 장치는, 챔버, 챔버 내에 배치되는 기대, 및 기대 위에 배치되는 정전 척을 구비한다. 하기의 특허문헌 1에서는, 정전 척 내에 히터가 배치되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허 공개 제2021-163902호 공보

발명의 내용

해결하려는 과제

[0004] 본 개시는, 정전 척의 온도를 특정하는 기술을 제공한다.

과제의 해결 수단

[0005] 하나의 예시적 실시 형태에 있어서, 기판 처리 장치가 제공된다. 기판 처리 장치는, 챔버, 기대, 정전 척, 제어 회로, 및 검지 회로를 구비한다. 챔버는, 그 내부에 있어서 처리 공간을 제공한다. 기대는, 처리 공간 내에 배치되어 있다. 기대는, 그 내부에 있어서 내부 공간을 제공한다. 정전 척은, 기대 위에 배치되어 있다. 정전 척은, 유전체 부재, 적어도 하나의 히터 전극층, 및 적어도 하나의 저항층을 포함한다. 유전체 부재는, 지지면을 갖는다. 지지면은, 기판 지지면을 포함한다. 적어도 하나의 히터 전극층은, 유전체 부재 중에 배치되어 있다. 적어도 하나의 히터 전극층은, 제1 재료로 형성되어 있다. 적어도 하나의 저항층은, 유전체 부재 중에 배치되어 있다. 적어도 하나의 저항층은, 제2 재료로 형성되어 있다. 적어도 하나의 저항층은, 300㎛ 이하의 두께를 갖는 적어도 하나의 저항층이다. 제2 재료의 저항 온도 계수는, 제1 재료의 저항 온도 계수 이상이다. 제어 회로는, 내부 공간 내에 배치되어 있다. 제어 회로는, 적어도 하나의 히터 전극층에의 인가 전력을 제어하도록 구성되어 있다. 검지 회로는, 내부 공간 내에 배치되어 있다. 검지 회로는, 적어도 하나의 저항층에 걸리는 전압을 검지하도록 구성되어 있다.

발명의 효과

[0006] 하나의 예시적 실시 형태에 따르면, 정전 척의 온도를 특정하는 기술이 제공된다.

도면의 간단한 설명

[0007] 도 1은 플라스마 처리 시스템의 구성예를 설명하기 위한 도면이다.

도 2는 용량 결합형의 플라스마 처리 장치의 구성예를 설명하기 위한 도면이다.

도 3은 하나의 예시적 실시 형태에 관한 기판 지지부의 부분 확대 단면도이다.

도 4는 하나의 예시적 실시 형태에 관한 정전 척의 구성을 도시하는 분해 사시도이다.

도 5는 하나의 예시적 실시 형태에 관한 검지 회로의 구성을 도시하는 도면이다.

도 6은 하나의 예시적 실시 형태에 관한 정전 척의 복수의 존의 구성을 도시하는 평면도이다.

도 7은 다른 예시적 실시 형태에 관한 정전 척의 부분 확대 단면도이다.

도 8은 또 다른 예시적 실시 형태에 관한 정전 척의 부분 확대 단면도이다.

도 9는 또 다른 예시적 실시 형태에 관한 정전 척의 부분 확대 단면도이다.

도 10은 또 다른 예시적 실시 형태에 관한 정전 척의 부분 확대 단면도이다.

도 11은 또 다른 예시적 실시 형태에 관한 정전 척의 부분 확대 단면도이다.

도 12는 다른 예시적 실시 형태에 관한 검지 회로의 구성을 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이하, 도면을 참조하여 여러가지 예시적 실시 형태에 대하여 상세하게 설명한다. 또한, 각 도면에 있어서 동일 또는 상당의 부분에 대해서는 동일한 부호를 붙이는 것으로 한다.

[0009] 도 1 및 도 2를 참조하여, 하나의 예시적 실시 형태에 관한 기판 처리 장치인 플라스마 처리 장치에 대하여 설명한다.

[0010] 도 1은 플라스마 처리 시스템의 구성예를 설명하기 위한 도면이다. 일 실시 형태에 있어서, 플라스마 처리 시스템은, 플라스마 처리 장치(1) 및 제어부(2)를 포함한다. 플라스마 처리 시스템은, 기판 처리 시스템의 일례이며, 플라스마 처리 장치(1)는, 기판 처리 장치의 일례이다. 플라스마 처리 장치(1)는, 플라스마 처리 챔버(10), 기판 지지부(11) 및 플라스마 생성부(12)를 포함한다. 플라스마 처리 챔버(10)는, 플라스마 처리 공간을 갖는다. 또한, 플라스마 처리 챔버(10)는, 적어도 하나의 처리 가스를 플라스마 처리 공간에 공급하기 위한 적어도 하나의 가스 공급구와, 플라스마 처리 공간으로부터 가스를 배출하기 위한 적어도 하나의 가스 배출구를 갖는다. 가스 공급구는, 후술하는 가스 공급부(20)에 접속되고, 가스 배출구는, 후술하는 배기 시스템(40)에 접속된다. 기판 지지부(11)는, 플라스마 처리 공간 내에 배치되고, 기판을 지지하기 위한 기판 지지면을 갖는다.

[0011] 플라스마 생성부(12)는, 플라스마 처리 공간 내에 공급된 적어도 하나의 처리 가스로부터 플라스마를 생성하도록 구성된다. 플라스마 처리 공간에 있어서 형성되는 플라스마는, 용량 결합 플라스마(CCP: Capacitively Coupled Plasma), 유도 결합 플라스마(ICP: Inductively Coupled Plasma), ECR 플라스마(Electron-Cyclotron-Resonance Plasma), 헬리콘파 여기 플라스마(HWP: Helicon Wave Plasma), 또는, 표면파 플라스마(SWP: Surface Wave Plasma) 등이어도 된다. 또한, AC(Alternating Current) 플라스마 생성부 및 DC(Direct Current) 플라스마 생성부를 포함하는, 다양한 타입의 플라스마 생성부가 사용되어도 된다. 일 실시 형태에 있어서, AC 플라스마 생성부에서 사용되는 AC 신호(AC 전력)는, 100kHz 내지 10GHz의 범위 내의 주파수를 갖는다. 따라서, AC 신호는, RF(Radio Frequency) 신호 및 마이크로파 신호를 포함한다. 일 실시 형태에 있어서, RF 신호는, 100kHz 내지 150MHz의 범위 내의 주파수를 갖는다.

[0012] 제어부(2)는, 본 개시에 있어서 설명되는 여러가지 공정을 플라스마 처리 장치(1)에 실행시키는 컴퓨터 실행 가능한 명령을 처리한다. 제어부(2)는, 여기에서 설명되는 여러가지 공정을 실행하도록 플라스마 처리 장치(1)의 각 요소를 제어하도록 구성될 수 있다. 일 실시 형태에 있어서, 제어부(2)의 일부 또는 모두가 플라스마 처리

장치(1)에 포함되어도 된다. 제어부(2)는, 처리부(2a1), 기억부(2a2) 및 통신 인터페이스(2a3)를 포함해도 된다. 제어부(2)는, 예를 들어 컴퓨터(2a)에 의해 실현된다. 처리부(2a1)는, 기억부(2a2)로부터 프로그램을 읽어내고, 읽어내진 프로그램을 실행함으로써 여러가지의 제어 동작을 행하도록 구성될 수 있다. 이 프로그램은, 미리 기억부(2a2)에 저장되어 있어도 되고, 필요할 때, 매체를 통해 취득되어도 된다. 취득된 프로그램은, 기억부(2a2)에 저장되고, 처리부(2a1)에 의해 기억부(2a2)로부터 읽어내져 실행된다. 매체는, 컴퓨터(2a)로 판독 가능한 여러가지 기억 매체여도 되고, 통신 인터페이스(2a3)에 접속되어 있는 통신 회선이어도 된다. 처리부(2a1)는, CPU(Central Processing Unit)여도 된다. 기억부(2a2)는, RAM(Random Access Memory), ROM(Read Only Memory), HDD(Hard Disk Drive), SSD(Solid State Drive), 또는 이들의 조합을 포함해도 된다. 통신 인터페이스(2a3)는, LAN(Local Area Network) 등의 통신 회선을 통해 플라스마 처리 장치(1)와의 사이에서 통신해도 된다.

[0013] 이상, 여러가지 예시적 실시 형태에 대하여 설명해 왔지만, 상술한 예시적 실시 형태에 한정되지 않고, 여러가지 추가, 생략, 치환, 및 변경이 이루어져도 된다. 또한, 다른 실시 형태에 있어서의 요소를 조합하여 다른 실시 형태를 형성하는 것이 가능하다.

[0014] 이하에, 플라스마 처리 장치(1)의 일례로서의 용량 결합형의 플라스마 처리 장치의 구성예에 대하여 설명한다. 도 2는 용량 결합형의 플라스마 처리 장치의 구성예를 설명하기 위한 도면이다.

[0015] 용량 결합형의 플라스마 처리 장치(1)는, 플라스마 처리 챔버(10), 가스 공급부(20), 전원(30) 및 배기 시스템(40)을 포함한다. 또한, 플라스마 처리 장치(1)는, 기판 지지부(11) 및 가스 도입부를 포함한다. 가스 도입부는, 적어도 하나의 처리 가스를 플라스마 처리 챔버(10) 내에 도입하도록 구성된다. 가스 도입부는, 샤워 헤드(13)를 포함한다. 기판 지지부(11)는, 플라스마 처리 챔버(10) 내에 배치된다. 샤워 헤드(13)는, 기판 지지부(11)의 상방에 배치된다. 일 실시 형태에 있어서, 샤워 헤드(13)는, 플라스마 처리 챔버(10)의 천장부(ceiling)의 적어도 일부를 구성한다. 플라스마 처리 챔버(10)는, 샤워 헤드(13), 플라스마 처리 챔버(10)의 측벽(10a) 및 기판 지지부(11)에 의해 규정된 플라스마 처리 공간(10s)을 갖는다. 플라스마 처리 챔버(10)는 접지된다. 샤워 헤드(13) 및 기판 지지부(11)는, 플라스마 처리 챔버(10)의 하우징과는 전기적으로 절연된다.

[0016] 기판 지지부(11)는, 본체부(111) 및 링 어셈블리(112)를 포함한다. 본체부(111)는, 기판 W를 지지하기 위한 중앙 영역(111a)과, 링 어셈블리(112)를 지지하기 위한 환상 영역(111b)을 갖는다. 웨이퍼는 기판 W의 일례이다. 본체부(111)의 환상 영역(111b)은, 평면으로 보아 본체부(111)의 중앙 영역(111a)을 둘러싸고 있다. 기판 W는, 본체부(111)의 중앙 영역(111a) 위에 배치되고, 링 어셈블리(112)는, 본체부(111)의 중앙 영역(111a) 위의 기판 W를 둘러싸도록 본체부(111)의 환상 영역(111b) 위에 배치된다. 따라서, 중앙 영역(111a)은, 기판 W를 지지하기 위한 기판 지지면으로도 불리고, 환상 영역(111b)은, 링 어셈블리(112)를 지지하기 위한 링 지지면으로도 불린다.

[0017] 일 실시 형태에 있어서, 본체부(111)는, 기대(5) 및 정전 척(6)을 포함한다. 기대(5)는, 도전성 부재를 포함한다. 기대(5)의 도전성 부재는 하부 전극으로서 기능할 수 있다. 정전 척(6)은, 기대(5)의 위에 배치된다. 정전 척(6)은, 세라믹 부재(1111a)와 세라믹 부재(1111a) 내에 배치되는 정전 전극(1111b)을 포함한다. 세라믹 부재(1111a)는, 중앙 영역(111a)을 갖는다. 일 실시 형태에 있어서, 세라믹 부재(1111a)는, 환상 영역(111b)도 갖는다. 또한, 환상 정전 척이나 환상 절연 부재와 같은, 정전 척(6)을 둘러싸는 다른 부재가 환상 영역(111b)을 가져도 된다. 이 경우, 링 어셈블리(112)는, 환상 정전 척 또는 환상 절연 부재의 위에 배치되어도 되고, 정전 척(6)과 환상 절연 부재의 양쪽의 위에 배치되어도 된다. 또한, 후술하는 RF 전원(31) 및/또는 DC 전원(32)에 결합되는 적어도 하나의 RF/DC 전극이 세라믹 부재(1111a) 내에 배치되어도 된다. 이 경우, 적어도 하나의 RF/DC 전극이 하부 전극으로서 기능한다. 후술하는 바이어스 RF 신호 및/또는 DC 신호가 적어도 하나의 RF/DC 전극에 공급되는 경우, RF/DC 전극은 바이어스 전극으로도 불린다. 또한, 기대(5)의 도전성 부재와 적어도 하나의 RF/DC 전극이 복수의 하부 전극으로서 기능해도 된다. 또한, 정전 전극(1111b)이 하부 전극으로서 기능해도 된다. 따라서, 기판 지지부(11)는, 적어도 하나의 하부 전극을 포함한다.

[0018] 링 어셈블리(112)는, 1개 또는 복수의 환상 부재를 포함한다. 일 실시 형태에 있어서, 1개 또는 복수의 환상 부재는, 1개 또는 복수의 에지 링과 적어도 하나의 커버링을 포함한다. 에지 링은, 도전성 재료 또는 절연 재료로 형성되고, 커버링은, 절연 재료로 형성된다.

[0019] 또한, 기판 지지부(11)는, 정전 척(6), 링 어셈블리(112) 및 기판 중 적어도 하나를 타깃 온도로 조절하도록 구성되는 온도 조절 모듈을 포함해도 된다. 온도 조절 모듈은, 히터, 전열 매체, 유로(1110a), 또는 이들의 조합을 포함해도 된다. 유로(1110a)에는, 브라인이나 가스와 같은 전열 유체가 흐른다. 일 실시 형태에 있어서,

유로(1110a)가 기대(5) 내에 형성되고, 1개 또는 복수의 히터가 정전 척(6)의 세라믹 부재(1111a) 내에 배치된다. 또한, 기판 지지부(11)는, 기판 W의 이면과 중앙 영역(111a) 사이의 간극에 전열 가스를 공급하도록 구성된 전열 가스 공급부를 포함해도 된다.

[0020] 샤워 헤드(13)는, 가스 공급부(20)로부터의 적어도 하나의 처리 가스를 플라스마 처리 공간(10s) 내에 도입하도록 구성된다. 샤워 헤드(13)는, 적어도 하나의 가스 공급구(13a), 적어도 하나의 가스 확산실(13b), 및 복수의 가스 도입구(13c)를 갖는다. 가스 공급구(13a)에 공급된 처리 가스는, 가스 확산실(13b)를 통과하여 복수의 가스 도입구(13c)로부터 플라스마 처리 공간(10s) 내에 도입된다. 또한, 샤워 헤드(13)는, 적어도 하나의 상부 전극을 포함한다. 또한, 가스 도입부는, 샤워 헤드(13)에 더해, 측벽(10a)에 형성된 1개 또는 복수의 개구부에 설치되는 1개 또는 복수의 사이드 가스 주입부(SGI: Side Gas Injector)를 포함해도 된다.

[0021] 가스 공급부(20)는, 적어도 하나의 가스 소스(21) 및 적어도 하나의 유량 제어기(22)를 포함해도 된다. 일 실시 형태에 있어서, 가스 공급부(20)는, 적어도 하나의 처리 가스를, 각각에 대응하는 가스 소스(21)로부터 각각에 대응하는 유량 제어기(22)를 통해 샤워 헤드(13)에 공급하도록 구성된다. 각 유량 제어기(22)는, 예를 들어 매스 플로 컨트롤러 또는 압력 제어식의 유량 제어기를 포함해도 된다. 가스 공급부(20)는, 적어도 하나의 처리 가스의 유량을 변조 또는 펄스화하는 적어도 하나의 유량 변조 디바이스를 더 포함해도 된다.

[0022] 전원(30)은, 적어도 하나의 임피던스 정합 회로를 통해 플라스마 처리 챔버(10)에 결합되는 RF 전원(31)을 포함한다. RF 전원(31)은, 적어도 하나의 RF 신호(RF 전력)를 적어도 하나의 하부 전극 및/또는 적어도 하나의 상부 전극에 공급하도록 구성된다. 이에 의해, 플라스마 처리 공간(10s)에 공급된 적어도 하나의 처리 가스로부터 플라스마가 형성된다. 따라서, RF 전원(31)은, 플라스마 생성부(12)의 적어도 일부로서 기능할 수 있다. 또한, 바이어스 RF 신호를 적어도 하나의 하부 전극에 공급함으로써, 기판 W에 바이어스 전위가 발생하고, 형성된 플라스마 중의 이온 성분을 기판 W에 인입할 수 있다.

[0023] 일 실시 형태에 있어서, RF 전원(31)은, 제1 RF 생성부(31a) 및 제2 RF 생성부(31b)를 포함한다. 제1 RF 생성부(31a)는, 적어도 하나의 임피던스 정합 회로를 통해 적어도 하나의 하부 전극 및/또는 적어도 하나의 상부 전극에 결합되어, 플라스마 생성용의 소스 RF 신호(소스 RF 전력)를 생성하도록 구성된다. 일 실시 형태에 있어서, 소스 RF 신호는, 10MHz 내지 150MHz의 범위 내의 주파수를 갖는다. 일 실시 형태에 있어서, 제1 RF 생성부(31a)는, 다른 주파수를 갖는 복수의 소스 RF 신호를 생성하도록 구성되어도 된다. 생성된 1개 또는 복수의 소스 RF 신호는, 적어도 하나의 하부 전극 및/또는 적어도 하나의 상부 전극에 공급된다.

[0024] 제2 RF 생성부(31b)는, 적어도 하나의 임피던스 정합 회로를 통해 적어도 하나의 하부 전극에 결합되고, 바이어스 RF 신호(바이어스 RF 전력)를 생성하도록 구성된다. 바이어스 RF 신호의 주파수는, 소스 RF 신호의 주파수와 같아도 달라도 된다. 일 실시 형태에 있어서, 바이어스 RF 신호는, 소스 RF 신호의 주파수보다도 낮은 주파수를 갖는다. 일 실시 형태에 있어서, 바이어스 RF 신호는, 100kHz 내지 60MHz의 범위 내의 주파수를 갖는다. 일 실시 형태에 있어서, 제2 RF 생성부(31b)는, 다른 주파수를 갖는 복수의 바이어스 RF 신호를 생성하도록 구성되어도 된다. 생성된 1개 또는 복수의 바이어스 RF 신호는, 적어도 하나의 하부 전극에 공급된다. 또한, 여러가지 실시 형태에 있어서, 소스 RF 신호 및 바이어스 RF 신호 중 적어도 하나가 펄스화되어도 된다.

[0025] 또한, 전원(30)은, 플라스마 처리 챔버(10)에 결합되는 DC 전원(32)을 포함해도 된다. DC 전원(32)은, 제1 DC 생성부(32a) 및 제2 DC 생성부(32b)를 포함한다. 일 실시 형태에 있어서, 제1 DC 생성부(32a)는, 적어도 하나의 하부 전극에 접속되어, 제1 DC 신호를 생성하도록 구성된다. 생성된 제1 DC 신호는, 적어도 하나의 하부 전극에 인가된다. 일 실시 형태에 있어서, 제2 DC 생성부(32b)는, 적어도 1개의 상부 전극에 접속되어, 제2 DC 신호를 생성하도록 구성된다. 생성된 제2 DC 신호는, 적어도 하나의 상부 전극에 인가된다.

[0026] 여러가지 실시 형태에 있어서, 제1 및 제2 DC 신호가 펄스화되어도 된다. 이 경우, 전압 펄스의 시퀀스가 적어도 하나의 하부 전극 및/또는 적어도 하나의 상부 전극에 인가된다. 전압 펄스는, 직사각형, 사다리꼴, 삼각형 또는 이들의 조합의 펄스 파형을 가져도 된다. 일 실시 형태에 있어서, DC 신호로부터 전압 펄스의 시퀀스를 생성하기 위한 파형 생성부가 제1 DC 생성부(32a)와 적어도 하나의 하부 전극 사이에 접속된다. 따라서, 제1 DC 생성부(32a) 및 파형 생성부는, 전압 펄스 생성부를 구성한다. 제2 DC 생성부(32b) 및 파형 생성부가 전압 펄스 생성부를 구성하는 경우, 전압 펄스 생성부는, 적어도 하나의 상부 전극에 접속된다. 전압 펄스는, 정의 극성을 가져도 되고, 부의 극성을 가져도 된다. 또한, 전압 펄스의 시퀀스는, 1주기 내에 1개 또는 복수의 정극성 전압 펄스와 1개 또는 복수의 부극성 전압 펄스를 포함해도 된다. 또한, 제1 및 제2 DC 생성부(32a, 32b)는, RF 전원(31)에 더해 마련되어도 되고, 제1 DC 생성부(32a)가 제2 RF 생성부(31b)를 대신하여 마련되어도 된다.

[0027] 배기 시스템(40)은, 예를 들어 플라스마 처리 챔버(10)의 저부에 마련된 가스 배출구(10e)에 접속될 수 있다. 배기 시스템(40)은, 압력 조정 밸브 및 진공 펌프를 포함해도 된다. 압력 조정 밸브에 의해, 플라스마 처리 공간(10s) 내의 압력이 조정된다. 진공 펌프는, 터보 분자 펌프, 드라이 펌프 또는 이들의 조합을 포함해도 된다.

[0028] 이하, 도 3 내지 도 6을 참조하여, 일 실시 형태에 관한 플라스마 처리 장치에 대하여 설명한다. 도 3은 하나의 예시적 실시 형태에 관한 기판 지지부의 부분 확대 단면도이다. 상술한 바와 같이, 플라스마 처리 장치(1)는, 챔버(10), 기대(5), 및 정전 척(6)을 구비한다. 챔버(10)는, 그 내부에 있어서 처리 공간(10s)을 제공한다. 기대(5)는, 처리 공간(10s) 내에 배치되어 있다. 기대(5)는, 그 내부에 있어서 내부 공간(5s)을 제공한다.

[0029] 정전 척(6)은, 기대(5) 위에 배치되어 있다. 일례에 있어서, 정전 척(6)은, 단열 부재(접착층)(51)를 통해 기대(5) 위에 배치되어 있어도 된다. 단열 부재(51)는, 예를 들어, 실리콘으로 형성된다. 정전 척(6)은, 유전체 부재(61), 적어도 하나의 히터 전극층, 및 적어도 하나의 저항층을 포함한다. 적어도 하나의 저항층은, 300㎛ 이하의 두께를 갖는다. 일 실시 형태에 있어서, 적어도 하나의 저항층은, 100㎛ 이하의 두께를 가져도 된다.

[0030] 이하, 복수의 히터 전극층(62) 및 복수의 저항층(63)을 구비하는 플라스마 처리 장치(1)에 대하여 설명하지만, 플라스마 처리 장치(1)는, 단일 히터 전극층 및 단일 저항층을 구비하고 있어도 된다. 복수의 저항층(63)의 각각은, 300㎛ 이하의 두께를 갖는다. 복수의 저항층(63)의 각각은, 100㎛ 이하의 두께를 가져도 된다.

[0031] 세라믹 부재(1111a)는, 유전체 부재(61)의 일례이다. 세라믹 부재(1111a)는, 용사에 의해 형성되어도 된다. 유전체 부재(61)는, 폴리이미드로 형성되어도 된다. 유전체 부재(61)는, 지지면(61a)을 갖는다. 지지면(61a)은, 유전체 부재(61) 및 정전 척(6)의 각각의 상면이다. 지지면(61a)은, 기판 지지면, 즉 중앙 영역(111a)을 포함한다. 지지면(61a)은, 링 지지면, 즉 환상 영역(111b)을 더 포함하고 있어도 된다.

[0032] 도 3에 나타낸 바와 같이, 복수의 히터 전극층(62)은, 유전체 부재(61) 내에 배치되어 있다. 복수의 저항층(63)은, 유전체 부재(61) 내에 배치되어 있다. 일 실시 형태에 있어서, 정전 척(6) 내에서의 두께 방향 D1에 있어서의 복수의 히터 전극층(62)의 위치는, 두께 방향 D1에 있어서의 복수의 저항층(63)의 위치와는 다르다. 일례에 있어서, 정전 척(6) 내에서의 두께 방향 D1에 있어서의 복수의 히터 전극층(62)의 위치는, 지지면(61a)으로부터 정전 척(6)의 두께의 6/7의 위치, 또는 지지면(61a)으로부터 정전 척(6)의 두께의 6/7보다도 지지면(61a)에 가까운 위치이다. 일 실시 형태에 있어서, 복수의 히터 전극층(62)은, 복수의 저항층(63)과 지지면(61a) 사이에서 연장되어 있어도 된다. 일례에 있어서, 정전 전극(1111b)은, 복수의 히터 전극층(62)과 지지면(61a) 사이에서 연장되어 있어도 된다.

[0033] 도 4는 하나의 예시적 실시 형태에 관한 정전 척의 구성을 도시하는 분해 사시도이다. 일례에 있어서, 유전체 부재(61)는, 적층된 복수의 유전체층(61b)으로 구성된다. 두께 방향 D1은, 복수의 유전체층(61b)의 적층 방향과 동일할 수 있다. 유전체층(61b)의 두께는, 예를 들어, 0.35㎜이다. 일례에 있어서, 복수의 히터 전극층(62) 및 복수의 저항층(63)은, 복수의 유전체층(61b) 중 2개의 유전체층 위에 각각 배치되어 있다. 2개의 유전체층은, 적층 방향에 있어서 인접하고 있어도 된다. 이 경우, 두께 방향 D1에 있어서의 복수의 히터 전극층(62)과 복수의 저항층(63) 사이의 거리는, 0.35㎜ 이상이다.

[0034] 도 4에 나타내는 바와 같이, 복수의 히터 전극층(62)의 각각은, 제1 단(62a) 및 제2 단(62b)을 포함하고 있어도 된다. 일례에 있어서, 복수의 히터 전극층(62)의 각각은, 복수의 유전체층(61b) 중 대응하는 유전체층 위에서 제1 단(62a)으로부터 제2 단(62b)까지 사행하는 것과 같이 연장되어 있다. 복수의 저항층(63)의 각각은, 제1 단(63a) 및 제2 단(63b)을 포함하고 있어도 된다. 일례에 있어서, 복수의 저항층(63)의 각각은, 복수의 유전체층(61b) 중 대응하는 유전체층 위에서 제1 단(63a)으로부터 제2 단(63b)까지 사행하는 것과 같이 연장되어 있다.

[0035] 복수의 히터 전극층(62)은, 제1 재료로 형성되어 있다. 일례에 있어서, 제1 재료는, 텅스텐, 구리, 은, 및 알루미늄으로 이루어지는 제1 군의 재료로부터 선택되는 적어도 하나의 재료를 포함한다. 복수의 저항층(63)은, 제2 재료로 형성되어 있다. 일례에 있어서, 제2 재료는, 텅스텐, 니켈, 몰리브덴, 및 백금으로부터 이루어지는 제2 군의 재료로부터 선택되는 적어도 하나의 재료를 포함한다.

[0036] 제2 재료의 저항 온도 계수는, 제1 재료의 저항 온도 계수 이상이다. 구체적으로는, 제1 재료 및 제2 재료는, 제1 군의 재료 및 제2 군의 재료로부터, 제2 재료의 저항 온도 계수가 제1 재료의 저항 온도 계수 이상이 되도록, 각각 선택된다. 일 실시 형태에 있어서, 제2 재료는, 텅스텐이어도 된다. 제1 재료 및 제2 재료는, 텅스

텐이어도 된다. 제1 재료는 구리여도 되고, 제2 재료는 텅스텐이어도 된다. 제1 재료는 텅스텐이어도 되고, 제2 재료는 니켈이어도 된다. 제1 재료는 은이어도 되고, 제2 재료는 몰리브덴이어도 된다. 제1 재료는 알루미늄이어도 되고, 제2 재료는 몰리브덴이어도 된다. 일 실시 형태에 있어서, 제2 재료의 저항 온도 계수는, 제1 재료의 저항 온도 계수보다 커도 된다.

[0037] 도 3에 나타낸 바와 같이, 플라스마 처리 장치(1)는, 제어 회로(7) 및 검지 회로(8)를 더 구비한다. 일례에 있어서, 제어 회로(7) 및 검지 회로(8)는, 서로 통신 가능하게 접속되어 있다. 제어 회로(7) 및 검지 회로(8)는, 제어부(2)와 통신 가능하게 접속되어도 된다. 제어 회로(7) 및 검지 회로(8)는, 제어부(2)의 일부여도 된다. 제어 회로(7)는, 내부 공간(5s) 안에 배치되어 있다. 제어 회로(7)는, 복수의 히터 전극층(62)의 각각에의 인가 전력을 제어하도록 구성되어 있다. 제어 회로(7)는, 제1 단(62a) 및 제2 단(62b)의 각각에 전기적으로 접속되어 있어도 된다.

[0038] 검지 회로(8)는, 내부 공간(5s) 안에 배치되어 있다. 검지 회로(8)는, 복수의 저항층(63)의 각각에 걸리는 전압을 검지하도록 구성되어 있다. 검지 회로(8)는, 제1 단(63a) 및 제2 단(63b)의 각각에 전기적으로 접속되어 있어도 된다.

[0039] 도 5는 하나의 예시적 실시 형태에 관한 검지 회로의 구성을 도시하는 도면이다. 일 실시 형태에 있어서, 검지 회로(8)는, 복수의 저항 분압 회로(81) 및 복수의 A/D 변환기(82)를 포함해도 된다. 도 5에 나타낸 바와 같이, 복수의 저항 분압 회로(81)의 각각은, 복수의 저항층(63) 중 대응하는 저항층(630) 및 기준 저항 R을 포함한다. 기준 저항 R은, 저항층(630)에 직렬 접속되어 있다. 기준 저항 R의 일단부는, 전원에 접속되어 있으며, 기준 저항 R의 타단부는, 저항층(630)의 일단부(예를 들어 제1 단(63a))에 접속되어 있다. 저항층(630)의 타단부(예를 들어 제2 단(63b))는, 접지 G에 접속되어 있다. 복수의 A/D 변환기(82)의 각각은, 대응하는 저항층(630)에 걸리는 전압을 디지털값으로 변환한다.

[0040] 일 실시 형태에 있어서, 복수의 A/D 변환기(82)의 각각은, 저항층(630)의 제1 단(63a)에 접속되어 있다. 제1 단(63a)은, 기준 저항 R에 접속되어 있다. 제2 단(63b)은, 접지 G에 접속되어 있어도 된다. 기준 저항 R 및 저항층(630)에는, 전원 전압이 인가된다. 저항층(630)에는, $R2/(R1+R2)\times Vin$의 전압이 가해진다. 여기서, R1은 기준 저항 R의 저항값, R2는 저항층(630)의 저항값, Vin은, 전원 전압이다. A/D 변환기(82)는, 저항층(630)에 걸리는 전압을 디지털값으로 변환한다. 일례에 있어서, 검지 회로(8)는, FPGA(83)(Field Programmable Gate Array)를 더 포함한다. FPGA(83)는, A/D 변환기(82)로부터 디지털값을 취득하고, 해당 디지털값을 통신 가능한 형식으로 출력한다.

[0041] 플라스마 처리 장치(1)에서는, 제어 회로(7)에 의해 제어되는 인가 전력에 따라서 복수의 히터 전극층(62)의 발열량이 제어된다. 복수의 히터 전극층(62)의 발열량에 따라, 정전 척(6)의 온도는 변화한다. 정전 척(6)의 온도가 변화하면, 유전체 부재(61) 내에 배치된 복수의 저항층(63) 중 대응하는 저항층(630)의 온도가 변화한다. 저항층(630)의 온도가 변화하면, 저항층(630)을 형성하고 있는 제2 재료의 저항 온도 계수에 비례하여, 저항층(630)의 저항값이 변화한다.

[0042] 복수의 저항 분압 회로(81)에 있어서, 정전 척(6)의 온도에 따라서 저항층(630)의 저항값이 변화하면, 저항층(630)에 걸리는 전압이 변화한다. 이에 의해, 저항층(630)에 걸리는 전압으로부터, 저항층(630)의 온도가 특정된다. 그러므로, 플라스마 처리 장치(1)에서는, 정전 척의 온도가 특정된다.

[0043] 일례에 있어서, 검지 회로(8)는, 저항층(630)에 걸리는 전압으로부터, 저항층(630)의 온도를 특정하도록 구성된다. 복수의 저항층(63)의 온도와 복수의 저항층(63)에 걸리는 전압의 각각의 관계는, 미리 부여되어 있어도 된다. 일례에 있어서, 검지 회로(8)는, 기준 저항 R의 저항값과 기준 전압을 기억한다. 다른 예에 있어서, 제어 회로(7)는, 저항층(630)에 걸리는 전압으로부터, 저항층(630)의 온도를 특정하도록 구성되어도 된다. 제어 회로(7)는, 검지 회로(8)로부터 저항층(630)에 걸리는 전압을 취득할 수 있다. 또 다른 예에 있어서, 제어부(2)는, 저항층(630)에 걸리는 전압으로부터, 저항층(630)의 온도를 특정하도록 구성되어도 된다.

[0044] 도 6은 하나의 예시적 실시 형태에 관한 정전 척의 복수의 존의 구성을 도시하는 평면도이다. 도 6은 두께 방향 D1으로부터 본 지지면(61a)을 나타내고 있다. 도 6의 예에서는, 지지면(61a)은, 두께 방향 D1으로부터 보아, 중심 축선 AX를 중심으로 하는 원 형상을 갖고 있다. 일 실시 형태에 있어서, 지지면(61a)은, 복수의 영역(61c)을 포함한다. 일례에 있어서, 중심 축선 AX에 대하여 동심의 영역은, 복수의 영역(61c) 중 1개 이상이 대응하는 영역을 포함한다. 복수의 영역(61c)은, 중심 축선 AX를 포함하는 복수의 부채형의 영역 및 중심 축선 AX를 중심으로 하는 복수의 부채꼴대형의 영역을 포함해도 된다. 정전 척(6)은, 복수의 영역(61c)을 각각 포함

하는 복수의 존(6a)을 포함한다. 도 6에 나타내는 바와 같이, 복수의 존(6a)은, 두께 방향 D1으로부터 보아 해당 복수의 존(6a)과 겹치는 복수의 영역(61c)을 각각 포함해도 된다. 도 6에 나타내는 예에서는, 정전 척(6)은 32개의 존을 포함하고 있지만, 이것에 한정되지 않는다. 정전 척(6)은, 32개 이상의 존을 포함해도 되고, 32개보다 적은 존을 포함하고 있어도 된다.

[0045] 이하, 도 3 및 도 6을 참조한다. 일 실시 형태에 있어서, 복수의 히터 전극층(62)은, 복수의 존(6a) 내에 각각 배치되어 있다. 복수의 저항층(63)은, 복수의 존(6a) 내에 각각 배치되어 있다. 제어 회로(7)는, 복수의 히터 전극층(62)에 각각에 인가하는 복수의 인가 전력을 제어하도록 구성되어 있다. 검지 회로(8)는, 복수의 저항층(63)에 각각 걸리는 복수의 전압값을 검지하도록 구성되어 있다.

[0046] 플라스마 처리 장치(1)에서는, 제어 회로(7)에 의해 제어되는 복수의 인가 전력에 따라서 복수의 히터 전극층(62)의 발열량이 각각 제어된다. 복수의 히터 전극층(62)의 발열량에 따라, 복수의 존(6a)의 온도는 각각 변화한다. 복수의 존(6a)의 온도가 각각 변화하면, 복수의 존(6a) 중 대응하는 존의 유전체 부재(61) 내에 배치된 저항층(630)의 온도가 변화한다. 저항층(630)의 온도가 변화하면, 저항층(630)을 형성하고 있는 제2 재료의 저항 온도 계수에 비례하여, 저항층(630)의 저항값이 변화한다.

[0047] 저항층(630)의 저항값이 변화하면, 저항층(630)에 걸리는 전압이 변화한다. 이에 의해, 저항층(630)에 걸리는 전압으로부터, 저항층(630)의 온도가 특정된다. 그러므로, 플라스마 처리 장치(1)에서는, 복수의 존(6a)의 온도가 각각 특정된다.

[0048] 이하, 도 7을 참조하여, 다른 실시 형태에 관한 플라스마 처리 장치의 정전 척의 구성에 대하여 설명한다. 도 7은 다른 예시적 실시 형태에 관한 정전 척의 부분 확대 단면도이다. 이하, 도 7에 나타내지는, 플라스마 처리 장치(1A)의 정전 척(6A)에 대하여, 플라스마 처리 장치(1)의 정전 척(6)에 대한 상위점의 관점에서 설명한다.

[0049] 플라스마 처리 장치(1A)에서는, 복수의 저항층(63)은, 복수의 히터 전극층(62)과 지지면(61a) 사이에서 연장되어 있다. 플라스마 처리 장치(1A)에 의하면, 복수의 저항층(63)이 복수의 히터 전극층(62)보다도 지지면(61a)의 근처에 설치되어 있기 때문에, 복수의 저항층(63)의 온도와 지지면(61a)의 온도의 차가 작다. 또한, 정전 전극(1111b)은, 복수의 저항층(63)과 지지면(61a) 사이에서 연장될 수 있다.

[0050] 이하, 도 8을 참조하여, 또 다른 실시 형태에 관한 플라스마 처리 장치의 정전 척의 구성에 대하여 설명한다. 도 8은 또 다른 예시적 실시 형태에 관한 정전 척의 부분 확대 단면도이다. 이하, 도 8에 나타내지는, 플라스마 처리 장치(1B)의 정전 척(6B)에 대하여, 플라스마 처리 장치(1A)의 정전 척(6A)에 대한 상위점의 관점에서 설명한다.

[0051] 정전 척(6B)은, 적어도 하나의 고주파 전극층을 포함한다. 도 8에 나타내는 예에 있어서는, 정전 척(6B)은, 복수의 고주파 전극층(64)을 포함한다. 복수의 고주파 전극층(64)은, 복수의 존(6a) 내에 각각 배치되어도 된다. 복수의 고주파 전극층(64)의 각각은, 기대(5)와 전기적으로 접속되어 있다. 복수의 고주파 전극층(64)은, 기대(5)를 형성하고 있는 재료와 같은 재료로 형성되어 있어도 된다. 일례에 있어서, 복수의 고주파 전극층(64)은, 알루미늄으로 형성된다. 일 실시 형태에 있어서, 플라스마 처리 장치(1B)는, 고주파 전원을 더 구비한다. 당해 고주파 전원은, 기대(5)와 전기적으로 접속되어 있다. RF 전원(31)은, 당해 고주파 전원의 일례이다.

[0052] 복수의 고주파 전극층(64)은, 정전 척(6B) 내에서 복수의 히터 전극층(62) 및 복수의 저항층(63)을 각각 둘러싸고 있다. 두께 방향 D1으로부터 보아, 복수의 히터 전극층(62) 및 복수의 저항층(63)은 복수의 고주파 전극층(64)에 각각 덮여 있어도 된다. 일 실시 형태에 있어서, 정전 전극(1111b)은, 지지면(61a)과 복수의 고주파 전극층(64) 사이에서 연장되어 있어도 된다.

[0053] 플라스마 처리 장치(1B)에서는, 복수의 고주파 전극층(64)이 기대(5)와 동전위이므로, 복수의 고주파 전극층(64)은, 하부 전극으로서 기능할 수 있다. 복수의 히터 전극층(62) 및 복수의 저항층(63)은, 기대(5)와 동일한 전위를 갖는 복수의 고주파 전극층(64)에 의해 둘러싸여 있다. 따라서, RF 신호(RF 전력)에 기인하는 RF 노이즈가, 복수의 저항층(63)에 가해지는 것이 억제된다.

[0054] 정전 척(6B)은, 단일 고주파 전극층을 포함해도 된다. 단일 고주파 전극층은, 복수의 존(6a)에 걸쳐 배치된다. 단일 고주파 전극층은, 정전 척(6B) 내에서 복수의 히터 전극층(62) 및 복수의 저항층(63)을 둘러싸고 있다. 두께 방향 D1으로부터 보아, 복수의 히터 전극층(62) 및 복수의 저항층(63)은, 단일 고주파 전극층에 덮여 있어도 된다.

[0055] 이하, 도 9를 참조하여, 또 다른 실시 형태에 관한 플라스마 처리 장치의 정전 척의 구성에 대하여 설명한다.

도 9는 또 다른 예시적 실시 형태에 관한 정전 척의 부분 확대 단면도이다. 이하, 도 9에 나타내지는, 플라스마 처리 장치(1C)의 정전 척(6C)에 대하여, 플라스마 처리 장치(1A)의 정전 척(6A)에 대한 상위점의 관점에서 설명한다.

[0056] 정전 척(6C)은, 복수의 저항층(63C)을 포함한다. 복수의 저항층(63C)의 각각은, 제1 저항층(631) 및 제2 저항층(632)을 포함한다. 제2 저항층(632)은, 제1 저항층(631)과 지지면(61a) 사이에서 연장되어 있다. 정전 전극(1111b)은, 제2 저항층(632)과 지지면(61a) 사이에서 연장되어 있어도 된다. 제어부(2)는, 제1 저항층(631)에 걸리는 제1 전압 및 제2 저항층(632)에 걸리는 제2 전압을 각각 검지하도록 구성된다. 검지 회로(8)는, 제1 저항층(631)에 걸리는 제1 전압 및 제2 저항층(632)에 걸리는 제2 전압을 각각 검지하도록 구성되어도 된다.

[0057] 일례에 있어서, 플라스마 처리 장치(1C)에서는, 검지 회로(8)는, 제1 저항층(631) 및 제2 저항층(632)에 각각 대응하는 복수의 저항 분압 회로(81) 및 복수의 A/D 변환기(82)를 포함한다.

[0058] 복수의 저항 분압 회로(81) 중 제1 저항층(631)에 대응하는 제1 저항 분압 회로는, 저항층(630) 및 기준 저항 R 대신에, 제1 저항층(631) 및 제1 기준 저항을 포함한다. 복수의 저항 분압 회로(81) 중 제2 저항층(632)에 대응하는 제2 저항 분압 회로는, 저항층(630) 및 기준 저항 R 대신에, 제2 저항층(632) 및 제2 기준 저항을 포함한다. 복수의 A/D 변환기(82) 중 제1 저항층(631)에 대응하는 제1 A/D 변환기는, 제1 저항층(631)에 걸리는 전압을 디지털값으로 변환한다. 복수의 A/D 변환기(82) 중 제2 저항층(632)에 대응하는 제2 A/D 변환기는, 제2 저항층(632)에 걸리는 전압을 디지털값으로 변환한다.

[0059] 제1 저항층(631)에는 제1 전압이 가해진다. 제2 저항층(632)에는 제2 전압이 가해진다. 제어부(2)는, 제1 전압 및 제2 전압으로부터, 제1 저항층(631)의 제1 온도 및 제2 저항층(632)의 제2 온도를 각각 특정하도록 구성된다. 다른 예에 있어서, 검지 회로(8) 또는 제어 회로(7)는, 제1 전압 및 제2 전압으로부터, 제1 저항층(631)의 제1 온도 및 제2 저항층(632)의 제2 온도를 각각 특정하도록 구성되어 있어도 된다.

[0060] 제어부(2)는, 제1 온도 T1(K), 제2 온도 T2(K), 유전체 부재(61)의 열전도율 S(W/(m·K)), 및 두께 방향 D1에 있어서의 제1 저항층(631)과 제2 저항층(632) 사이의 거리 L(m)에 기초하여, 지지면(61a)으로부터의 열유속 $q(W/m^2)$를 특정하도록 구성된다.

[0061] 일례에 있어서, 제어부(2)는, 열유속 q를 하기의 관계에 기초하여 특정한다.

[0062] $q=(T2-T1)/(L/S)$

[0063] 열전도율 S(W/(m·K)), 및 거리 L(m)은 미리 부여되어 있어도 된다. 일례에 있어서, 제어부(2)는, 열전도율 S(W/(m·K)), 및 거리 L(m)을 기억한다.

[0064] 이하, 도 10을 참조하여, 또 다른 실시 형태에 관한 플라스마 처리 장치의 정전 척의 구성에 대하여 설명한다. 도 10은 또 다른 예시적 실시 형태에 관한 정전 척의 부분 확대 단면도이다. 이하, 도 10에 나타내지는, 플라스마 처리 장치(1D)의 정전 척(6D)에 대하여, 플라스마 처리 장치(1)의 정전 척(6)에 대한 상위점의 관점에서 설명한다.

[0065] 정전 척(6D) 내에서의 두께 방향 D1에 있어서의 복수의 히터 전극층(62)의 위치는, 두께 방향 D1에 있어서의 복수의 저항층(63)의 위치와 같다. 일례에 있어서, 두께 방향 D1에 있어서의 지지면(61a)과 복수의 히터 전극층(62) 사이의 거리와, 두께 방향 D1에 있어서의 지지면(61a)과 복수의 저항층(63) 사이의 거리는, 서로 동등하다. 플라스마 처리 장치(1D)에서는, 정전 척(6D) 내에서의 두께 방향 D1에 있어서, 복수의 히터 전극층(62)과 복수의 저항층(63)은 동일 위치에 배치된다.

[0066] 이하, 도 11을 참조하여, 또 다른 실시 형태에 관한 플라스마 처리 장치의 정전 척의 구성에 대하여 설명한다. 도 11은 또 다른 예시적 실시 형태에 관한 정전 척의 부분 확대 단면도이다. 이하, 도 11에 나타내지는, 플라스마 처리 장치(1E)의 정전 척(6E)에 대하여, 플라스마 처리 장치(1)의 정전 척(6)에 대한 상위점의 관점에서 설명한다.

[0067] 정전 척(6E)은, 복수의 저항층(63E)을 포함한다. 복수의 저항층(63E)은, 복수의 층(63c)을 각각 포함한다. 일례에 있어서, 저항층(630)은, 복수의 층(63c)을 포함해도 된다. 복수의 층(63c)의 각각은, 저항층이다. 복수의 층(63c)은, 정전 척(6E) 내에 있어서, 지지면(61a)과 기대(5) 사이에서 적층되어 있다. 일례에 있어서, 복수의 층(63c)은, 기대(5)와 복수의 히터 전극층(62) 사이에서 적층되어 있다. 복수의 층(63c)은, 지지면(61a)과 복수의 히터 전극층(62) 사이에서 적층되어 있어도 된다. 복수의 층(63c)은, 직렬 접속되어 있다. 복수의

층(63c) 중 서로 인접하는 층은, 비아 홀에 의해 직렬 접속되어도 된다.

[0068] 이상, 여러가지 예시적 실시 형태에 대하여 설명해 왔지만, 상술한 예시적 실시 형태에 한정되지 않고, 여러가지 추가, 생략, 치환, 및 변경이 이루어져도 된다. 또한, 다른 실시 형태에 있어서의 요소를 조합하여 다른 실시 형태를 형성하는 것이 가능하다.

[0069] 다른 실시 형태에 있어서, 제어 회로(7) 및 검지 회로(8)는, 내부 공간(5s) 외에 배치되어 있어도 된다.

[0070] 도 12는 다른 예시적 실시 형태에 관한 검지 회로의 구성을 도시하는 도면이다. 도 12에 나타내는 바와 같이, 검지 회로(8)는, 기준 저항 R 대신에 정전류원 I를 포함해도 된다. 정전류원 I는, 저항층(630)에 접속된다. A/D 변환기(82)는, 저항층(630)에 걸리는 전압을 디지털값으로 변환한다. 일례에 있어서, 정전류원 I는, 저항층(630)의 일단부(예를 들어, 제1 단(63a))에 접속된다. 일 실시 형태에 있어서, A/D 변환기(82)는 정전류원 I에 접속된 일단부(제1 단(63a))에 접속된다. 이 경우에는, 저항층(630)의 저항값 변화에 따라서 저항층(630)에 인가되는 전류가 일정해지도록 저항층(630)에 인가되는 전압값이 변화한다.

[0071] 도 6의 실시 형태에서는, 복수의 존(6a) 중 적어도 하나의 존 내에, 복수의 저항층(63) 중 2개 이상의 저항층이 배치되어 있어도 된다. 적어도 하나의 존에 있어서, 2개 이상의 저항층이 각각 배치된 2개 이상의 부분의 온도가 특정된다. 2개 이상의 저항층은, 복수의 층(63c)을 각각 포함해도 된다.

[0072] 도 6의 실시 형태에서는, 복수의 저항층(63) 중 적어도 하나는, 복수의 존(6a) 중 2개 이상의 존에 걸쳐 배치되어 있어도 된다. 2개 이상의 존은, 서로 인접하고 있어도 된다. 복수의 존(6a) 중 2개 이상의 존의 온도는, 복수의 저항층(63) 중 적어도 하나의 저항층에 의해 특정된다.

[0073] 도 8의 실시 형태의 변형예에 대하여 설명한다. 복수의 고주파 전극층(64)은, 도 3에 나타내는 복수의 히터 전극층(62)이 복수의 저항층(63)과 지지면(61a) 사이에서 연장되어 있는 정전 척(6)에 적용되어도 된다. 복수의 고주파 전극층(64)은, 도 9에 나타내는 제1 저항층(631) 및 제2 저항층(632)을 포함하는 정전 척(6C)에 적용되어도 된다. 복수의 고주파 전극층(64)은, 도 10에 나타내는 정전 척(6D) 내에서의 두께 방향 D1에 있어서의 복수의 히터 전극층(62)의 위치가 두께 방향 D1에 있어서의 복수의 저항층(63)의 위치와 같은 정전 척(6D)에 적용되어도 된다.

[0074] 도 9의 실시 형태의 변형예에서는, 복수의 히터 전극층(62)이 복수의 저항층(63C)과 지지면(61a) 사이에서 연장되어 있어도 된다.

[0075] 여기서, 본 개시에 포함되는 여러가지 예시적 실시 형태를, 이하의 [E1] 내지 [E19]에 기재한다.

[0076] [E1]

[0077] 그 내부에 있어서 처리 공간을 제공하는 챔버와,

[0078] 상기 처리 공간 내에 배치되어 있고, 그 내부에 있어서 내부 공간을 제공하는 기대와,

[0079] 상기 기대 위에 배치된 정전 척이며,

[0080] 기판 지지면을 포함하는 지지면을 갖는 유전체 부재와,

[0081] 상기 유전체 부재 내에 배치되어 있으며, 제1 재료로 형성된 적어도 하나의 히터 전극층과,

[0082] 상기 유전체 부재 내에 배치되고, 제2 재료로 형성되어 있으며, 300㎛ 이하의 두께를 갖는 적어도 하나의 저항층이며, 해당 제2 재료의 저항 온도 계수는, 상기 제1 재료의 저항 온도 계수 이상인, 해당 적어도 하나의 저항층

[0083] 을 포함하는, 해당 정전 척과,

[0084] 상기 내부 공간 중에 배치되어 있으며, 상기 적어도 하나의 히터 전극층에의 인가 전력을 제어하도록 구성된 제어 회로와,

[0085] 상기 내부 공간 중에 배치되어 있으며, 상기 적어도 하나의 저항층에 걸리는 전압을 검지하도록 구성된 검지 회로

[0086] 를 구비하는 기판 처리 장치.

[0087] [E2]

[0088] 상기 제2 재료의 저항 온도 계수는, 상기 제1 재료의 저항 온도 계수보다 큰, [E1]에 기재된 기판 처리 장치.

[0089] [E3]

[0090] 상기 제2 재료는, 텅스텐인, [E1] 또는 [E2]에 기재된 기판 처리 장치.

[0091] [E4]

[0092] 상기 적어도 하나의 저항층의 상기 두께는, 100㎛ 이하인, [E1] 내지 [E3] 중 어느 한 항에 기재된 기판 처리 장치.

[0093] [E5]

[0094] 상기 정전 척 내에서의 두께 방향에 있어서의 상기 적어도 하나의 히터 전극층의 위치는, 해당 두께 방향에 있어서의 상기 적어도 하나의 저항층의 위치와는 다른, [E1] 내지 [E4] 중 어느 한 항에 기재된 기판 처리 장치.

[0095] [E6]

[0096] 상기 적어도 하나의 히터 전극층은, 상기 적어도 하나의 저항층과 상기 지지면 사이에서 연장되어 있는, [E5]에 기재된 기판 처리 장치.

[0097] [E7]

[0098] 상기 적어도 하나의 저항층은, 상기 적어도 하나의 히터 전극층과 상기 지지면 사이에서 연장되어 있는, [E5]에 기재된 기판 처리 장치.

[0099] [E8]

[0100] 상기 적어도 하나의 저항층은, 제1 저항층 및 제2 저항층을 포함하고,

[0101] 상기 제2 저항층은, 상기 제1 저항층과 상기 지지면 사이에서 연장되어 있으며,

[0102] 상기 검지 회로는, 상기 제1 저항층에 걸리는 제1 전압 및 상기 제2 저항층에 걸리는 제2 전압을 각각 검지하도록 구성되고,

[0103] 해당 기판 처리 장치는, 상기 제1 전압 및 상기 제2 전압으로부터 상기 제1 저항층의 제1 온도 및 상기 제2 저항층의 제2 온도를 각각 특정하도록 구성되는 제어부이며, 해당 제1 온도와, 해당 제2 온도와, 상기 유전체 부재의 열전도율과, 상기 두께 방향에 있어서의 해당 제1 저항층과 해당 제2 저항층 사이의 거리에 기초하여 상기 지지면에서의 열유속을 특정하도록 구성되는 해당 제어부를 더 구비하는, [E1] 내지 [E7] 중 어느 한 항에 기재된 기판 처리 장치.

[0104] [E9]

[0105] 상기 정전 척 내에서의 두께 방향에 있어서의 상기 적어도 하나의 히터 전극층의 위치는, 해당 두께 방향에 있어서의 상기 적어도 하나의 저항층의 위치와 같은, [E1] 내지 [E4], [E8] 중 어느 한 항에 기재된 기판 처리 장치.

[0106] [E10]

[0107] 상기 지지면은, 복수의 영역을 포함하고,

[0108] 상기 정전 척은, 상기 복수의 영역을 각각 포함하는 복수의 존을 포함하고,

[0109] 상기 적어도 하나의 히터 전극층은, 복수의 히터 전극층을 포함하고,

[0110] 상기 복수의 히터 전극층은, 상기 복수의 존 내에 각각 배치되어 있으며,

[0111] 상기 적어도 하나의 저항층은, 복수의 저항층을 포함하고,

[0112] 상기 복수의 저항층은, 상기 복수의 존 내에 각각 배치되어 있는 다른 적어도 하나의 저항층을 포함하고,

[0113] 상기 제어 회로는, 상기 복수의 히터 전극층에의 복수의 인가 전력 각각을 제어하도록 구성되고,

[0114] 상기 검지 회로는, 상기 복수의 저항층에 걸리는 복수의 전압값 각각을 검지하도록 구성되어 있는, [E1] 내지 [E9] 중 어느 한 항에 기재된 기판 처리 장치.

[0115] [E11]

[0116] 상기 지지면은, 복수의 영역을 포함하고,

[0117] 상기 정전 척은, 상기 복수의 영역을 각각 포함하는 복수의 존을 포함하고,

[0118] 상기 적어도 하나의 히터 전극층은, 복수의 히터 전극층을 포함하고,

[0119] 상기 복수의 히터 전극층은, 상기 복수의 존 내에 각각 배치되어 있으며,

[0120] 상기 적어도 하나의 저항층은, 복수의 저항층을 포함하고,

[0121] 상기 복수의 저항층은, 상기 복수의 존 중 2개 이상이 대응하는 존 내에 걸쳐 배치되어 있는 저항층을 포함하고,

[0122] 상기 제어 회로는, 상기 복수의 히터 전극층에의 복수의 인가 전력 각각을 제어하도록 구성되고,

[0123] 상기 검지 회로는, 상기 복수의 저항층에 걸리는 복수의 전압값 각각을 검지하도록 구성되어 있는, [E1] 내지 [E9] 중 어느 한 항에 기재된 기판 처리 장치.

[0124] [E12]

[0125] 상기 적어도 하나의 저항층은, 복수의 층을 포함하고,

[0126] 상기 복수의 층은, 상기 정전 척 내에 있어서 상기 지지면과 상기 기대 사이에서 적층되어 있으며, 직렬 접속되어 있는, [E1] 내지 [E11] 중 어느 한 항에 기재된 기판 처리 장치.

[0127] [E13]

[0128] 상기 정전 척은, 적어도 하나의 고주파 전극층을 더 포함하고,

[0129] 상기 적어도 하나의 고주파 전극층은, 상기 기대와 전기적으로 접속되어 있으며, 또한, 상기 정전 척 내에서 상기 적어도 하나의 히터 전극층 및 상기 적어도 하나의 저항층을 둘러싸고 있는, [E1] 내지 [E12] 중 어느 한 항에 기재된 기판 처리 장치.

[0130] [E14]

[0131] 해당 기판 처리 장치는, 상기 기대와 전기적으로 접속된 고주파 전원을 더 구비하는, [E13]에 기재된 기판 처리 장치.

[0132] [E15]

[0133] 상기 정전 척은, 정전 전극을 더 포함하고,

[0134] 상기 정전 전극은, 상기 지지면과 상기 적어도 하나의 고주파 전극층 사이에서 연장되어 있는, [E13]에 기재된 기판 처리 장치.

[0135] [E16]

[0136] 상기 검지 회로는,

[0137] 상기 적어도 하나의 저항층과 해당 적어도 하나의 저항층에 직렬 접속된 기준 저항을 포함하는 저항 분압 회로와,

[0138] 상기 적어도 하나의 저항층에 걸리는 전압을 디지털값으로 변환하는 A/D 변환기

[0139] 를 포함하는, [E1] 내지 [E15] 중 어느 한 항에 기재된 기판 처리 장치.

[0140] [E17]

[0141] 상기 A/D 변환기는, 상기 적어도 하나의 저항층의 일단부에 접속되어 있으며,

[0142] 상기 적어도 하나의 저항층의 상기 일단부는, 상기 기준 저항에 접속되어 있는, [E16]에 기재된 기판 처리 장치.

[0143] [E18]

[0144] 상기 검지 회로는,

[0145] 상기 적어도 하나의 저항층에 접속된 정전류원과,

[0146] 상기 적어도 하나의 저항층에 걸리는 전압을 디지털값으로 변환하는 A/D 변환기

[0147] 를 포함하는, [E1] 내지 [E15] 중 어느 한 항에 기재된 기판 처리 장치.

[0148] [E19]

[0149] 상기 A/D 변환기는, 상기 정전류원에 접속된 상기 적어도 하나의 저항층의 일단부에 접속되어 있는, [E18]에 기재된 기판 처리 장치.

[0150] 이상의 설명으로부터, 본 개시의 다양한 실시 형태는, 설명의 목적으로 본 명세서에서 설명되어 있으며, 본 개시의 범위 및 주지로부터 일탈하지 않고 다양한 변경을 이룰 수 있는 것이, 이해될 것이다. 따라서, 본 명세서에 개시한 여러가지 실시 형태는 한정하는 것을 의도하고 있지 않고, 참된 범위와 주지는, 첨부의 특허 청구 범위에 의해 나타내진다.

부호의 설명

[0151] 1: 플라스마 처리 장치

2: 제어부

5: 기대

5s: 내부 공간

6, 6A, 6B, 6C, 6D, 6E: 정전 척

6a: 복수의 존

7: 제어 회로

8: 검지 회로

10: 챔버

10s: 처리 공간

61: 유전체 부재

61a: 지지면

61c: 영역

62: 복수의 히터 전극층

63, 63C, 63E: 복수의 저항층

631: 제1 저항층

632: 제2 저항층

63c: 복수의 층

64: 고주파 전극층

81: 저항 분압 회로

82: A/D 변환기

1111b: 정전 전극

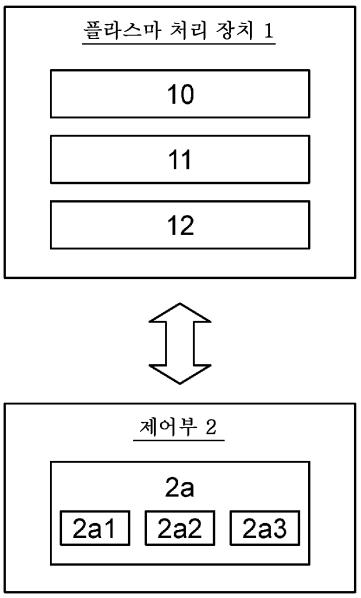
D1: 두께 방향

R: 기준 저항

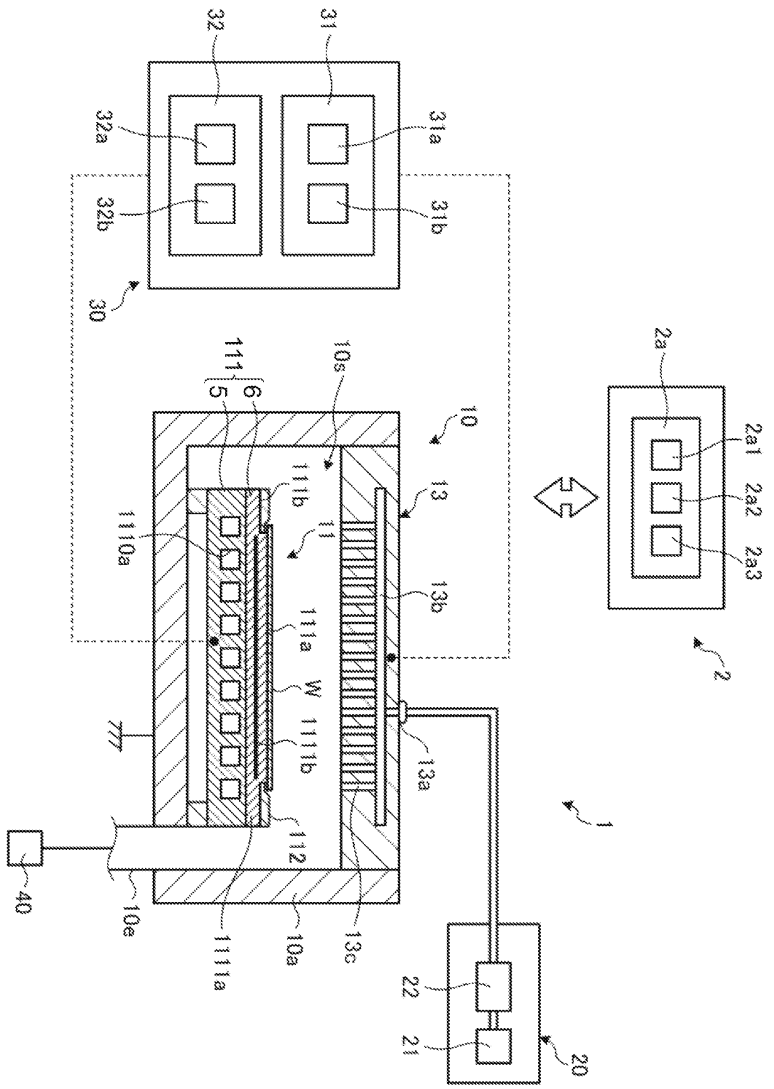
I: 정전류원

도면

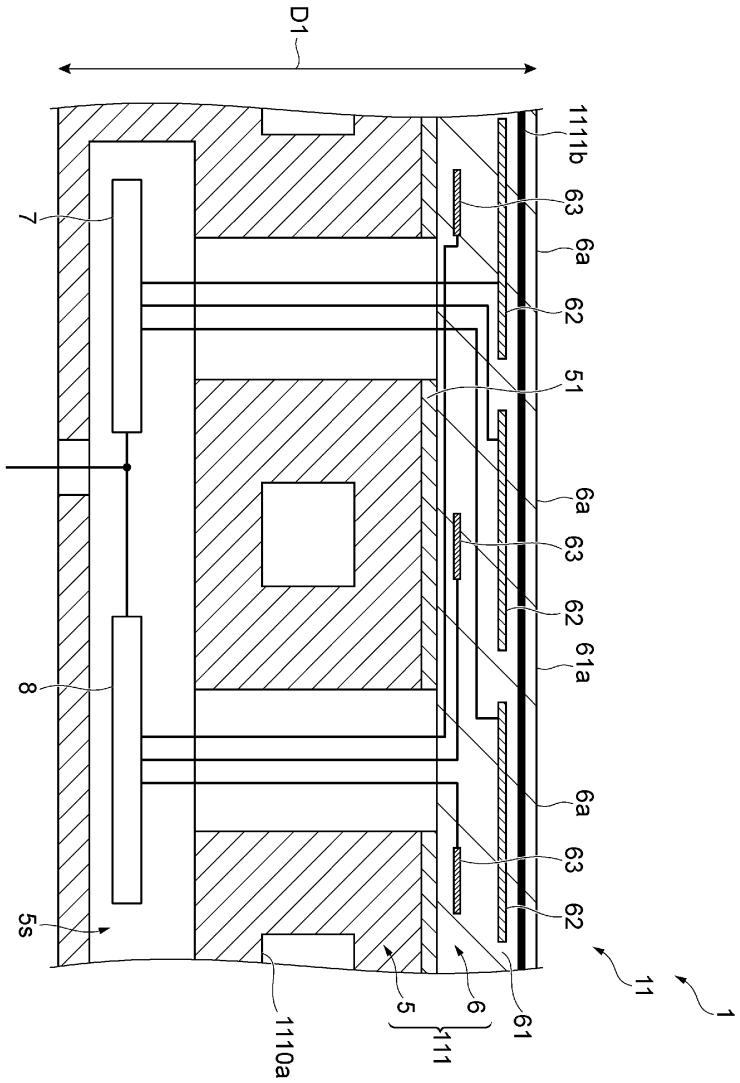
도면1



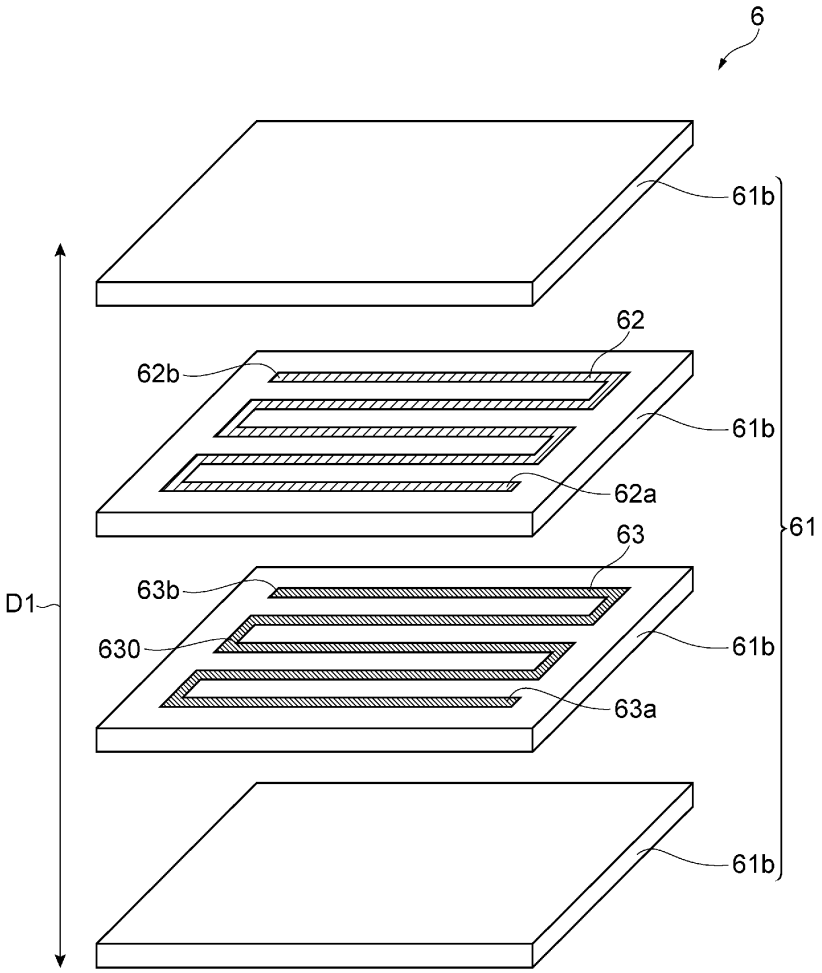
도면2


32
31
32a
31a
32b
31b
30
111
5
6
10s
10
13
111b
11
1110a
13b
111a
W
1111b
13a
1
112
40
10e
1111a
10a
13c
22
21
20
2a
2a1
2a2
2a3
2

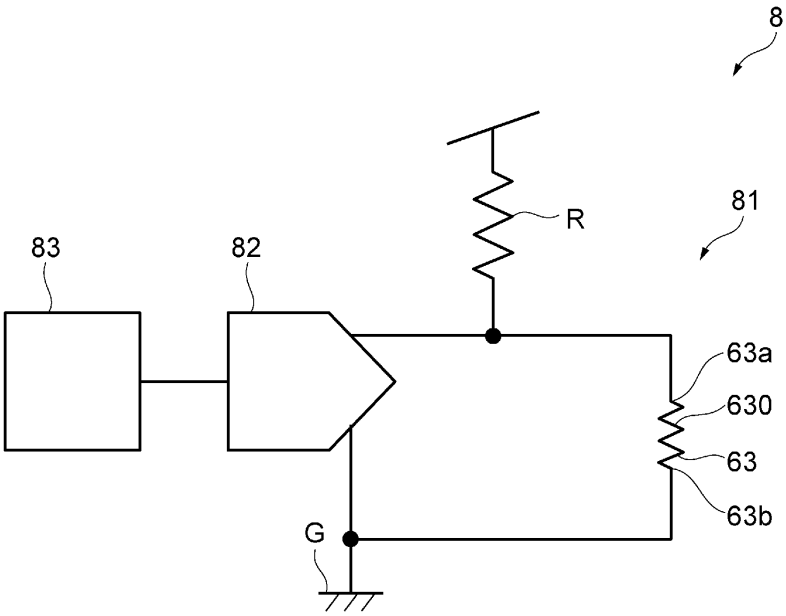
도면3



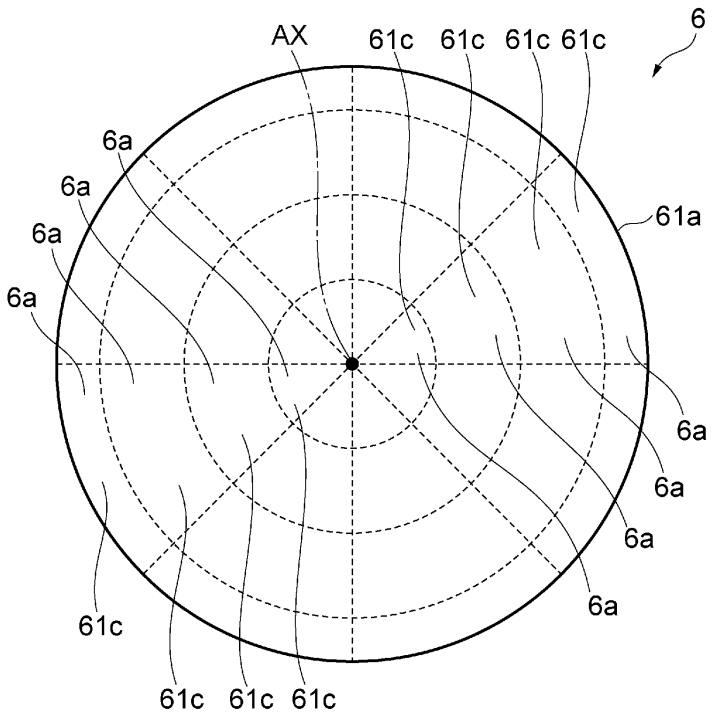
도면4


6
61b
62
62b
61b
62a
61
63
63b
D1
630
61b
63a
61b

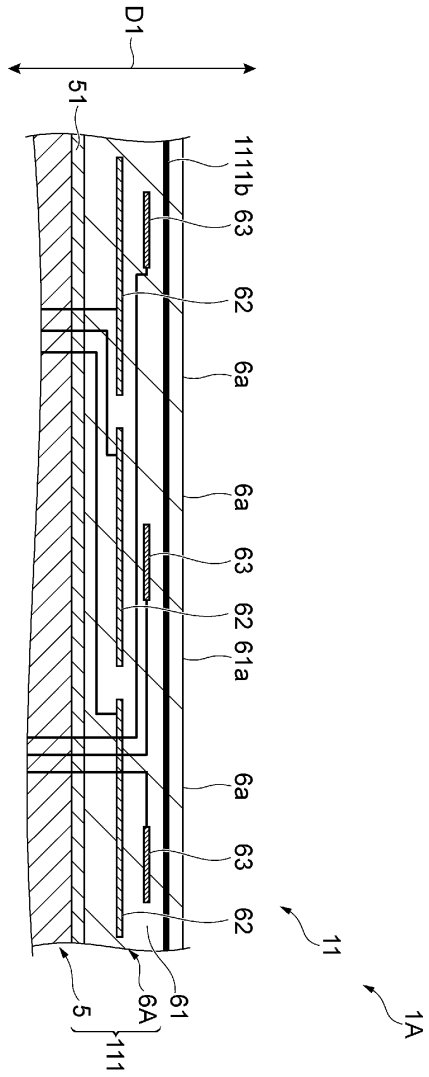
도면5


8
81
R
83
82
63a
630
63
63b
G

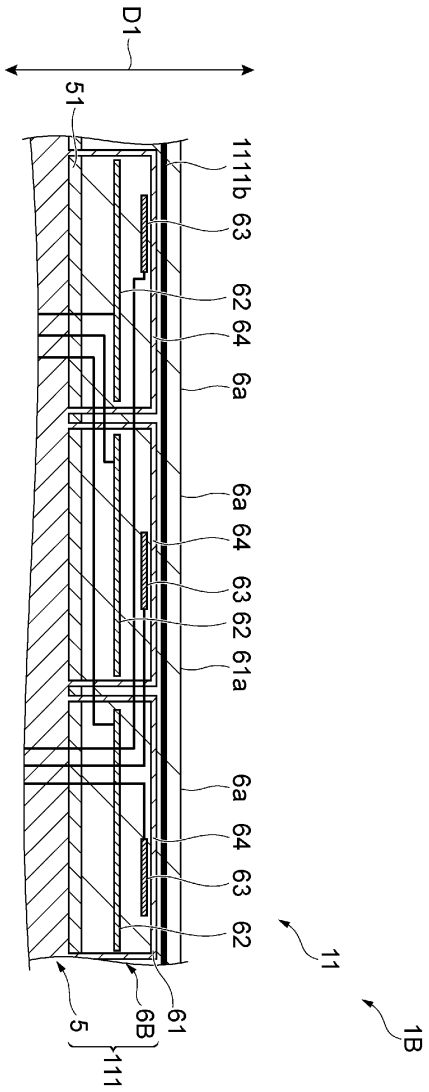
도면6



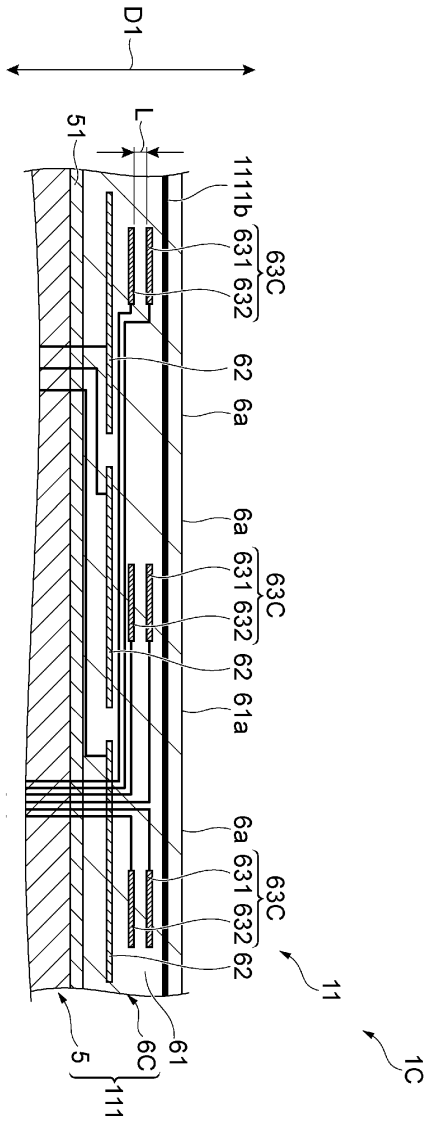
도면7



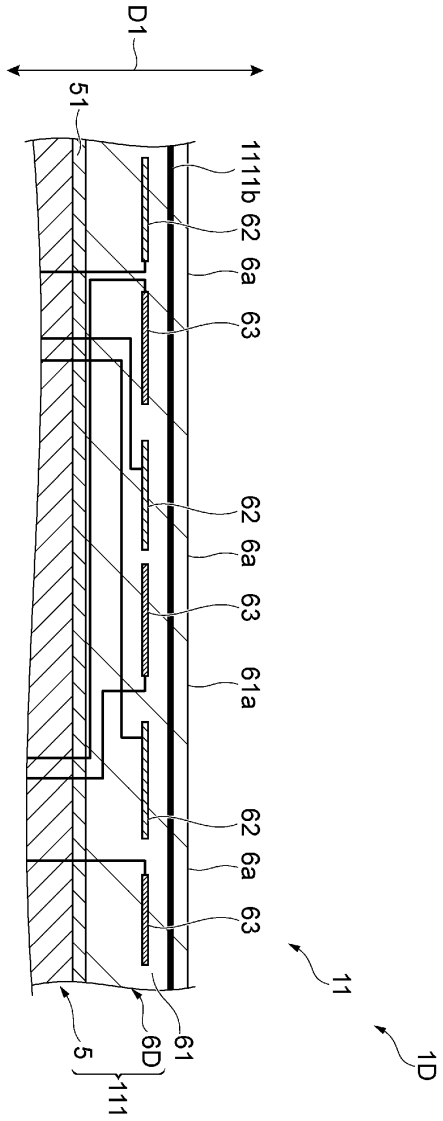
도면8



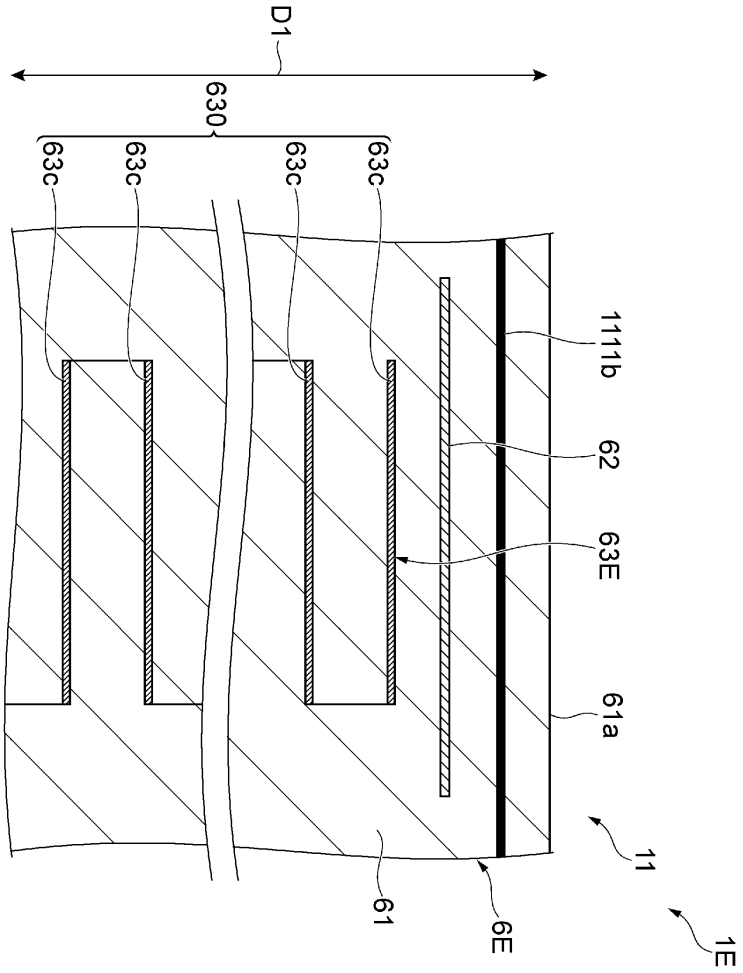
도면9


D1
L
51
1111b
631
632
63C
62
6a
6a
631
632
63C
62
61a
6a
631
632
63C
62
11
1C
61
6C
5
111

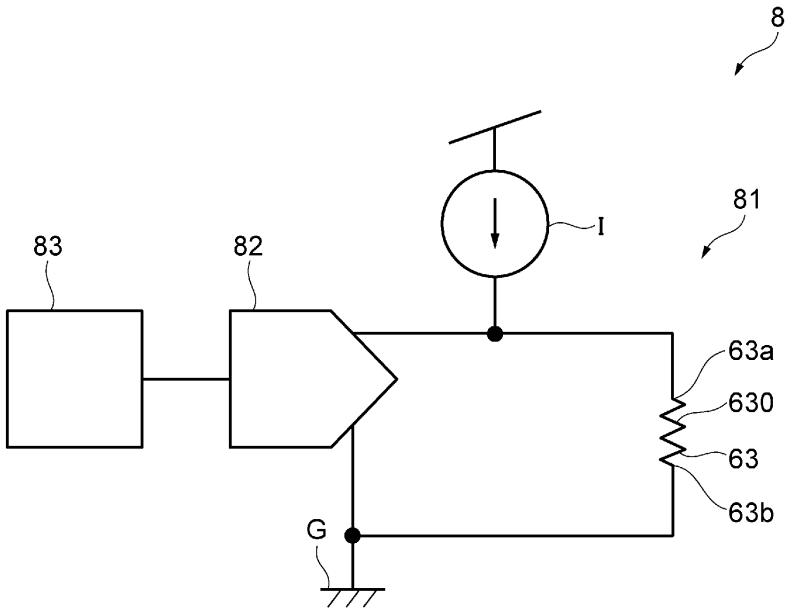
도면10



도면11


D1
630
63c
63c
63c
63c
1111b
62
63E
61a
11
61
6E
1E

도면12


8
81
I
83
82
63a
630
63
63b
G