

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 8 月 6 日(06.08.2015)



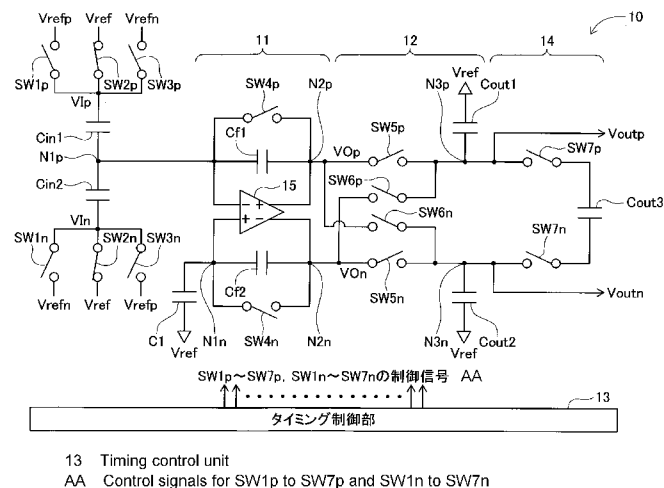
(10) 国際公開番号

WO 2015/115264 A1

- (51) 国際特許分類:
G01R 27/26 (2006.01) G01P 15/125 (2006.01)
- (21) 国際出願番号: PCT/JP2015/051472
- (22) 国際出願日: 2015 年 1 月 21 日(21.01.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-013312 2014 年 1 月 28 日(28.01.2014) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 岡見 威(OKAMI, Tsuyoshi); 〒4308650 静岡県浜松市中区中沢町 1 〇 番 1 号 ヤマハ株式会社内 Shizuoka (JP).
- (74) 代理人: 鮫島 睦, 外(SAMEJIMA, Mutsumi et al.); 〒5300017 大阪府大阪市北区角田町 8 番 1 号 梅田阪急ビル オフィスタワー 青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: CAPACITANCE-TO-VOLTAGE CONVERSION CIRCUIT

(54) 発明の名称: C V 変換回路



(57) Abstract: The purpose of the present invention is to provide a capacitance-to-voltage conversion circuit that makes it possible to maintain a capacitance-to-voltage conversion processing time, reduce power consumption, and reduce noise. In synchronization with two consecutive sampling periods of a first sample-and-hold circuit (12), a second sample-and-hold circuit (14) simultaneously samples and holds, in a second capacitive element (Cout3), the positive-phase output voltage (VOp) and negative-phase output voltage (VOn) of a differential amplifier (15), which are sampled and held by the first sample-and-hold circuit (12). Next, in a separate sampling period, the second sample-and-hold circuit (14) connects the second capacitive element (Cout3), which has accumulated charge in advance, to a positive-phase capacitive element (Cout1) and negative-phase capacitive element (Cout2) of the first sample-and-hold circuit (12) immediately before the positive-phase and negative-phase capacitive elements (Cout1, Cout2) are held at a desired level. At this time, the load capacitance connected to the output of the differential amplifier (15) is increased and a band is narrowed.

(57) 要約:

[続葉有]

WO 2015/115264 A1



CV変換の処理時間を維持して消費電力の低減を図りつつ、低ノイズ化が可能なCV変換回路を提供すること。第2サンプルホールド回路14は、第1サンプルホールド回路12の連続する2つのサンプリング期間に同期して、第1サンプルホールド回路12がサンプルホールドする差動増幅器15の正相出力電圧VOp及び逆相出力電圧VOnを、同時に第2容量素子Cout3にサンプルホールドする。次いで、第2サンプルホールド回路14は、別のサンプリング期間において、第1サンプルホールド回路12の正相容量素子Cout1及び逆相容量素子Cout2が所望のレベルにホールドされる直前に、予め電荷を蓄積した第2容量素子Cout3を正相及び逆相容量素子Cout1、Cout2に接続する。この際、差動増幅器15は、出力に接続される負荷容量が増大し帯域が絞られる。

明 細 書

発明の名称：C V変換回路

技術分野

[0001] 本願に開示の技術は、静電容量の変動に応じた電圧を出力するC V変換回路に関するものである。

背景技術

[0002] 物理量（角速度や加速度など）を検出する静電容量型のセンサには、例えば、加えられる物理量に応じて検出用の可変容量素子の静電容量が変動し、可変容量素子の静電容量の変化量をC V変換回路によって電圧値に変換するものがある（例えば、特許文献1など）。また、静電容量型のセンサが備えるC V変換回路には、静電容量の変化量の検出に相関二重サンプリングが用いられるものがある。この種のC V変換回路では、例えば、基準電圧に対して相補な電圧が交互に供給される2つの可変容量素子の接続点に差動増幅器の入力端の一端が接続され、当該差動増幅器の後段にはサンプルホールド回路が接続される。C V変換回路は、2つの可変容量素子を基準電圧に一度リセットし、リセット後の2つの可変容量素子の静電容量の差分を電荷の差分として差動増幅器により積分して電圧信号としてサンプルホールド回路に取り出す。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-71498号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、上記したC V変換回路では、回路上に設けられた半導体素子や抵抗素子などの各種デバイスからデバイスノイズが発生する。このデバイスノイズは、特定の周波数に依存しないホワイトノイズや、周波数が低い帯域でノイズ強度が増大する $1/f$ ノイズなどである。これらのデバイスノイズ

のうち、C V変換回路の差動増幅器の帯域内に含まれるデバイスノイズについては、例えば、サンプルホールドのサンプリング周波数のデバイスノイズの他、サンプリング周波数の $1/2$ の周波数（ナイキスト周波数）で標本化が可能な高次の周波数のデバイスノイズが重畳的に処理されてしまう現象（以下、「ノイズの折り返し）」という）が生じる。結果として、ノイズの折り返しによって重畳的に処理されたデバイスノイズは、C V変換回路の出力信号に含まれたまま、後段の回路（A/D変換回路やバッファアンプ）に出力されることとなる。一方で、サンプリング周波数に合わせて帯域の制限をすることにより、高次の周波数のデバイスノイズを抑制することは可能である。帯域の制限は、例えば、差動増幅器の出力端子に帯域制限用の容量素子を接続することで行うことができる。しかしながら、この場合、C V変換に必要な処理時間が長くなり、また、消費電力も増大してしまうことが問題となる。

[0005] 本願に開示される技術は、上記の課題に鑑み提案されたものである。C V変換の処理時間を維持して消費電力の低減を図りつつ、低ノイズ化が可能なC V変換回路を提供することを目的とする。

課題を解決するための手段

[0006] 本願に開示される技術に係るC V変換回路は、物理量に応じて静電容量の値が変動する可変容量素子と、可変容量素子から供給される電荷の積分結果を出力電圧として出力する積分回路と、積分回路から出力される出力電圧をサンプルホールドする第1サンプルホールド回路と、第1サンプルホールド回路にサンプルホールドされる出力電圧をサンプルホールドする第2サンプルホールド回路と、を備え、第2サンプルホールド回路は、第1サンプルホールド回路の少なくとも最初のサンプリング期間と同じ期間において第1サンプルホールド回路と同期した同時サンプリング動作を行い、同時サンプリング動作を行うサンプリング期間を除くサンプリング期間の後端期間においてサンプリング動作を行うことを特徴とする。

[0007] 当該C V変換回路では、第2サンプルホールド回路は、第1サンプルホー

ルド回路の少なくとも最初のサンプリング期間と同じ期間において第1サンプルホールド回路と同期した同時サンプリング動作を行う。第2サンプルホールド回路は、同時サンプリング動作により、積分回路から第1サンプルホールド回路にサンプルホールドされる出力電圧を、サンプルホールドする。これにより、第2サンプルホールド回路には、予め電荷が蓄積される。また、第2サンプルホールド回路は、この同時サンプリング動作を行うサンプリング期間を除く第1サンプルホールド回路のサンプリング期間の後端期間においてサンプリング動作を行う。C V変換回路は、積分回路の出力端子に第1及び第2サンプルホールド回路が接続されると、負荷容量が増大して帯域が絞られることによって、後段の回路に出力する出力信号に含まれる高次のデバイスノイズが低減されることとなる。ここで、第2サンプルホールド回路を接続した状態で、第1サンプルホールド回路とともに積分回路からの出力電圧をサンプルホールドする場合には、第1サンプルホールド回路に加えて第2サンプルホールド回路にも電荷を蓄積しなければならず、帯域が制限され高次のノイズが低減されたとしても、第1及び第2サンプルホールド回路に所望の電荷を蓄積するまでの時間、即ち積分回路から出力される出力電圧をサンプリングするまでのC V変換の処理時間が長く必要となり、動作速度を確保することができない虞がある。これに対し、当該C V変換回路では、第1サンプルホールド回路のサンプリング期間の後端期間だけ、予め電荷が蓄積された第2サンプルホールド回路を第1サンプルホールド回路に接続してサンプルホールドを実施する。従って、当該C V変換回路によれば、C V変換の処理時間を維持して消費電力の低減を図りつつ、高次のノイズを低減して低ノイズ化が可能となる。

[0008] また、本願に開示される技術に係るC V変換回路において、第1サンプルホールド回路は、出力電圧をホールドする第1容量素子と、第1容量素子を積分回路に接続して出力電圧をサンプリングする第1スイッチとを備え、第2サンプルホールド回路は、出力電圧をホールドする第2容量素子と、第2容量素子を第1容量素子に接続して出力電圧をサンプリングする第2スイッ

チとを備える構成としてもよい。

[0009] 当該C V変換回路では、第1サンプルホールド回路は、出力電圧をホールドする第1容量素子が、第1スイッチを介して積分回路に接続される。第2サンプルホールド回路は、出力電圧をホールドする第2容量素子が、第2スイッチを介して第1容量素子に接続される。当該C V変換回路では、第1スイッチを導通して、第1サンプルホールド回路へのサンプリング動作が実施される。また、第1及び第2スイッチを導通して、同時サンプリング動作、及び第1サンプルホールド回路のサンプリング期間の後端期間における第1及び第2サンプルホールド回路へのサンプリング動作が実施される。

[0010] また、本願に開示される技術に係るC V変換回路において、可変容量素子は、一端が共通端子として互いに接続され、各々の他端に基準電圧に対して相補な電圧が交互に供給される第1及び第2可変容量素子を有し、積分回路は、第1及び第2可変容量素子を介して共通端子に供給される電荷の差分に応じて、正相及び逆相出力端子から差動出力電圧を出力する差動増幅器を有し、第1容量素子は、差動出力電圧の各々をサンプルホールドする正相容量素子及び逆相容量素子を有し、第1スイッチは、差動増幅器の正相出力端子と正相容量素子、及び差動増幅器の逆相出力端子と逆相容量素子、とを接続する第3スイッチと、差動増幅器の正相出力端子と逆相容量素子、及び差動増幅器の逆相出力端子と正相容量素子、とを接続する第4スイッチとを有し、第2スイッチは、正相及び逆相容量素子を第2容量素子の各々の端子に接続し、相補な電圧の供給方向に応じて、第3スイッチ又は第4スイッチを導通する構成としてもよい。

[0011] 当該C V変換回路では、相補な電圧が交互に供給される第1及び第2可変容量素子の共通端子から電荷が差動増幅器に入力され、当該差動増幅器の正相及び逆相出力端子から出力される差動出力電圧を第1及び第2サンプルホールド回路にサンプルホールドする相関二重サンプリング(CDS)回路が構成される。これにより、ノイズの低減をより一層図ることができる。

[0012] また、本願に開示される技術に係るC V変換回路において、同時サンプリ

ング動作は、最初のサンプリング期間から連続する複数のサンプリング期間で行われる構成としてもよい。

[0013] 当該C V変換回路では、第2サンプルホールド回路に予め電荷を蓄積する同時サンプリング動作が、第1サンプルホールド回路の最初のサンプリング期間から連続する複数のサンプリング期間で行われる。当該C V変換回路よれば、予め第2サンプルホールド回路に蓄積する必要がある電荷量に応じて、同時サンプリング動作を行う連続したサンプリング期間の数が調整可能となる。

[0014] また、本願に開示される技術に係るC V変換回路において、積分回路は、同時サンプリング動作において出力電流が増大する構成としてもよい。

[0015] 当該C V変換回路では、同時サンプリング動作を行っている際に、例えば、積分回路が備える差動増幅器のドライブ能力を一時的に上げて出力電流を増大させる制御を行う。これにより、第2サンプルホールド回路に予め電荷を蓄積する処理時間を短縮できる。

発明の効果

[0016] 本願に開示される技術によれば、C V変換の処理時間を維持して消費電力の低減を図りつつ、低ノイズ化が可能なC V変換回路を提供することができる。

図面の簡単な説明

[0017] [図1]本実施例のC V変換回路の構成を示す回路図である。

[図2]C V変換回路のサンプルホールドの動作例を示すタイムチャートである。

[図3]サンプリング周波数とデバイスノイズとの関係を示すグラフである。

発明を実施するための形態

[0018] 以下、本発明を具体化した一実施例について添付図面を参照しながら説明する。図1は、本実施例のC V変換回路の構成を示している。図1に示すC V変換回路10は、例えば、静電容量型の加速度センサに適用されるものであり、第1及び第2可変容量素子 C_{in1} 、 C_{in2} と、積分回路11と、

第1 サンプルホールド回路12と、タイミング制御部13と、第2 サンプルホールド回路14とを有している。CV変換回路10は、加速度に応じて変動する第1及び第2可変容量素子 C_{in1} 、 C_{in2} の静電容量に応じた電圧値の正相出力信号 V_{outp} 及び逆相出力信号 V_{outn} を出力する回路である。

[0019] 第1及び第2可変容量素子 C_{in1} 、 C_{in2} の各々は、一方の電極が共通端子としてノード $N1p$ に接続されている。第1可変容量素子 C_{in1} は、ノード $N1p$ に接続される電極とは異なる電極にスイッチ $SW1p$ 、 $SW2p$ 、 $SW3p$ が接続され、いずれか1つのスイッチがONされ、プラス側の基準電圧 V_{refp} 、基準電圧 V_{ref} 、マイナス側の基準電圧 V_{refn} のいずれか1つの電圧が供給される。また、第2可変容量素子 C_{in2} は、ノード $N1p$ に接続される電極とは異なる電極にスイッチ $SW1n$ 、 $SW2n$ 、 $SW3n$ が接続され、いずれか1つのスイッチがONされ、プラス側の基準電圧 V_{refp} 、基準電圧 V_{ref} 、マイナス側の基準電圧 V_{refn} のいずれか1つの電圧が供給される。タイミング制御部13は、制御信号によってスイッチ $SW1p \sim SW3p$ 及びスイッチ $SW1n \sim SW3n$ のON/OFFを制御して、第1及び第2可変容量素子 C_{in1} 、 C_{in2} の各々に、基準電圧に対して相補な正相入力信号 V_{ip} 及び逆相入力信号 V_{in} を供給する。

[0020] 積分回路11は、第1及び第2可変容量素子 C_{in1} 、 C_{in2} を介してノード $N1p$ に供給される電荷を積分し、積分結果を示す正相出力電圧 V_{Op} 及び逆相出力電圧 V_{On} を出力する回路である。積分回路11は、差動増幅器15と、帰還容量素子 C_{f1} 、 C_{f2} と、帰還容量素子 C_{f1} 、 C_{f2} の各々に並列に接続されたスイッチ $SW4p$ 、 $SW4n$ とを有する。

[0021] ノード $N1p$ は、差動増幅器15の反転入力端子（－入力端子）に接続されている。帰還容量素子 C_{f1} は、差動増幅器15の反転入力端子と非反転出力端子（＋出力端子）との間に接続されている。帰還容量素子 C_{f2} は、差動増幅器15の非反転入力端子（＋入力端子）と反転出力端子（－出力端

子)との間に接続されている。差動増幅器15の非反転入力端子が接続されるノードN1nは、容量素子C1を介して基準電圧Vrefが供給されている。差動増幅器15の非反転出力端子は、正相出力電圧VOpを出力するノードN2pに接続されている。差動増幅器15の反転出力端子は、逆相出力電圧VO nを出力するノードN2nに接続されている。

[0022] 積分回路11の後段には第1サンプルホールド回路12が接続されている。第1サンプルホールド回路12は、スイッチSW5p, SW5nと、スイッチSW6p, SW6nと、正相容量素子Cout1と、逆相容量素子Cout2とを有する。スイッチSW5pは、ノードN2pと、正相容量素子Cout1の一方の電極が接続されるノードN3pとの間に接続されている。また、スイッチSW5nは、ノードN2nと、逆相容量素子Cout2の一方の電極が接続されるノードN3nとの間に接続されている。スイッチSW6pは、ノードN2nと、ノードN3pとの間に接続されている。また、スイッチSW6nは、ノードN2pと、ノードN3nとの間に接続されている。正相容量素子Cout1は、一方の電極がノードN3pに接続され、他方の電極に基準電圧Vrefが供給されている。また、逆相容量素子Cout2は、一方の電極がノードN3nに接続され、他方の電極に基準電圧Vrefが供給されている。

[0023] 第1サンプルホールド回路12の後段には、第1サンプルホールド回路12にサンプルホールドされる正相出力電圧VOp及び逆相出力電圧VO nをサンプルホールドする第2サンプルホールド回路14が接続されている。第2サンプルホールド回路14は、第2スイッチSW7p, SW7nと、第2容量素子Cout3とを有する。第2スイッチSW7pは、ノードN3pと、第2容量素子Cout3の一方の電極との間に接続されている。また、第2スイッチSW7nは、ノードN3nと、第2容量素子Cout3の2つの電極のうち、第2スイッチSW7pが接続されていない電極との間に接続されている。従って、第2容量素子Cout3は、第2スイッチSW7pと、第2スイッチSW7nとの間に接続されている。また、ノードN3pは、後

段の回路（例えば、A/D変換回路）に接続され、正相出力信号 V_{outp} を後段の回路に出力する。ノード $N3n$ は、後段の回路（例えば、A/D変換回路）に接続され、逆相出力信号 V_{outn} を後段の回路に出力する。なお、第2容量素子 C_{out3} の静電容量の値は、例えば、正相容量素子 C_{out1} 及び逆相容量素子 C_{out2} と同一とし、容量素子間の相対精度を向上させてもよい。

[0024] タイミング制御部13は、スイッチ $SW1p \sim SW3p$ 及びスイッチ $SW1n \sim SW3n$ をON/OFF制御して正相入力信号 V_{ip} 及び逆相入力信号 V_{in} を生成するとともに、他のスイッチ $SW4p \sim SW7p$ 及びスイッチ $SW4n \sim SW7n$ のON/OFF制御を行う。

[0025] 図2は、CV変換回路10の動作を示すタイムチャートである。タイミング制御部13は、図2に示すように、スイッチ $SW1p \sim SW3p$ 、 $SW1n \sim SW3n$ を駆動して、基準電圧 V_{ref} を中心に、プラス側に基準電圧 V_{refp} 、マイナス側に基準電圧 V_{refn} だけ振れる相補な矩形波形を持った正相入力信号 V_{ip} を第1可変容量素子 C_{in1} に、逆相入力信号 V_{in} を第2可変容量素子 C_{in2} の各々に供給する。タイミング制御部13は、スイッチ $SW4p$ をONし、ノード $N1p$ とノード $N2p$ を短絡し、同時にスイッチ $SW4n$ をONし、ノード $N1n$ とノード $N2n$ を短絡する。また、タイミング制御部13は、スイッチ $SW4p$ 、 $SW4n$ をONすると同時に、スイッチ $SW2p$ 、 $SW2n$ をONし、基準電圧 V_{ref} の正相入力信号 V_{ip} を第1可変容量素子 C_{in1} に、基準電圧 V_{ref} の逆相入力信号 V_{in} を第2可変容量素子 C_{in2} に供給する。差動増幅器15の反転入力端子及び非反転入力端子は、基準電圧 V_{ref} に初期化（以下、「第1の初期化」という）される。また、加速度などの物理量が加わっていない場合は、第1及び第2可変容量素子 C_{in1} 、 C_{in2} の両端電圧は、基準電圧 V_{ref} となり、第1及び第2可変容量素子 C_{in1} 、 C_{in2} に蓄積される電荷が零となる。タイミング制御部13は、スイッチ $SW2p$ 、 $SW2n$ 及びスイッチ $SW4p$ 、 $SW4n$ をOFFして第1の初期化を終了する

。

[0026] 図2に示すように、上記した第1の初期化後、スイッチSW5_p, SW5_nによるサンプルホールドが行われ、続いてスイッチSW6_p, SW6_nによるサンプルホールドが行われる。CV変換回路10は、例えば、正相入力信号V_{ip}及び逆相入力信号V_{in}が供給される状態で、加速度に応じて第1及び第2可変容量素子C_{in1}, C_{in2}の各々の静電容量が変動する。CV変換回路10は、例えば、加速度が加わっていない状態では、第1及び第2可変容量素子C_{in1}, C_{in2}の静電容量に変動がないため、以下の説明では、一例として、第1可変容量素子C_{in1}の静電容量が減少し、相対的に第2可変容量素子C_{in2}の静電容量が増大した場合の動作について説明する。この場合、第1可変容量素子C_{in1}の減少した静電容量を $-\Delta C$ 、第2可変容量素子C_{in2}の増加した静電容量を ΔC とする。

[0027] 例えば、タイミング制御部13によってスイッチSW1_p, SW1_nがONされると、第1可変容量素子C_{in1}に蓄積される電荷は、加速度が加わっていない状態に比べて $\Delta Q_1 = -\Delta C (V_{refp} - V_{ref})$ だけ変動する。第2可変容量素子C_{in2}に蓄積される電荷は、加速度が加わっていない状態に比べて $\Delta Q_2 = \Delta C (V_{refn} - V_{ref})$ だけ変動する。その結果、静電容量の変動にともなって生じる第1及び第2可変容量素子C_{in1}, C_{in2}に蓄積される電荷の変動分が、 ΔQ_1 と ΔQ_2 とを合計したマイナスの差分電荷 $-\Delta Q$ としてノードN1_pに誘起される。積分回路11は、差動増幅器15の反転入力端子に入力されるマイナスの変化量（差分電荷 $-\Delta Q$ ）に応じて、正相出力電圧V_{Op}及び逆相出力電圧V_{On}を変化させる。差動増幅器15は、ノードN1_pに誘起されるマイナスの差分電荷 $-\Delta Q$ が帰還容量素子C_{f1}に蓄積あるいは帰還容量素子C_{f1}から引き抜かれるように正相出力電圧V_{Op}を変化させる。同時に、ノードN1_nがノードN1_pと仮想接地の状態を維持するように逆相出力電圧V_{On}を変化させて帰還容量素子C_{f2}への電荷の充放電が行われる。この場合において、差動増幅器15は、タイミング制御部13によってスイッチSW1_p, SW1

nがONされた状態では高レベルの正相出力電圧 V_{Op} を出力し、スイッチ SW_{3p} , SW_{3n} がONされた状態では低レベルの正相出力電圧 V_{Op} を出力する。従って、第1及び第2可変容量素子 C_{in1} , C_{in2} の静電容量の変化量と、供給される基準電圧 V_{refp} , V_{refn} の電圧レベルとに応じて基準電圧 V_{ref} を中心にしてプラス側及びマイナス側に極性が変化する正相出力電圧 V_{Op} を出力する。同様に、差動増幅器15は、タイミング制御部13によってスイッチ SW_{1p} , SW_{1n} がONされた状態では低レベルの逆相出力電圧 V_{On} を出力し、スイッチ SW_{3p} , SW_{3n} がONされた状態では高レベルの逆相出力電圧 V_{On} を出力する。

[0028] 上記したように、CV変換回路10は、基準電圧に対して電圧レベルが交互に入れ替わる相補な電圧信号（正相入力信号 V_{Ip} 及び逆相入力信号 V_{In} ）が与えられる第1及び第2可変容量素子 C_{in1} , C_{in2} が接続されるノード N_{1p} に誘起されるマイナスの差分電荷 $-\Delta Q$ が差動増幅器15に入力され、当該差動増幅器15から差分電荷 $-\Delta Q$ に応じた差分電圧（正相出力電圧 V_{Op} 及び逆相出力電圧 V_{On} ）が出力される。

[0029] タイミング制御部13は、正相入力信号 V_{Ip} がプラス側の基準電圧 V_{refp} 、逆相入力信号 V_{In} がマイナス側の基準電圧 V_{refn} であるサンプリング期間に、スイッチ SW_{5p} , SW_{5n} をON、スイッチ SW_{6p} , SW_{6n} をOFFする。また、タイミング制御部13は、正相入力信号 V_{Ip} がマイナス側の基準電圧 V_{refn} 、逆相入力信号 V_{In} がプラス側の基準電圧 V_{refp} であるサンプリング期間に、スイッチ SW_{5p} , SW_{5n} をOFF、スイッチ SW_{6p} , SW_{6n} をONする。この結果、上記した第1可変容量素子 C_{in1} の静電容量が減少し、第2可変容量素子 C_{in2} の静電容量が増大する場合には、正相容量素子 C_{out1} には、高レベルである正相出力電圧 V_{Op} と、高レベルである逆相出力電圧 V_{On} とが交互にサンプルホールドされる。また、逆相容量素子 C_{out2} には、低レベルである正相出力電圧 V_{Op} と、低レベルである逆相出力電圧 V_{On} が交互にサンプルホールドされる。

[0030] タイミング制御部 13 は、さらに、第 1 サンプルホールド回路 12 のサンプルホールドのタイミングに合わせて第 2 サンプルホールド回路 14 の第 2 スイッチ SW7p, SW7n を ON し、第 2 容量素子 Cout3 の両端の各々に、ノード N3p, N3n の各々を接続する。なお、第 2 サンプルホールド回路 14 の動作の詳細については後述する。そして、CV 変換回路 10 は、後述する第 2 の初期化後の任意のタイミングで、正相容量素子 Cout1 及び逆相容量素子 Cout2 にサンプルホールドされた電圧をノード N3p, N3n から正相出力信号 Voutp 及び逆相出力信号 Voutn として後段の回路（例えば、A/D 変換回路）に出力する。このようにして、第 1 及び第 2 可変容量素子 Cin1, Cin2 の差分電荷 $-\Delta Q$ に応じた正相出力信号 Voutp 及び逆相出力信号 Voutn がノード N3p, N3n から後段の回路に出力される。なお、第 1 可変容量素子 Cin1 の静電容量が増大し、相対的に第 2 可変容量素子 Cin2 の静電容量が減少した場合の動作については、正相出力電圧 VOp 及び逆相出力電圧 VOn 等の基準電圧 Vref に対するプラス側及びマイナス側の極性が、上記した場合と異なるのみで、その他の動作は同様の動作となるため、ここでの説明は省略する。また、第 2 スイッチ SW7p, SW7n を ON するタイミングは、後述するように、第 1 サンプルホールド回路 12 のサンプリング期間（この「サンプリング期間」については、後段の段落 [0033] で定義する）の後端期間に限定された期間である。

[0031] ここで、上記した CV 変換回路 10 は、回路上に設けられた半導体素子や抵抗素子などの各種デバイスからデバイスノイズが生じる。このデバイスノイズは、ホワイトノイズや $1/f$ ノイズなどである。図 3 は、CV 変換回路 10 の正相出力信号 Voutp 及び逆相出力信号 Voutn に含まれるデバイスノイズの一例を示している。図 3 に示すように、例えば、CV 変換回路 10 で生じるホワイトノイズは、差動増幅器 15 が処理可能な周波数帯域内において、特定の周波数に依存せずに均一のノイズ強度で生じる。このホワイトノイズは、例えば、抵抗素子内の電子の熱振動によって発生する。また

、 $1/f$ ノイズは、周波数の逆数に比例し、低い周波数帯域でノイズ強度が増大する。この $1/f$ ノイズは、例えば、MOSトランジスタのゲート酸化膜の汚染や結晶欠陥から生じるゲート酸化膜のトラップ電荷が、キャリアをランダムに補足、放出し、キャリア数にゆらぎが生じることで発生する。そして、これらのデバイスノイズは、例えば、サンプルホールドのサンプリング周波数のノイズの他、サンプリング周波数の $1/2$ の周波数（ナイキスト周波数）で標本化が可能な高次の周波数のノイズが重畳的に処理されノイズの折り返しが生じる。例えば、図3に示すように、デバイスノイズには、サンプリング周波数 f_s の奇数倍の高次の周波数（3倍の周波数 $3f_s$ 、5倍の周波数 $5f_s$ 、 $\dots$ n 倍の周波数 nf_s ）のデバイスノイズが含まれているとする。このデバイスノイズは、正相及び逆相容量素子 C_{out1} 、 C_{out2} にサンプルホールドされるCV変換された電圧に積み重なるように加算される。正相及び逆相容量素子 C_{out1} 、 C_{out2} にサンプルホールドされた電圧に含まれるデバイスノイズは、正相出力信号 V_{outp} 及び逆相出力信号 V_{outn} に含まれたまま、後段の回路（A/D変換回路など）に出力されることとなる。結果として、正相出力信号 V_{outp} 及び逆相出力信号 V_{outn} のS/N比が悪化して後段の回路において誤って処理されてしまう。

[0032] この問題に対し、本実施例のCV変換回路10では、第2スイッチ $SW7p$ と第2スイッチ $SW7n$ との間に第2容量素子 C_{out3} が設けられており、第1サンプルホールド回路12のサンプリング周波数に同期して第2スイッチ $SW7p$ 、 $SW7n$ をONして、正相及び逆相容量素子 C_{out1} 、 C_{out2} に第2容量素子 C_{out3} を接続し帯域を絞ることでデバイスノイズの低減が図られている。

[0033] 図2に示す動作例では、CV変換回路10の第1可変容量素子 C_{in1} に供給される正相入力信号 V_{ip} 及び第2可変容量素子 C_{in2} に供給される逆相入力信号 V_{in} は、基準電圧 V_{ref} に対して相補な矩形波形を持ち、ともに基準電圧 V_{ref} が供給される期間を介して電圧レベルが交互に入れ

替わるシーケンスを有する。このシーケンスのうち、正相入力信号 V_{ip} 及び逆相入力信号 V_{in} として相補な電圧が供給される期間に同期して、第2スイッチ SW_{7p} , SW_{7n} をONする。この場合、正相入力信号 V_{ip} 及び逆相入力信号 V_{in} の半周期、例えば、正相入力信号 V_{ip} が基準電圧 V_{ref} とされてからプラスの基準電圧 V_{refp} に変動し、再び基準電圧 V_{ref} に変動するまでの期間（スイッチ SW_{2p} がONされてからONするスイッチをスイッチ SW_{1p} に切り替え、再びスイッチ SW_{2p} がONされるまでの期間）が、第1サンプルホールド回路12の1つのサンプリング期間である。ここで、正相入力信号 V_{ip} 及び逆相入力信号 V_{in} の1周期（2つのサンプリング期間）を1サイクルとした場合に、タイミング制御部13は、例えば、10サイクルを1単位として同様の処理を繰り返し実行する。タイミング制御部13には、10サイクルごとに同期したクロック信号 CK_0 が供給されている。クロック信号 CK_0 は、1サイクル（2個のサンプリング期間）の間でハイレベルとなり、残りの9サイクル（18個のサンプリング期間）の間でローレベルとなる同期信号である。タイミング制御部13は、1単位である10サイクルのうち、クロック信号 CK_0 がハイレベルとなる最初の1サイクルを第2の初期化のサイクルとして、第2サンプルホールド回路14の第2容量素子 C_{out3} に電荷を蓄積させる。第2サンプルホールド回路14は、この第2の初期化のサイクルにおいて、第1サンプルホールド回路12の連続する2つのサンプリング期間に同期したサンプリング（以下、「同時サンプリング動作」という場合がある）を行うことで第2容量素子 C_{out3} に予め電荷を蓄積する。ここで、帯域制限のために設けられる第2容量素子 C_{out3} を第2の初期化の時に充電するのは、残りの9サイクルにおいて第2容量素子 C_{out3} をノード N_{3p} , N_{3n} に接続する際に、第2容量素子 C_{out3} にホールドされている電圧値と、正相及び逆相容量素子 C_{out1} , C_{out2} にホールドされている電圧値の合計値とを略同一としておくためである。両者に電圧差があると電荷の移動が生じ、正相及び逆相出力信号 V_{outp} , V_{outn} として出力される電圧

が過渡的に変動してしまう虞がある。また、両者間での電荷の移動は積分回路 11 から出力される正相及び逆相出力電圧 V_{Op} , V_{On} とは無関係であるため、電荷移動により得られる電圧値は本来の電圧値からずれてしまう虞がある。さらに、ずれた電圧値が本来の電圧値に収斂していくまでには多大な時間を要してしまう虞がある。

[0034] 詳述すると、クロック信号 CKO がハイレベルとなる 1 サイクル（第 2 の初期化）において、タイミング制御部 13 は、第 1 サンプルホールド回路 12 の正相及び逆相容量素子 C_{out1} , C_{out2} に対して充電を行うとともに、第 2 サンプルホールド回路 14 の第 2 容量素子 C_{out3} に対して充電を行う。即ち、正相入力信号 V_{Ip} がプラス側の基準電圧 V_{refp} であり、逆相入力信号 V_{In} がマイナス側の基準電圧 V_{refn} である最初のサンプリング期間では、スイッチ $SW5p$, $SW5n$ を ON、スイッチ $SW6p$, $SW6n$ を OFF するとともに、同時に第 2 スイッチ $SW7p$, $SW7n$ を ON する。また、正相入力信号 V_{Ip} がマイナス側の基準電圧 V_{refn} であり、逆相入力信号 V_{In} がプラス側の基準電圧 V_{refp} である次のサンプリング期間では、スイッチ $SW5p$, $SW5n$ を OFF、スイッチ $SW6p$, $SW6n$ を ON するとともに、同時に第 2 スイッチ $SW7p$, $SW7n$ を ON する。ここで、本実施例では、第 2 容量素子 C_{out3} の両端の電位差は、正相容量素子 C_{out1} の両端の電位差の 2 倍となる。また、第 2 容量素子 C_{out3} の両端の電位差は、逆相容量素子 C_{out2} の両端の電位差の 2 倍となる。正相容量素子 C_{out1} 、逆相容量素子 C_{out2} 及び第 2 容量素子 C_{out3} がいずれも同じ容量値を有するものとすれば、第 2 容量素子 C_{out3} は、正相及び逆相容量素子 C_{out1} , C_{out2} の各々に蓄積される電荷の 2 倍の電荷が蓄積される。従って、積分回路 11 から供給される出力電流（単位時間当たりの電荷量：ここでは説明を簡単にするため出力電流は一定値と仮定する）が容量素子 $C_{out1} \sim C_{out3}$ に充電されることにより、積分回路 11 から出力される正相及び逆相出力電圧 V_{Op} , V_{On} が任意の電位（ CV 変換の結果として出力されるべき正相及び

逆相出力電圧 V_{Op} 、 V_{On} の電位)になるために要する時間、即ち、第2容量素子 C_{out3} が接続されている場合の正相及び逆相容量素子 C_{out1} 、 C_{out2} に蓄積されるべき電荷量を充電する時間は、第2容量素子 C_{out3} が接続されていない場合の正相及び逆相容量素子 C_{out1} 、 C_{out2} に蓄積されるべき電荷量を充電する時間に比べて2倍の時間を要すると考えることができる。また、第2容量素子 C_{out3} は、正相及び逆相容量素子 C_{out1} 、 C_{out2} と接続された状態で、最初のサンプリング期間において、所望の電荷量の半分が蓄積され、次のサンプリング期間において、残りの半分の電荷量が蓄積されることとなる。ここでいう「所望の電荷量」とは、上記した第2容量素子 C_{out3} が接続されていない場合の正相及び逆相容量素子 C_{out1} 、 C_{out2} に蓄積されるべき電荷量である。第2容量素子 C_{out3} は、クロック信号 $CK0$ がハイレベルとなる1サイクルにおいて、サンプリング期間ごとに電荷が徐々に蓄積され(図2参照)、蓄積後に第2スイッチ $SW7p$ 、 $SW7n$ がOFFされ回路から切断されることによって、蓄積された電荷がホールドされた状態となる。

[0035] 次に、タイミング制御部13は、クロック信号 $CK0$ がローレベルとなる残りの9サイクルにおいて、サンプリング期間に同期して第2スイッチ $SW7p$ 、 $SW7n$ をONする。この際に、タイミング制御部13は、正相容量素子 C_{out1} が高レベルに、逆相容量素子 C_{out2} が低レベルにホールドされる直前の期間に第2スイッチ $SW7p$ 、 $SW7n$ をONして、第2容量素子 C_{out3} を正相及び逆相容量素子 C_{out1} 、 C_{out2} に接続する。帯域制限のために設けられる第2サンプルホールド回路14へのサンプルホールドを第1サンプルホールド回路12と同時に行う構成とした場合(同時サンプリング動作を行う構成とした場合)には、正相及び逆相容量素子 C_{out1} 、 C_{out2} に加えて第2容量素子 C_{out3} にも充電を行う必要があり、各々の容量素子 $C_{out1} \sim C_{out3}$ に蓄積される電荷が減少する。このため、サンプリング期間経過後の正相及び逆相容量素子 C_{out1} 、 C_{out2} の最終的な電圧値が、所望の電圧値に収束しない虞がある。

第2スイッチSW7p, SW7nのON時間を短くする本実施例はこの不具合を防止するためのものである。ここでいう所望の電圧値とは、例えば、目標とする正相及び逆相出力信号Voutp, Voutnの電圧値と上記「最終的な電圧値」との差分が、CV変換回路10の後段に接続されるAD変換回路が識別可能な最小入力電圧変動（分解能）以下となる電圧値である。

[0036] そして、タイミング制御部13は、スイッチSW1p, SW1n及びスイッチSW5p, SW5nをONし正相及び逆相容量素子Cout1, Cout2を十分に電荷が蓄積された状態として、サンプリング期間の後端の期間に予め電荷が蓄積された第2容量素子Cout3を正相及び逆相容量素子Cout1, Cout2に接続することによって、負荷容量を増大させ差動増幅器15の帯域を絞る。CV変換回路10は、タイミング制御部13がスイッチSW5p, SW5n及び第2スイッチSW7p, SW7nをOFFすることによって、デバイスノイズが低減された正相出力信号Voutp及び逆相出力信号Voutnが正相容量素子Cout1及び逆相容量素子Cout2の各々にホールドされる。CV変換回路10は、クロック信号CK0がローレベルとなる9サイクルの任意のタイミングで、正相容量素子Cout1及び逆相容量素子Cout2にサンプルホールドされた電圧をノードN3p, N3nから正相出力信号Voutp及び逆相出力信号Voutnとして後段の回路に出力する。

[0037] 同様に、タイミング制御部13は、スイッチSW3p, SW3n及びスイッチSW6p, SW6nをONし正相及び逆相容量素子Cout1, Cout2に十分に電荷が蓄積された状態の後のサンプリング期間の後端の期間に、予め電荷が蓄積された第2容量素子Cout3を正相及び逆相容量素子Cout1, Cout2に接続することによって帯域を絞る。

[0038] なお、上記したCV変換回路10を、静電容量型の加速度センサに用いた場合を考えると、加速度センサに加速度が加わることによって生じる信号の帯域は例えば数kHzであるのに対し、サンプルホールドのサンプリング周波数は例えば数百kHzであることが一般的である。従って、例えば、10

サイクルに一度だけ第2容量素子Cout3を充電（第2の初期化）するサイクルを設けたとしても、充電後の残りのサイクルにおいて差動増幅器15から出力される正相出力電圧VOp及び逆相出力電圧VO_nを第1サンプルホールド回路12でサンプルホールドするのに十分なサイクル数を担保することが可能となる。

[0039] また、クロック信号CK0がハイレベルとなる1サイクルにおいては、正相及び逆相容量素子Cout1, Cout2にサンプルホールドされる電圧が、電荷が十分に蓄積されていない第2容量素子Cout3が接続されたことで正しい値とならない場合もあり得る。このため、この1サイクルの正相出力信号Voutp及び逆相出力信号Voutnは破棄する処理を行ってもよい。例えば、CV変換回路10は、クロック信号CK0がハイレベルとなる1サイクルの正相出力信号Voutp及び逆相出力信号Voutnを後段に出力しないためのスイッチを例えば、ノードN3p, N3nと後段に接続される回路（例えば、A/D変換回路）との間に備えてもよい。あるいは、CV変換回路10の後段に接続される回路が、クロック信号CK0がハイレベルとなる1サイクルの正相出力信号Voutp及び逆相出力信号Voutnを破棄する設定としてもよい。

[0040] 以上、上記した実施例によれば、以下の効果を奏する。

<効果1> タイミング制御部13は、正相入力信号Vip及び逆相入力信号Vinの1周期を1サイクルとした場合に、10サイクルを1単位として処理を実行する。この1サイクルは、第1サンプルホールド回路12のサンプリング期間の2個分となる。第2サンプルホールド回路14は、最初の1サイクルにおいて、第1サンプルホールド回路12の連続する2つのサンプリング期間に同期した同時サンプリング動作を行う。第2サンプルホールド回路14は、同時サンプリング動作により、積分回路11から第1サンプルホールド回路12にサンプルホールドされる正相出力電圧VOp及び逆相出力電圧VO_nを、同時にサンプルホールドする。これにより、第2サンプルホールド回路14の第2容量素子Cout3には、予め電荷が蓄積される。ま

た、第2サンプルホールド回路14は、残りの9サイクルにおいて、正相容量素子Cout1が高レベルに、逆相容量素子Cout2が低レベルにホールドされる直前に第2スイッチSW7p, SW7nをONして、第2容量素子Cout3を正相及び逆相容量素子Cout1, Cout2に接続する。CV変換回路10は、積分回路11の出力端子に第1及び第2サンプルホールド回路12, 14（正相及び逆相容量素子Cout1, Cout2、第2容量素子Cout3）が接続されると、負荷容量が増大して帯域が絞られることによって、後段の回路に出力する正相出力信号Voutp及び逆相出力信号Voutnに含まれる高次のデバイスノイズが低減されることとなる。ここで、第2サンプルホールド回路14を接続した状態で、第1サンプルホールド回路12とともに積分回路11からの正相出力電圧VOp及び逆相出力電圧VOnをサンプルホールドする場合には、正相及び逆相容量素子Cout1, Cout2に加えて第2容量素子Cout3にも電荷を蓄積しなければならない、帯域が制限され高次のノイズが低減されたとしても、第1及び第2サンプルホールド回路12, 14に所望の電荷を蓄積するまでの時間、即ち積分回路11から出力される正相出力電圧VOp及び逆相出力電圧VOnをサンプリングするまでのCV変換の処理時間が長く必要となり、動作速度を確保することができない虞がある。これに対し、当該CV変換回路10では、正相及び逆相容量素子Cout1, Cout2に正相出力電圧VOp及び逆相出力電圧VOnがサンプルホールドされるタイミング（SW5p, SW5nあるいはSW6p, SW6nをOFFするタイミング）の直前となるサンプリング期間の後端期間だけ、予め電荷が蓄積された第2容量素子Cout3を正相及び逆相容量素子Cout1, Cout2に接続してサンプルホールドを実施する。従って、当該CV変換回路10によれば、CV変換の処理時間を維持して消費電力の低減を図りつつ、高次のノイズを低減して低ノイズ化が可能となる。

[0041] <効果2> CV変換回路10は、基準電圧に対して電圧レベルが交互に入れ替わる相補な電圧信号（正相入力信号Vip及び逆相入力信号Vin）が与

えられる第1及び第2可変容量素子 C_{in1} , C_{in2} が接続されるノード N_{1p} から、例えばマイナスの差分電荷 $-\Delta Q$ が差動増幅器15に入力され、当該差動増幅器15から出力される正相出力電圧 V_{Op} 及び逆相出力電圧 V_{On} を第1及び第2サンプルホールド回路12, 14にサンプルホールドする相関二重サンプリング(CDS)回路が構成されており、ノイズの低減が図られている。

[0042] <効果3>第2サンプルホールド回路14の第2容量素子 C_{out3} に予め電荷を蓄積する同時サンプリング動作は、最初の1サイクル、即ち連続する2個のサンプリング期間で行われている。当該CV変換回路10よれば、予め第2容量素子 C_{out3} に蓄積する必要がある電荷量に応じて、同時サンプリング動作を行う連続したサンプリング期間の数が調整可能となる。

[0043] 尚、本発明は上記実施例に限定されるものではなく、本発明の趣旨を逸脱しない範囲内での種々の改良、変更が可能であることは言うまでもない。

例えば、上記実施例では、タイミング制御部13は、10サイクル中の1サイクルだけ、第2サンプルホールド回路14を第1サンプルホールド回路12と同期させ、第2容量素子 C_{out3} に予め充電する同時サンプリング動作を実施したが、これは一例であり限定されない。例えば、タイミング制御部13は、100サイクルに1サイクル、あるいは100サイクルに10サイクル、あるいは1サイクルの半周期の1サンプリング期間だけ第2容量素子 C_{out3} に予め充電する同時サンプリング動作を実施してもよい。

[0044] また、タイミング制御部13は、第2容量素子 C_{out3} を予め充電する同時サンプリング動作を実施する1又は複数のサイクルあるいは1サンプリング期間において、差動増幅器15のドライブ能力を一時的に上げて出力電流を増大させる制御を実施してもよい。例えば、差動増幅器15は、カレントミラー回路を備え、当該カレントミラー回路のゲート端子同士が接続された複数のMOSトランジスタの接続数を、タイミング制御部13からの制御に基づいて切替可能に構成してもよい。そして、タイミング制御部13は、カレントミラー回路のMOSトランジスタの接続数を変更して、差動増幅器

15の出力電流を増大あるいは低減させる制御を実施してもよい。これにより、第2容量素子Cout3を予め充電する処理時間を短縮できる。

[0045] 上記実施例では、CV変換回路10は、相補な電圧信号（正相入力信号Vlp及び逆相入力信号Vln）が与えられる2つの第1及び第2可変容量素子Cin1、Cin2を備える構成であったが、1つあるいは3つ以上の可変容量素子を備える構成でもよい。

[0046] ちなみに、第1可変容量素子Cin1及び第2可変容量素子Cin2は、可変容量素子の一例である。正相容量素子Cout1及び逆相容量素子Cout2は、第1容量素子の一例である。スイッチSW5p、SW5nは、第1スイッチが有する第3スイッチの一例である。スイッチSW6p、SW6nは、第1スイッチが有する第4スイッチの一例である。クロック信号CK0がハイレベルとなる1サイクル（2個のサンプリング期間）は、最初のサンプリング期間の一例である。クロック信号CK0がローレベルとなる9サイクル（18個のサンプリング期間）は、同時サンプリング動作を行うサンプリング期間を除くサンプリング期間の一例である。正相出力電圧VOp及び逆相出力電圧VO nは、差動出力電圧（出力電圧）の一例である。

符号の説明

[0047] 10 CV変換回路、11 積分回路、12 第1サンプルホールド回路、13 タイミング制御部、14 第2サンプルホールド回路、15 差動増幅器、Cin1 第1可変容量素子、Cin2 第2可変容量素子、Cout1 正相容量素子（第1容量素子）、Cout2 逆相容量素子（第1容量素子）、Cout3 第2容量素子、SW5p、SW5n スイッチ（第3スイッチ）、SW6p、SW6n スイッチ（第4スイッチ）、SW7p、SW7n 第2スイッチ、VOp 正相出力電圧、VO n 逆相出力電圧。

請求の範囲

[請求項1]

物理量に応じて静電容量の値が変動する可変容量素子と、
前記可変容量素子から供給される電荷の積分結果を出力電圧として出力する積分回路と、
前記積分回路から出力される前記出力電圧をサンプルホールドする第1 サンプルホールド回路と、
前記第1 サンプルホールド回路にサンプルホールドされる前記出力電圧をサンプルホールドする第2 サンプルホールド回路と、を備え、
前記第2 サンプルホールド回路は、前記第1 サンプルホールド回路の少なくとも最初のサンプリング期間と同じ期間において前記第1 サンプルホールド回路と同期した同時サンプリング動作を行い、前記同時サンプリング動作を行うサンプリング期間を除く前記第1 サンプルホールド回路のサンプリング期間の後端期間においてサンプリング動作を行うことを特徴とするC V変換回路。

[請求項2]

前記第1 サンプルホールド回路は、
前記出力電圧をホールドする第1 容量素子と、
前記第1 容量素子を前記積分回路に接続して前記出力電圧をサンプリングする第1 スイッチとを備え、
前記第2 サンプルホールド回路は、
前記出力電圧をホールドする第2 容量素子と、
前記第2 容量素子を前記第1 容量素子に接続して前記出力電圧をサンプリングする第2 スイッチとを備えることを特徴とする請求項1に記載のC V変換回路。

[請求項3]

前記可変容量素子は、一端が共通端子として互いに接続され、各々の他端に基準電圧に対して相補な電圧が交互に供給される第1 及び第2 可変容量素子を有し、
前記積分回路は、前記第1 及び第2 可変容量素子を介して前記共通端子に供給される電荷の差分に応じて、正相及び逆相出力端子から差

動出力電圧を出力する差動増幅器を有し、

前記第 1 容量素子は、前記差動出力電圧の各々をサンプルホールドする正相容量素子及び逆相容量素子を有し、

前記第 1 スイッチは、前記差動増幅器の前記正相出力端子と前記正相容量素子、及び前記差動増幅器の前記逆相出力端子と前記逆相容量素子、とを接続する第 3 スイッチと、前記差動増幅器の前記正相出力端子と前記逆相容量素子、及び前記差動増幅器の前記逆相出力端子と前記正相容量素子、とを接続する第 4 スイッチとを有し、

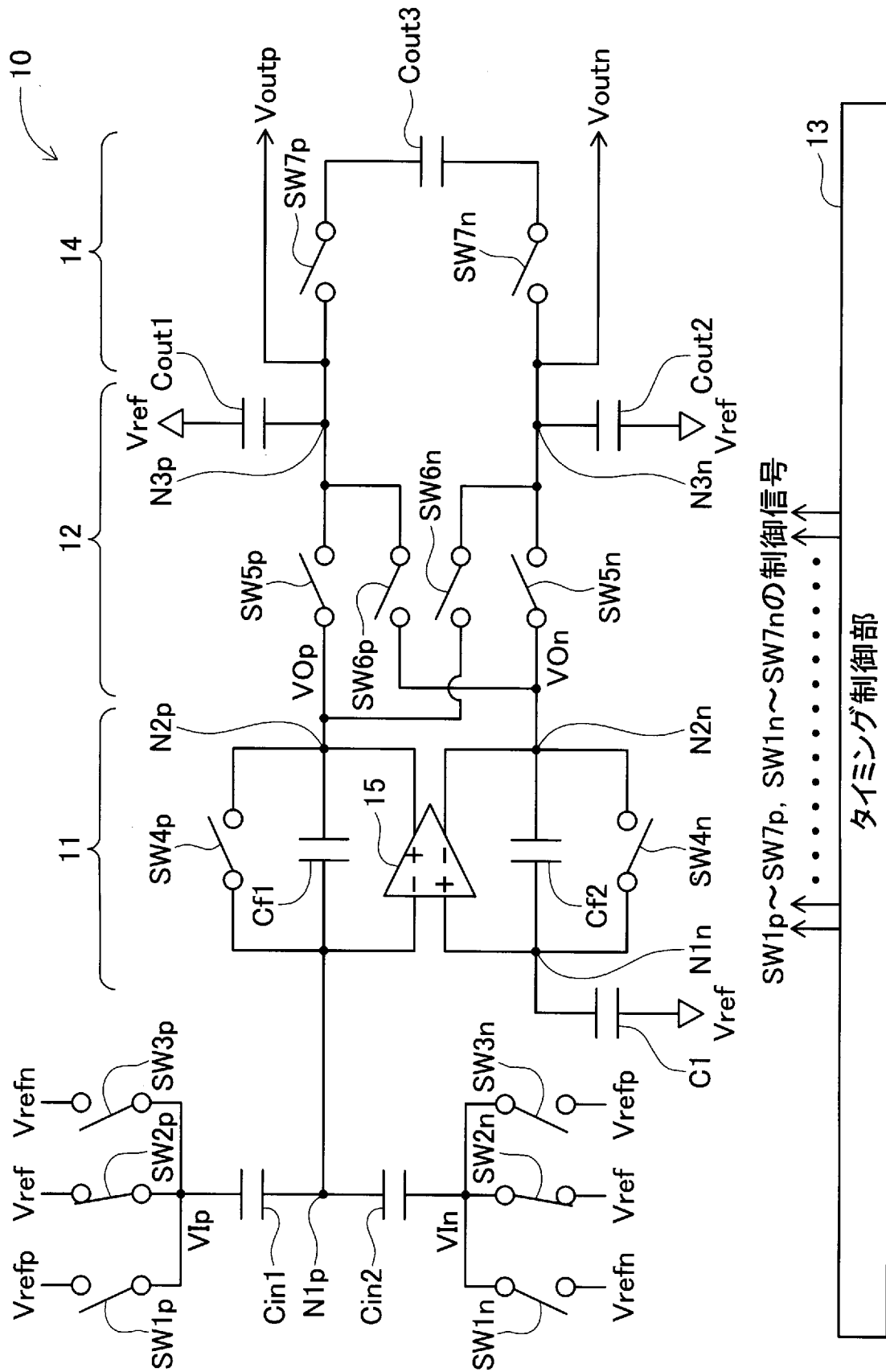
前記第 2 スイッチは、前記正相及び逆相容量素子を前記第 2 容量素子の各々の端子に接続し、

前記相補な電圧の供給方向に応じて、前記第 3 スイッチ又は前記第 4 スイッチを ON することを特徴とする請求項 2 に記載の C V 変換回路。

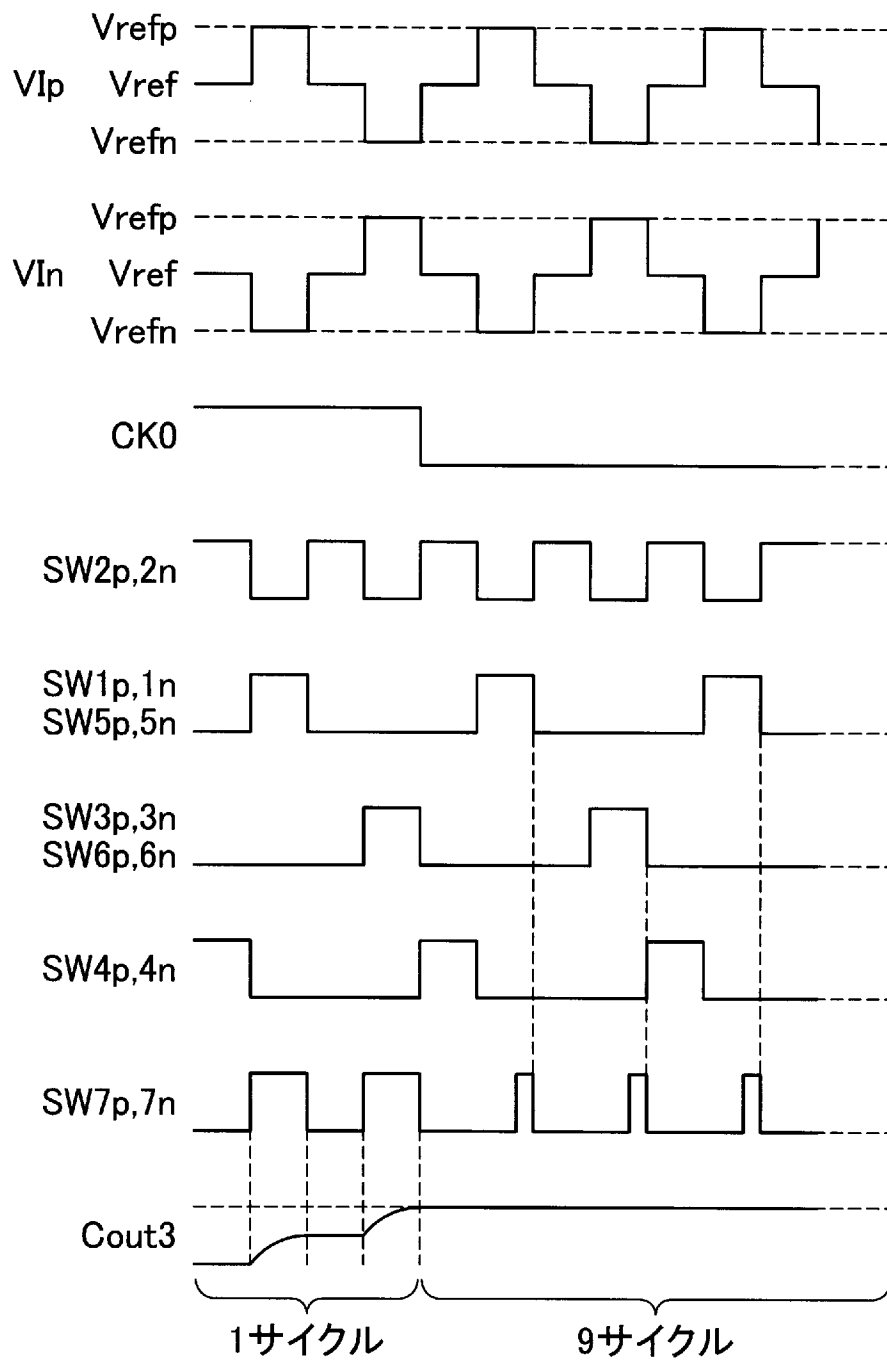
[請求項 4] 前記同時サンプリング動作は、前記最初のサンプリング期間から連続する複数のサンプリング期間で行われることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の C V 変換回路。

[請求項 5] 前記積分回路は、前記同時サンプリング動作において出力電流が増大することを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の C V 変換回路。

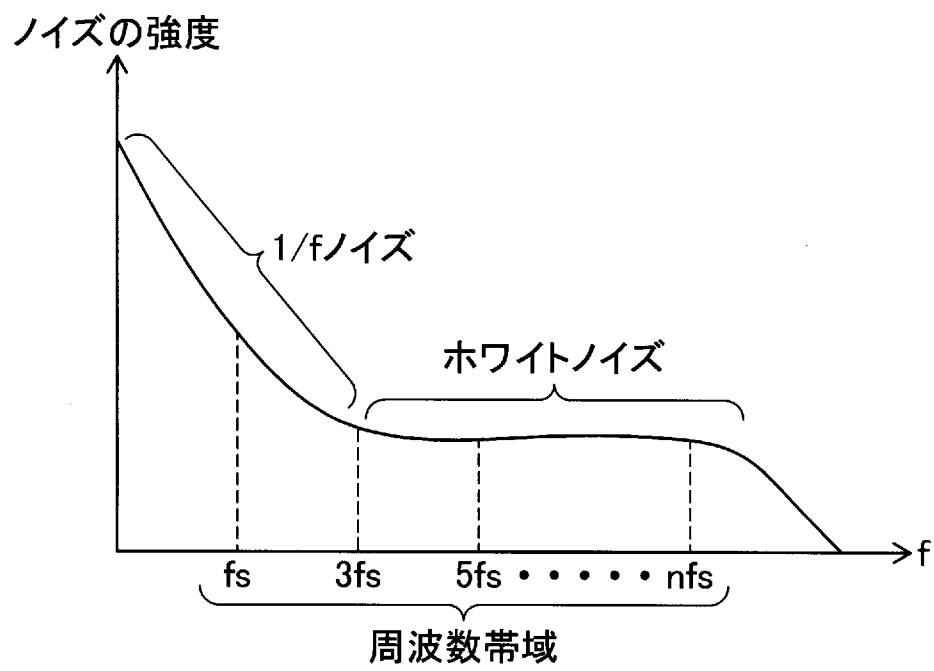
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/051472

A. CLASSIFICATION OF SUBJECT MATTER

G01R27/26(2006.01)i, G01P15/125(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R27/26, G01P15/125, G01D5/24, G01N27/22, G01L9/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-279261 A (Denso Corp.), 07 October 2004 (07.10.2004), paragraphs [0013] to [0029]; fig. 1 & US 2004/0183551 A1 & DE 102004012862 A	1-5
A	JP 2012-037439 A (Asahi Kasei EMD Corp.), 23 February 2012 (23.02.2012), paragraphs [0017] to [0037]; fig. 1 to 3 (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 February 2015 (25.02.15)

Date of mailing of the international search report
10 March 2015 (10.03.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G01R27/26(2006.01)i, G01P15/125(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G01R27/26, G01P15/125, G01D5/24, G01N27/22, G01L9/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-279261 A (株式会社デンソー) 2004. 10. 07, 段落 0013-0029, 図 1 & US 2004/0183551 A1 & DE 102004012862 A	1-5
A	JP 2012-037439 A (旭化成エレクトロニクス株式会社) 2012. 02. 23, 段落 0017-0037, 図 1-3 (ファミリーなし)	1-5

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 2 . 2 0 1 5

国際調査報告の発送日

1 0 . 0 3 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

荒井 誠

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

2 S

3 2 0 3