

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 9 月 16 日 (16.09.2021)



(10) 国际公布号
WO 2021/179934 A1

(51) 国际专利分类号:
H01L 21/336 (2006.01) **H01L 29/78** (2006.01)

(21) 国际申请号: PCT/CN2021/078514

(22) 国际申请日: 2021 年 3 月 1 日 (01.03.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010157194.1 2020 年 3 月 9 日 (09.03.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 张燕杰 (ZHANG, Yanjie); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路 787 号二幢 202B 室, Shanghai 200011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 发明名称: 一种半导体器件及其制造方法

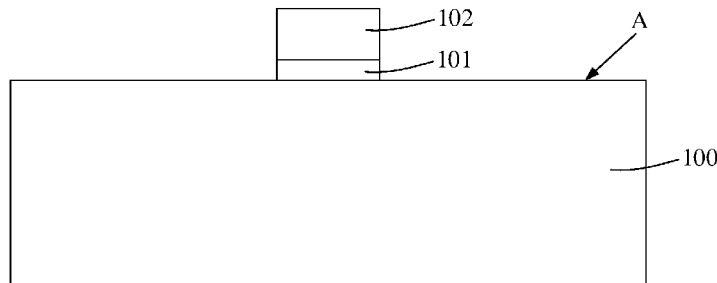


图 2

(57) Abstract: Provided are a semiconductor device and a method for manufacturing same. The method for manufacturing the semiconductor device comprises: providing a semiconductor substrate (100); sequentially forming, on the semiconductor substrate (100), a gate oxide layer (101) and a gate polysilicon layer (102) that are laminated; and after the gate polysilicon layer (102) is formed, carrying out fluorine ion implantation at a preset temperature, and carrying out annealing after ion implantation so as to form an Si-F bond at an interface between the gate oxide layer (101) and the semiconductor substrate (100), wherein the preset temperature is between -100°C and -10°C. An interface region of the gate oxide layer (101) is doped with fluorine ions by means of a low-temperature ion implantation mode, such that a smoother amorphous interface and fewer range end defects can be obtained, thereby greatly reducing the NBTI effect of a semiconductor device and improving the reliability and service life of the semiconductor device.

(57) 摘要: 一种半导体器件及其制造方法, 半导体器件制造方法包括, 提供半导体衬底(100); 在所述半导体衬底(100)上依次形成层叠的栅氧化层(101)和栅极多晶硅层(102); 在形成所述栅极多晶硅层(102)之后, 在预设温度下进行氟离子注入, 并在离子注入后进行退火, 以在所述栅氧化层(101)和所述半导体衬底(100)的界面形成 Si-F 键; 所述预设温度在 -100°C 至 -10°C 之间。通过低温离子注入的方式对栅极氧化层(101)界面区域进行氟离子掺杂, 可以得到更平整的非晶界面以及更少的射程端缺陷, 从而极大降低半导体器件的 NBTI 效应, 提高半导体器件的可靠性和使用寿命。

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

一种半导体器件及其制造方法

交叉引用

[0001] 本申请引用于 2020 年 3 月 9 日递交的名称为“一种半导体器件及其制造
5 方法”的第 202010157194.1 号中国专利申请，其通过引用被全部并入本申请。

技术领域

[0002] 本申请实施例涉及半导体领域，特别涉及一种半导体器件及其制造方法。

背景技术

[0003] 负偏压温度不稳定性 (NBTI) 效应为发生在 PMOS 器件中的常见现象，
10 在栅极负偏压和较高温度工作时，会导致器件参数如阈值电压、饱和电流和跨
导等不稳定现象。随着尺寸微缩，半导体结构的栅电场增加，集成电路工作温
度升高，这种导致器件性能衰退的 NBTI 效应表现得更加显著。

[0004] 栅氧化层 Si-SiO₂ 界面态的形成是导致 NBTI 效应的主要因素，在器件工
作时负压会在栅极上形成高电场，在 H₂ 气氛中回火形成的 Si-H 键就容易被打
15 断，形成带正电的界面态以及陷阱，从而导致集成电路器件的 NBTI 效应。相
关技术中通过在栅极氧化层界面区域进行氟离子掺杂，修复未键结的悬浮键并
形成能量更高且较 Si-H 更难被打断的 Si-F 键；同时氟的引入可以抑制源/漏极
掺杂硼穿透栅氧化层造成的缺陷，从而降低 NBTI 效应。

[0005] 然而，为了极大地降低 NBTI 效应以提高半导体器件的可靠性，现有的
20 氟离子掺杂工艺仍有待提高。

发明内容

[0006] 本申请实施例的目的在于提供一种半导体器件及其制造方法，以改善半

导体器件负偏压不稳定性效应、提高半导体器件的可靠性。

[0007] 为解决上述技术问题，本申请实施例提供了一种半导体器件制造方法，包括：提供半导体衬底；在所述半导体衬底上依次形成层叠的栅氧化层和栅极多晶硅层；在形成所述栅极多晶硅层之后，在预设温度下进行氟离子注入，并在离子注入后进行退火，以在所述栅氧化层和所述半导体衬底的界面形成 Si-F 键；所述预设温度在-100℃至-10℃之间。

[0008] 本申请实施例还提供了一种半导体器件，所述半导体器件通过上述半导体器件制造方法所制造而成。

[0009] 本申请实施例相对于相关技术而言，通过在低温条件下对半导体结构进行氟离子注入工艺，以修复栅氧化层和半导体衬底界面之间未键合的悬浮键，形成能量更高的 Si-F 键，从而极大降低 NBTI 效应；并且低温条件下晶格处于较低的能量状态，原子相对不活跃，在此条件下进行氟离子注入，可以减小离子注入对晶格的损伤，得到较低的射程端缺陷，从而减小漏电现象，提高半导体器件的良率和可靠性。

[0010] 另外，所述形成层叠的栅氧化层和栅极多晶硅层包括：在所述半导体衬底的第一表面上依次形成层叠的初始氧化层和初始多晶硅层；刻蚀所述初始氧化层和初始多晶硅层以形成图形化的栅氧化层和栅极多晶硅层。

[0011] 另外，在进行所述低温氟离子注入工艺之前还包括：在所述在预设温度下进行氟离子注入之前还包括：在所述半导体衬底的所述第一表面形成第一掩模层，所述第一掩模层覆盖所述半导体衬底暴露出的所述第一表面；且在所述在预设温度下进行氟离子注入之后还包括：去除所述第一掩模层。形成覆盖半导体衬底暴露出的第一表面的第一掩模层，以覆盖半导体衬底上的源漏区域，

防止注入的氟离子对源漏区晶格的损伤，以及避免对后续源漏区离子掺杂的影响。

5 [0012] 另外，所述第一掩模层为光刻胶。采用光刻胶作为保护半导体衬底的第一掩模层，便于形成以及方便去除，可以降低半导体器件的工艺难度以及制造成本。

[0013] 另外，所述在预设温度下进行氟离子注入具体包括：沿竖直方向经由所述栅极多晶硅层进行氟离子注入。

10 [0014] 另外，在所述在预设温度下进行氟离子注入之前，还包括：形成紧邻所述栅氧化层和栅极多晶硅层的介质层侧墙，并在所述半导体衬底上形成位于所述栅氧化层两侧的轻掺杂漏区；所述在预设温度下进行氟离子注入具体包括：经由所述轻掺杂漏区进行倾斜氟离子注入。

[0015] 另外，在所述在预设温度下进行离子注入之前，在形成所述介质层侧墙之后，还包括：形成位于所述栅极多晶硅层远离所述半导体衬底的上方的第二掩模层；在所述在预设温度下进行氟离子注入之后还包括：去除所述第二掩模层。

15 [0016] 另外，所述在预设温度下进行氟离子注入具体包括：以与所述第一表面形成夹角 θ 的方向注入氟离子源，所述夹角 θ 在30度~90度之间。根据栅极尺寸选择合适的氟离子注入角度，可以精确控制氟离子注入到目标位置，获得高质量的非晶层，并减少氟离子对源极掺杂区和漏极掺杂区的影响，进而提升半导体器件的稳定性和使用寿命。

20 [0017] 另外，所述在预设温度下进行氟离子注入所采用的氟离子源包括氟化硼气体。

[0018] 另外，所述在预设温度下进行氟离子注入所采用的注入能量为 0.5KeV~15KeV，注入剂量为 $5E11/cm^2 \sim 1E13/cm^2$ 。

[0019] 另外，所述退火工艺的温度在 900℃~1100℃之间。退火温度太高容易导致注入的氟离子迅速扩散进而导致造成氟离子泄露，而退火温度太低离子损伤
5 修复效果较差，栅氧化层与半导体衬底界面之间的 Si-F 键形成率较低，进而使得半导体器件的负偏压不稳定性效应改善效果不理想。采用上述退火温度，可以避免上述弊端，从而在栅氧化层与半导体衬底界面之间形成稳定的 Si-F 键，改善半导体的负偏压不稳定性效应。

附图说明

10 [0020] 图 1 至图 3 是本申请一实施例提供的半导体器件制造方法各步骤对应的结构示意图；

[0021] 图 4 和图 5 是本申请另一实施例提供的半导体器件制造方法各步骤对应的结构示意图。

具体实施方式

15 [0022] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。以下各个实施例的划分是为了描述方便，
20 不应对本申请的具体实现方式构成任何限定，各个实施例在不矛盾的前提下可以相互结合相互引用。

[0023] 本申请的第一实施例提供一种半导体器件的制造方法，包括：提供半导体

衬底；在半导体衬底上依次形成层叠的栅氧化层和栅极多晶硅层；在形成栅极多晶硅层之后，在预设温度下进行氟离子注入，并在离子注入后进行退火，以在栅氧化层和半导体衬底的界面形成 Si-F 键；预设温度在-100℃至-10℃之间。

[0024] 图 1 至图 3 为本申请一实施例提供的半导体器件的制造方法各步骤所获得的半导体结构示意图，以下将结合图 1 至图 3 对本实施例提供的半导体器件的制造方法进行详细说明。

[0025] S101、提供半导体衬底 100。

[0026] 参考图 1，本实施例中半导体衬底 100 的材料为硅，在其他实施例中半导体衬底的材料还可以是绝缘体上硅(Silicon-on-insulator, SOI)、锗、锗硅或砷化镓等。半导体衬底 100 表面还可以形成若干外延界面层或应变层以提高半导体器件的电学性能。

[0027] 在半导体衬底 100 内还可以形成隔离结构（未标识），现有的隔离结构通常采用浅沟槽隔离结构，浅沟槽隔离结构的填充材料可以为氧化硅、氮化硅、氮氧化硅中的一种或几种的混合物。浅沟槽隔离结构主要用于隔离第一区域（未标识）和第二区域（未标识），防止不同半导体器件之间电学连接。

[0028] S102、在半导体衬底 100 上依次形成层叠的栅氧化层 101 和栅极多晶硅层 102。

[0029] 继续参考图 1，通过沉积工艺在半导体衬底 100 的第一表面 A 上依次形成初始氧化层 11 和初始多晶硅层 12，初始多晶硅层 12 位于初始氧化层 11 远离半导体衬底 100 的表面。本实施例中通过低压力化学气相沉积法（Low Pressure Chemical Vapor Deposition, LPCVD）、等离子体增强化学气相沉积法（Plasma Enhanced Chemical Vapor Deposition, PECVD）、热氧化或原位水汽氧

化法 (In-Situ Steam Generation, ISSG) 在半导体衬底 100 的第一表面 A 上依次形成层叠的初始氧化硅层 11 和初始多晶硅层 12。

[0030] 在采用原位水汽氧化法形成初始氧化层 11 的过程中, 反应气体 H₂ 和 O₂ 直接与半导体衬底 100 表面的硅材料发生反应而形成初始氧化层 11, 反应
5 中产生大量具有氧化性的气相活性自由基, 这些自由基包括活性氧原子、水分子以及 OH 基团等, 由于活性氧原子具有极强的氧化作用, 使得最终得到的初始氧化层 11 的缺陷减少, 半导体衬底 100 与初始氧化层 11 之间的界面处的电荷和界面态减少, 因此能够改善半导体器件的负偏压不稳定问题。

[0031] 采用热氧化工艺形成初始氧化层时, 可以是在氧蒸汽环境中在 800~1000
10 摄氏度下将硅衬底氧化而成。热氧化工艺可以使得氧化层和衬底之间紧密接触, 两者之间具有良好得界面性能, 防止界面缺陷的产生。

[0032] 在 PECVD 工艺中, 衬底温度通常保持在 350℃ 左右就可以得到良好的 SiO_x 薄膜, 沉积速率快, 且成膜质量好。

[0033] 在其他实施例中, 还可以是通过其它沉积工艺形成初始氧化层和初始多
15 晶硅层, 在此不对初始氧化层和初始多晶硅层的形成工艺做具体限定。

[0034] 参考图 2, 刻蚀初始氧化层 11 和初始多晶硅层 12 以形成图形化的栅氧化层 101 和栅极多晶硅层 102。本实施例中栅氧化层 101 的材料为氧化硅。在其它实施例中, 栅氧化层的材料还可以是 SiON、SiO 与 SiON 叠层或其它高 K 介质材料。其中, 高 K 介质材料指的是相对介电常数大于氧化硅相对介电常数的材料, 例如高 K 介质材料为 HfSiO、HfO₂、HfSiON、HfTaO、HfTiO、HfZrO、
20 ZrO₂ 或 Al₂O₃。

[0035] 具体来说, 在初始多晶硅层 12 远离半导体衬底 100 的表面形成用以定义

栅极的图形化掩模层（未标识），通过干法或湿法刻蚀工艺刻蚀初始氧化层 11 和初始多晶硅层 12，以形成栅氧化层 101 和栅极多晶硅层 102，刻蚀工艺完成后去除栅极多晶硅层 102 表面上的图形化掩模层。在其它实施例中，还可以是通过干法或湿法刻蚀工艺去除初始多晶硅层，保留初始氧化层，或者是在半导体衬底的第一表面上直接形成图形化的栅氧化层和栅极多晶硅层。

[0036] 需要说明的是，氟离子注入会损伤源漏区的晶格，同时也会影响后续源漏区离子掺杂的分布，为了避免后续氟离子注入工艺对半导体衬底源极掺杂区（未标识）和漏极掺杂区（未标识）造成的影响，参考图 3，本实施例在形成图形化的栅氧化层 101 和栅极多晶硅层 102 之后，还包括：在半导体衬底 100 的第一表面 A 形成第一掩模层 103，第一掩模层 103 覆盖半导体衬底 100 暴露出的第一表面 A。

[0037] 半导体衬底 100 暴露出的第一表面区域为半导体衬底 100 第一表面 A 上除栅极氧化层 101 之外的区域，所形成的第一掩模层 103 与栅氧化层 101 以及栅极多晶硅层 102 的侧壁相紧邻。第一掩模层 103 覆盖半导体衬底 100 上的源极掺杂区和漏极掺杂区，从而可以避免氟离子掺杂工艺对后续源漏区离子掺杂的影响。

[0038] 可以理解的是，形成紧邻栅氧化层 101 和栅极多晶硅层 102 的第一掩模层 103 并非本实施例的必需步骤，参考图 2，在其他实施例中，还可以是在形成图形化的栅氧化层 101 和栅极多晶硅层 102 之后，执行步骤 S103。

[0039] 在本实施例中，第一掩模层 103 的材料为光刻胶。采用光刻胶作为第一掩模层 103，其形成工艺以及去除工艺简单，且价格低廉，在保护半导体衬底 100 不受氟离子侵蚀的同时，可以极大降低半导体器件的制造工艺成本。在其他

实施例中第一掩模层还可以是其他掩模材料。

[0040] S103、在预设温度下进行氟离子注入，并在离子注入后进行退火，以在栅氧化层 101 和半导体衬底 100 的界面形成 Si-F 键。

[0041] 本实施例中氟离子注入工艺的预设温度在-100℃至-10℃之间。在低温条件下，晶格处于较低的能量状态，晶格内的原子相对不会很活跃，在离子注入时，晶格相对不易被破坏。因此采用低温离子注入的方式，对半导体结构进行氟离子注入，可以减小离子注入对晶格的损伤，得到较低的射程端缺陷，从而减少漏电现象，提高半导体器件的良率。

[0042] 进一步地，低温氟离子注入工艺的温度为-90℃、-80℃、-70℃、-60℃、-50℃、-40℃、-30℃或-20℃。在上述温度条件下进行氟离子注入，可以在改善半导体器件负偏压稳定性的同时，进一步降低射程端缺陷，提高半导体器件的良率。

[0043] 需要说明的是，在本实施例中，在预设温度下进行氟离子注入具体包括：沿竖直方向经由栅极多晶硅层 102 注入氟离子源。

[0044] 参考图 3，沿垂直于栅极多晶硅层 102 表面的方向对栅极多晶硅层 102 进行低温氟离子注入，并对离子注入后的所得到的半导体结构进行退火，以对栅氧化层 101 进行低温氟离子注入并对离子注入后的栅氧化层 101 进行退火。如此，可以使得氟离子经由栅极多晶硅层 102 向栅氧化层 101 进行扩散，并在栅氧化层 101 和半导体衬底 100 的界面形成 Si-F 键，从而避免半导体器件在栅极负偏压或高温情形下产生的不稳定现象。并且采用低温氟离子注入工艺可以在栅极多晶硅层 102 内形成更平整的非晶界面以及更少的射程端缺陷，减小由氟离子穿过栅极多晶硅层 102 和栅氧化层 101 注入到半导体衬底 100 表面所造

成的半导体衬底 100 面的损伤，并在随后退火工艺中使注入的氟离子达到较高的活化水平和相对较少的扩散，从而极大降低 NBTI 效应，提高半导体器件的可靠性和使用寿命。

[0045] 可以理解的是，在其他实施例中，还可以是以与第一表面成一定夹角的方向，对栅极多晶硅层进行低温氟离子注入。

[0046] 本实施例中氟离子源包括氟化硼气体，在预设温度下进行氟离子注入工艺的注入能量为 0.5KeV~15KeV，注入剂量为 $5E11/cm^2 \sim 1E13/cm^2$ 。例如注入能量为 1KeV、2KeV、3KeV、4KeV、5KeV、6KeV、7KeV、8KeV、9KeV、10KeV、11KeV、12KeV、13KeV 或 14KeV，注入剂量为 $6E11/cm^2$ 、 $8E11/cm^2$ 、 $1E12/cm^2$ 、 $2E12/cm^2$ 、 $4E12/cm^2$ 、 $5E12/cm^2$ 、 $6E12/cm^2$ 或 $8E12/cm^2$ 。

[0047] 需要说明的是，本实施例仅列举具有较优离子注入效果的注入能量和注入剂量组合，在其他实施例中，还可以是采用其他注入能量值和注入剂量值。此外，在其他实施例中，氟离子源还可以是 HF 溶液等。

[0048] 本实施例中退火工艺采用高温快速回火工艺，退火工艺的温度在 $900^{\circ}C \sim 1100^{\circ}C$ 之间。例如退火温度为 $950^{\circ}C$ 、 $1000^{\circ}C$ 或 $1050^{\circ}C$ 。退火温度太高容易导致注入的氟离子迅速扩散进而导致造成氟离子泄露，而退火温度太低离子损伤修复效果较差，栅氧化层与半导体衬底界面之间的 Si-F 键形成率较低，进而使得半导体器件的负偏压不稳定性效应改善效果不理想。采用上述退火温度，可以避免上述弊端，从而在栅氧化层与半导体衬底界面之间形成稳定的 Si-F 键，改善半导体的负偏压不稳定性效应。

[0049] 需要说明的是，由于光刻胶不耐高温，本实施例中，在进行退火工艺之前，先去除半导体衬底 100 上的第一掩模层 103。具体来说，采用湿法刻蚀工

艺去除第一掩模层 103，例如采用刻蚀液体未硫酸和双氧水的混合溶液来刻蚀去除材料为光刻胶的第一掩模层 103，接着，采用氨水和双氧水的混合溶液进行清洗处理。

[0050] 在其他实施例中，第一掩模层还可以采用其他常用的掩模层材料，此时

5 还可以是在进行退火工艺之后通过刻蚀等工艺去除第一掩模层。

[0051] 在其他实施例中，参考图 1，还可以是在形成图形化的栅氧化层 101 和栅极多晶硅层 102 之前，沿垂直于初始多晶硅层 12 的方向对初始多晶硅层 12 注入氟离子源，并在低温氟离子注入工艺后对初始氧化层 11 和初始多晶硅层 12 进行刻蚀以形成图形化的栅氧化层 101 和栅极多晶硅层 102，并对离子注入
10 后的栅氧化层 101 和栅极多晶硅层 102 进行退火工艺，以使氟离子从栅极多晶硅层 102 向栅氧化层 101 扩散，并在半导体衬底 100 和栅氧化层 101 的界面形成 Si-F 键。

[0052] 在对氟离子注入后的栅氧化层 101 进行退火工艺后，还继续在半导体衬底 100 上形成栅金属层和绝缘介质层，以及形成位于栅极氧化层 101 两侧的源
15 极掺杂区和漏极掺杂区。

[0053] 本实施例提供的半导体器件制造方法，通过在低温条件下对半导体结构进行氟离子注入工艺，以修复栅氧化层和半导体衬底界面之间未键结的悬浮键，从而极大降低半导体器件的 NBTI 效应；并且低温条件下晶格处于较低的能量状态，原子相对不活跃，在此条件下进行氟离子注入，可以减小离子注入对晶
20 格的损伤，得到较低的射程端缺陷，从而减小漏电现象，提高半导体器件的良率和可靠性。

[0054] 本申请的另一实施例涉及一种半导体器件制造方法。另一实施例与上述

实施例大致相同，主要区别之处在于：进行低温氟离子注入工艺之前，还包括：形成紧邻栅氧化层和栅极多晶硅层的介质层侧墙，并在半导体衬底上形成位于栅氧化层两侧的轻掺杂漏区；在预设温度下进行氟离子注入具体包括：经由轻掺杂漏区对栅氧化层进行倾斜氟离子注入。

- 5 [0055] 图 4 和图 5 为本申请另一实施例提供的半导体器件制造方法对应的结构示意图，与上述实施例相同或相似的细节请参考上一实施例中的详细描述，在此不再赘述。

[0056] S201、提供半导体衬底 200。

- 10 [0057] S202、在半导体衬底 200 上依次形成层叠的栅氧化层 201 和栅极多晶硅层 202。

[0058] S203、形成紧邻栅氧化层 201 和栅极多晶硅层 202 的介质层侧墙 204，并在半导体衬底 200 上形成位于栅氧化层 201 两侧的轻掺杂漏区 206。

- 15 [0059] 参考图 4，本实施例中介质层侧墙 204 包括第一介质层侧墙 23 和第二介质层侧墙 24，第一介质层侧墙 23 的材料为氮化硅，第二介质层侧墙 24 的材料为氧化硅。在其他实施例中，第一介质层侧墙的材料还可以是其它的高 K 介质材料。

- [0060] 可以理解的是，本实施例中在形成介质层侧墙 204 之前，还形成位于栅极多晶硅层 202 远离半导体衬底 200 表面的栅金属层（未标识）和绝缘介质层（未标识），依次层叠的栅氧化层 201、栅极多晶硅层 202、栅金属层和绝缘介质层形成栅极结构，介质层侧墙 204 位于栅极结构的两侧。
- 20

[0061] 具体来说，形成紧邻栅极结构的介质层侧墙 204 包括：在形成栅极结构后，采用具有较高台阶覆盖性的原子沉积工艺或化学气相沉积工艺，依次沉积

形成覆盖所形成的半导体结构表面的一层氮化硅层和一层氧化硅层；采用具有定向刻蚀效果的干法刻蚀工艺对形成的氧化硅层和氮化硅层进行刻蚀，经过刻蚀之后，去除了覆盖半导体衬底 200 第一表面 A 以及覆盖于绝缘介质层之上的氧化硅层和氮化硅层，仅仅保留处于栅极结构两侧的氮化硅层和氧化硅层以形成第一介质层侧墙 23 和第二介质层侧墙 24。

[0062] 为了在半导体衬底 200 上形成源/漏极掺杂区，在形成介质层侧墙 204 后，通过 N 型 Halo 掺杂工艺在半导体衬底 200 上形成 Halo 掺杂区，并在进行 N 型 Halo 掺杂工艺后，在栅氧化层 201 两侧的半导体衬底 200 上形成 P 型轻掺杂漏区 206。

[0063] 轻掺杂漏区（Light Dope Drain, LDD）结构是 MOSFET 为了减弱漏区电场、以改进热载流子注入效应所采取的一种结构，即在沟道中靠近漏极的附近设置一个低掺杂的漏区，让该低掺杂的漏区也承受部分电压，这种结构可以防止热载流子注入效应。热载流子效应是 MOS（金属-氧化物-半导体）器件的一个重要失效原理，随着 MOS 器件尺寸的日益缩小，器件的热载流子注入效应越来越严重。以 PMOS 器件为例，沟道中的空穴，在源漏之间高横向电场的作用下被加速，形成高能载流子，高能载流子与硅晶格碰撞，产生电离的电子空穴对，电子由衬底收集，形成衬底电流，大部分碰撞产生的空穴流向漏极，但还有部分空穴，在纵向电场的作用下，注入到栅极中形成栅极电流，这种现象称为热载流子注入（Hot Carrier Injection）。

[0064] 热载流子会造成硅衬底与栅氧化层界面处键能的断裂，在硅衬底和栅氧化层界面处产生界面态，导致器件性能，如阈值电压、跨导以及线性区/饱和区电流的退化，最终造成 MOS 器件失效。器件失效通常首先发生在漏端，这是

由于载流子通过整个沟道的电场加速，在到达漏端后，载流子的能量到达最大值，因此漏端的热载流子注入现象比较严重。

[0065] 随着器件尺寸进入亚微米沟长范围，器件内部的电场强度随器件尺寸的减小而增强，特别在漏端附近存在强电场，载流子在这一强电场中获得较高的能量，成为热载流子。热载流子在两个方面影响器件性能：越过 Si-SiO₂ 势垒，注入到氧化层中，不断积累，改变阈值电压，影响期间寿命；在漏区附近的耗尽区中与晶格碰撞产生电子空穴对，对 NMOS 管，碰撞产生的电子形成附加的漏电流，空穴则被衬底收集，形成衬底电流，使总电流成为饱和漏电流和衬底电流之和。衬底电流越大，说明沟道中发生的碰撞次数越多，相应的热载流子效应越严重。热载流子效应是限制器件最高工作电压的基本因素之一。

[0066] 需要说明的是，为了避免后续低温氟离子注入工艺对栅极结构的影响，参考图 5，在形成介质层侧墙 204 后，还包括形成位于栅极多晶硅层 202 远离半导体衬底 200 的上方的第二掩模层 205。本实施例中第二掩模层 205 为光刻胶。

[0067] S204、在预设温度下，经由 P 型轻掺杂漏区 206 进行倾斜氟离子注入，并在氟离子注入后进行退火，以在栅氧化层 201 和半导体衬底 200 的界面形成 Si-F 键。

[0068] 在本实施例中，在预设温度下进行氟离子注入具体包括：以与第一表面 A 形成夹角 θ 的方向注入氟离子源，所述夹角 θ 在 30 度~90 度之间。例如为 40 度、50 度、60 度、70 度或 80 度。

[0069] 具体来说，氟离子注入的角度与栅极结构的尺寸相关，根据栅极尺寸选择合适的氟离子注入角度，经由栅氧化层 201 两侧的半导体衬底 200 区域向栅

氧化层 201 进行低温氟离子注入工艺，可以精确控制氟离子注入到目标位置，获得高质量的非晶层，并减少氟离子对源极掺杂区和漏极掺杂区的影响，进而提升半导体器件的稳定性和使用寿命。

5 [0070] 在预设温度下进行氟离子注入工艺后，去除栅极多晶硅层 202 远离半导体衬底 200 上方的光刻胶层，并采用高温快速回火工艺进行退火。

[0071] 与相关技术相比，本实施例提供的半导体器件制造方法，通过低温离子注入的方式经由栅极氧化层 201 两侧的半导体衬底 200 区域对栅极氧化层 201 界面区域进行氟离子掺杂，以修复栅氧化层和半导体衬底界面之间未键结的悬
10 浮键，并键合成能量更高的 Si-F 键，从而极大降低半导体器件的 NBTI 效应；
并且低温条件下晶格处于较低的能量状态，原子相对不活跃，在此条件下进行氟离子注入，可以减小离子注入对晶格的损伤，得到较低的射程端缺陷，从而减小漏电现象，提高半导体器件的良率和可靠性。

[0072] 相应的，本申请又一实施例还提供一种半导体器件，半导体器件通过上述实施例中的半导体器件制造方法所制造而成。

15 [0073] 本实施例中的半导体器件例如为 PMOS 管、逻辑电路、动态随机存储器等。

[0074] 本领域的普通技术人员可以理解，上述各实施例是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，
20 均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为准。

权利要求书

1. 一种半导体器件制造方法，其中，包括：

提供半导体衬底；

在所述半导体衬底上依次形成层叠的栅氧化层和栅极多晶硅层；

5 在形成所述栅极多晶硅层之后，在预设温度下进行氟离子注入，并在离子注入后进行退火，以在所述栅氧化层和所述半导体衬底的界面形成 Si-F 键；

所述预设温度在-100℃至-10℃之间。

2. 根据权利要求 1 所述的半导体器件制造方法，其中，所述形成层叠的栅氧化层和栅极多晶硅层包括：在所述半导体衬底的第一表面上依次形成层叠的初始氧化层和初始多晶硅层；刻蚀所述初始氧化层和初始多晶硅层以形成图形化的栅氧化层和栅极多晶硅层。

3. 根据权利要求 2 所述的半导体器件制造方法，其中，在所述在预设温度下进行氟离子注入之前还包括：在所述半导体衬底的所述第一表面形成第一掩模层，所述第一掩模层覆盖所述半导体衬底暴露出的所述第一表面；且在所述在预设温度下进行氟离子注入之后还包括：去除所述第一掩模层。

4. 根据权利要求 3 所述的半导体器件制造方法，其中，所述第一掩模层为光刻胶。

5. 根据权利要求 1~4 中任一项所述的半导体器件制造方法，其中，所述在预设温度下进行氟离子注入具体包括：沿竖直方向经由所述栅极多晶硅层进行氟离子注入。

6. 根据权利要求 1 所述的半导体器件制造方法，其中，在所述在预设温度下进行氟离子注入之前，还包括：形成紧邻所述栅氧化层和栅极多晶硅层的介质层

侧墙，并在所述半导体衬底上形成位于所述栅氧化层两侧的轻掺杂漏区；所述在预设温度下进行氟离子注入具体包括：经由所述轻掺杂漏区进行倾斜氟离子注入。

7. 根据权利要求6所述的半导体器件制造方法，其中，在所述在预设温度下进行离子注入之前，在形成所述介质层侧墙之后，还包括：形成位于所述栅极多晶硅层远离所述半导体衬底的上方的第二掩模层；在所述在预设温度下进行氟离子注入之后还包括：去除所述第二掩模层。

8. 根据权利要求6或7所述的半导体器件制造方法，其中，所述在预设温度下进行氟离子注入具体包括：以与第一表面形成夹角 θ 的方向注入氟离子源，所述夹角 θ 在30度~90度之间。

9. 根据权利要求1所述的半导体器件制造方法，其中，所述在预设温度下进行氟离子注入所采用的氟离子源包括氟化硼气体。

10. 根据权利要求1所述的半导体器件制造方法，其中，所述在预设温度下进行氟离子注入所采用的注入能量为0.5KeV~15KeV，注入剂量为5E11/cm²~1E13/cm²。

11. 根据权利要求1所述的半导体器件制造方法，其中，所述退火工艺的温度在900℃~1100℃之间。

12. 一种半导体器件，其中，所述半导体器件通过上述权利要求1~11中任一项所述的半导体器件制造方法所制造而成。

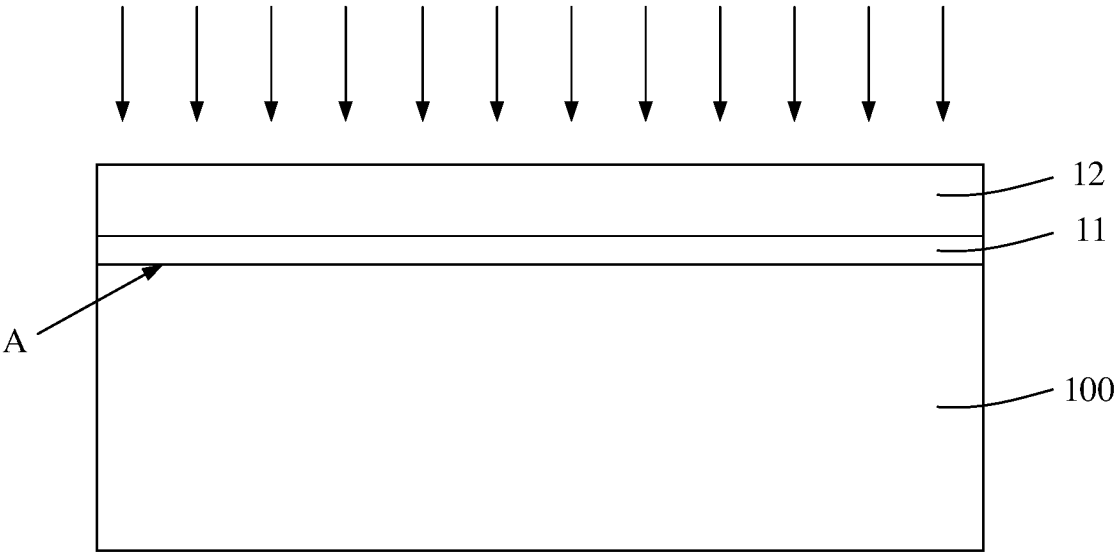


图 1

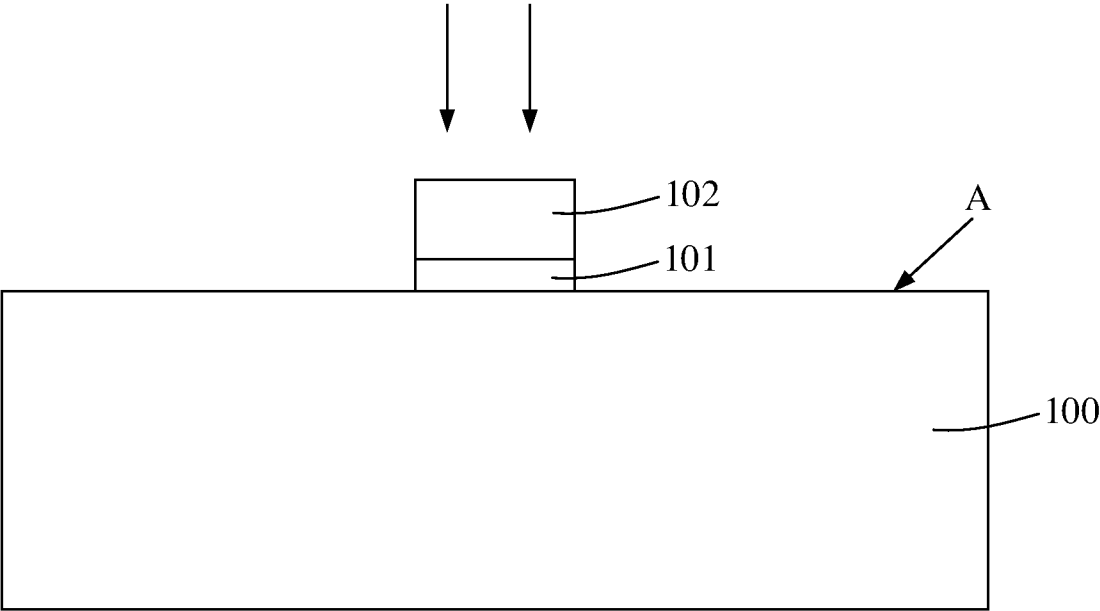


图 2

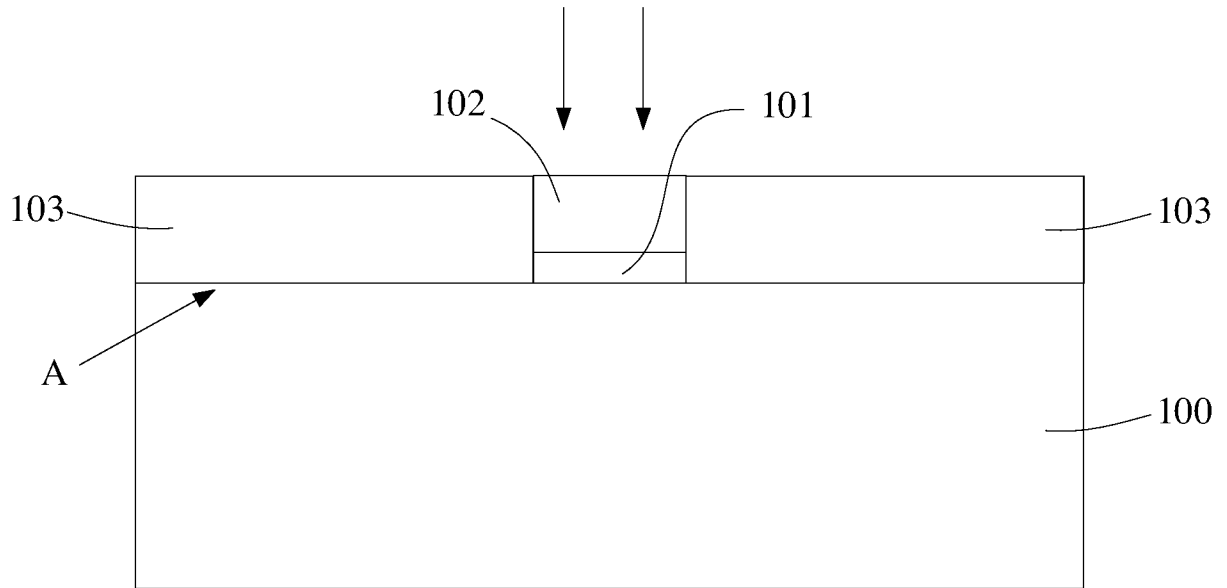


图 3

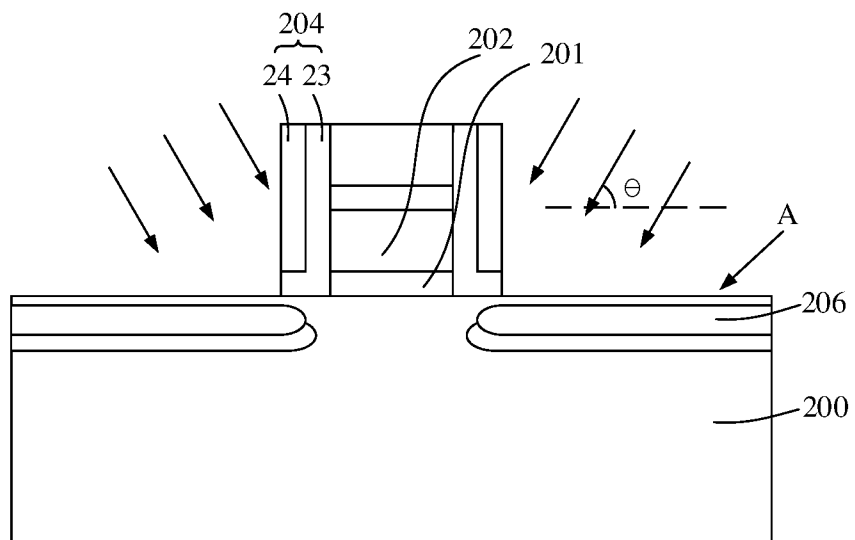


图 4

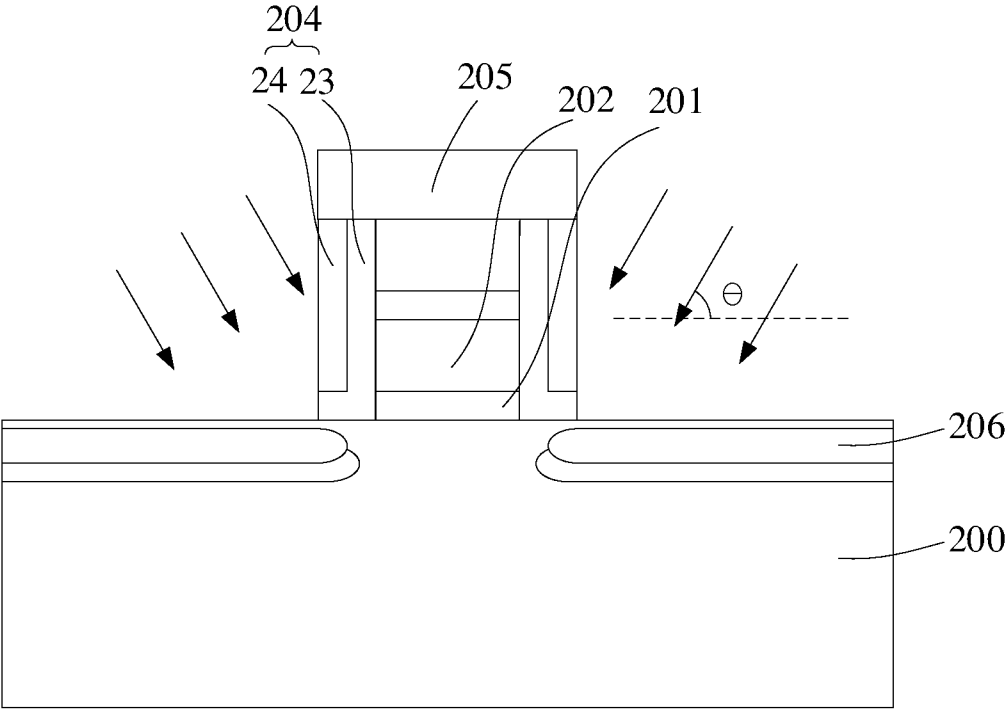


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/078514

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336(2006.01)i; H01L 29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: 栅, 氧化, 氟, F, 离子注入, 温度, 负偏压, 负偏置, 不稳定, NBTI, gate, oxide, fluorine, inject+, dop+, temperature, negative, bias, instability

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104241106 A (SHANGHAI HUALI MICROELECTRONICS CORPORATION) 24 December 2014 (2014-12-24) description, paragraphs [0027]-[0040], and figures 4-6	1-12
A	CN 110265301 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 20 September 2019 (2019-09-20) entire document	1-12
A	CN 102054700 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 11 May 2011 (2011-05-11) entire document	1-12
A	US 2007132018 A1 (KOTANI, Naoki et al.) 14 June 2007 (2007-06-14) entire document	1-12
A	CN 104347370 A (SHANGHAI HUAHONG GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 11 February 2015 (2015-02-11) entire document	1-12
A	CN 101572250 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL CORPORATION, BEIJING) 04 November 2009 (2009-11-04) entire document	1-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 May 2021

Date of mailing of the international search report

26 May 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/078514

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104241106	A	24 December 2014	None			
CN	110265301	A	20 September 2019	None			
CN	102054700	A	11 May 2011	CN	102054700	B	06 June 2012
US	2007132018	A1	14 June 2007	US	7456448	B2	25 November 2008
				CN	1983634	A	20 June 2007
				JP	2007165627	A	28 June 2007
CN	104347370	A	11 February 2015	CN	104347370	B	08 August 2017
CN	101572250	A	04 November 2009	CN	101572250	B	06 July 2011

国际检索报告

国际申请号

PCT/CN2021/078514

A. 主题的分类 H01L 21/336(2006.01)i; H01L 29/78(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPDOC, IEEE: 栅, 氧化, 氟, F, 离子注入, 温度, 负偏压, 负偏置, 不稳定, NBTI, gate, oxide, fluori+, inject+, dop+, temperature, negative, bias, instability																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 104241106 A (上海华力微电子有限公司) 2014年 12月 24日 (2014 - 12 - 24) 说明书第[0027]-[0040]段, 图4-6</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 110265301 A (中芯国际集成电路制造上海有限公司 等) 2019年 9月 20日 (2019 - 09 - 20) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 102054700 A (中芯国际集成电路制造上海有限公司) 2011年 5月 11日 (2011 - 05 - 11) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>US 2007132018 A1 (KOTANI, Naoki 等) 2007年 6月 14日 (2007 - 06 - 14) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 104347370 A (上海华虹宏力半导体制造有限公司) 2015年 2月 11日 (2015 - 02 - 11) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 101572250 A (中芯国际集成电路制造北京有限公司) 2009年 11月 4日 (2009 - 11 - 04) 全文</td> <td>1-12</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 104241106 A (上海华力微电子有限公司) 2014年 12月 24日 (2014 - 12 - 24) 说明书第[0027]-[0040]段, 图4-6	1-12	A	CN 110265301 A (中芯国际集成电路制造上海有限公司 等) 2019年 9月 20日 (2019 - 09 - 20) 全文	1-12	A	CN 102054700 A (中芯国际集成电路制造上海有限公司) 2011年 5月 11日 (2011 - 05 - 11) 全文	1-12	A	US 2007132018 A1 (KOTANI, Naoki 等) 2007年 6月 14日 (2007 - 06 - 14) 全文	1-12	A	CN 104347370 A (上海华虹宏力半导体制造有限公司) 2015年 2月 11日 (2015 - 02 - 11) 全文	1-12	A	CN 101572250 A (中芯国际集成电路制造北京有限公司) 2009年 11月 4日 (2009 - 11 - 04) 全文	1-12
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 104241106 A (上海华力微电子有限公司) 2014年 12月 24日 (2014 - 12 - 24) 说明书第[0027]-[0040]段, 图4-6	1-12																					
A	CN 110265301 A (中芯国际集成电路制造上海有限公司 等) 2019年 9月 20日 (2019 - 09 - 20) 全文	1-12																					
A	CN 102054700 A (中芯国际集成电路制造上海有限公司) 2011年 5月 11日 (2011 - 05 - 11) 全文	1-12																					
A	US 2007132018 A1 (KOTANI, Naoki 等) 2007年 6月 14日 (2007 - 06 - 14) 全文	1-12																					
A	CN 104347370 A (上海华虹宏力半导体制造有限公司) 2015年 2月 11日 (2015 - 02 - 11) 全文	1-12																					
A	CN 101572250 A (中芯国际集成电路制造北京有限公司) 2009年 11月 4日 (2009 - 11 - 04) 全文	1-12																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2021年 5月 17日		国际检索报告邮寄日期 2021年 5月 26日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 刘雪莲 电话号码 (86-10)53961471																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/078514

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104241106	A	2014年 12月 24日	无			
CN	110265301	A	2019年 9月 20日	无			
CN	102054700	A	2011年 5月 11日	CN	102054700	B	2012年 6月 6日
US	2007132018	A1	2007年 6月 14日	US	7456448	B2	2008年 11月 25日
				CN	1983634	A	2007年 6月 20日
				JP	2007165627	A	2007年 6月 28日
CN	104347370	A	2015年 2月 11日	CN	104347370	B	2017年 8月 8日
CN	101572250	A	2009年 11月 4日	CN	101572250	B	2011年 7月 6日