



등록특허 10-2290571



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월19일
(11) 등록번호 10-2290571
(24) 등록일자 2021년08월11일

- (51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01) *H01L 27/14* (2006.01)
- (21) 출원번호 10-2014-0098077
- (22) 출원일자 2014년07월31일
심사청구일자 2019년07월30일
- (65) 공개번호 10-2015-0016127
- (43) 공개일자 2015년02월11일
- (30) 우선권주장
JP-P-2013-161035 2013년08월02일 일본(JP)
- (56) 선행기술조사문헌
JP11211565 A
JP2003204052 A
JP2010102877 A*
JP2012045331 A*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
미야케 히로유키
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
시시도 히데아키
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
- (74) 대리인
장훈

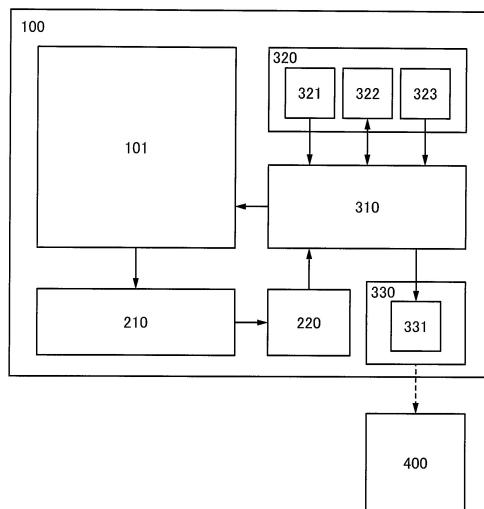
전체 청구항 수 : 총 6 항

심사관 : 심병로

(54) 발명의 명칭 **촬상 장치 및 그 동작 방법****(57) 요약**

본 발명은 화소 회로의 출력값을 보정할 수 있는 촬상 장치를 제공한다.

화소 회로와, 전류 검출 회로와, A/D컨버터와, 기억 회로부와, 연산 회로부를 갖고, 화소 회로는 트랜지스터와, 전하 축적부와, 수광 소자를 갖고, 기억 회로부는 단수 또는 복수이고, 복수의 다른 조도에 대한, 수광 소자가 전하 축적부에 축적하는 전위의 정보가 저장된 제 1 루업 테이블과, 전하 축적부에 공급되는 복수의 다른 전위에 대한, 전하 축적부에 게이트 전극층이 접속되는 트랜지스터의 전류 검출 회로 및 A/D컨버터를 통한 출력값의 정보가 저장된 제 2 루업 테이블과, 연산 회로부로부터 출력되는 화상 정보가 저장되는 영역을 갖는 구조으로 한다.

대 표 도 - 도1

명세서

청구범위

청구항 1

삭제

청구항 2

반도체 장치의 동작 방법에 있어서,

상기 반도체 장치는,

트랜지스터와 수광 소자를 포함하는 화소 회로로서, 상기 트랜지스터의 게이트는 전하 축적부에 전기적으로 접속되고 상기 전하 축적부의 전위는 상기 수광 소자가 받는 빛의 강도에 따라 결정되는 상기 화소 회로와;

제 1 룩업 테이블과 제 2 룩업 테이블을 포함하는 기억 회로부를 포함하고,

상기 제 1 룩업 테이블은 상기 빛의 상기 강도에 따른, 상기 전하 축적부의 전위의 정보를 저장하고,

상기 제 2 룩업 테이블은 상기 전하 축적부의 상기 전위에 따른, 상기 트랜지스터의 출력 정보를 저장하고,

상기 동작 방법은,

상기 제 2 룩업 테이블의 정보를 취득하는 단계와;

상기 트랜지스터의 상기 출력 정보와 상기 제 2 룩업 테이블의 상기 정보를 기반으로, 활성 시에 상기 전하 축적부의 상기 전위를 추산하는 단계와;

상기 전하 축적부의 추산된 상기 전위와 상기 제 1 룩업 테이블의 상기 정보로부터 상기 빛의 상기 강도를 추산하는 단계를 포함하는, 반도체 장치의 동작 방법.

청구항 3

삭제

청구항 4

삭제

청구항 5

반도체 장치에 있어서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 수광 소자를 포함하는 화소 회로로서, 상기 제 2 트랜지스터의 게이트는 전하 축적부에 전기적으로 접속되고 상기 전하 축적부의 전위는 상기 수광 소자가 받는 빛의 강도에 따라 결정되는 상기 화소 회로와;

제 1 룩업 테이블과 제 2 룩업 테이블을 포함하는 기억 회로부를 포함하고,

상기 제 1 룩업 테이블은 상기 빛의 상기 강도에 따른, 상기 전하 축적부의 전위의 정보를 저장하고,

상기 제 2 룩업 테이블은 상기 전하 축적부의 상기 전위에 따른, 상기 제 2 트랜지스터의 출력 정보를 저장하고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 수광 소자의 전극 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 전하 축적부에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 배선에 전기적으로 접속되고,
상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 배선에 전기적으로 접속되고,
상기 제 1 트랜지스터의 게이트는 제 3 배선에 전기적으로 접속되고,
상기 제 3 트랜지스터의 게이트는 제 4 배선에 전기적으로 접속되고,
상기 수광 소자의 전극 중 다른 쪽은 제 5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 및 상기 제 3 트랜지스터 각각은 산화물 반도체 영역을 포함하는, 반도체 장치.

청구항 7

삭제

청구항 8

제 5 항에 있어서,

전류 검출 회로 및 A/D컨버터를 더 포함하고,

상기 출력 정보는 상기 전류 검출 회로 및 상기 A/D컨버터를 통하여 상기 제 2 룩업 테이블에 입력되는, 반도체 장치.

청구항 9

삭제

청구항 10

제 5 항에 있어서,

상기 화소 회로 위에 신틸레이터를 더 포함하는, 반도체 장치.

청구항 11

삭제

청구항 12

삭제

청구항 13

제 5 항에 따른 반도체 장치의 동작 방법에 있어서,

상기 동작 방법은,

상기 제 2 룩업 테이블의 정보를 취득하는 단계와;

상기 제 2 트랜지스터의 상기 출력 정보와 상기 제 2 룩업 테이블의 상기 정보를 기반으로, 활성 시에 상기 전하 축적부의 상기 전위를 추산하는 단계와;

상기 전하 축적부의 추산된 상기 전위와 상기 제 1 룩업 테이블의 상기 정보로부터 상기 빛의 상기 강도를 추산하는 단계를 포함하는, 반도체 장치의 동작 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 프로세스(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명은 예를 들어 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 콜상 장치, 이들의 구동 방법 또는 제조 방법에 관한 것이다. 특히, 본 발명의 일 형태는 신틸레이터를 갖는 콜상 장치에 관한 것이다.

배경 기술

- [0002] 의료 현장에서는, 환자의 특정 부위에 X선을 조사하고, 상기 특정 부위를 투과한 X선에 의하여 X선 필름을 감광하고 현상(現像)함으로써 상기 특정 부위의 내부의 상태를 가시화하는 사진 기술을 사용한 의료용 화상 진단 장치가 널리 보급되고 있다.
- [0003] 상기 X선 필름을 사용한 방법에서는, X선 필름을 보관하기 위한 공간을 확보할 필요가 있거나, 그 관리가 복잡하기 때문에, 화상의 전자화가 진행되고 있다. 화상을 전자화하는 방법 중 하나로서, 이미징 플레이트(imaging plate)를 사용하는 방법이 알려져 있다. X선 필름과 마찬가지로 이미징 플레이트를 X선으로 감광시키고, 상기 이미징 플레이트로부터 사출되는 빛을 스캐너에 의하여 검출함으로써, 전자화된 화상을 얻을 수 있다.
- [0004] 이미징 플레이트는 X선의 조사에 의하여 빛을 사출하는 특성(휘진성(輝盡性))을 갖는 재료(휘진성 형광체)가 도포된 판(板)이며, X선 흡수차의 검출 감도가 X선 필름보다 높다. 또한, X선 조사의 정보를 삭제할 수 있기 때문에 반복적으로 사용할 수 있다. 그러나, 이미징 플레이트로 취득할 수 있는 정보는 아날로그 정보이므로, 이것을 전자화하기 위해서는 디지털화 처리의 공정이 필요하게 된다.
- [0005] 그러므로, 근년에 들어 디지털 데이터를 직접 취득할 수 있는 평판 디텍터(flat panel detector)가 주목을 받고 있다(예를 들어 특허문현 1, 2 참조). 평판 디텍터에는 직접 방식과 간접 방식의 두 가지가 있고, 직접 방식은 X선 검출 소자를 사용하여 X선을 전하로 직접 변환시키는 방법이고, 간접 방식은 X선을 선틸레이터에 의하여 가시광으로 변환시키고 그 빛을 포토다이오드를 사용하여 전하로 변환시키는 방법이다. 평판 디텍터는 어느 쪽 방식에서도 매트릭스상으로 배치된 복수의 화소 회로를 갖는다.

선행기술문헌

특허문헌

- [0006] (특허문헌 0001) 일본국 특개평(平) 2-164067호 공보
(특허문헌 0002) 일본국 특개 2002-151669호 공보

발명의 내용

해결하려는 과제

- [0007] 평판 디텍터의 화소 회로를 구성하는 트랜지스터에는 반도체 재료나 절연 재료가 포함되어 있고, X선 등 에너지가 강한 방사선이 상기 반도체 재료나 상기 절연 재료에 조사되면 결함 준위 등이 생성되어 트랜지스터의 전기 특성이 변동된다.
- [0008] 이와 같은 현상은 광전 변환 재료나 선틸레이터를 투과하는 미량의 방사선으로 인하여도 일어나기 때문에, 평판 디텍터에 의하여 얻어지는 데이터의 신뢰성이 저하된다.
- [0009] 상기 문제를 감안하여 본 발명의 일 형태에서는 화소 회로의 출력값을 보정하는 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 화소 회로가 갖는 트랜지스터의 전기 특성을 판독하는 동작을 제어하기 위한 프로그램을 갖는 활상 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 신규 활상 장치 등을 제공하는 것을 목적 중 하나로 한다. 또는, 화소 회로의 출력값을 보정하는 활상 장치의 동작 방법을 제공하는 것을 목적 중 하나로 한다. 또는, 화소 회로가 갖는 트랜지스터의 전기 특성을 판독하는 활상 장치의 동작 방법을 제공하는 것을 목적 중 하나로 한다. 또는, 신규 활상 장치 등의 동작 방법을 제공하는 것을 목적 중 하나로 한다.
- [0010] 또한, 이들의 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 상술한 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제가 만들어질 수 있다.

과제의 해결 수단

- [0011] 본 발명의 일 형태는 화소 회로에 산화물 반도체를 사용한 트랜지스터를 갖고, X선 등의 방사선을 사용하여 화상을 취득하는 활상 장치, 및 상기 활상 장치의 동작 방법에 관한 것이다.
- [0012] 본 발명의 일 형태는, 화소 회로와, 전류 검출 회로와, A/D컨버터와, 기억 회로부와, 연산 회로부를 갖고, 화소 회로는 트랜지스터와, 전하 축적부와, 수광 소자를 갖고, 기억 회로부는 단수 또는 복수이고, 복수의 다른 조도

에 대한, 수광 소자가 전하 축적부에 축적하는 전위의 정보가 저장된 제 1 룩업 테이블과, 전하 축적부에 공급되는 복수의 다른 전위에 대한, 전하 축적부에 게이트가 전기적으로 접속되는 트랜지스터의 전류 검출 회로 및 A/D컨버터를 통한 출력 정보가 저장된 제 2 룩업 테이블과, 연산 회로로부터 출력되는 화상 정보가 저장되는 영역을 갖는 것을 특징으로 하는 활상 장치이다.

[0013] 또한, 본 명세서 등에서 "제 1", "제 2" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 수적으로 한정되는 것이 아님을 부기한다.

[0014] 상기 기억 회로부에는 제 2 룩업 테이블의 정보를 취득하는 프로그램이 저장되어도 좋다.

[0015] 또한, 상기 화소 회로는 제 1 트랜지스터, 제 2 트랜지스터, 및 제 3 트랜지스터를 갖고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 수광 소자의 전극 중 한쪽에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 전하 축적부에 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 전하 축적부에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 배선에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 배선에 전기적으로 접속되고, 제 1 트랜지스터의 게이트는 제 3 배선에 전기적으로 접속되고, 제 3 트랜지스터의 게이트는 제 4 배선에 전기적으로 접속되고, 수광 소자의 전극 중 다른 쪽은 제 5 배선에 전기적으로 접속되고, 전류 검출 회로는 제 2 배선에 전기적으로 접속되는 구성으로 할 수 있다.

[0016] 또한, 상기 화소 회로가 갖는 트랜지스터는 산화물 반도체를 사용하여 형성되는 것이 바람직하다.

[0017] 또한, 제 2 룩업 테이블에는, 수광 소자 및 제 1 트랜지스터를 통하여 제 5 배선으로부터 전하 축적부에 공급되는 복수의 다른 전위에 대한, 제 2 트랜지스터의 전류 검출 회로 및 A/D컨버터를 통한 출력값을 저장할 수 있다.

[0018] 또한, 상기 프로그램은, 제 1 트랜지스터 및 제 3 트랜지스터를 온 상태로 하여 제 5 배선에 복수의 다른 전위를 공급하고, 상기 복수의 다른 전위에 대한 제 2 트랜지스터의 전류 검출 회로 및 A/D컨버터를 통한 출력값을 취득하는 동작을 수행할 수 있다.

[0019] 상기 화소 회로는, 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터를 갖고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 수광 소자의 전극 중 한쪽에 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 전하 축적부에 전기적으로 접속되고, 제 2 트랜지스터의 게이트는 전하 축적부에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 전하 축적부에 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 배선에 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 배선에 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 7 배선에 전기적으로 접속되고, 제 1 트랜지스터의 게이트는 제 3 배선에 전기적으로 접속되고, 제 3 트랜지스터의 게이트는 제 4 배선에 전기적으로 접속되고, 제 4 트랜지스터의 게이트는 제 5 배선에 전기적으로 접속되고, 수광 소자의 전극 중 다른 쪽은 제 6 배선에 전기적으로 접속되고, 전류 검출 회로는 제 2 배선에 전기적으로 접속되는 구성으로 하여도 좋다.

[0020] 상기 화소 회로가 갖는 트랜지스터는 산화물 반도체를 사용하여 형성되는 것이 바람직하다.

[0021] 또한, 제 2 룩업 테이블에는, 제 7 배선으로부터 전하 축적부에 공급되는 복수의 다른 전위에 대한, 제 2 트랜지스터의 전류 검출 회로 및 A/D컨버터를 통한 출력값을 저장할 수 있다.

[0022] 또한, 상기 프로그램은 제 3 트랜지스터 및 제 4 트랜지스터를 온 상태로 하여 제 7 배선에 복수의 다른 전위를 공급하고, 상기 복수의 다른 전위에 대한 제 2 트랜지스터의 전류 검출 회로 및 A/D컨버터를 통한 출력값을 취득하는 동작을 수행할 수 있다.

[0023] 또한, 상기 활상 장치는 수광 소자 위에 신틸레이터가 형성된 구성으로 할 수 있다.

[0024] 또한, 상기 수광 소자에는, 포토다이오드, 또는 한 쌍의 전극 사이의 반도체층을 포함하는 가변 저항 소자를 사용할 수 있다.

[0025] 또한, 상기 연산 회로부는, 활상하기 전에 프로그램을 동작시켜서 제 2 룩업 테이블의 정보를 취득하고, 활상 시에, 전류 검출 회로의 출력값에 대한 전하 축적부의 전위를 제 2 룩업 테이블로부터 판독하고, 상기 전위에

대한 조도를 제 1 루업 테이블로부터 판독하고, 상기 조도에 관한 신호를 기억 회로부에 입력하고, 상기 기억 회로부로부터 상기 신호를 출력하는 동작을 수행할 수 있다.

발명의 효과

[0026]

본 발명의 일 형태에 의하여, 화소 회로의 출력값을 보정하는 활상 장치를 제공할 수 있다. 또는, 화소 회로가 갖는 트랜지스터의 전기 특성을 판독하는 동작을 제어하기 위한 프로그램을 갖는 활상 장치를 제공할 수 있다. 또는, 신규 활상 장치 등을 제공할 수 있다. 또는, 화소 회로의 출력값을 보정하는 활상 장치의 동작 방법을 제공할 수 있다. 또는, 화소 회로가 갖는 트랜지스터의 전기 특성을 판독하는 활상 장치의 동작 방법을 제공할 수 있다. 또는, 신규 활상 장치 등의 동작 방법을 제공할 수 있다.

[0027]

또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 상술한 모든 효과를 반드시 가질 필요는 없다. 또한, 상술한 것들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것으로, 명세서, 도면, 및 청구항 등의 기재로부터 상술한 것들 이외의 효과가 만들어질 수 있다.

도면의 간단한 설명

[0028]

도 1은 활상 장치를 설명한 블록도.

도 2는 활상 장치의 동작 방법을 설명한 플로 차트.

도 3은 화소 회로의 구성을 설명한 도면.

도 4는 화소 회로와 배선의 접속 형태를 설명한 도면.

도 5는 화소 회로의 동작을 설명한 타이밍 차트.

도 6은 화소 회로의 구성을 설명한 도면.

도 7은 화소 회로의 구성을 설명한 도면.

도 8은 화소 회로의 구성을 설명한 도면.

도 9는 화소 회로와 배선의 접속 형태를 설명한 도면.

도 10은 전류 검출 회로 및 그 동작을 설명한 도면.

도 11은 활상 장치를 설명한 블록도.

도 12는 활상 장치를 설명한 블록도.

도 13은 활상 장치의 동작 방법을 설명한 플로 차트.

도 14는 글로벌 셜터 방식과 롤링 셜터 방식의 동작을 설명한 타이밍 차트.

도 15는 화소 회로의 레이아웃을 설명한 상면도 및 단면도.

도 16은 화소 회로의 레이아웃을 설명한 상면도 및 단면도.

도 17은 트랜지스터를 설명한 단면도.

도 18은 트랜지스터를 설명한 단면도.

도 19는 화소 회로의 구성을 설명한 도면.

도 20은 활상 시스템의 구성을 설명한 도면.

발명을 실시하기 위한 구체적인 내용

[0029]

이하에서는, 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 이하에 기재되는 실시형태의 내용에 한정되어 해석되는 것은 아니다. 또한, 실시형태를 설명하기 위한 도면 전체에서 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 붙이고, 그에 대한 설명의

반복은 생략할 경우가 있다.

[0030] 또한, 본 명세서 등에서, 'X와 Y가 접속되어 있다'라고 명시적으로 기재하는 경우에는 X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함한다. 여기서, X 및 Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)을 뜻한다. 따라서, 소정의 접속 관계, 예를 들어 도면 또는 문장으로 제시된 접속 관계에 한정되지 않으며, 도면 또는 문장으로 제시된 접속 관계 이외의 것도 포함한다.

[0031] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인더터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 스위치는 온 상태 또는 오프 상태로 제어된다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는다.

[0032] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 변화시키는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로아 회로, 베퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 일례로서, X와 Y 사이에 다른 회로가 존재하더라도 X로부터 출력된 신호가 Y로 전달된다면 X와 Y는 기능적으로 접속되어 있는 것으로 한다.

[0033] 또한, 'X와 Y가 접속되어 있다'라고 명시적으로 기재하는 경우는, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y가, 사이에 다른 소자 또는 다른 회로를 개재(介在)하여 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y가, 사이에 다른 회로를 개재하여 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y가 사이에 다른 소자 또는 다른 회로를 개재하지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, '전기적으로 접속되어 있다'라고 명시적으로 기재하는 경우에는 단순히 '접속되어 있다'라고만 명시적으로 기재되어 있는 경우와 같은 것으로 한다.

[0034] 또한, 회로도상 독립되어 있는 구성 요소끼리가 전기적으로 접속되어 있는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 함께 갖고 있는 경우도 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선 및 전극 양쪽의 구성 요소의 기능을 함께 갖고 있다. 따라서, 본 명세서에서 '전기적으로 접속'이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 함께 갖고 있는 경우도 그 범주에 포함한다.

[0035] 또한, 본 명세서 등에서는 다양한 기판을 사용하여 트랜지스터를 형성할 수 있다. 기판의 종류는 특정한 것에 한정되지 않는다. 그 기판의 일례로서는 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스강 기판, 스테인리스강박이 사용된 기판, 텅스텐 기판, 텅스텐박이 사용된 기판, 가요성 기판, 접합 필름, 섬유재를 포함하는 종이, 또는 기재(基材) 필름 등이 있다. 유리 기판의 일례로서는, 바륨 보로실리케이트 유리, 알루미노 보로실리케이트 유리, 또는 소다 석회 유리 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르설휘(PES)으로 대표되는 플라스틱, 또는 아크릴 등 가요성을 갖는 합성 수지 등이 있다. 접합 필름의 일례로서는, 폴리프로필렌, 폴리에스테르, 폴리불화비닐, 또는 폴리염화비닐 등이 있다. 기재 필름의 일례로서는, 폴리에스테르, 폴리아마이드, 폴리이미드, 무기 증착 필름, 또는 종이류 등이 있다. 특히 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제조함으로써, 특성, 크기, 또는 형상 등의 편차가 적고 전류 능력이 높으며 크기가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터를 사용하여 회로를 구성하면, 회로의 저소비 전력화 또는 회로의 고집적화를 도모할 수 있다.

[0036] 또한, 어느 기판을 사용하여 트랜지스터를 형성한 후, 다른 기판으로 트랜지스터를 전치함으로써, 다른 기판 위에 트랜지스터를 배치하여도 좋다. 트랜지스터가 전치되는 기판의 일례로서는, 트랜지스터를 형성하는 것이 가능한 상술한 기판에 더하여, 종이 기판, 셀로판 기판, 석재 기판, 목재 기판, 직물 기판(천연 섬유(絹), 면(綿), 마(麻)), 합성 섬유(나일론, 폴리우레탄, 폴리에스테르) 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스테르) 등을 포함함), 파혁 기판, 또는 고무 기판 등을 들 수 있다. 이러한 기판을 사용함으로써, 특성이 양호한 트랜지스터의 형성, 소비 전력이 낮은 트랜지스터의 형성, 깨지기 어려운 장치의 제조, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.

- [0037] (실시형태 1)
- [0038] 본 실시형태에서는 본 발명의 일 형태에 따른 X선 등의 방사선을 사용하는 활상 장치에 대하여 도면을 참조하여 설명한다.
- [0039] 도 1은, 본 발명의 일 형태에 따른 X선 등의 방사선을 사용하는 활상 장치(100)의 블록도의 일례이다. 활상 장치(100)는 평판 디텍터(101), 전류 검출 회로(210), A/D컨버터(220), 연산 회로부(310), 제 1 기억 회로부(320), 및 제 2 기억 회로부(330)를 포함한다. 여기서, 제 1 기억 회로부(320)에는 제 1 루업 테이블(321), 제 2 루업 테이블(322), 및 제 2 루업 테이블(322)의 정보를 취득하기 위한 프로그램(323)이 포함된다. 또한, 제 2 기억 회로부(330)는 연산 회로부(310)가 출력하는 화상 정보를 저장하는 영역(331)을 갖는다. 또한, 도 1에서는 활상 장치(100)에 표시 장치(400)가 포함되지 않는 구성으로 하였으나, 상기 표시 장치를 포함하는 구성으로 할 수도 있다.
- [0040] 여기서, 평판 디텍터(101)가 갖는 화소 회로에 있어서, 복수의 다른 조도에 대한, 수광 소자가 전하 축적부에 축적하는 전위의 정보가 제 1 루업 테이블(321)에 저장된다. 또한, 상기 전하 축적부에 공급되는 복수의 다른 전위에 대한, 상기 전하 축적부에 게이트 전극층이 접속되는 트랜지스터의 전류 검출 회로 및 A/D컨버터를 통한 출력 정보가 제 2 루업 테이블(322)에 저장된다.
- [0041] 도 1에서는, 평판 디텍터(101)가 갖는 화소 회로는 전류 검출 회로(210)에 접속되고, 상기 전류 검출 회로는 A/D컨버터(220)에 접속된다. 또한, 연산 회로부(310)는 A/D컨버터(220), 제 1 기억 회로부(320), 제 2 기억 회로부(330), 및 평판 디텍터(101)에 접속된다. 그리고, 제 2 기억 회로부(330)는 표시 장치(400)에 접속된다.
- [0042] 도 20의 (A)는, 평판 디텍터(101)가 수납된 디텍터 유닛의 일례이다. 디텍터 유닛(991)에는 손잡이(992)가 제 공되어 있다. 또한, 디텍터 유닛(991)에는 평판 디텍터(101)뿐만 아니라 활상 장치(100)의 일부 또는 전부가 수납되는 경우도 있다.
- [0043] 도 20의 (B)는 활상 시스템(998)의 전체 구성도의 일례이다. 디텍터 유닛(991)이 대(995)에 장착되어 있다. 디텍터 유닛(991)에는 표시 장치나 컴퓨터(999)가 접속되는 경우가 있다. X선원(996)으로부터 조사된 X선(997)은 피사체(994)를 투과하여 디텍터 유닛(991)으로 검출된다.
- [0044] 활상 장치(100)에서의 활상의 절차에 대하여 도 2의 플로 차트를 사용하여 설명한다. 먼저, 제 2 루업 테이블을 갱신(更新)할지 여부를 판단한다(S201). 제 2 루업 테이블을 갱신하는 경우는 후술하는 절차를 이용하여 갱신한다(S202). 다음에 조도에 따라, 평판 디텍터(101)가 갖는 화소 회로가 전류 A를 출력한다(S203). 다음은, 전류 검출 회로(210)에서 전류 A가 전압 B로 변환된다(S204). 다음에, A/D컨버터(220)에서, 전압 B는 디지털 신호 C로 변환된다(S205). 그 다음에, 연산 회로부(310)에서, 디지털 신호 C에 대응하는 전하 축적부의 전위 D를 제 2 루업 테이블(322)로부터 취득한다(S206). 다음에, 연산 회로부(310)에서, 전하 축적부의 전위 D에 대응하는 조도 정보 E를 제 1 루업 테이블(321)로부터 취득한다(S207). 다음에, 제 2 기억 회로부(330)의 영역(331)에 조도 정보 E를 저장한다(S208). 그리고, 조도 정보 E를 계조(階調) F로 변환한 화상이 표시 장치에 표시된다(S209).
- [0045] 종래의 활상 장치에서는 화소 회로의 출력값(예를 들어 디지털 신호 C)에 대한 조도 정보(예를 들어 조도 정보 E)의 루업 테이블을 사용하기 때문에, 화소 회로의 출력을 수행하는 트랜지스터의 전기 특성이 변동하면 상기 루업 테이블로부터 판독하는 조도 정보가 부정확하게 되어, 정확한 화상을 얻을 수 없게 되는 문제가 있었다.
- [0046] 본 발명의 일 형태에서는, 화소 회로에서의 조도에 대한 전하 축적부의 전위로 이루어지는 제 1 루업 테이블(321) 및 전하 축적부의 전위(게이트 전압)에 대한 트랜지스터의 출력 정보로 이루어지는 제 2 루업 테이블(322)의 두 개를 사용하고, 활상하기 전에 제 2 루업 테이블(322)을 갱신하는 것을 특징으로 한다. 제 2 루업 테이블(322)을 갱신함으로써, 상기 전류 A를 출력하는 트랜지스터의 전기 특성이 시간에 따라 변화되더라도 정확한 조도 정보가 얻어지기 때문에, 활상 장치로부터 얻어지는 화상 정보의 신뢰성을 높일 수 있다. 특히, X선 등의 방사선을 사용하는 평판 디텍터에서는, 화소 회로에 사용되는 트랜지스터의 문턱 전압이 변동되는 등 전기 특성이 변화되기 쉽다. 따라서, 본 발명의 일 형태를 적용하는 것이 특히 바람직하다.
- [0047] 제 2 루업 테이블(322)을 갱신하는 간격은, 타이머나 카운터 등을 사용하여 소정의 기간이나 소정의 활상 횟수 등으로 결정하면 좋다. 또한, 활상하기 전에 매번 갱신하는 설정으로 하여도 좋다.
- [0048] 다음에, 활상 장치(100)를 구성하는 각 요소의 자세한 사항에 대하여 설명한다.
- [0049] 본 발명의 일 형태에서의 X선 검출용의 평판 디텍터(101)에는, 신틸레이터를 조합할 수 있다. 신틸레이터는, X

선이나 감마선 등의 방사선이 조사되면 그 에너지를 흡수하여 가시광이나 자외광을 사출하는 물질, 또는 상기 물질을 포함하는 재료로 이루어지고, 예를 들어 $\text{Gd}_2\text{O}_3\text{S:Tb}$, $\text{Gd}_2\text{O}_3\text{S:Pr}$, $\text{Gd}_2\text{O}_3\text{S:Eu}$, BaFCl:Eu , NaI , CsI , CaF_2 , BaF_2 , CeF_3 , LiF , LiI , ZnO 등의 재료나 이들을 수지나 세라믹스에 분산시킨 것이 알려져 있다.

[0050] 피사체를 투과한 X선 등의 방사선은 센서레이터에 입사되어, 가시광이나 자외광 등의 빛(형광)으로 변환된다. 그리고, 상기 빛을 화소 회로에 제공된 수광 소자에 의하여 검지하여 화상 데이터를 취득한다.

[0051] 도 3은 평판 디렉터(101)에서의 화소 회로의 일례를 도시한 회로도이다.

[0052] 도 3의 (A)에 도시된 회로(551)는, 포토다이오드(520), 제 1 트랜지스터(501), 제 2 트랜지스터(502), 및 제 3 트랜지스터(503)를 포함한 구성을 갖는다.

[0053] 제 1 트랜지스터(501)의 소스 및 드레인 중 한쪽은 포토다이오드(520)의 음극에 전기적으로 접속되고, 제 1 트랜지스터(501)의 소스 및 드레인 중 다른 쪽 및 제 2 트랜지스터(502)의 게이트는 배선(505)(FD)에 전기적으로 접속되고, 제 2 트랜지스터(502)의 소스 및 드레인 중 한쪽은 제 3 트랜지스터(503)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 제 2 트랜지스터(502)의 소스 및 드레인 중 다른 쪽은 제 1 배선(511)(GND)에 전기적으로 접속되고, 제 3 트랜지스터(503)의 소스 및 드레인 중 다른 쪽은 제 2 배선(512)(OUT)에 전기적으로 접속되고, 제 1 트랜지스터(501)의 게이트는 제 3 배선(513)(TX)에 전기적으로 접속되고, 제 3 트랜지스터(503)의 게이트는 제 4 배선(514)(SE)에 전기적으로 접속되고, 포토다이오드(520)의 양극은 제 5 배선(515)(RS)에 전기적으로 접속된다.

[0054] 포토다이오드(520)는 수광 소자이며, 화소 회로에 입사된 빛에 따른 전류를 생성하는 동작을 수행한다. 제 1 트랜지스터(501)는, 포토다이오드(520)에 의한 배선(505)(FD)으로의 전하 축적을 제어한다. 제 2 트랜지스터(502)는 배선(505)(FD)의 전위에 따른 신호를 출력하는 동작을 수행한다. 제 3 트랜지스터(503)는 판독 시에 화소 회로의 선택을 제어한다.

[0055] 또한, 배선(505)(FD)은 포토다이오드(520)가 받는 빛의 양에 따라 변화하는 전하를 유지하는, 소위 전하 축적부이다. 실질적인 전하 축적부는 배선(505)(FD)에 전기적으로 접속되는 제 1 트랜지스터(501)의 소스 영역 또는 드레인 영역 근방의 공핍층 용량, 배선(505)(FD)의 배선 용량, 배선(505)(FD)에 전기적으로 접속되는 제 2 트랜지스터(502)의 게이트 용량 등이다. 또한, 배선(505)(FD)과 제 1 배선(511)(GND) 사이에 용량 소자를 제공하여도 좋다.

[0056] 제 1 배선(511)(GND)은 기준 전위(예를 들어 GND)를 설정하는 신호선이다. 제 2 배선(512)(OUT)은 회로(551)에서 얻어진 정보를 출력하기 위한 신호선이다. 제 3 배선(513)(TX)은 제 1 트랜지스터(501)를 제어하기 위한 신호선이다. 제 4 배선(514)(SE)은 제 3 트랜지스터(503)를 제어하기 위한 신호선이다. 제 5 배선(515)(RS)은 배선(505)(FD)을 리셋하기 위한 신호선이다. 또한, 회로(551)에서의 제 5 배선(515)(RS)은 배선(505)(FD)으로의 전하 축적을 수행하기 위한 신호선이기도 하다.

[0057] 또한, 화소 회로는 도 3의 (B)에 도시된 구성을 가져도 좋다. 도 3의 (B)에 도시된 회로(552)는 도 3의 (A)에 도시된 회로(551)와 같은 구성 요소를 갖지만, 포토다이오드(520)의 양극이 제 1 트랜지스터(501)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 포토다이오드(520)의 음극이 제 5 배선(515)(RS)에 전기적으로 접속되는 점이 도 3의 (A)에 도시된 회로(551)와 다르다.

[0058] 또한, 도 3에 도시된 각 회로를 화소 회로(110)로서 사용하고, 화소 회로(110)를 m 행 n 열(m, n 은 두 개 다 1 이상의 정수(整數))의 매트릭스상으로 배치한 경우의 각 배선과의 접속 형태의 일례는 도 4에 도시된 바와 같이 된다.

[0059] 다음에, 도 3에 도시된 각 소자의 구성에 대하여 설명한다.

[0060] 포토다이오드(520)로서는, 실리콘 반도체 등을 사용하여 pn형이나 pin형의 접합이 형성된 소자를 사용할 수 있다. 센서레이터가 가시광을 사출하는 경우, i형 반도체층을 비정질 실리콘으로 형성한 pin형 포토다이오드를 사용하는 것이 바람직하다. 비정질 실리콘은 가시광의 광장 영역에서의 감도가 높고, 미약한 가시광을 검지하기 쉽다.

[0061] 또한, i형 반도체란, 페르미 준위가 밴드 캡의 중앙에 위치하는 소위 진성 반도체 외에, 반도체에 포함되는 p형을 부여하는 불순물 또는 n형을 부여하는 불순물이 각각 $1 \times 10^{20} \text{ atoms/cm}^3$ 이하의 농도이며 암 전도도(dark conductivity)보다 광 전도도가 높은 반도체를 가리킨다.

- [0062] 제 1 트랜지스터(501), 제 2 트랜지스터(502), 및 제 3 트랜지스터(503)는 비정질 실리콘, 미결정 실리콘, 다결정 실리콘, 단결정 실리콘 등의 실리콘 반도체를 사용하여 형성할 수도 있지만, 산화물 반도체를 사용하여 트랜지스터를 형성하는 것이 바람직하다. 산화물 반도체로 채널 형성 영역이 형성된 트랜지스터는 오프 전류가 매우 낮은 특성을 나타낸다는 특징을 갖는다.
- [0063] 특히, 배선(505)(FD)에 접속되는 제 1 트랜지스터(501)의 누설 전류가 크면, 배선(505)(FD)에 축전된 전하가 유지될 수 있는 시간이 충분하지 않게 된다. 따라서, 산화물 반도체를 사용한 트랜지스터를 상기 트랜지스터로서 사용함으로써, 포토다이오드를 통한 불필요한 전하 유출을 방지할 수 있다.
- [0064] 또한, 제 2 트랜지스터(502) 및 제 3 트랜지스터(503)에서도 누설 전류가 크면, 제 1 배선(511)(GND) 또는 제 2 배선(512)(OUT)에 불필요한 전하 출력이 일어나기 때문에, 이들 트랜지스터로서는 산화물 반도체로 채널 형성 영역이 형성된 트랜지스터를 사용하는 것이 바람직하다.
- [0065] 또한, 제 2 트랜지스터(502)를 오프 전류가 매우 낮으며 산화물 반도체를 사용한 트랜지스터로 사용함으로써, 활상의 동적 범위(dynamic range)를 확대할 수 있다. 도 3의 (A)에 도시된 화소 회로의 구성에서는, 포토다이오드(520)에 입사하는 빛의 강도가 클 때 제 2 트랜지스터(502)의 게이트 전위가 작아진다. 또한, 도 3의 (B)에 도시된 화소 회로의 구성에서는, 포토다이오드(520)에 입사하는 빛의 강도가 작을 때 제 2 트랜지스터(502)의 게이트 전위가 작아진다. 산화물 반도체가 사용된 트랜지스터는 오프 전류가 매우 낮기 때문에, 게이트 전위가 매우 작은 경우에도 상기 게이트 전위에 따른 전류를 정확하게 출력할 수 있다. 이로써, 검출할 수 있는 조도(照度)의 범위, 즉 동적 범위를 넓힐 수 있다.
- [0066] 또한, 도 3의 (B)에 도시된 화소 회로의 구성에서는, 제 2 트랜지스터(502)의 게이트 전위가 비교적 작을 때, 즉 신틸레이터로부터 포토다이오드에 조사되는 빛의 강도가 작은 경우에도 충분한 동적 범위를 얻을 수 있다. 즉, 신틸레이터가 사출하는 빛의 강도가 작아도 되기 때문에, 피사체에 조사되는 X선 강도를 작게 할 수 있어, 생체(生體)에 대한 방사선의 나쁜 영향을 저감시킬 수 있다. 또한, 활상 장치의 소비 전력을 저감시킬 수 있다.
- [0067] 다음에, 도 3의 (A)에 도시된 회로(551)의 동작예에 대하여 도 5의 (A)에 도시된 타이밍 차트를 사용하여 설명 한다.
- [0068] 도 5의 (A)에서는, 설명을 간략화하기 위하여, 각 배선의 각 전위는 2개의 레벨 사이에서 변화되는 신호로서 나타낸다. 다만, 각 전위는 아날로그 신호이기 때문에, 실제적으로는 2개의 레벨에 한정되지 않고 상황에 따라 다양한 레벨을 가질 수 있다. 또한, 도면에 있어서, 신호(601)는 제 5 배선(515)(RS)의 전위에 상당하고, 신호(602)는 제 3 배선(513)(TX)의 전위에 상당하고, 신호(603)는 제 4 배선(514)(SE)의 전위에 상당하고, 신호(604)는 배선(505)(FD)의 전위에 상당하고, 신호(605)는 제 2 배선(512)(OUT)의 전위에 상당한다.
- [0069] 시각 A에 제 5 배선(515)(RS)의 전위(신호(601))를 "High"로 하고 제 3 배선(513)(TX)의 전위(신호(602))를 "High"로 하면, 포토다이오드(520)에 순방향 바이어스가 인가되어 배선(505)(FD)의 전위(신호(604))는 "High"가 된다. 즉, 전하 축적부의 전위는 제 5 배선(515)(RS)의 전위로 초기화되어 리셋 상태가 된다. 상술한 바와 같이 하여 리셋 동작을 시작한다. 또한, 제 2 배선(512)(OUT)의 전위(신호(605))는 "High"로 프리차지해둔다.
- [0070] 시각 B에 제 5 배선(515)(RS)의 전위(신호(601))를 "Low"로 하고 제 3 배선(513)(TX)의 전위(신호(602))를 "High"로 하면 리셋 동작이 종료되고, 축적 동작이 시작된다. 여기서, 포토다이오드(520)에는 역방향 바이어스가 인가되기 때문에, 역방향 전류에 의하여 배선(505)(FD)의 전위(신호(604))가 저하되기 시작한다. 포토다이오드(520)는 빛이 조사되면 역방향 전류가 증대되므로, 조사되는 빛의 양에 따라 배선(505)(FD)의 전위(신호(604))의 저하 속도가 변화된다. 즉, 포토다이오드(520)에 조사되는 빛의 양에 따라 제 2 트랜지스터(502)의 소스와 드레인 사이의 채널 저항이 변화된다.
- [0071] 또한, 여기서 포토다이오드(520)에 조사되는 빛이란 신틸레이터에 의하여 X선 등의 방사선으로부터 변환된 빛을 가리킨다.
- [0072] 시각 C에 제 3 배선(513)(TX)의 전위(신호(602))를 "Low"로 하면 축적 동작이 종료되고 배선(505)(FD)의 전위(신호(604))는 일정하게 된다. 여기서, 축적 동작 동안에 포토다이오드(520)가 생성한 전하량에 따라 상기 전위가 결정된다. 즉, 포토다이오드(520)에 조사된 빛의 양에 따라 변화된다. 또한, 제 1 트랜지스터(501)는 산화물 반도체층으로 채널 형성 영역이 형성되어 오프 전류가 매우 낮은 트랜지스터로 구성되기 때문에, 나중에 수행되는 선택 동작(판독 동작)까지 배선(505)(FD)의 전위가 일정하게 유지될 수 있다.

- [0073] 또한, 제 3 배선(513)(TX)의 전위(신호(602))를 "Low"로 할 때, 제 3 배선(513)(TX)과 배선(505)(FD) 사이의 기생 용량으로 인하여 배선(505)(FD)의 전위가 변화될 수 있다. 상기 전위의 변화량이 큰 경우는 축적 동작 동안에 포토다이오드(520)가 생성한 전하량을 정확하게 취득할 수 없다. 상기 전위의 변화량을 저감하기 위해서는, 제 1 트랜지스터(501)의 게이트-소스(또는 게이트-드레인) 사이의 용량을 저감시키거나, 제 2 트랜지스터(502)의 게이트 용량을 증대시키거나, 배선(505)(FD)에 유지 용량을 제공하는 등의 대책이 유효하다. 또한, 본 실시형태에서는 이들 대책에 의하여 상기 전위의 변화를 고려하지 않아도 되는 것으로 한다.
- [0074] 시각 D에 제 4 배선(514)(SE)의 전위(신호(603))를 "High"로 하면, 제 3 트랜지스터(503)가 도통되어 선택 동작이 시작되고, 제 1 배선(511)(GND)과 제 2 배선(512)(OUT)은 제 2 트랜지스터(502)와 제 3 트랜지스터(503)를 통하여 도통된다. 그리고, 제 2 배선(512)(OUT)의 전위(신호(605))는 저하된다. 또한, 제 2 배선(512)(OUT)의 프리차지는 시각 D 이전에 종료되면 좋다. 여기서, 제 2 배선(512)(OUT)의 전위(신호(605))가 저하되는 속도는 제 2 트랜지스터(502)의 소스와 드레인 사이의 전류에 의존한다. 즉, 축적 동작 동안에 포토다이오드(520)에 조사된 빛의 양에 따라 변화된다.
- [0075] 시각 E에 제 4 배선(514)(SE)의 전위(신호(603))를 "Low"로 하면, 제 3 트랜지스터(503)가 차단되어 선택 동작이 종료되고, 제 2 배선(512)(OUT)의 전위(신호(605))는 일정하게 된다. 여기서, 일정하게 되는 값은 포토다이오드(520)에 조사된 빛의 양에 따라 변화된다. 따라서, 제 2 배선(512)(OUT)의 전위를 취득함으로써, 축적 동작 동안에 포토다이오드(520)에 조사된 빛의 양을 알 수 있다.
- [0076] 더 구체적으로는, 포토다이오드(520)에 조사되는 빛이 강하면 배선(505)(FD)의 전위는 낮게 되고 제 2 트랜지스터(502)의 게이트 전압은 낮게 되기 때문에, 제 2 배선(512)(OUT)의 전위(신호(605))는 서서히 저하된다. 따라서, 제 2 배선(512)(OUT)으로부터는 비교적 높은 전위를 판독할 수 있다.
- [0077] 한편, 포토다이오드(520)에 조사되는 빛이 약하면 배선(505)(FD)의 전위는 높게 되고 제 2 트랜지스터(502)의 게이트 전압도 높게 되기 때문에, 제 2 배선(512)(OUT)의 전위(신호(605))는 빠르게 저하된다. 따라서, 제 2 배선(512)(OUT)으로부터 비교적 낮은 전위를 판독할 수 있다.
- [0078] 다음에, 도 3의 (B)에 도시된 회로(552)의 동작예에 대하여 도 5의 (B)에 도시된 타이밍 차트를 사용하여 설명한다.
- [0079] 시각 A에 제 5 배선(515)(RS)의 전위(신호(601))를 "Low"로 하고 제 3 배선(513)(TX)의 전위(신호(602))를 "High"로 하면, 포토다이오드(520)에 순방향 바이어스가 인가되어 배선(505)(FD)의 전위(신호(604))는 "Low"가 된다. 즉, 전하 축적부의 전위는 리셋 상태가 된다. 상술한 바와 같이 하여 리셋 동작을 시작한다. 또한, 제 2 배선(512)(OUT)의 전위(신호(605))는 "High"로 프리차지해 둔다.
- [0080] 시각 B에 제 5 배선(515)(RS)의 전위(신호(601))를 "High"로 하고 제 3 배선(513)(TX)의 전위(신호(602))를 "High"로 하면 리셋 동작이 종료되고, 축적 동작이 시작된다. 여기서, 포토다이오드(520)에는 역방향 바이어스가 인가되기 때문에, 역방향 전류에 의하여 배선(505)(FD)의 전위(신호(604))가 증가되기 시작한다. 포토다이오드(520)는 빛이 조사되면 역방향 전류가 증대되므로, 조사되는 빛의 양에 따라 배선(505)(FD)의 전위(신호(604))의 증가 속도가 변화된다. 즉, 포토다이오드(520)에 조사되는 빛의 양에 따라 제 2 트랜지스터(502)의 소스와 드레인 사이의 채널 저항이 변화된다.
- [0081] 시각 C 이후의 동작에 대해서는 도 5의 (A)의 타이밍 차트에 대한 설명을 참조할 수 있고, 시각 E에 제 2 배선(512)(OUT)의 전위(신호(605))를 취득함으로써, 축적 동작 동안에 포토다이오드(520)에 조사된 빛의 양을 알 수 있다.
- [0082] 또한, 화소 회로는 도 6에 도시된 구성을 가져도 좋다.
- [0083] 도 6의 (A)에 도시된 회로(553)는 회로(551)의 구성에 제 4 트랜지스터(504)가 추가된 구성이고, 상기 트랜지스터의 게이트는 제 5 배선(515)(RS)에 전기적으로 접속되고, 소스 및 드레인 중 한쪽은 배선(505)(FD)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 제 7 배선(517)에 전기적으로 접속되고, 포토다이오드(520)의 양극은 제 6 배선(516)에 전기적으로 접속된다. 여기서, 제 6 배선(516)은 포토다이오드(520)에 역 바이어스를 항상 인가하기 위한 신호선(저전위선)이다. 또한, 제 7 배선(517)은 배선(505)(FD)을 고전위로 리셋하기 위한 신호선(고전위선)이다.
- [0084] 제 4 트랜지스터(504)는 배선(505)(FD)을 리셋하기 위한 리셋 트랜지스터로서 기능한다. 따라서, 도 3의 (A)에 도시된 회로(551)와는 달리, 포토다이오드(520)를 통한 리셋 동작은 수행되지 않고, 상기 포토다이오드에는 역

바이어스가 항상 인가된다. 배선(505)(FD)의 리셋은 제 5 배선(515)(RS)의 전위를 "High"로 제어함으로써 수행할 수 있고, 회로(553)는 도 3의 (A)에 도시된 회로(551)와 마찬가지로 도 5의 (A)에 도시된 타이밍 차트로 동작시킬 수 있다.

[0085] 또한, 도 6의 (B)에 도시된 회로(554)는, 도 3의 (B)에 도시된 회로(552)의 구성에 제 4 트랜지스터(504)가 추가된 구성이고, 상기 트랜지스터의 게이트는 제 5 배선(515)(RS)에 전기적으로 접속되고, 소스 및 드레인 중 한 쪽은 배선(505)(FD)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 제 7 배선(517)에 전기적으로 접속되고, 포토다이오드(520)의 음극은 제 6 배선(516)에 전기적으로 접속된다. 여기서, 제 6 배선(516)은 포토다이오드(520)에 역 바이어스를 항상 인가하기 위한 신호선(고전위선)이다. 또한, 제 7 배선(517)은 배선(505)(FD)을 저전위로 리셋하기 위한 신호선(저전위선)이다.

[0086] 제 4 트랜지스터(504)는 배선(505)(FD)을 리셋하기 위한 리셋 트랜지스터로서 기능한다. 따라서, 도 3의 (B)에 도시된 회로(552)와 달리, 포토다이오드(520)를 통한 리셋 동작은 수행되지 않고, 상기 포토다이오드에는 역 바이어스가 항상 인가된다. 배선(505)(FD)의 리셋은, 제 5 배선(515)(RS)의 전위를 "High"로 제어함으로써 수행할 수 있고, 회로(554)는 도 5의 (C)에 도시된 타이밍 차트로 동작시킬 수 있다.

[0087] 또한, 도 6에서는 제 1 트랜지스터(501)가 제공되는 구성의 예를 도시하였으나, 본 발명의 실시형태의 일 형태는 이에 한정되지 않는다. 도 19에 도시된 바와 같이, 제 1 트랜지스터(501)를 제공하지 않는 구성으로 하여도 좋다.

[0088] 또한, 제 4 트랜지스터(504)는 비정질 실리콘, 미결정 실리콘, 다결정 실리콘, 단결정 실리콘 등의 실리콘 반도체를 사용하여 형성할 수도 있지만, 누설 전류가 크면 전하 축적부에서 전하가 유지될 수 있는 시간이 충분하지 않게 된다. 따라서, 제 1 트랜지스터(501)와 마찬가지로, 오프 전류가 매우 낮은 특성을 갖는 산화물 반도체로 형성한 트랜지스터를 사용하는 것이 바람직하다.

[0089] 또한, 화소 회로는 도 7에 도시된 구성이어도 좋다. 도 7에 도시된 회로(555)는, 도 6의 (A) 또는 (B)에 도시된 구성의 수광 소자를 포토다이오드로부터 가변 저항 소자(530)로 바꾼 구성이다. 상기 가변 저항 소자에는 한 쌍의 전극과, 상기 한 쌍의 전극 사이에 제공된 i형 도전형을 갖는 반도체층을 사용할 수 있다.

[0090] 예를 들어, 상기 반도체층으로서 i형 비정질 실리콘층을 사용하면, 가시광이 조사됨으로써 저항이 변화되기 때문에, 포토다이오드를 사용한 경우와 마찬가지로 배선(505)(FD)의 전위를 변화시킬 수 있고, 축적 동작 동안에 가변 저항 소자(530)에 조사된 빛의 양을 알 수 있다. 또한, 밴드 갭이 3eV 이상인 산화물 반도체층을 i형 도전형을 갖는 반도체층으로서 사용하여도 좋다. 상기 산화물 반도체층은 자외광이 조사됨으로써 저항이 변화되기 때문에, 배선(505)(FD)의 전위를 변화시킬 수 있고, 축적 동작 동안에 가변 저항 소자(530)에 조사된 빛의 양을 알 수 있다. 또한, 신틸레이터의 종류를 변경하면 가변 저항 소자(530)에 조사되는 빛의 광장을 선택할 수 있다.

[0091] 도 7에 도시된 회로(555)는, 제 6 배선(516)의 전위를 "Low"로 하고 제 7 배선(517)의 전위를 "High"로 함으로써, 도 5의 (A)의 타이밍 차트에 따라 동작시킬 수 있다. 또한, 제 6 배선(516)의 전위를 "High"로 하고 제 7 배선(517)의 전위를 "Low"로 함으로써, 도 5의 (C)의 타이밍 차트에 따라 동작시킬 수 있다.

[0092] 또한, 화소 회로에 사용되는 트랜지스터는, 도 8의 (A) 또는 (B)에 도시된 바와 같이, 제 1 트랜지스터(501), 제 2 트랜지스터(502), 및 제 3 트랜지스터(503)에 백 게이트를 제공한 구성이어도 좋다. 도 8의 (A)는 백 게이트에 프런트 게이트와 같은 전위가 인가되는 구성을 도시한 것이며 온 전류를 증가시킬 수 있다. 또한, 도 8의 (B)는 백 게이트에 정(定)전위를 인가하는 구성을 도시한 것이며 문턱 전압을 제어할 수 있다. 또한, 도 8의 (B)에서는 백 게이트가 제 1 배선(511)(GND)에 전기적으로 접속되는 구성을 예시하였지만, 정전위가 공급되는 다른 배선에 전기적으로 접속되어도 좋다. 또한, 도 8의 (A) 및 (B)에서는 회로(551)에서 트랜지스터에 백 게이트를 제공한 예를 도시하였지만, 회로(552), 회로(553), 및 회로(554) 각 회로의 모든 트랜지스터에 백 게이트를 제공하여도 좋다. 또한, 하나의 화소 회로에 포함되는 트랜지스터에서, 프런트 게이트와 같은 전위가 백 게이트에 인가되는 구성, 백 게이트에 정전위가 인가되는 구성, 또는 백 게이트가 제공되지 않는 구성을 필요에 따라 임의적으로 조합한 회로 구성으로 하여도 좋다.

[0093] 도 9는 도 6 또는 도 7에 도시된 각 회로를 화소 회로(110)로서 사용하고, 화소 회로(110)를 m행 n열(m, n은 두 개 다 1 이상의 정수)의 매트릭스상으로 배치된 경우의 각 배선과의 접속 형태의 일례이다. 제 7 배선(517)은 모든 화소 회로에서 공용할 수 있다.

[0094] 도 1에 도시된 전류 검출 회로(210)에는, 예를 들어 도 10의 (A)에 도시된 바와 같은 회로를 사용할 수 있다.

제 2 배선(512)(OUT)은 도 10의 (A)에 도시된 배선 ML에 접속되고, 도 10의 (B)에 도시된 바와 같이 스위치(SW)를 온 상태로 한 후에 오프 상태로 함으로써 출력 단자(OUT)로부터 조도에 따른 전압 신호를 얻을 수 있다. 또한, 전류 검출 회로(210)의 출력 단자(OUT)는, A/D컨버터(220)(도 1 참조)의 입력 단자에 접속되고, 상기 전압 신호는 디지털 신호로 변환된다.

[0095] 연산 회로부(310)는 특별히 한정되지 않고 본 발명의 일 형태에 따른 동작을 수행할 수 있는 구성을 가지면 좋다.

[0096] 또한, 제 1 기억 회로부(320) 및 제 2 기억 회로부(330)도 특별히 한정되지 않고 휘발성 메모리를 갖는 회로, 불휘발성 메모리를 갖는 회로 중 어느 것이라도 좋다. 예를 들어, 재기록이 임의의 간격을 두고 수행되는 제 2 루업 테이블(322)을 기억하는 제 1 기억 회로부(320)에는 불휘발성 메모리를 갖는 회로를 사용하고, 화상 정보(조도 정보)의 고속 기록 및 판독이 필요한 제 2 기억 회로부(330)에는 휘발성 메모리를 갖는 회로를 사용할 수 있다.

[0097] 또한, 도 1에서는 제 1 기억 회로부(320) 및 제 2 기억 회로부(330)의 두 개의 기억 회로부를 갖는 구성을 예시하였으나, 도 11에 도시된 바와 같이 활상 장치(100)가 갖는 기억 회로부를 제 1 기억 회로부(320)만으로 하고, 상기 기억 회로부에 제 1 루업 테이블(321), 제 2 루업 테이블(322), 제 2 루업 테이블의 정보를 취득하기 위한 프로그램(323), 및 연산 회로부(310)가 출력하는 화상 정보를 저장하는 영역(331)을 갖는 구성을 하여도 좋다.

[0098] 또한, 도 12에 도시된 바와 같이, 제 2 루업 테이블의 정보를 취득하기 위한 프로그램(323)을 활상 장치(100)의 외부의 기억 장치(340) 등에 저장하여도 좋다. 예를 들어, 연산 회로부(310)를 제어하는 컴퓨터 등에 접속된 기억 매체 등에 상기 프로그램이 저장되어도 좋다.

[0099] 또한, 도시하지 않았지만, 제 1 루업 테이블(321), 제 2 루업 테이블(322), 제 2 루업 테이블의 정보를 취득하기 위한 프로그램(323), 및 연산 회로부(310)가 출력하는 화상 정보를 저장하는 영역(331) 각각에 기억 회로부를 하나씩 제공하여도 좋다. 이 때, 제 1 루업 테이블(321)에 제공되는 기억 회로부는 판독 전용 메모리(ROM)이어도 좋다.

[0100] 다음에, 화소 회로에 도 3의 (A)의 회로(551)를 사용한 경우의 제 2 루업 테이블(322)을 개신하는 절차의 일례에 대하여 도 13의 플로 차트를 사용하여 설명한다. 제 2 루업 테이블(322)은 프로그램(323)을 연산 회로부(310)에서 실행함으로써 개신된다.

[0101] 우선, 제 2 배선(512)(OUT)의 전위를 리셋한다(S301). 예를 들어, 제 2 배선(512)(OUT)을 고전위로 프리차지하면 좋다.

[0102] 다음에, 제 2 루업 테이블(322)에서 규정되는 전하 축적부에 공급되는 복수의 다른 전위를 전위 X로 하고, 전위 X를 제 5 배선(515)(RS)에 인가하는 스텝(S303)과, 전류 검출 회로에서 제 2 배선(512)(OUT)의 전위를 전압 신호로 변환하는 스텝(S304)과, A/D컨버터로 상기 전압 신호를 디지털 신호로 변환하는 스텝(S305)과, 제 2 루업 테이블(322)에 상기 디지털 신호를 기록하는 스텝(S306)을 반복한다.

[0103] 또한, 제 2 루업 테이블(322)로의 기록은 모든 정보를 취득한 후에 수행하여도 좋다. 제 2 루업 테이블(322)에 기록된 정보는 구체적으로 제 2 트랜지스터(502)의 전류-전압 특성에 상당한다.

[0104] 상술한 제 2 루업 테이블(322)의 개신 방법은 화소 회로에 도 3의 (B)의 회로(552)를 사용한 경우에도 적용할 수 있다.

[0105] 또한, 화소 회로에 도 6에 도시된 회로(553), 회로(554), 도 7에 도시된 회로(555)를 사용하는 경우는 도 13에 도시된 제 2 스텝(S302)에서 제 3 트랜지스터(503) 및 제 4 트랜지스터(504)를 온 상태로 하고, 제 3 스텝(S303)에서 전위 X를 제 7 배선(517)에 인가하는 방법을 이용하면 좋다.

[0106] 상술한 본 발명의 일 형태를 사용함으로써, 화소 회로가 갖는 트랜지스터의 전기 특성이 변동되어도, 보정에 의하여 정확한 조도 정보를 얻을 수 있는 활상 장치를 제공할 수 있다.

[0107] 또한, 본 명세서 등에서는 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 모든 단자에 관하여, 그 접속 대상이 특정되지 않더라도, 당업자이면 본 발명의 일 형태를 구성하는 것이 가능한 경우가 있다. 즉, 접속 대상을 특정하지 않더라도, 본 발명의 일 형태가 명확하다고 할 수 있다. 그리고 접속 대상이 특정된 내용이 본 명세서 등에 기재되어 있는 경우 접속 대상을 특정하지 않은 본 발명의 일 형태

가 본 명세서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 특히, 단자의 접속 대상으로서 복수 부분을 생각할 수 있는 경우, 그 단자의 접속 대상을 특정한 개소에 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 일부의 단자만 그 접속 대상이 특정됨으로써, 본 발명의 일 형태를 구성할 수 있는 경우가 있다.

[0108] 또한, 본 명세서 등에서는 어떤 회로에 관하여 적어도 접속 대상을 특정하면, 당업자이면 발명을 특정할 수 있는 경우가 있다. 또는, 어떤 회로에 관하여, 적어도 기능을 특정하면, 당업자이면 발명을 특정할 수 있는 경우가 있다. 즉, 기능을 특정하면, 본 발명의 일 형태가 명확하다고 할 수 있다. 그리고, 기능이 특정된 본 발명의 일 형태가 본 명세서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 따라서, 어떤 회로에 관하여, 기능을 특정하지 않아도, 접속 대상을 특정하면, 본 발명의 일 형태로서 기재되어 있는 것이고, 본 발명의 일 형태를 구성할 수 있다. 또는, 어떤 회로에 관하여 접속 대상이 특정되지 않더라도, 기능을 특정하면 본 발명의 일 형태로서 기재되어 있는 것이며, 본 발명의 일 형태를 구성하는 것이 가능하다.

[0109] 또한, 본 명세서 등에서는 어느 하나의 실시형태에서 제시하는 도면 또는 문장에서 그 일부를 추출하여 본 발명의 일 형태를 구성하는 것이 가능하다. 따라서, 어느 부분을 설명하는 도면 또는 문장이 기재되어 있는 경우, 그 일부의 도면 또는 문장을 추출한 내용도, 본 발명의 일 형태로서 기재되어 있는 것이며, 본 발명의 일 형태를 구성할 수 있는 것으로 한다. 그러므로, 예를 들어, 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 장치, 동작 방법, 제조 방법 등이 단수 또는 복수 기재된 도면 또는 문장에서, 그 일부를 추출하여 본 발명의 일 형태를 구성할 수 있는 것으로 한다. 예를 들어, N개(N은 정수)의 회로 소자(트랜지스터, 용량 소자 등)를 갖고 구성된 회로로부터 M개(M은 정수이고, M<N)의 회로 소자(트랜지스터, 용량 소자 등)를 추출하여 본 발명의 일 형태를 구성하는 것이 가능하다. 다른 예로서는, N개(N은 정수)의 층을 갖고 구성된 단면도로부터 M개(M은 정수이고, M<N)의 층을 추출하여 본 발명의 일 형태를 구성하는 것이 가능하다. 또한 다른 예로서는, N개(N은 정수)의 요소를 갖고 구성된 플로 차트로부터 M개(M은 정수이고, M<N)의 요소를 추출하여 본 발명의 일 형태를 구성하는 것이 가능하다.

[0110] 본 실시형태는 다른 실시형태에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0111] (실시형태 2)

[0112] 본 실시형태에서는 실시형태 1에서 설명한 화소 회로의 구동 방법의 일례에 대하여 설명한다.

[0113] 실시형태 1에서 설명한 바와 같이, 화소 회로의 동작은 리셋 동작, 축적 동작, 및 선택 동작의 반복이다. X선 등의 방사선을 사용한 활상 장치에서는, 생체에 대한 영향을 고려하여 방사선의 조사 시간을 최대한 짧게 하는 것이 바람직하다. 방사선의 조사 시간을 단축하여 단시간에 활상을 실현하기 위해서는, 모든 화소 회로의 리셋 동작, 축적 동작, 선택 동작을 신속하게 실시할 필요가 있다.

[0114] 그러므로, 활상 방법으로서는 도 14의 (A)의 타이밍 차트에 나타낸 바와 같은 글로벌 셜터 방식에 의한 구동 방법을 사용하는 것이 바람직하다. 또한, 도 14의 (A)는, 매트릭스상으로 복수의 화소 회로를 갖고 상기 화소 회로에 도 3의 (A)에 도시된 회로(551)를 갖는 활상 장치를 예로 하여, 첫 번째 행으로부터 마지막 행의 회로(551) 중 첫 번째 행으로부터 세 번째 행까지의 동작을 설명한 것이다. 또한, 이하에서 설명하는 동작은, 도 6의 (A)에 도시된 회로(553), 도 7에 도시된 회로(555), 및 도 8에 도시된 회로에도 적용할 수 있다.

[0115] 도 14의 (A)에서, 신호(701), 신호(702), 및 신호(703)는 첫 번째 행, 두 번째 행, 세 번째 행의 각 화소 회로에 접속된 제 5 배선(515)(RS)에 입력되는 신호이다. 또한, 신호(704), 신호(705), 및 신호(706)는 첫 번째 행, 두 번째 행, 세 번째 행의 각 화소 회로에 접속된 제 3 배선(513)(TX)에 입력되는 신호이다. 또한, 신호(707), 신호(708), 신호(709)는 첫 번째 행, 두 번째 행, 세 번째 행의 각 화소 회로에 접속된 제 4 배선(514)(SE)에 입력되는 신호이다.

[0116] 또한, 기간(710)은 한 번의 활상에 필요한 기간이다. 또한, 기간(711)은 각 행의 화소 회로가 리셋 동작을 동시에 수행하는 기간이고, 기간(720)은 각 행의 화소 회로가 축적 동작을 동시에 수행하는 기간이다. 또한, 선택 동작은 각 행의 화소 회로에서 순차적으로 수행된다. 일례로서, 기간(731)은 첫 번째 행의 화소 회로가 선택 동작을 수행하는 기간이다. 이와 같이, 글로벌 셜터 방식에서는 모든 화소 회로에서 대략 동시에 리셋 동작이 수행된 후, 모든 화소 회로에서 대략 동시에 축적 동작이 수행되고, 1행마다 순차적으로 판독 동작이 수행된다.

[0117] 즉, 글로벌 셜터 방식에서는, 모든 화소 회로에서 축적 동작이 대략 동시에 수행되기 때문에, 각 행의 화소 회

로에서의 활상의 동시성이 확보된다. 따라서, 방사선 조사와 축적 동작을 동기시킴으로써, 피사체에 방사선을 조사하는 시간을 짧게 할 수 있다. 즉, 기간(720)에만 방사선 조사를 수행하면 좋다.

[0118] 한편, 도 14의 (B)는 롤링 셔터 방식을 이용한 경우의 타이밍 차트이다. 또한, 기간(810)은 한 번의 활상에 필요한 기간이다. 기간(811), 기간(812), 및 기간(813) 각각은 첫 번째 행, 두 번째 행, 및 세 번째 행의 리셋 기간이고, 기간(821), 기간(822), 기간(823) 각각은 첫 번째 행, 두 번째 행, 세 번째 행의 축적 동작 기간이다. 또한, 기간(831)은 첫 번째 행의 화소 회로가 선택 동작을 수행하는 기간이다. 롤링 셔터 방식에서는, 이와 같이 축적 동작이 모든 화소 회로에서는 동시에 수행되지 않고, 행마다 순차적으로 수행되기 때문에, 각 행의 화소 회로에서의 활상의 동시성이 확보되지 않는다. 따라서, 방사선 조사와 축적 동작을 동기시키더라도 합계의 방사선 조사 기간(820)이 글로벌 셔터 방식의 경우보다 길다. 다만, 고속 동작시키는 등에 의하여, 롤링 셔터 방식에서도 방사선 조사 시간을 짧게 할 수 있으므로, 본 발명의 일 형태에 따른 활상 장치의 구동 방식으로서 롤링 셔터 방식을 이용하여도 좋다.

[0119] 글로벌 셔터 방식을 실현하기 위해서는, 축적 동작이 종료된 후에도, 판독 동작이 수행될 때까지 각 화소 회로에서의 배선(505)(FD)의 전위를 장시간 유지할 필요가 있다. 배선(505)(FD)의 전위는, 상술한 바와 같이 오프 전류가 매우 낮으며 채널 형성 영역이 산화물 반도체로 형성된 트랜지스터를 제 1 트랜지스터(501)로서 사용함으로써 장시간 유지할 수 있다. 한편, 채널 형성 영역이 실리콘 반도체 등으로 형성된 트랜지스터를 제 1 트랜지스터(501)로서 사용한 경우에는, 오프 전류가 높아 배선(505)(FD)의 전위를 장시간 유지할 수 없어, 글로벌 셔터 방식을 이용하기가 어려워진다.

[0120] 상술한 바와 같이, 채널 형성 영역이 산화물 반도체로 형성된 트랜지스터를 화소 회로에 사용함으로써 글로벌 셔터 방식을 용이하게 실현할 수 있고, 피사체에 조사되는 방사선량이 적은 활상 장치를 제공할 수 있다.

[0121] 본 실시형태는 다른 실시형태에 기재되는 구성과 적절히 조합하여 실시할 수 있다.

[0122] (실시형태 3)

[0123] 본 실시형태에서는 화소 회로의 레이아웃의 일례에 대하여 도 15 및 도 16을 사용하여 설명한다.

[0124] 도 15의 (A)는 도 3의 (A)에 도시된 회로(551)의 상면도이고, 도 15의 (B)는 도 15의 (A)의 일점 쇄선 E1-E2 부분의 단면도이다.

[0125] 회로(551)는, 제 5 배선(515)(RS)으로서 기능하는 도전막(1211)과, 제 3 배선(513)(TX)으로서 기능하는 도전막(1212)과, 제 4 배선(514)(SE)으로서 기능하는 도전막(1213)과, 제 1 배선(511)(GND)으로서 기능하는 도전막(1214)과, 제 2 배선(512)(OUT)으로서 기능하는 도전막(1215)을 갖는다.

[0126] 회로(551)가 갖는 포토다이오드(520)는 순차적으로 적층된 p형 반도체막(915), i형 반도체막(916), 및 n형 반도체막(917)을 갖는다. 도전막(1211)은 포토다이오드(520)의 양극으로서 기능하는 p형 반도체막(915)에 전기적으로 접속된다.

[0127] 회로(551)가 갖는 도전막(1218)은 제 1 트랜지스터(501)의 게이트 전극으로서 기능하며 도전막(1212)에 전기적으로 접속된다. 도전막(1219)은 제 1 트랜지스터(501)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다. 도전막(1220)은 제 1 트랜지스터(501)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 도전막(1221)은 n형 반도체막(917)과, 도전막(1219)에 전기적으로 접속된다. 도전막(1222)은 제 2 트랜지스터(502)의 게이트 전극으로서 기능하며, 또한 도전막(1220)에 전기적으로 접속된다.

[0128] 회로(551)가 갖는 도전막(1223)은 제 2 트랜지스터(502)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다. 도전막(1224)은 제 2 트랜지스터(502)의 소스 전극 및 드레인 전극 중 다른 쪽, 및 제 3 트랜지스터(503)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다. 도전막(1214)은 제 3 트랜지스터(503)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 도전막(1213)은 제 3 트랜지스터(503)의 게이트 전극으로서도 기능한다. 도전막(1225)은 도전막(1223) 및 도전막(1214)에 전기적으로 접속된다.

[0129] 또한, 도 15에서, 회로(551)가 갖는 도전막(1226)은 제 5 배선(515)(RS)으로서 기능하는 도전막(1211)에 전기적으로 접속된다. 또한, 회로(551)가 갖는 도전막(1227)은 제 3 배선(513)(TX)으로서 기능하는 도전막(1212)에 전기적으로 접속된다.

[0130] 도전막(1213), 도전막(1218), 도전막(1222), 도전막(1225), 도전막(1226), 및 도전막(1227)은, 절연 표면 위에 형성된 하나의 도전막을 원하는 형상으로 가공함으로써 형성할 수 있다. 도전막(1213), 도전막(1218), 도전막

(1222), 도전막(1225), 도전막(1226), 도전막(1227) 위에는 게이트 절연막(1228)이 형성된다. 또한 도전막(1211), 도전막(1212), 도전막(1214), 도전막(1215), 도전막(1219), 도전막(1220), 도전막(1223), 도전막(1224)은, 게이트 절연막(1228) 위에 형성된 하나의 도전막을 원하는 형상으로 가공함으로써 형성할 수 있다.

[0131] 또한, 도전막(1211), 도전막(1212), 도전막(1214), 도전막(1215), 도전막(1219), 도전막(1220), 도전막(1223), 도전막(1224) 위에는 절연막(1281) 및 절연막(1282)이 형성된다. 절연막(1281) 및 절연막(1282) 위에 도전막(1221)이 형성된다.

[0132] 제 1 트랜지스터(501)의 반도체층(1250)에는 산화물 반도체를 사용하는 것이 바람직하다. 포토다이오드(520)에 빛이 조사되어 생성된 전하를 전하 축적부에서 장시간 유지하기 위해서는, 전하 축적부에 전기적으로 접속되는 제 1 트랜지스터(501)를 오프 전류가 매우 낮은 트랜지스터로 구성할 필요가 있다. 따라서, 반도체층(1250)에 산화물 반도체 재료를 사용함으로써 회로(551)의 성능을 높일 수 있다. 또한, 전하 축적부란, 회로(551)의 배선(505)을 가리키며, 도 15에서는 도전막(1220)에 상당한다. 또한, 제 2 트랜지스터(502) 및 제 3 트랜지스터(503)도 제 1 트랜지스터(501)와 마찬가지의 구성이어도 좋다.

[0133] 또한, 도 16에 도시된 바와 같이 회로(551)는, 트랜지스터 등의 소자와 포토다이오드(520)가 중첩되는 구성으로 하여도 좋다. 이와 같은 구성으로 함으로써 화소 밀도를 높일 수 있어, 활상 장치의 해상도를 높일 수 있다. 또한, 포토다이오드(520)의 면적을 증대시킬 수 있어, 활상 장치의 감도를 높일 수도 있다. 또한, 도 16의 (A)는 회로(551)의 상면도이고, 도 16의 (B)는 도 16의 (A)의 일점 쇄선 F1-F2 부분의 단면도이다.

[0134] 도 16에 도시된 회로(551)에서, 제 1 트랜지스터(501)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 도전막(1219) 및 포토다이오드(520)의 음극으로서 기능하는 n형 반도체막(917)은 도전막(1229)을 통하여 전기적으로 접속된다. 또한, 포토다이오드(520)의 양극으로서 기능하는 p형 반도체막(915)은 제 5 배선(515)(RS)에 접하는 도전막(1226)에 도전막(1221)을 통하여 전기적으로 접속된다. 또한, 포토다이오드(520)를 보호하는 절연막(1283)이 형성된다. 이들의 점, 및 트랜지스터 등의 소자와 포토다이오드(520)가 중첩되는 점 이외는, 도 15에 도시된 회로(551)와 마찬가지의 구성으로 할 수 있다.

[0135] 또한, p형의 반도체막(915)과 도전막(1226)의 전기적 접속으로서는 도전막(1221)을 통한 직접 접속의 예를 도시하였지만, 절연막(1281), 절연막(1282), 및 절연막(1283)에 형성한 개구부를 통하여 도전막(1226)에 전기적으로 접속되는 다른 도전막을 제공하고, 상기 도전막과 도전막(1221)이 전기적으로 접속되는 구성으로 하여도 좋다.

[0136] 또한, 도 16에 도시된 트랜지스터 등의 소자와 포토다이오드 등의 수광 소자가 중첩되는 구성은, 도 3의 (B)에 도시된 회로(552), 도 6에 도시된 회로(553) 및 회로(554), 도 7에 도시된 회로(555), 및 도 8에 도시된 회로에 도 적용할 수 있다.

[0137] 본 실시형태는 다른 실시형태에 기재되는 구성과 적절히 조합하여 실시할 수 있다.

[0138] (실시형태 4)

[0139] 본 실시형태에서는 실시형태 1 내지 실시형태 3에서 설명한 회로에 사용할 수 있는, 오프 전류가 매우 낮은 트랜지스터 및, 상기 트랜지스터를 구성하는 재료에 대하여 설명한다.

[0140] 도 17의 (A)는 본 발명의 일 형태에 따른 활상 장치에 사용할 수 있는 일례의 트랜지스터의 단면도이다. 상기 트랜지스터는 기판(900) 위에 형성된 하지 절연막(910), 상기 하지 절연막 위에 형성된 게이트 전극층(920), 상기 게이트 전극층 위에 제 1 절연막(931), 제 2 절연막(932)의 순서로 형성된 게이트 절연막(930), 상기 게이트 절연막 위에 형성된 산화물 반도체층(940), 상기 산화물 반도체층의 일부에 접하는 소스 전극층(950) 및 드레인 전극층(960)을 갖는다. 또한, 게이트 절연막(930), 산화물 반도체층(940), 소스 전극층(950), 및 드레인 전극층(960) 위에 절연층(970)이 형성되어도 좋다. 또한, 상기 절연층 위에 절연층(980)이 형성되어도 좋다.

[0141] 또한, 본 발명의 일 형태에 따른 트랜지스터는, 도 17의 (B)에 도시된 바와 같이, 절연층(970) 또는 절연층(980) 위에 게이트 전극층(920) 및 산화물 반도체층(940)과 중첩되도록 도전막(921)을 구비하여도 좋다. 상기 도전막을 제 2 게이트 전극층(백 게이트)으로서 사용함으로써 온 전류의 증가나 문턱 전압의 제어를 수행할 수 있다. 온 전류를 증가시키기 위해서는 예를 들어, 게이트 전극층(920)과 도전막(921)의 전위를 동일하게 하여 듀얼 게이트 트랜지스터로서 구동시키면 좋다. 또한, 문턱 전압을 제어하기 위해서는 게이트 전극층(920)과는 다른 정전위를 도전막(921)에 공급하면 좋다.

[0142] 본 발명의 일 형태에 따른 활상 장치에서는, 상술한 바와 같이 산화물 반도체를 활성층에 사용한다. 산화물 반도체층을 사용한 트랜지스터는 비정질 실리콘을 사용한 트랜지스터보다 이동도가 높기 때문에 트랜지스터를 작

게 하기 쉽고 화소를 작게 할 수 있다. 즉, 활상 장치의 해상도를 높일 수 있다.

[0143] 게이트 절연막(930)을 구성하는 제 1 절연막(931)에는 질화 실리콘막을 사용할 수 있다. 상기 질화 실리콘막의 막 두께는 100nm~400nm인 것이 바람직하다. 또한, 게이트 절연막(930)을 구성하는 제 2 절연막(932)에는 산화 실리콘막을 사용할 수 있다. 상기 산화 실리콘막의 막 두께는 5nm~20nm인 것이 바람직하다. 게이트 절연막(930)을 상기 재료 및 막 두께로 형성함으로써, X선 등의 방사선의 조사에 대하여 전기 특성의 변동이 적은 트랜지스터를 형성할 수 있다.

[0144] 또한, 도 17에서는 채널 에치형의 보텀 게이트 구조를 일례로서 도시하였지만, 채널 보호형의 보텀 게이트 구조, 비자기정렬(non-self-aligned)형 톱 게이트 구조, 또는 자기정렬(self-aligned)형 톱 게이트 구조이어도 좋다.

[0145] 오프 전류가 매우 낮은 트랜지스터를 형성하기 위해서는, 실리콘 반도체보다 밴드 갭이 넓고 진성 캐리어 밀도가 실리콘보다 낮은 산화물 반도체 등의 반도체 재료를 반도체층에 사용하는 것이 바람직하다.

[0146] 상기 반도체 재료의 일례로서는, 산화물 반도체 외에, 탄소화 실리콘(SiC), 질화 갈륨(GaN) 등의 화합물 반도체 등을 들 수 있지만, 산화물 반도체는 탄소화 실리콘이나 질화 갈륨과 달리, 스퍼터링법이나 습식법에 의하여 제작할 수 있어 양산성이 뛰어나다는 이점이 있다. 또한, 산화물 반도체는 실온에서도 성막할 수 있기 때문에, 유리 기판 위에 대한 성막, 또는 실리콘을 사용한 접적 회로 위에 대한 성막이 가능하다. 또한, 기판의 대형화에도 대응할 수 있다. 따라서, 상술한 밴드 갭이 넓은 반도체 중에서도 특히 산화물 반도체는 양산성이 높다는 이점이 있다. 또한, 트랜지스터의 성능(예를 들어, 전계 효과 이동도)을 향상시키기 위하여 결정성 산화물 반도체를 얻고자 하는 경우에도 250°C 내지 800°C의 가열 처리에 의하여 결정성 산화물 반도체를 용이하게 얻을 수 있다.

[0147] 또한, 전자 공여체(도너)가 되는 불순물이 저감되고 또한 산소 결손이 저감됨으로써 고순도화된 산화물 반도체(purified OS)의 도전형은 i형이거나, 또는 i형에 매우 가깝다. 따라서, 상기 산화물 반도체를 사용한 트랜지스터는 오프 전류가 현저히 낮다는 특성을 갖는다. 또한, 산화물 반도체의 밴드 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되고 또한 산소 결손이 저감됨으로써 고순도화된 산화물 반도체막을 사용함으로써, 트랜지스터의 오프 전류를 낮출 수 있다.

[0148] 산화물 반도체층에 있어서 수소, 질소, 탄소, 실리콘, 및 주성분 이외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 도너 준위의 형성에 기여하고, 캐리어 밀도를 증대시킨다. 또한, 실리콘은 산화물 반도체층 내에 불순물 준위를 형성한다. 상기 불순물 준위는 트랩이 되어 트랜지스터의 전기 특성을 열화시키는 경우가 있다. 산화물 반도체층 내나, 다른 층과의 계면에서 불순물 농도를 저감시키는 것이 바람직하다.

[0149] 또한, 산화물 반도체층을 채널로 하는 트랜지스터에 안정된 전기 특성을 부여하기 위해서는, 산화물 반도체층 내의 불순물 농도를 저감시켜, 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것이 유효하다. 여기서, 실질적으로 진성이란, 산화물 반도체층의 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 미만인 것을 가리킨다.

[0150] 산화물 반도체층을 진성 또는 실질적으로 진성으로 하기 위해서는 SIMS(Secondary Ion Mass Spectrometry) 분석에서 예를 들어, 산화물 반도체층 중 어느 깊이에서 또는 산화물 반도체층 중 어느 영역에서, 실리콘 농도를 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만으로 하는 부분을 갖는 것으로 한다. 또한, 수소 농도는 예를 들어, 산화물 반도체층 중 어느 깊이에서 또는 산화물 반도체층 중 어느 영역에서 $2 \times 10^{20} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하로 하는 부분을 갖는 것으로 한다. 또한, 질소 농도는 예를 들어, 산화물 반도체층 중 어느 깊이에서 또는 산화물 반도체층 중 어느 영역에서 $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms}/\text{cm}^3$ 미하로 하는 부분을 갖는 것으로 한다.

[0151] 또한, 산화물 반도체층이 결정을 포함하는 경우, 실리콘이나 탄소가 고농도로 포함되면, 산화물 반도체층의 결정성을 저하시키는 경우가 있다. 산화물 반도체층의 결정성을 저하시키지 않기 위해서는 예를 들어, 산화물 반도체층 중 어느 깊이에서 또는 산화물 반도체층 중 어느 영역에서, 실리콘 농도를 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람

직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 미만으로 하는 부분을 갖는 것으로 한다. 또한, 예를 들어, 산화물 반도체층 중 어느 깊이에서 또는 산화물 반도체층 중 어느 영역에서, 탄소 농도를 1×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 미만으로 하는 부분을 갖는 것으로 한다.

[0152]

구체적으로, 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터의 오프 전류가 낮은 것은, 여러 가지 실험에 의하여 증명할 수 있다. 예를 들어, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 소자라도 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V에서 10V의 범위에서, 오프 전류가 반도체 파라미터 앤데라이저의 측정 한계 이하, 즉 1×10^{-13} A 이하라는 특성을 얻을 수 있다. 이 경우에, 트랜지스터의 채널 폭으로 규격화된 오프 전류는 $100\text{zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또한, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입하거나 또는 용량 소자로부터 유출되는 전하를 상기 트랜지스터로 제어하는 회로를 사용하여 오프 전류를 측정하였다. 상기 측정에서는, 고순도화된 산화물 반도체막을 상기 트랜지스터의 채널 형성 영역에 사용하고, 용량 소자의 단위 시간당 전하량의 추이로부터 상기 트랜지스터의 오프 전류를 측정하였다. 그 결과, 트랜지스터의 소스 전극과 드레인 전극 사이의 전압이 3V인 경우에, 수십 $\text{yA}/\mu\text{m}$ 라는, 더 낮은 오프 전류가 얻어지는 것을 알았다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역에 사용한 트랜지스터는, 결정성을 갖는 실리콘을 사용한 트랜지스터에 비하여 오프 전류가 현저히 낮다.

[0153]

또한, 산화물 반도체로서는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감하기 위한 스테빌라이저로서, 그들 외에 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.

[0154]

또한, 다른 스테빌라이저로서 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 티튬(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수 종류를 포함하여도 좋다.

[0155]

예를 들어 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 사용할 수 있다. 또한, 상기 산화물 반도체는 실리콘을 포함하여도 좋다.

[0156]

또한, 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga과 Zn을 포함하는 산화물을 가리키고, In과 Ga과 Zn의 비율은 불문한다. 또한, In가 Ga과 Zn 이외의 금속 원소를 포함하여도 좋다. In-Ga-Zn계 산화물은, 무전계(無電界) 시의 저항이 충분히 높고, 오프 전류를 충분히 낮게 할 수 있고 또한 이동도도 높기 때문에, 반도체 장치에 사용하는 반도체 재료로서는 적합하다.

[0157]

예를 들어, 원자수비가 In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)인 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 사용할 수 있다. 또는, 원자수비가 In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2), 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)인 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 사용하면 좋다.

[0158]

그러나, 이들에 한정되지 않고, 필요로 하는 전기 특성(이동도, 문턱 전압 등)에 따라서 적절한 조성의 것을 사용하면 좋다. 또한, 필요로 하는 반도체 특성을 얻기 위하여 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0159]

또한, 예를 들어 산화물 반도체막은, In, Ga, 및 Zn을 포함하는 타깃을 사용한 스팍터링법에 의하여 형성할 수 있다. In-Ga-Zn계 산화물 반도체막을 스팍터링법에 의하여 형성하는 경우, 바람직하게는 원자수비가 In:Ga:Zn=1:1:1, 5:5:6, 4:2:3, 3:1:2, 1:1:2, 2:1:3, 1:3:2, 1:3:4, 1:6:4 또는 3:1:4로 나타내어지는 In-Ga-Zn계 산화물의 타깃을 사용한다. 상술한 원자수비를 갖는 In-Ga-Zn계 산화물의 타깃을 사용하여 산화물 반

도체막을 형성함으로써, 결정이 형성되기 쉬워진다. 또한, In, Ga, 및 Zn을 포함하는 타깃의 충전율은 90% 이상, 바람직하게는 95% 이상이다. 충전율이 높은 타깃을 사용함으로써, 형성되는 산화물 반도체막은 치밀한 막이 된다.

[0160] 또한, 산화물 반도체로서 In-Zn계 산화물의 재료를 사용하는 경우, 사용하는 타깃의 조성은 원자수비로 In:Zn=50:1 내지 1:2(몰수비로 환산하면 $In_2O_3:ZnO=25:1$ 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(몰수비로 환산하면 $In_2O_3:ZnO=10:1$ 내지 1:2), 더 바람직하게는 In:Zn=1.5:1 내지 15:1(몰수비로 환산하면 $In_2O_3:ZnO=3:4$ 내지 15:2)로 한다. 예를 들어, In-Zn계 산화물인 산화물 반도체막의 형성에 사용하는 타깃은 원자수비가 $In:Zn=X:Y:Z$ 일 때, $Z>1.5X+Y$ 로 한다. Zn의 비율을 상기 범위 내로 함으로써, 이동도의 향상을 실현할 수 있다.

[0161] 또한, 산화물 반도체막으로서 In-Sn-Zn계 산화물 반도체막을 스퍼터링법으로 형성하는 경우, 바람직하게는 원자수비가 $In:Sn:Zn=1:1:1$, $2:1:3$, $1:2:2$, 또는 $20:45:35$ 로 나타내어지는 In-Sn-Zn-O 타깃을 사용할 수 있다.

[0162] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.

[0163] 또한, 본 명세서에 있어서, '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.

[0164] 또한, 본 명세서에서 삼방정 또는 능면체정은 육방정계에 포함된다.

[0165] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.

[0166] 우선, CAAC-OS막에 대하여 설명한다.

[0167] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막의 하나이며, 결정부의 대부분은 한 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기인 경우도 포함된다.

[0168] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레이인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0169] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되는 것을 확인할 수 있다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(괴형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 괴형성면 또는 상면에 평행하게 배열된다.

[0170] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되는 것을 확인할 수 있다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.

[0171] 단면 TEM 관찰 및 평면 TEM 관찰에 의하여, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.

[0172] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어 $InGaZnO_4$ 의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2Θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는, $InGaZnO_4$ 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 괴형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.

[0173] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2Θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 $InGaZnO_4$ 의 결정의 (110)면에 귀속된다. $InGaZnO_4$ 의 단결정 산화물 반도체막의 경우에는, 2Θ 를 56° 근방에 고정하고, 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2Θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.

- [0174] 상술한 것으로부터, CAAC-OS막에서는, 상이한 결정부들간에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고 또한 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은 결정의 ab면에 평행한 면이다.
- [0175] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않을 수도 있다.
- [0176] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.
- [0177] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방일 때 나타나는 피크에 더하여, 2θ가 36° 근방일 때 피크가 나타나는 경우도 있다. 2θ가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 가리킨다. CAAC-OS막은 2θ가 31° 근방일 때 피크가 나타나고, 2θ가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0178] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등 산화물 반도체막의 주성분 이외의 원소이다. 특히 실리콘 등, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인으로 된다. 또한, 철이나 니켈 등의 중금속, 아르곤, 이산화 탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하고 결정성을 저하시키는 요인으로 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0179] 또한, CAAC-OS막은 결함 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0180] 불순물 농도가 낮고 결함 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터의 전기 특성은 문턱 전압이 음(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로, 불순물 농도가 높고 결함 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.
- [0181] 또한, CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다.
- [0182] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.
- [0183] 미결정 산화물 반도체막은, TEM에 의한 관찰상에서는 결정부를 명확히 확인할 수 없는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 부른다. 또한, nc-OS막은 예를 들어 TEM에 의한 관찰상에서는 결정 입계를 명확히 확인할 수 없는 경우가 있다.
- [0184] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성이 보이지 않는다. 따라서, 분석 방법에 따라서는 nc-OS막을 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어 nc-OS막에 대하여 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 사용하여 구조를 해석하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 결정부보다 프로브 직경이 큰(예를 들어 50nm 이상) 전자선을 사용하는 전자선 회절(제한 시야 전자선 회절이라고도 함)에 의하여 nc-OS막의 구조를 해석하면, 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편,

결정부의 크기와 프로브 직경이 가깝거나 결정부보다 프로브 직경이 작은(예를 들어 1nm 이상 30nm 이하) 전자선을 사용하는 전자선 회절(나노 범 전자선 회절이라고도 함)에 의하여 nc-OS막의 구조를 해석하면, 스폷이 관측된다. 또한, 나노 범 전자선 회절에 의하여 nc-OS막의 구조를 해석하면, 휘도가 높은 원 형(환 형)의 영역이 관측되는 경우가 있다. 또한, 나노 범 전자선 회절에 의하여 nc-OS막의 구조를 해석하면, 환 형 영역 내에 복수의 스폷이 관측되는 경우가 있다.

[0185] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들간에서 결정 방위에 규칙성이 보이지 않는다. 따라서, nc-OS막은 CAAC-OS막보다 결함 준위 밀도가 높다.

[0186] 또한, 산화물 반도체막은 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이어도 좋다.

[0187] CAAC-OS막은 예를 들어, 다결정 산화물 반도체 스퍼터링용 타깃을 사용하여 스퍼터링법으로 형성한다. 상기 스퍼터링용 타깃에 이온이 충돌되면, 스퍼터링용 타깃에 포함되는 결정 영역이 ab면으로부터 벽개(劈開)하여 ab면에 평행한 면을 갖는 평판 형상 또는 펠렛(pellet) 형상의 스퍼터링 입자로서 박리되는 경우가 있다. 이 때 상기 평판 형상 또는 펠렛 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달됨으로써 CAAC-OS막이 형성될 수 있다.

[0188] 또한, CAAC-OS막을 형성하기 위하여 이하의 조건을 적용하는 것이 바람직하다.

[0189] 성막 시의 불순물 혼입을 저감시킴으로써, 불순물을 인하여 결정 상태가 무너지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물(수소, 물, 이산화 탄소, 및 질소 등)을 저감시키면 좋다. 또한, 성막 가스 내의 불순물을 저감시키면 좋다. 구체적으로는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 성막 가스를 사용한다.

[0190] 또한, 성막 시의 기판 가열 온도를 높임으로써, 스퍼터링 입자가 기판에 도달한 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 가열 온도를 100°C 이상 740°C 이하, 바람직하게는 200°C 이상 500°C 이하로 하여 성막한다. 성막 시의 기판 가열 온도를 높임으로써, 평판 형상 또는 펠렛 형상의 스퍼터링 입자가 기판에 도달한 후에 기판 위에서 마이그레이션이 일어나 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0191] 또한, 성막 가스 내의 산소 비율을 높여 전력을 최적화시킴으로써 성막 시의 플라즈마 대미지를 경감시키면 바람직하다. 성막 가스 내의 산소 비율은 30vol% 이상, 바람직하게는 100vol%로 한다.

[0192] 스퍼터링용 타깃으로서는 예를 들어, In-Ga-Zn-O 화합물 타깃을 사용할 수 있다. In-Ga-Zn-O 화합물 타깃은 $In_{0x}O_y$ 분말, GaO_y 분말, 및 ZnO_z 분말을 소정의 몰수비로 혼합하고 가압 처리한 후에 1000°C 이상 1500°C 이하의 온도에서 가열 처리를 수행함으로써 다결정체로 한다. 또한, X, Y, 및 Z는 임의의 양수이다. 또한, 상기 다결정체의 입경은 예를 들어, 1μm 이하 등, 작으면 작을수록 바람직하다. 여기서, 분말의 종류 및 이들을 혼합하는 몰수비는, 제작하는 스퍼터링용 타깃에 따라 적절히 변경하면 좋다.

[0193] 또한, 산화물 반도체막은, 복수의 산화물 반도체막이 적층된 구조이어도 좋다. 예를 들어, 도 18의 (A)에 도시된 트랜지스터와 같이, 산화물 반도체층(940)을 제 1 산화물 반도체막(941a)과 제 2 산화물 반도체막(941b)의 적층으로 할 수 있다. 제 1 산화물 반도체막(941a)과 제 2 산화물 반도체막(941b)에 서로 다른 원자수비를 갖는 금속 산화물을 사용하여도 좋다. 예를 들어, 한쪽의 산화물 반도체막에 2종류의 금속을 포함하는 산화물, 3종류의 금속을 포함하는 산화물, 4종류의 금속을 포함하는 산화물 중 하나를 사용하고, 다른 쪽의 산화물 반도체막에 한쪽의 산화물 반도체막과 다른 2종류의 금속을 포함하는 산화물, 3종류의 금속을 포함하는 산화물, 4종류의 금속을 포함하는 산화물을 사용하여도 좋다.

[0194] 또한, 제 1 산화물 반도체막(941a)과 제 2 산화물 반도체막(941b)의 구성 원소를 동일하게 하고, 양자의 원자수비를 다르게 하여도 좋다. 예를 들어, 한쪽의 산화물 반도체막의 원자수비를 $In:Ga:Zn=1:1:1$, 5:5:6, 또는 3:1:2로 하고, 다른 쪽의 산화물 반도체막의 원자수비를 $In:Ga:Zn=1:3:2$, 1:3:4, 1:3:6, 1:6:4, 또는 1:9:6으로 하여 형성할 수 있다. 또한, 각 산화물 반도체막의 원자수비는 상술한 원자수비의 ±20%의 오차 변동을 포함한다.

[0195] 이 때, 한쪽의 산화물 반도체막과 다른 쪽의 산화물 반도체막 중, 게이트 전극에 가까운 층(채널 층)의 산화물 반도체막의 In과 Ga의 원자수비를 $In \geq Ga$ 로 하고, 게이트 전극에서 먼 층(백 채널 층)의 산화물 반도체막의 In

과 Ga의 원자수비를 In<Ga로 함으로써 전계 효과 이동도가 높은 트랜지스터를 제작할 수 있다. 한편, 채널 층의 산화물 반도체막의 In과 Ga의 원자수비를 In<Ga로 하고, 백 채널 층의 산화물 반도체막의 In과 Ga의 원자수비를 In≥Ga로 함으로써, 시간에 따른 변화나 신뢰성 시험에 의한 트랜지스터의 문턱 전압의 변동량을 저감시킬 수 있다.

[0196] 또한, 트랜지스터의 반도체막을 제 1 산화물 반도체막 내지 제 3 산화물 반도체막으로 이루어지는 3층 구조로 하여도 좋다. 이 때, 제 1 산화물 반도체막 내지 제 3 산화물 반도체막의 구성 원소를 동일하게 하고, 또한 각각의 원자수비를 다르게 하여도 좋다. 반도체막을 3층 구조로 하는 트랜지스터의 구성에 대하여 도 18의 (B)를 사용하여 설명한다.

[0197] 도 18의 (B)에 도시된 트랜지스터는 제 1 산화물 반도체막(942a), 제 2 산화물 반도체막(942b), 및 제 3 산화물 반도체막(942c)이 게이트 절연막 층으로부터 순차적으로 적층된다.

[0198] 제 1 산화물 반도체막(942a) 및 제 3 산화물 반도체막(942c)을 구성하는 재료는, $\text{InM}_{1x}\text{Zn}_y\text{O}_z$ ($x \geq 1$, $y > 1$, $z > 0$, $M_1 = \text{Ga}$, Hf 등)로 표기할 수 있는 재료를 사용한다. 또한, 제 2 산화물 반도체막(942b)을 구성하는 재료는 $\text{InM}_{2x}\text{Zn}_y\text{O}_z$ ($x \geq 1$, $y \geq x$, $z > 0$, $M_2 = \text{Ga}$, Sn 등)로 표기할 수 있는 재료를 사용한다.

[0199] 제 1 산화물 반도체막(942a)의 전도대 하단 및 제 3 산화물 반도체막(942c)의 전도대 하단에 비하여 제 2 산화물 반도체막(942b)의 전도대 하단이 진공 준위로부터 가장 깊게 되는 우물형 구조를 구성하도록 제 1, 제 2, 및 제 3 산화물 반도체막의 재료를 적절히 선택한다.

[0200] 예를 들어, 제 1 산화물 반도체막(942a) 및 제 3 산화물 반도체막(942c)은 원자수비를 $\text{In:Ga:Zn}=1:3:2$, $1:3:4$, $1:3:6$, $1:6:4$, 또는 $1:9:6$ 으로 하여 형성하고, 제 2 산화물 반도체막(942b)은 원자수비를 $\text{In:Ga:Zn}=1:1:1$, $5:5:6$, 또는 $3:1:2$ 로 하여 형성할 수 있다.

[0201] 제 1 산화물 반도체막(942a) 내지 제 3 산화물 반도체막(942c)의 구성 원소는 동일하기 때문에, 제 2 산화물 반도체막(942b)은 제 1 산화물 반도체막(942a)과의 계면에서의 결합 준위(트랩 준위)가 적다. 자세히 말하면, 이 결합 준위(트랩 준위)는 게이트 절연막과 제 1 산화물 반도체막(942a)과의 계면에서의 결합 준위보다 적다. 이 때문에, 상술한 바와 같이 산화물 반도체막이 적층됨으로써, 시간에 따른 변화나 신뢰성 시험에 의한 트랜지스터의 문턱 전압의 변동량을 저감시킬 수 있다.

[0202] 또한, 제 1 산화물 반도체막(942a)의 전도대 하단 및 제 3 산화물 반도체막(942c)의 전도대 하단에 비하여 제 2 산화물 반도체막(942b)의 전도대 하단이 진공 준위에서 가장 깊게 되는 우물형 구조를 구성하도록, 제 1, 제 2, 및 제 3 산화물 반도체막의 재료를 적절히 선택함으로써, 트랜지스터의 전계 효과 이동도를 높일 수 있음과 함께, 시간에 따른 변화나 신뢰성 시험에 의한 트랜지스터의 문턱 전압의 변동량을 저감시킬 수 있다.

[0203] 또한, 제 1 산화물 반도체막(942a) 내지 제 3 산화물 반도체막(942c)에, 결정성이 서로 다른 산화물 반도체를 적용하여도 좋다. 즉, 단결정 산화물 반도체, 다결정 산화물 반도체, 미결정(나노 결정) 산화물 반도체, 비정질 산화물 반도체, 및 CAAC-OS막을 적절히 조합한 구성으로 하여도 좋다.

[0204] 또한, 적어도 채널 형성 영역이 될 수 있는 제 2 산화물 반도체막(942b)은 CAAC-OS막인 것이 바람직하다.

[0205] 또한, 산소와 결합하기 쉬운 도전 재료(예를 들어, 소스 전극 또는 드레인 전극에 사용되는 금속)와 산화물 반도체막을 접촉시키면, 산화물 반도체막 중의 산소가, 산소와 결합하기 쉬운 도전 재료 층으로 확산되는 현상이 일어난다. 상기 현상은 온도가 높을수록 현저히 일어나기 쉽다. 트랜지스터의 제작 공정에는 여러 가지 가열 공정이 있기 때문에, 상기 현상에 의하여, 산화물 반도체층 중 소스 전극 또는 드레인 전극과 접촉한 근방의 영역에 산소 결손이 발생하여, 상기 영역은 n형화된다. 따라서, n형화된 상기 영역은 트랜지스터의 소스 또는 드레인으로서 작용할 수 있다.

[0206] 본 실시형태는 다른 실시형태에서 제시한 구성과 적절히 조합하여 실시할 수 있다.

부호의 설명

- [0207] 100: 활상 장치
- 101: 평판 디텍터
- 110: 화소 회로

210: 전류 검출 회로

220: A/D컨버터

310: 연산 회로부

320: 제 1 기억 회로부

321: 제 1 룩업 테이블

322: 제 2 룩업 테이블

323: 프로그램

330: 제 2 기억 회로부

340: 기억 장치

331: 영역

400: 표시 장치

501: 제 1 트랜지스터

502: 제 2 트랜지스터

503: 제 3 트랜지스터

504: 제 4 트랜지스터

505: 배선

511: 제 1 배선

512: 제 2 배선

513: 제 3 배선

514: 제 4 배선

515: 제 5 배선

516: 제 6 배선

517: 제 7 배선

520: 포토다이오드

530: 가변 저항 소자

551: 회로

552: 회로

553: 회로

554: 회로

555: 회로

601: 신호

602: 신호

603: 신호

604: 신호

605: 신호

701: 신호

- 702: 신호
 703: 신호
 704: 신호
 705: 신호
 706: 신호
 707: 신호
 708: 신호
 709: 신호
 710: 기간
 711: 기간
 720: 기간
 731: 기간
 810: 기간
 811: 기간
 812: 기간
 820: 방사선 조사 기간
 821: 기간
 822: 기간
 823: 기간
 831: 기간
 900: 기판
 910: 하지 절연막
 915: 반도체막
 916: 반도체막
 917: 반도체막
 920: 게이트 전극층
 921: 도전막
 930: 게이트 절연막
 931: 절연막
 932: 절연막
 940: 산화물 반도체층
 941a: 제 1 산화물 반도체막
 941b: 제 2 산화물 반도체막
 942a: 제 1 산화물 반도체막
 942b: 제 2 산화물 반도체막
 942c: 제 3 산화물 반도체막

950: 소스 전극층

960: 드레인 전극층

970: 절연층

980: 절연층

991: 디텍터 유닛

992: 손잡이

994: 피사체

995: 대

996: X선원

997: X선

998: 활상 시스템

999: 컴퓨터

1211: 도전막

1212: 도전막

1213: 도전막

1214: 도전막

1215: 도전막

1218: 도전막

1219: 도전막

1220: 도전막

1221: 도전막

1222: 도전막

1223: 도전막

1224: 도전막

1225: 도전막

1226: 도전막

1227: 도전막

1228: 게이트 절연막

1229: 도전막

1250: 반도체층

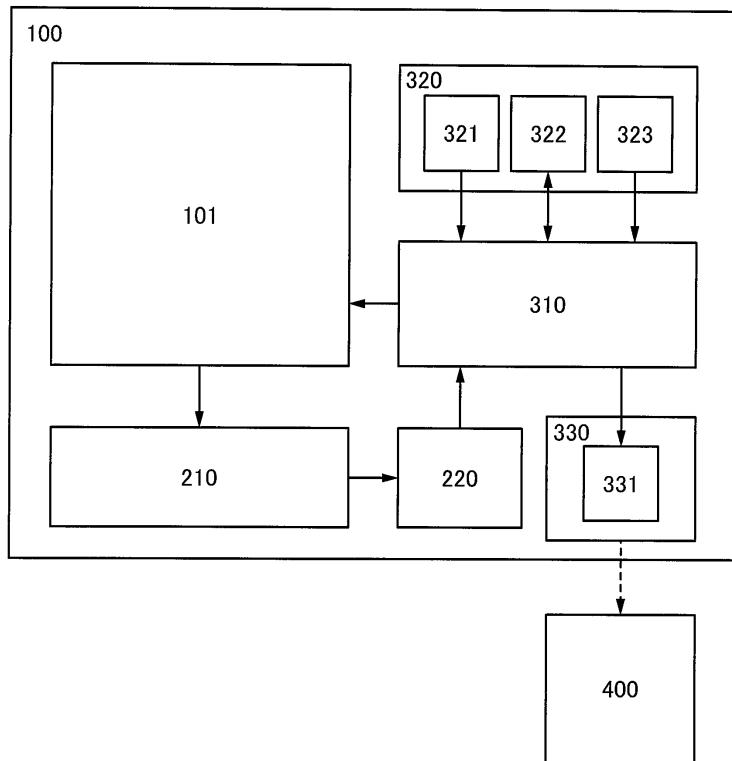
1281: 절연막

1282: 절연막

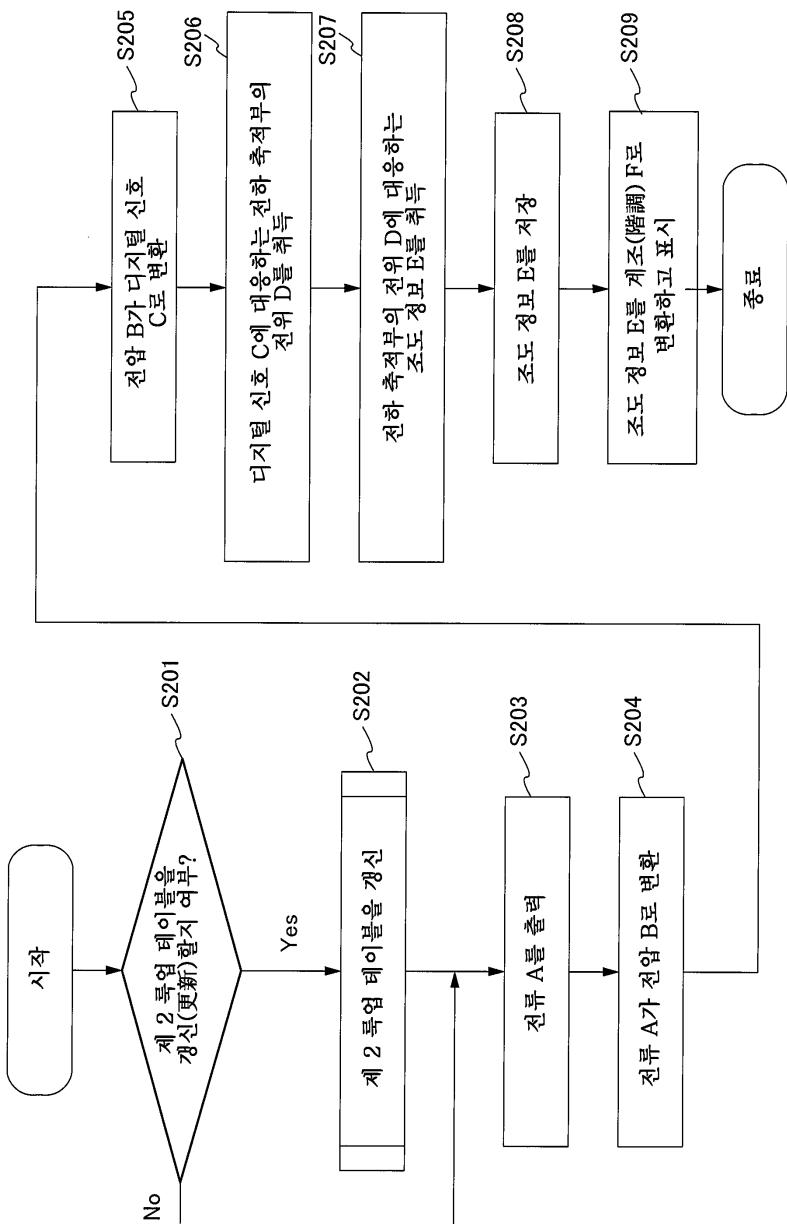
1283: 절연막

도면

도면1

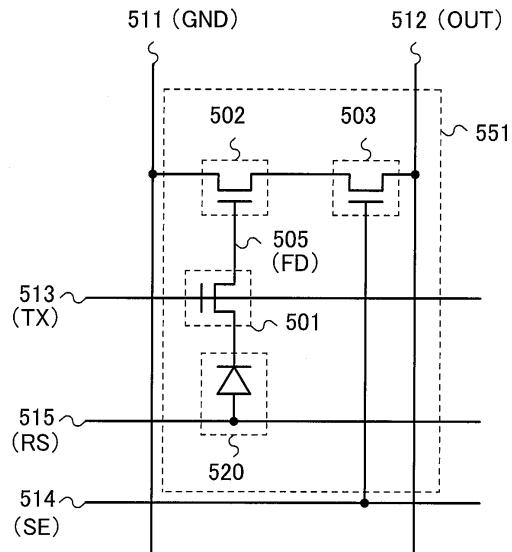


도면2

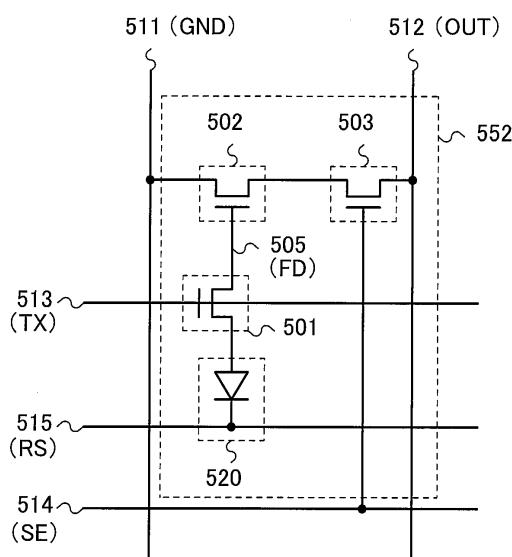


도면3

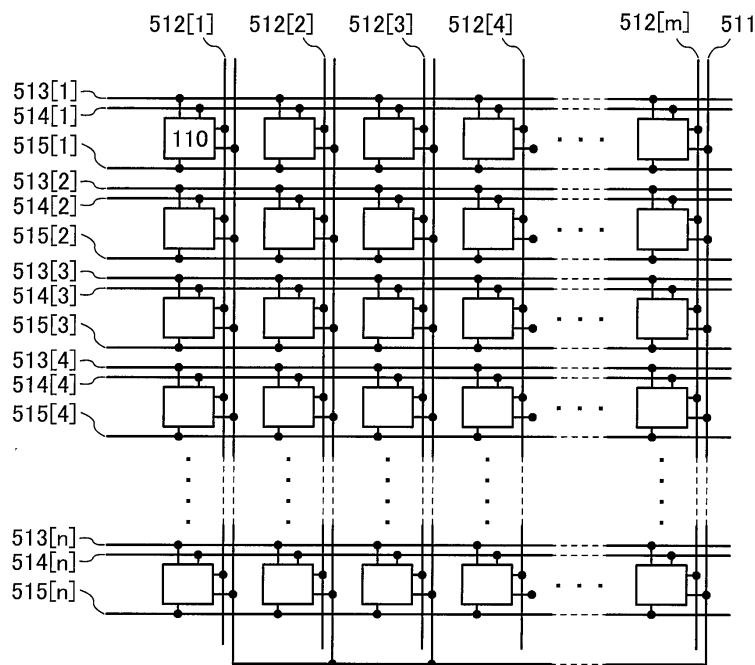
(A)



(B)

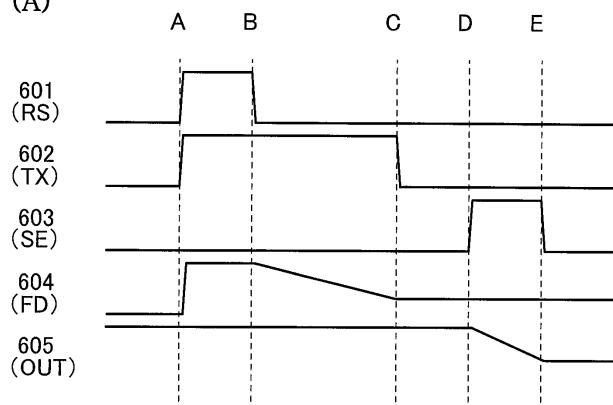


도면4

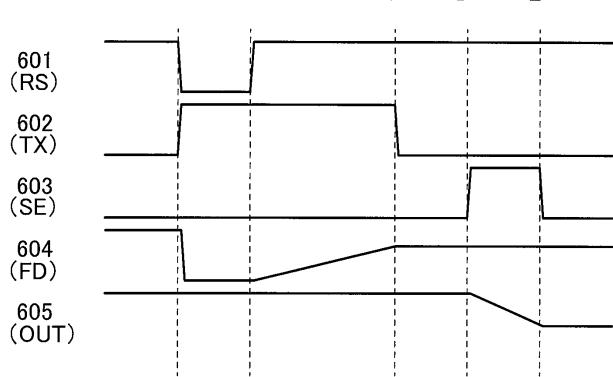


도면5

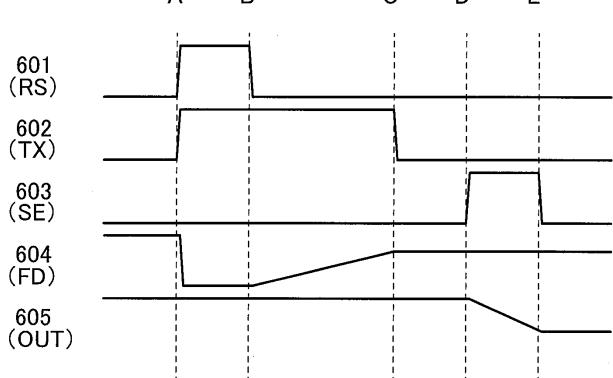
(A)



(B)

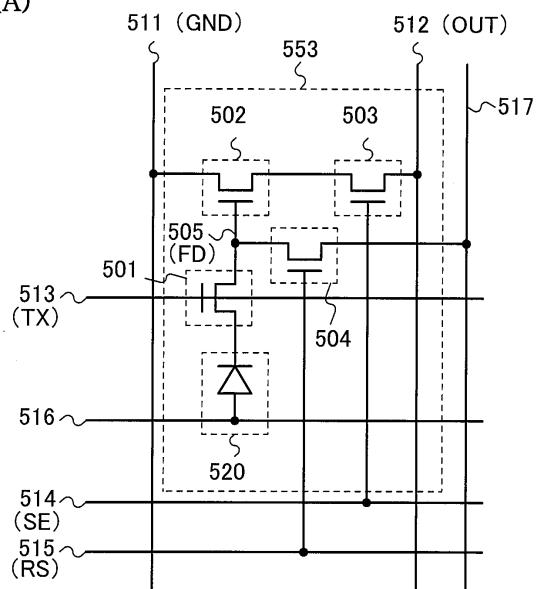


(C)

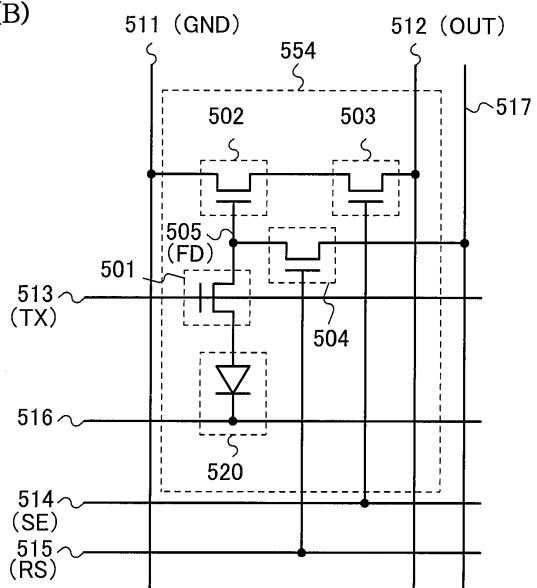


도면6

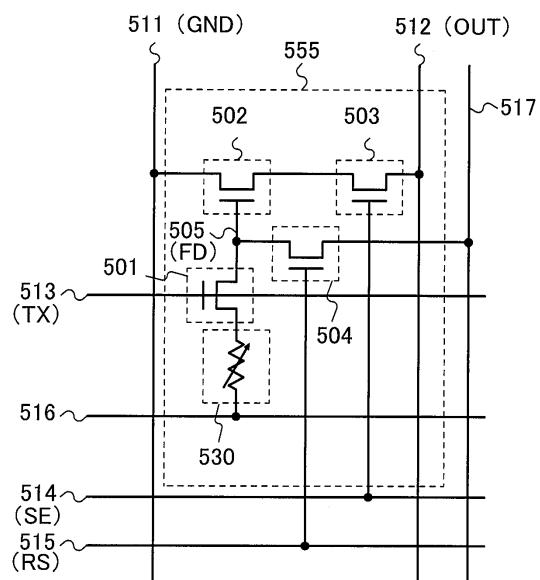
(A)



(B)

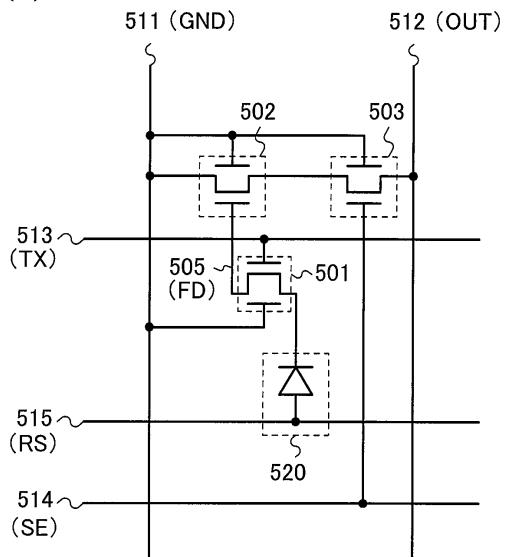


도면7

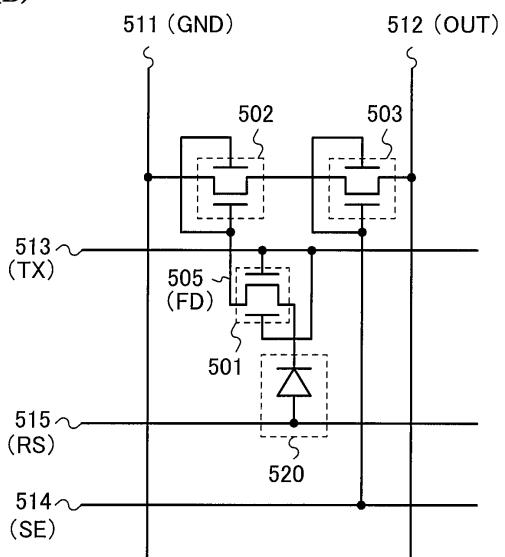


도면8

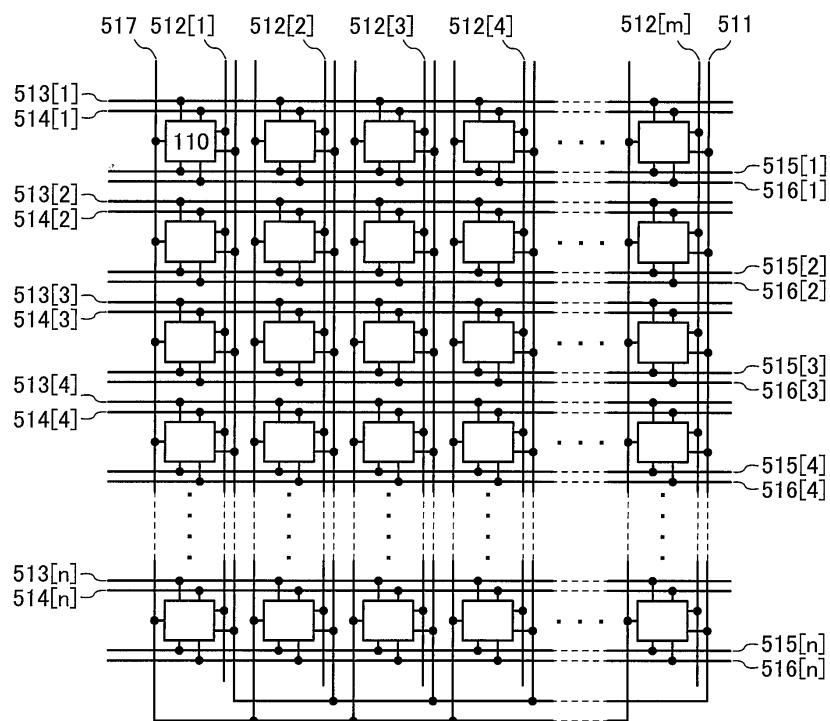
(A)



(B)

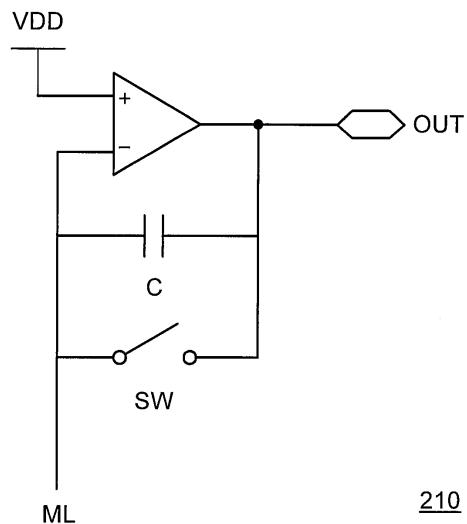


도면9



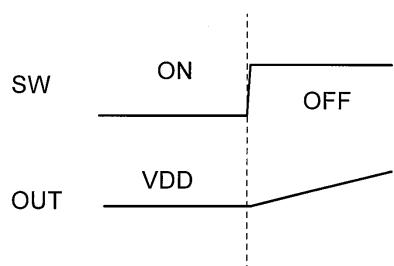
도면10

(A)

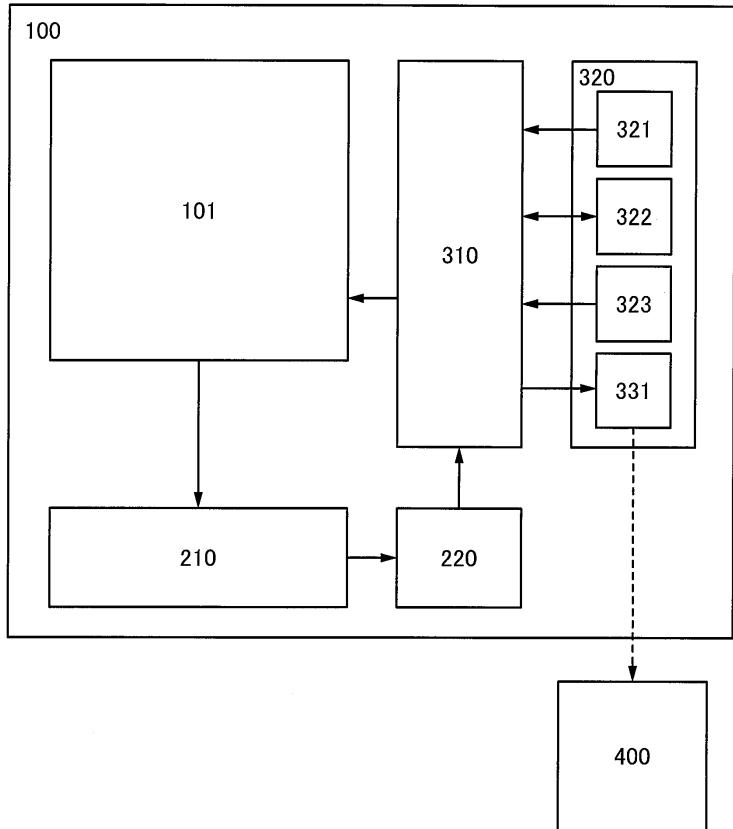


210

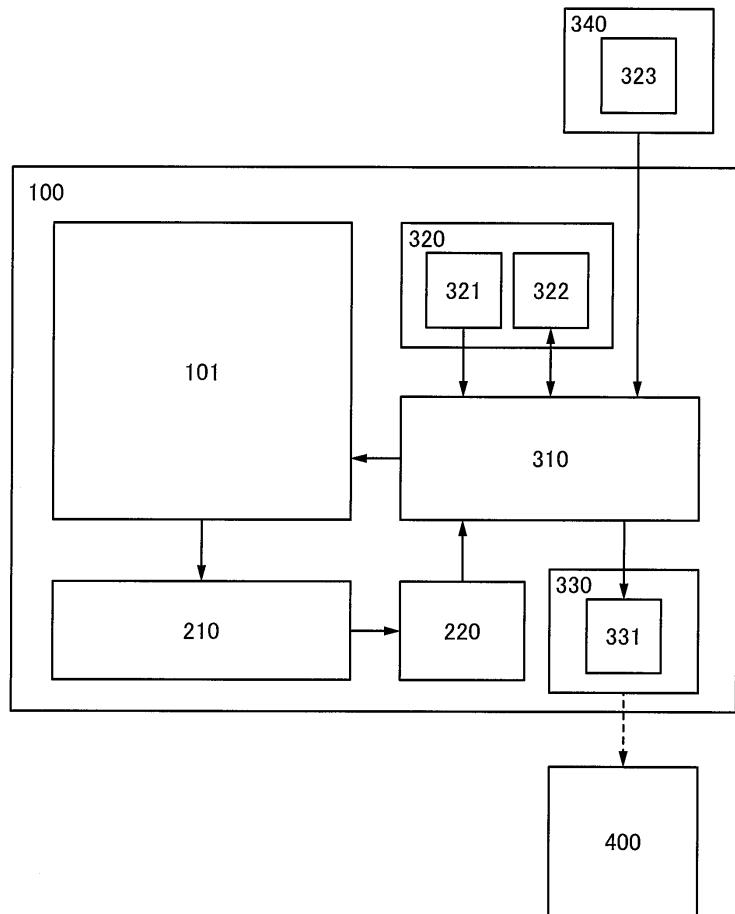
(B)



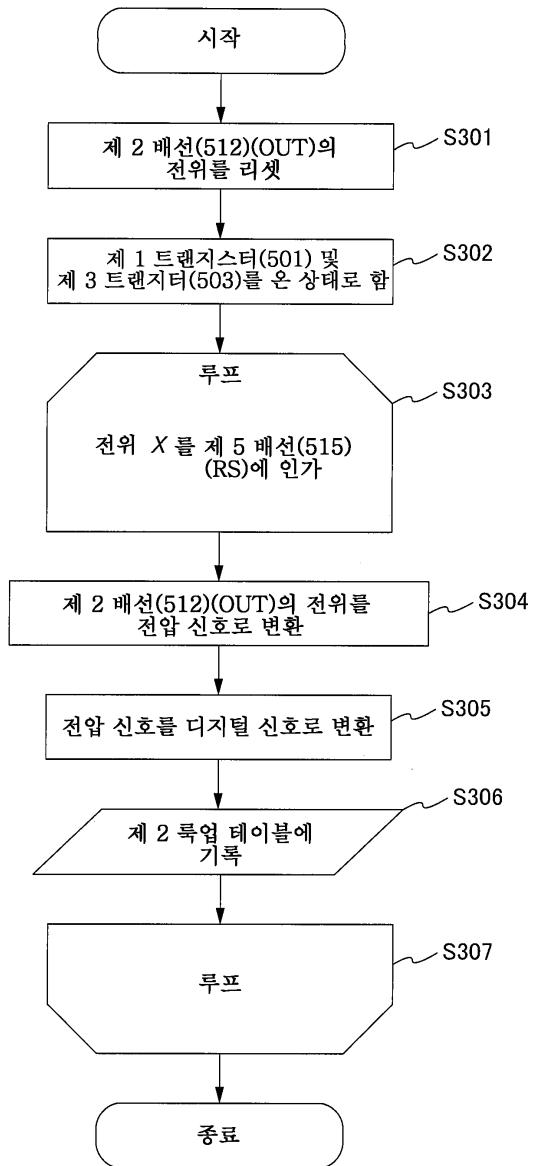
도면11



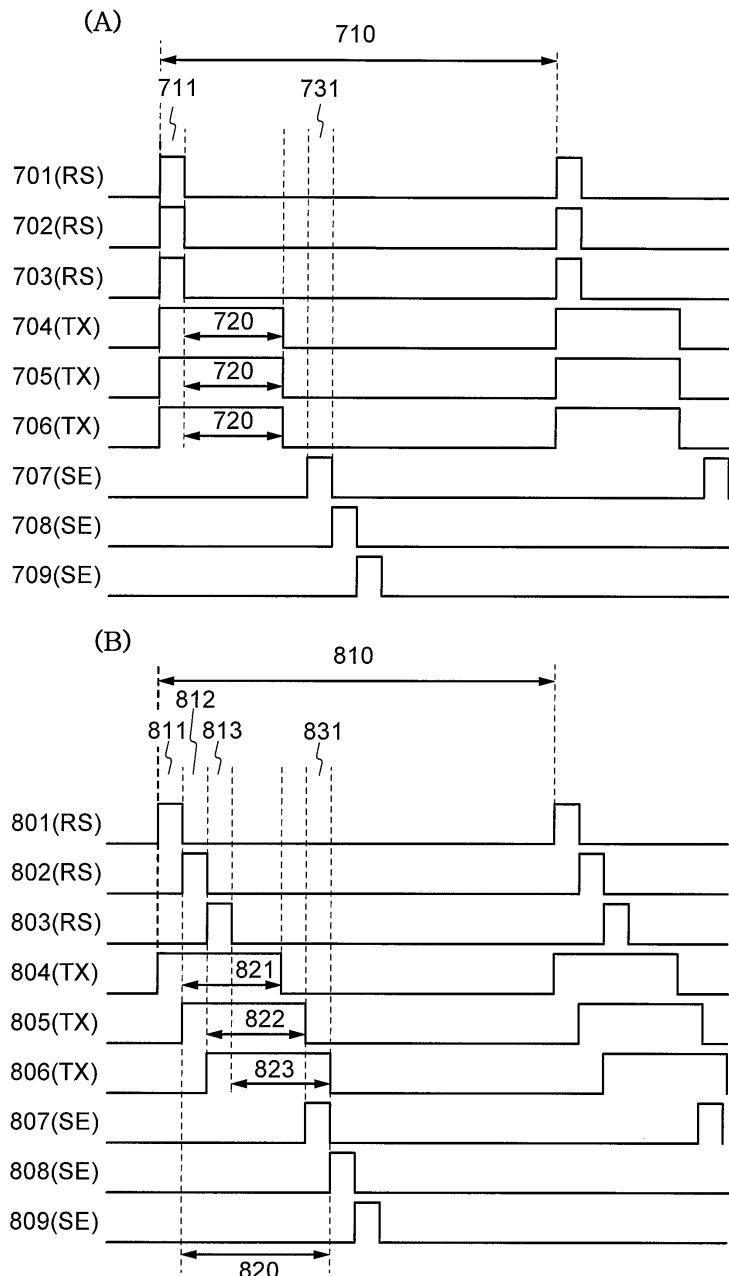
도면12



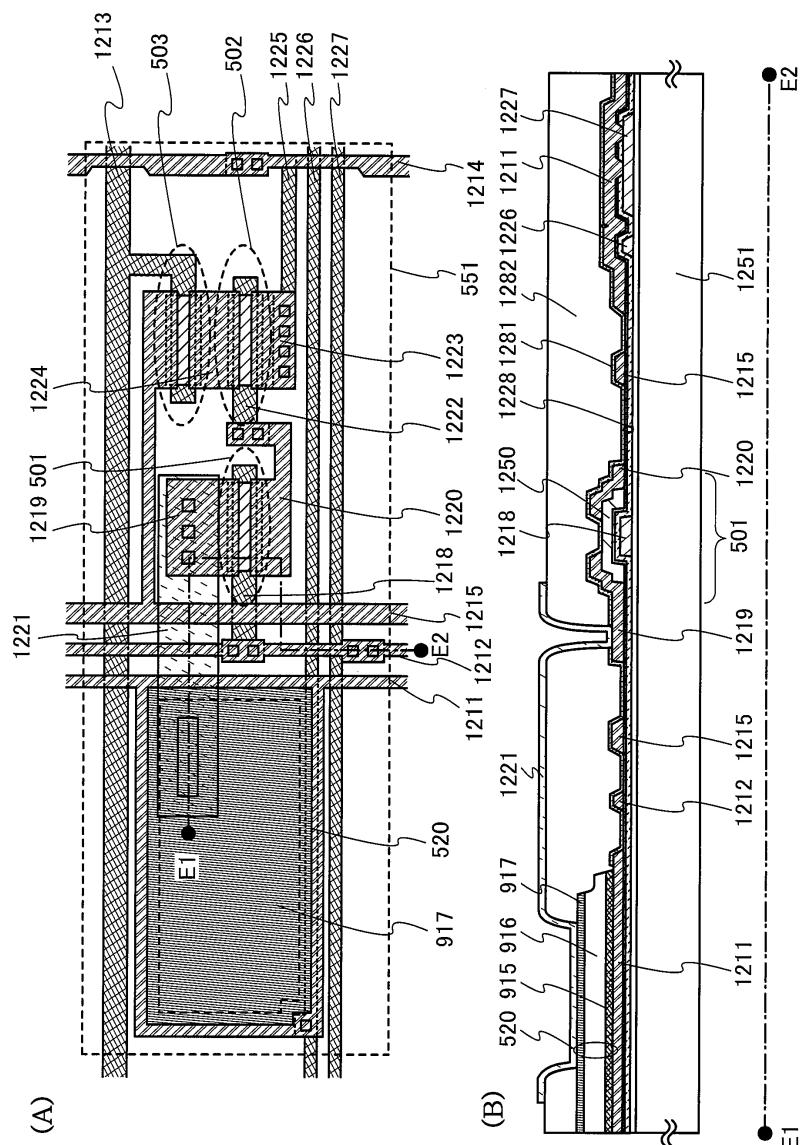
도면13



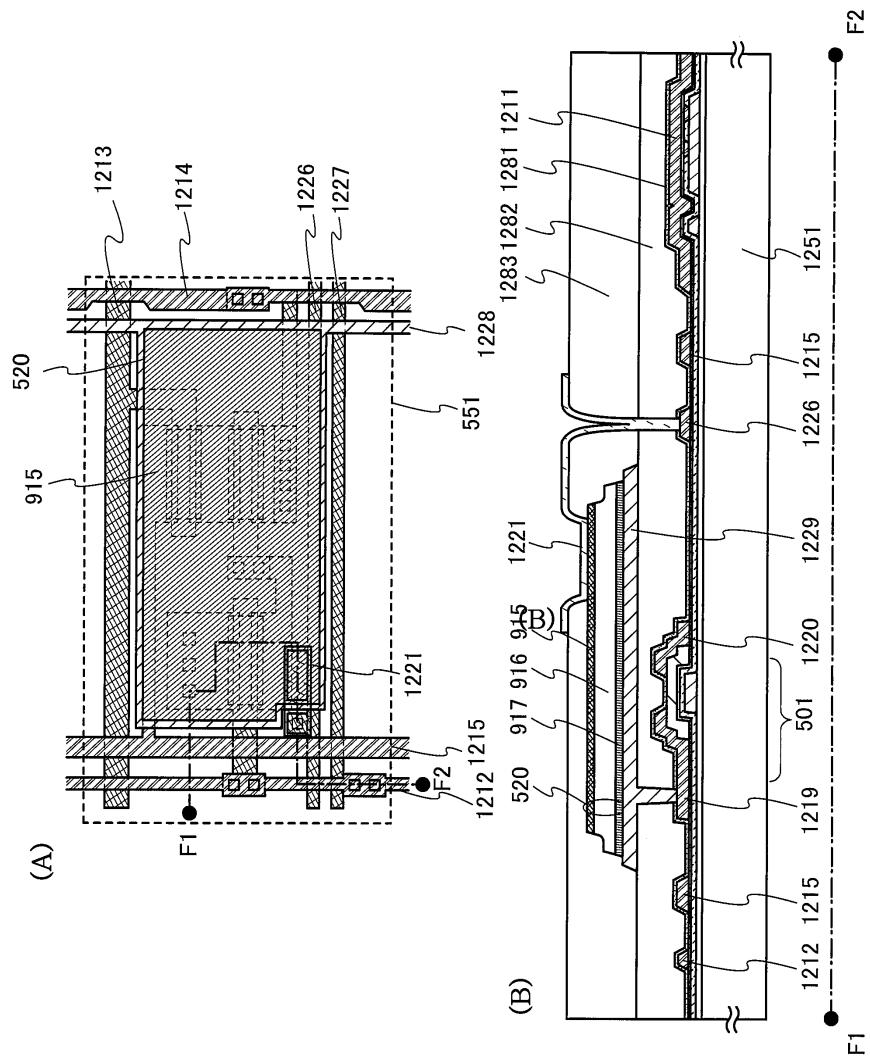
도면14



도면 15

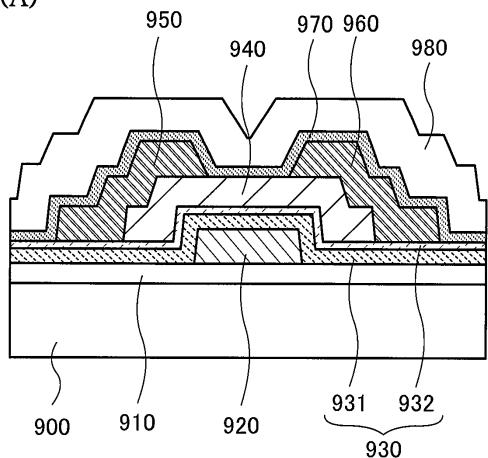


도면 16

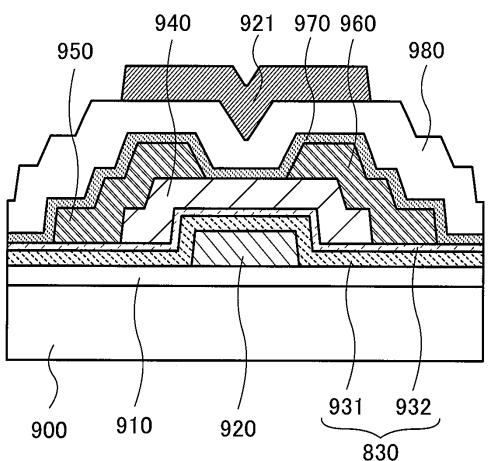


도면17

(A)

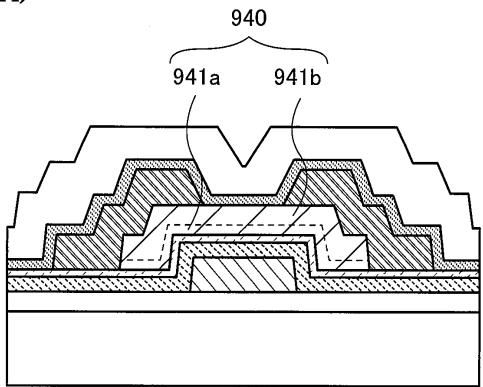


(B)

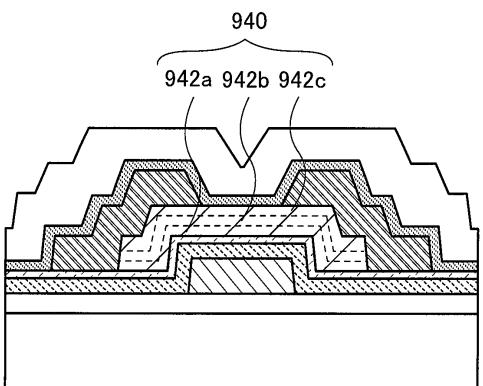


도면18

(A)

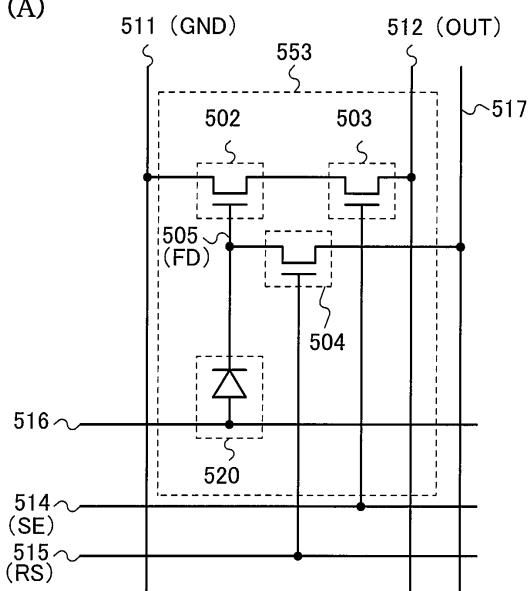


(B)

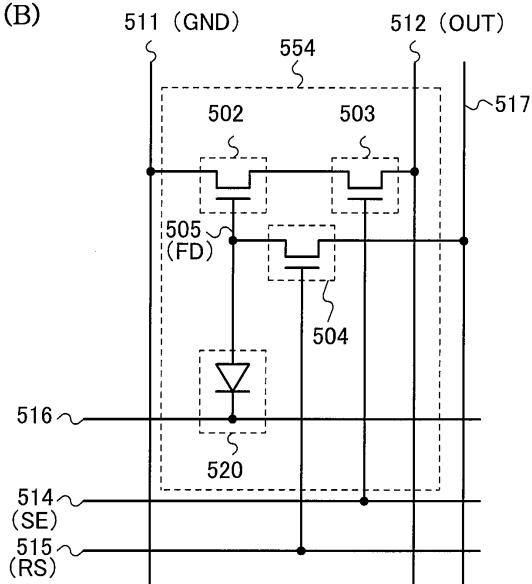


도면19

(A)

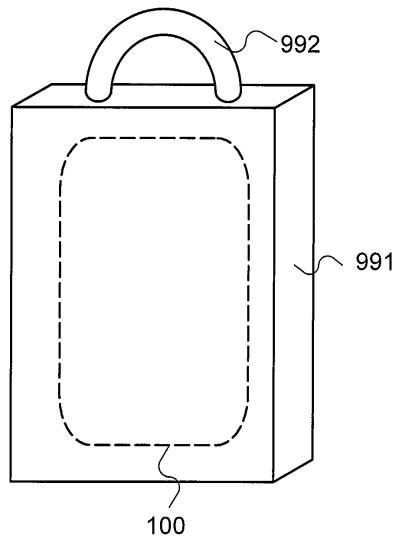


(B)



도면20

(A)



(B)

