



등록특허 10-2541861



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년06월08일
(11) 등록번호 10-2541861
(24) 등록일자 2023년06월05일

- (51) 국제특허분류(Int. Cl.)
H01L 23/538 (2006.01) *H01L 23/00* (2006.01)
H01L 23/31 (2006.01) *H01L 23/48* (2006.01)
H01L 25/065 (2023.01)
- (52) CPC특허분류
H01L 23/5385 (2013.01)
H01L 23/3128 (2013.01)
- (21) 출원번호 10-2018-7004859
- (22) 출원일자(국제) 2016년06월03일
심사청구일자 2021년05월17일
- (85) 번역문제출일자 2018년02월19일
- (65) 공개번호 10-2018-0044905
- (43) 공개일자 2018년05월03일
- (86) 국제출원번호 PCT/US2016/035895
- (87) 국제공개번호 WO 2017/034641
국제공개일자 2017년03월02일
- (30) 우선권주장
14/832,363 2015년08월21일 미국(US)

- (56) 선행기술조사문현
KR20140113467 A
US20140021583 A1
US20140264791 A1
US20140360759 A1*

*는 심사관에 의하여 인용된 문현

전체 청구항 수 : 총 29 항

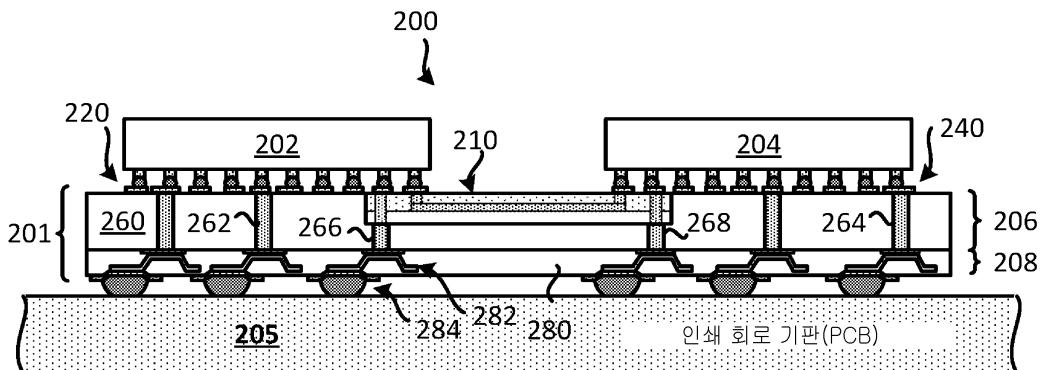
심사관 : 김기한

- (54) 발명의 명칭 리소-에칭가능 층에 브리지를 포함하는 통합 디바이스 패키지

(57) 요 약

통합 디바이스 패키지는 제1 다이, 제2 다이, 제1 다이 및 제2 다이에 커플링되는 캡슐화 부분, 및 캡슐화 부분에 커플링되는 재분배 부분을 포함한다. 캡슐화 부분은 캡슐화 층, 브리지 및 제1 비아를 포함한다. 브리지는 캡슐화 층에 적어도 부분적으로 삽입된다. 브리지는 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하도록 구성된다. 제1 비아는 캡슐화 층 내에 있다. 제1 비아는 브리지에 커플링된다. 제1 비아 및 브리지는 제1 다이로의 제2 신호를 위한 제2 전기 경로를 제공하도록 구성된다. 재분배 부분은 적어도 하나의 유전체 층, 및 유전체 층에서 제1 비아에 커플링되는 적어도 하나의 상호연결부를 포함한다.

대 표 도 - 도2



(52) CPC특허분류

H01L 23/3128 (2013.01)

H01L 23/481 (2013.01)

H01L 23/5383 (2013.01)

H01L 23/5384 (2013.01)

H01L 24/13 (2013.01)

H01L 24/16 (2013.01)

H01L 24/32 (2013.01)

H01L 24/92 (2013.01)

H01L 25/0655 (2023.02)

(72) 발명자

이, 재식

미국 92121-1714 캘리포니아주 샌 디에고 모어하우

스 드라이브 5775

김, 동옥

미국 92121-1714 캘리포니아주 샌 디에고 모어하우
스 드라이브 5775

명세서

청구범위

청구항 1

통합 디바이스 패키지 베이스로서,

캡슐화 부분; 및

상기 캡슐화 부분에 커플링되는 재분배 부분을 포함하고,

상기 캡슐화 부분은,

캡슐화 층,

상기 캡슐화 층에 적어도 부분적으로 삽입되고, 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하도록 구성되는 브리지(bridge), 및

상기 캡슐화 층에서, 상기 브리지에 커플링되는 제1 비아(via)를 포함하고,

상기 제1 비아 및 상기 브리지는 상기 제1 다이로의 제2 신호를 위한 제2 전기 경로를 제공하도록 구성되고, 그리고

상기 재분배 부분은,

적어도 하나의 유전체 층, 및

상기 적어도 하나의 유전체 층에서, 상기 제1 비아에 커플링되는 적어도 하나의 상호연결부를 포함하며,

상기 브리지는,

기판;

유전체 층;

상기 제1 다이와 상기 제2 다이 사이에 상기 제1 신호를 위한 제1 전기 경로를 제공하도록 구성되는 제1 세트의 상호연결부들; 및

적어도 상기 기판을 가로지르는 TSV(through substrate via)를 포함하고,

상기 TSV는 상기 제1 비아에 커플링되고, 상기 TSV는 상기 제1 다이로의 상기 제2 신호를 위한 제2 전기 경로를 제공하도록 구성되는, 통합 디바이스 패키지 베이스.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 제1 세트의 상호연결부들은 대략 2미크론(μm) 또는 그 미만의 폭 및/또는 대략 2미크론(μm) 또는 그 미만의 간격을 포함하는, 통합 디바이스 패키지 베이스.

청구항 4

제1 항에 있어서,

상기 제1 세트의 상호연결부들은,

일 세트의 비아들; 및

상기 일 세트의 비아들에 커플링되는 일 세트의 트레이스들을 포함하는, 통합 디바이스 패키지 베이스.

청구항 5

제1 항에 있어서,

상기 TSV는 상기 기판과 상기 브리지의 상기 유전체 층을 가로지르는, 통합 디바이스 패키지 베이스.

청구항 6

제1 항에 있어서,

상기 제1 비아는 V 형상 또는 U 형상을 포함하는 측단면을 갖는, 통합 디바이스 패키지 베이스.

청구항 7

제1 항에 있어서,

상기 제2 신호는 전력 신호 및/또는 접지 기준 신호 중 적어도 하나인, 통합 디바이스 패키지 베이스.

청구항 8

제1 항에 있어서,

상기 캡슐화 층은 리소-에칭가능 재료(litho-etchable material)인, 통합 디바이스 패키지 베이스.

청구항 9

제1 항에 있어서,

상기 캡슐화 층은 몰드(mold) 및/또는 에폭시 충전물(epoxy fill) 중 적어도 하나인, 통합 디바이스 패키지 베이스.

청구항 10

제1 항에 있어서,

상기 통합 디바이스 패키지 베이스는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 착용가능 디바이스 및 랩톱 컴퓨터로 이루어진 그룹으로부터 선택되는 디바이스에 통합되는, 통합 디바이스 패키지 베이스.

청구항 11

통합 디바이스 패키지 베이스로서,

캡슐화 부분; 및

상기 캡슐화 부분에 커플링되는 재분배 부분을 포함하고,

상기 캡슐화 부분은,

캡슐화 층,

상기 캡슐화 층에 적어도 부분적으로 삽입되고, 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단, 및

상기 캡슐화 층에서, 상기 제1 다이와 상기 제2 다이 사이에 상기 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단에 커플링되는 제1 비아를 포함하고,

상기 제1 비아, 및 상기 제1 다이와 상기 제2 다이 사이에 상기 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단은 상기 제1 다이로의 제2 신호를 위한 제2 전기 경로를 제공하도록 구성되고,

상기 재분배 부분은,

적어도 하나의 유전체 층, 및

상기 적어도 하나의 유전체 층에서, 상기 제1 비아에 커플링되는 적어도 하나의 상호연결부를 포함하며,

상기 제1 다이와 상기 제2 다이 사이에 상기 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단은,

기판;

유전체 층;

상기 제1 다이와 상기 제2 다이 사이에 상기 제1 신호를 위한 제1 전기 경로를 제공하도록 구성되는 제1 세트의 상호연결부들; 및

적어도 상기 기판을 가로지르는 TSV(through substrate via)를 포함하고,

상기 TSV는 상기 제1 비아에 커플링되고, 상기 TSV는 상기 제1 다이로의 상기 제2 신호를 위한 제2 전기 경로를 제공하도록 구성되는, 통합 디바이스 패키지 베이스.

청구항 12

제11 항에 있어서,

상기 제1 세트의 상호연결부들은 대략 2미크론(μm) 또는 그 미만의 폭 및/또는 대략 2미크론(μm) 또는 그 미만의 간격을 포함하는, 통합 디바이스 패키지 베이스.

청구항 13

제11 항에 있어서,

상기 제1 비아는 V 형상 또는 U 형상을 포함하는 측단면을 갖는, 통합 디바이스 패키지 베이스.

청구항 14

제11 항에 있어서,

상기 제2 신호는 전력 신호 및/또는 접지 기준 신호 중 적어도 하나인, 통합 디바이스 패키지 베이스.

청구항 15

제11 항에 있어서,

상기 통합 디바이스 패키지 베이스는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 착용가능 디바이스 및 랩톱 컴퓨터로 이루어진 그룹으로부터 선택되는 디바이스에 통합되는, 통합 디바이스 패키지 베이스.

청구항 16

통합 디바이스 패키지로서,

제1 다이;

제2 다이; 및

상기 제1 다이 및 상기 제2 다이에 커플링되는 베이스를 포함하고, 상기 베이스는,

상기 제1 다이 및 상기 제2 다이에 커플링되는 캡슐화 부분; 및

상기 캡슐화 부분에 커플링되는 재분배 부분을 포함하고,

상기 캡슐화 부분은,

캡슐화 층,

상기 캡슐화 층에 적어도 부분적으로 삽입되고, 상기 제1 다이와 상기 제2 다이 사이에 제1 신호를 위

한 제1 전기 경로를 제공하도록 구성되는 브리지, 및

상기 캡슐화 층에서, 상기 브리지에 커플링되는 제1 비아를 포함하고,

상기 제1 비아 및 상기 브리지는 상기 제1 다이로의 제2 신호를 위한 제2 전기 경로를 제공하도록 구성되고, 그리고

상기 재분배 부분은,

적어도 하나의 유전체 층, 및

상기 적어도 하나의 유전체 층에서, 상기 제1 비아에 커플링되는 적어도 하나의 상호연결부를 포함하는, 통합 디바이스 패키지.

청구항 17

제16 항에 있어서,

상기 브리지는,

기판;

유전체 층;

상기 제1 다이와 상기 제2 다이 사이에 상기 제1 신호를 위한 제1 전기 경로를 제공하도록 구성되는 제1 세트의 상호연결부들; 및

적어도 상기 기판을 가로지르는 TSV(through substrate via)를 포함하고,

상기 TSV는 상기 제1 비아에 커플링되고, 상기 TSV는 상기 제1 다이로의 상기 제2 신호를 위한 제2 전기 경로를 제공하도록 구성되는, 통합 디바이스 패키지.

청구항 18

제17 항에 있어서,

상기 제1 세트의 상호연결부들은 대략 2미크론(μm) 또는 그 미만의 폭 및/또는 대략 2미크론(μm) 또는 그 미만의 간격을 포함하는, 통합 디바이스 패키지.

청구항 19

제17 항에 있어서,

상기 제1 세트의 상호연결부들은,

일 세트의 비아들; 및

상기 일 세트의 비아들에 커플링되는 일 세트의 트레이스들을 포함하는, 통합 디바이스 패키지.

청구항 20

제17 항에 있어서,

상기 TSV는 상기 기판과 상기 브리지의 상기 유전체 층을 가로지르는, 통합 디바이스 패키지.

청구항 21

제16 항에 있어서,

상기 제1 비아는 V 형상 또는 U 형상을 포함하는 측단면을 갖는, 통합 디바이스 패키지.

청구항 22

제16 항에 있어서,

상기 제2 신호는 전력 신호 및/또는 접지 기준 신호 중 적어도 하나인, 통합 디바이스 패키지.

청구항 23

제16 항에 있어서,

상기 캡슐화 층은 리소-에칭가능 재료(litho-etchable material)인, 통합 디바이스 패키지.

청구항 24

제16 항에 있어서,

상기 캡슐화 층 및 상기 재분배 부분은 상기 통합 디바이스 패키지를 위한 패키지 기판을 정의하는, 통합 디바이스 패키지.

청구항 25

제16 항에 있어서,

상기 통합 디바이스 패키지는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 착용가능 디바이스 및 랩톱 컴퓨터로 이루어진 그룹으로부터 선택되는 디바이스에 통합되는, 통합 디바이스 패키지.

청구항 26

통합 디바이스 패키지로서,

제1 다이;

제2 다이; 및

상기 제1 다이 및 상기 제2 다이에 커플링되는 베이스를 포함하고, 상기 베이스는,

상기 제1 다이 및 상기 제2 다이에 커플링되는 캡슐화 부분; 및

상기 캡슐화 부분에 커플링되는 재분배 부분을 포함하고,

상기 캡슐화 부분은,

캡슐화 층,

상기 캡슐화 층에 적어도 부분적으로 삽입되고, 상기 제1 다이와 상기 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단, 및

상기 캡슐화 층에서, 상기 제1 다이와 상기 제2 다이 사이에 상기 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단에 커플링되는 제1 비아를 포함하고,

상기 제1 비아, 및 상기 제1 다이와 상기 제2 다이 사이에 상기 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단은 상기 제1 다이로의 제2 신호를 위한 제2 전기 경로를 제공하도록 구성되고,

상기 재분배 부분은,

적어도 하나의 유전체 층, 및

상기 적어도 하나의 유전체 층에서, 상기 제1 비아에 커플링되는 적어도 하나의 상호연결부를 포함하는, 통합 디바이스 패키지.

청구항 27

제26 항에 있어서,

상기 제1 다이와 상기 제2 다이 사이에 상기 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단은 대략 2미크론(μm) 또는 그 미만의 폭 및/또는 대략 2미크론(μm) 또는 그 미만의 간격을 포함하는 제1 세트의 상호연결부들을 포함하는, 통합 디바이스 패키지.

청구항 28

제26 항에 있어서,

상기 제1 비아는 V 형상 또는 U 형상을 포함하는 측단면을 갖는, 통합 디바이스 패키지.

청구항 29

제26 항에 있어서,

상기 제2 신호는 전력 신호 및/또는 접지 기준 신호 중 적어도 하나인, 통합 디바이스 패키지.

청구항 30

제26 항에 있어서,

상기 통합 디바이스 패키지는 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인 휴대 정보 단말, 고정 위치 단말, 태블릿 컴퓨터, 컴퓨터, 착용가능 디바이스 및 랩톱 컴퓨터로 이루어진 그룹으로부터 선택되는 디바이스에 통합되는, 통합 디바이스 패키지.

발명의 설명**기술 분야**

[0001]

[0001] 본 출원은 2015년 8월 21일자로 미국 특허청에 출원된 정식 출원 제14/832,363호를 우선권으로 주장하고 그리고 그것의 이익을 주장하며, 그 정식 출원의 전체 내용이 인용에 의해 본원에 통합된다.

[0002]

다양한 특징들은 리소-에칭가능 층(litho-etchable layer)에 브리지(bridge)를 포함하는 통합 디바이스 패키지에 관한 것이다.

배경 기술

[0003]

[0003] 도 1은 제1 다이(102), 제2 다이(104) 및 패키지 기판(106)을 포함하는 통합 디바이스 패키지(100)를 예시한다. 패키지 기판(106)은 유전체 층 및 복수의 상호연결부들(110)을 포함한다. 패키지 기판(106)은 적층형(laminated) 기판이다. 복수의 상호연결부들(110)은 트레이스들(traces), 패드들(pads) 및/또는 비아들(vias)을 포함한다. 제1 다이(102)는 제1 세트의 솔더 볼들(112)을 통해 패키지 기판(106)에 커플링된다. 제2 다이(104)는 제2 세트의 솔더 볼들(114)을 통해 패키지 기판(106)에 커플링된다. 패키지 기판(106)은 제3 세트의 솔더 볼들(116)을 통해 PCB(printed circuit board)(108)에 커플링된다. 도 1은, 제1 다이(102)가 제1 세트의 솔더 볼들(112), 복수의 상호연결부들(110)의 상호연결부들, 및 제2 세트의 솔더 볼들(114)을 통해 제2 다이(104)에 커플링되는 것을 예시한다.

[0004]

[0004] 도 1에 도시된 통합 디바이스 패키지(100)의 하나의 단점은, 그 패키지가 모바일 컴퓨팅 디바이스들 및/또는 착용가능 컴퓨팅 디바이스들의 요구들에 비해서 너무 클 수 있는 폼 팩터(form factor)를 갖는 통합 디바이스 패키지를 생성한다는 점이다. 이는 너무 크거나 및/또는 너무 두꺼운 패키지를 초래할 수 있다. 즉, 도 1에 도시된 통합 디바이스 패키지 구성은 너무 두껍거나, 및/또는 모바일 컴퓨팅 디바이스들 및/또는 착용가능 컴퓨팅 디바이스들의 요구들 및/또는 요건들을 충족시키기에 너무 큰 표면적을 가질 수 있다.

[0005]

[0005] 통합 디바이스 패키지(100)의 다른 단점은, 복수의 상호연결부들(110)의 구성이 제1 다이(102)와 제2 다이(104) 사이에 고밀도 상호연결부들을 제공하지 않는다는 점이다. 이는 제1 다이(102)와 제2 다이(104) 사이에 존재할 수 있는 상호연결부들의 수를 상당히 제한하고, 그로 인해서 제1 다이(102)와 제2 다이(104) 사이의 통신 대역폭을 제한하게 된다.

[0006]

[0006] 그러므로, 다이들 사이에 고밀도 상호연결부들을 포함하는 통합 디바이스 패키지에 대한 필요성이 존재한다. 이상적으로, 그러한 통합 디바이스 패키지는 더 나은 폼 팩터를 가져서, 개선된 전력 분배 네트워크(예컨대, 다이들로의 그리고 다이들로부터의 개선된 전력 라우팅)를 제공하면서 동시에 모바일 컴퓨팅 디바이스들 및/또는 착용가능 컴퓨팅 디바이스들의 요구들 및/또는 요건들을 충족시킬 것이다.

발명의 내용

- [0007] 다양한 특징들은 리소-에칭가능 층에 브리지를 포함하는 통합 디바이스 패키지에 관한 것이다.
- [0008] 제1 예는, 캡슐화 부분 및 캡슐화 부분에 커플링되는 재분배 부분을 포함하는 통합 디바이스 패키지 베이스를 제공한다. 캡슐화 부분은 캡슐화 층, 캡슐화 층에 적어도 부분적으로 삽입되는 브리지, 및 캡슐화 층의 제1 비아를 포함한다. 브리지는 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하도록 구성된다. 제1 비아는 브리지에 커플링된다. 제1 비아 및 브리지는 제1 다이로의 제2 신호를 위한 제2 전기 경로를 제공하도록 구성된다. 재분배 부분은 적어도 하나의 유전체 층, 및 적어도 하나의 유전체 층에서 제1 비아에 커플링되는 적어도 하나의 상호연결부를 포함한다.
- [0009] 제2 예는, 캡슐화 부분 및 캡슐화 부분에 커플링되는 재분배 부분을 포함하는 통합 디바이스 패키지 베이스를 제공한다. 캡슐화 부분은 캡슐화 층, 캡슐화 층에 적어도 부분적으로 삽입되고, 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단, 및 캡슐화 층의 제1 비아를 포함한다. 제1 비아는 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단에 커플링된다. 제1 비아, 및 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단은 제1 다이로의 제2 신호를 위한 제2 전기 경로를 제공하도록 구성된다. 재분배 부분은 적어도 하나의 유전체 층, 및 적어도 하나의 유전체 층에서 제1 비아에 커플링되는 적어도 하나의 상호연결부를 포함한다.
- [0010] 제3 예는 제1 다이, 제2 다이, 및 제1 다이 및 제2 다이에 커플링되는 베이스를 포함하는 통합 디바이스 패키지를 제공한다. 베이스는 제1 다이 및 제2 다이에 커플링되는 캡슐화 부분 및 캡슐화 부분에 커플링되는 재분배 부분을 포함한다. 캡슐화 부분은 캡슐화 층, 캡슐화 층에 적어도 부분적으로 삽입되는 브리지, 및 캡슐화 층의 제1 비아를 포함한다. 브리지는 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하도록 구성된다. 제1 비아는 브리지에 커플링된다. 제1 비아 및 브리지는 제1 다이로의 제2 신호를 위한 제2 전기 경로를 제공하도록 구성된다. 재분배 부분은 적어도 하나의 유전체 층, 및 적어도 하나의 유전체 층에서 제1 비아에 커플링되는 적어도 하나의 상호연결부를 포함한다.
- [0011] 제4 예는 제1 다이, 제2 다이, 및 제1 다이 및 제2 다이에 커플링되는 베이스를 포함하는 통합 디바이스 패키지를 제공한다. 베이스는 제1 다이 및 제2 다이에 커플링되는 캡슐화 부분 및 캡슐화 부분에 커플링되는 재분배 부분을 포함한다. 캡슐화 부분은 캡슐화 층, 캡슐화 층에 적어도 부분적으로 삽입되고, 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단, 및 캡슐화 층의 제1 비아를 포함한다. 제1 비아는 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단에 커플링된다. 제1 비아, 및 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하기 위한 수단은 제1 다이로의 제2 신호를 위한 제2 전기 경로를 제공하도록 구성된다. 재분배 부분은 적어도 하나의 유전체 층, 및 적어도 하나의 유전체 층에서 제1 비아에 커플링되는 적어도 하나의 상호연결부를 포함한다.

도면의 간단한 설명

- [0012] 다양한 특징들, 속성 및 장점들은, 도면들과 함께 해석할 때 아래에 기재된 상세한 설명으로부터 자명해질 것이며, 도면들에서 유사한 참조 부호들은 전체에 걸쳐 대응하게 식별한다.
- [0013] 도 1은 2개의 다이들을 포함하는 통합 디바이스 패키지를 예시한다.
- [0014] 도 2는 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지의 예를 예시한다.
- [0015] 도 3은 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지의 예를 예시한다.
- [0016] 도 4는 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지의 측면도의 예를 예시한다.
- [0017] 도 5는 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지의 평면도의 예를 예시한다.
- [0018] 도 6은 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지 베이스의 측면도의 예를 예시한다.
- [0019] 도 7은 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지 베이스의 측면도의 다른 예를 예시한다.

[0020] 도 8은 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지 베이스의 측면도의 예를 예시한다.

[0021] 도 9는 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지 베이스의 다른 예를 예시한다.

[0022] 도 10은 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지의 측면도의 예를 예시한다.

[0023] 도 11는 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 제공/제작하기 위한 예시적인 시퀀스를 예시한다.

[0024] 도 12는 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 제공/제작하기 위한 방법의 예시적인 흐름도를 예시한다.

[0025] 도 13(도 13a 내지 도 13c를 포함함)은 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 브리지를 포함하는 통합 디바이스 패키지를 제공/제작하기 위한 예시적인 시퀀스를 예시한다.

[0026] 도 14는 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 브리지를 포함하는 통합 디바이스 패키지를 제공/제작하기 위한 방법의 예시적인 흐름도를 예시한다.

[0027] 도 15는 SAP(semi-additive patterning) 프로세스의 예를 예시한다.

[0028] 도 16은 SAP(semi-additive patterning) 프로세스의 흐름도의 예를 예시한다.

[0029] 도 17은 다마신(damascene) 프로세스의 예를 예시한다.

[0030] 도 18은 다마신 프로세스의 흐름도의 예를 예시한다.

[0031] 도 19는 본원에서 설명되는 통합 디바이스 패키지, 반도체 디바이스, 다이, 접적 회로 및/또는 PCB를 통합할 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0032] 아래의 설명에서는, 개시내용의 다양한 양상들에 대한 완전한 이해를 제공하기 위해서 특정 세부사항들이 제공된다. 그러나, 양상들이 이러한 특정 세부사항들이 없이도 실시될 수 있다는 것을 당업자는 이해할 것이다. 예컨대, 불필요한 세부사항들로 인해 양상들이 불명료해지는 것을 막기 위해서 회로들은 블록도들의 형태로 도시될 수 있다. 다른 경우에는, 개시내용의 양상들이 불명료해지지 않도록 하기 위해서, 잘 알려진 회로들, 구조들 및 기법들은 상세히 도시되지 않을 수 있다.

개요

[0033] 일부 특징들은 제1 다이, 제2 다이, 및 제1 다이 및 제2 다이에 커플링되는 베이스(예컨대, 통합 디바이스 패키지 베이스)를 포함하는 통합 디바이스 패키지에 관련한다. 베이스는 캡슐화 부분 및 캡슐화 부분에 커플링되는 재분배 부분을 포함한다. 캡슐화 부분은 제1 다이 및 제2 다이에 커플링된다. 캡슐화 부분은 캡슐화 층, 브리지 및 제1 비아를 포함한다. 캡슐화 층은 리소-에칭가능 재료(litho-etchable material)(예컨대, 포토리소그래피 프로세스에 의해서 에칭가능한 재료)일 수 있다. 브리지는 캡슐화 층에 적어도 부분적으로 삽입된다. 브리지는 제1 다이와 제2 다이 사이에 제1 신호(예컨대, 입력/출력 신호)를 위한 제1 전기 경로를 제공하도록 구성된다. 제1 비아는 캡슐화 층 내에 있다. 제1 비아는 브리지에 커플링된다. 제1 비아 및 브리지는 제1 다이로의 제2 신호(예컨대, 전력 신호, 접지 기준 신호)를 위한 제2 전기 경로를 제공하도록 구성된다. 일부 구현들에서, 제1 비아는 V 형상 또는 U 형상을 포함하는 측단면을 갖는다. 재분배 부분은 적어도 하나의 유전체 층, 및 적어도 하나의 유전체 층의 적어도 하나의 상호연결부를 포함한다. 적어도 하나의 상호연결부는 제1 비아에 커플링된다. 일부 구현들에서, 브리지는 기판, 유전체 층, 및 제1 다이와 제2 다이 사이에 제1 신호를 위한 제1 전기 경로를 제공하도록 구성되는 제1 세트의 상호연결부들을 포함한다. 브리지는 또한 적어도 기판을 가로지르는 TSV(through substrate via)를 포함한다. TSV는 제1 비아에 커플링된다. TSV는 제1 다이로의 제2 신호를 위한 제2 전기 경로를 제공하도록 구성된다. 일부 구현들에서, TSV는 기판과 브리지의 유전체 층을 가로지른다.

[0034] 상호연결부는 2개의 포인트들, 엘리먼트들 및/또는 컴포넌트들 사이의 전기 연결을 허용하거나 가능하게 하는 디바이스(예컨대, 통합 디바이스, 통합 디바이스 패키지, 다이) 및/또는 베이스(예컨대, 통합 디바이스

패키지 베이스, 패키지 기판, 인쇄 회로 기판, 인터포저(interposer)의 엘리먼트 또는 컴포넌트이다. 일부 구현들에서, 상호연결부는 트레이스, 비아, 패드, 기둥, 재분배 금속 층, 및/또는 UBM(under bump metallization) 층을 포함할 수 있다. 일부 구현들에서, 상호연결부는 신호(예컨대, 데이터 신호, 접지 신호, 전력 신호)를 위한 전기 경로를 제공하는 전기 전도성 재료이다. 상호연결부는 하나 초과의 엘리먼트/컴포넌트를 포함할 수 있다. 일 세트의 상호연결부들은 하나 또는 그 초과의 상호연결부들을 포함할 수 있다.

[0017] 재분배 층 또는 재분배 금속 층은 통합 디바이스, 통합 디바이스 패키지 및/또는 통합 디바이스 패키지 베이스의 재분배 부분의 금속 층이다. 재분배 층은 재분배 부분의 동일 금속 층 상에 형성되는 하나 또는 그 초과의 재분배 상호연결부들을 포함할 수 있다. 통합 디바이스 또는 통합 디바이스 패키지의 재분배 부분은 몇몇 재분배 층들을 포함할 수 있고, 각각의 재분배 층은 하나 또는 그 초과의 재분배 상호연결부들을 포함할 수 있다. 따라서, 예컨대, 재분배 부분은 제1 재분배 층 상의 제1 재분배 상호연결부, 및 제1 재분배 층과는 상이한 제2 재분배 층 상의 제2 재분배 상호연결부를 포함할 수 있다.

[0018] [0036] 리소-패터닝가능 층(litho-patternable layer)/재료(예컨대, 리소-에칭가능 층)은 포토 패터닝가능 및 현상가능(예컨대, 포토 에칭가능)한 재료이다. 즉, 리소-패터닝가능 층/재료는 마스크(예컨대, 포토마스크)를 통한 광원(예컨대, UV(ultraviolet) 광)으로의 재료의 노출을 통해 (예컨대, 리소그래피 프로세스를 통해서) 패터닝, 현상, 에칭 및/또는 제거될 수 있는 재료로 이루어진다.

리소-에칭가능 층에 브리지를 포함하는 예시적인 통합 디바이스 패키지

[0020] [0037] 도 2는 고밀도 다이-투-다이 상호연결부들을 포함하는 통합 디바이스 패키지의 예를 예시한다. 특히, 도 2는 베이스(201), 제1 다이(202), 제2 다이(204) 및 브리지(210)를 포함하는 통합 디바이스 패키지(200)의 예를 예시한다. 브리지(210)는 고밀도 다이-투-다이 상호연결부들을 제공하도록 구성될 수 있다. 통합 디바이스 패키지(200)는 PCB(printed circuit board)(205)에 커플링될 수 있다.

[0021] [0038] 베이스(201)는 통합 디바이스 패키지 베이스일 수 있다. 예컨대, 베이스(201)는 패키지 기판일 수 있다. 베이스(201)는 캡슐화 부분(206) 및 재분배 부분(208)을 포함한다. 캡슐화 부분(206)은 재분배 부분(208)에 커플링된다. 캡슐화 부분(206)은 캡슐화 층(260), 브리지(210), 및 브리지(210)에 커플링되는 적어도 하나의 비아(예컨대, 비아(266))를 포함한다. 브리지(210)는 캡슐화 층(260)에 적어도 부분적으로 삽입된다. 브리지(210)는 제1 다이(202)와 제2 다이(204) 사이에 제1 신호(예컨대, 입력/출력 신호)를 위한 제1 전기 경로를 제공하도록 구성된다. 적어도 하나의 비아 및 브리지(210)는 제1 다이(202)로의 제2 신호(예컨대, 전력 신호)를 위한 제2 전기 경로를 제공하도록 구성된다.

[0022] [0039] 도 2에 도시된 바와 같이, 제1 다이(202)는 제1 세트의 상호연결부들(220)을 통해 베이스(201)에 커플링된다. 제1 세트의 상호연결부들(220)은 포스트들, 기둥들 및/또는 솔더를 포함할 수 있다. 제2 다이(204)는 제2 세트의 상호연결부들(240)을 통해 베이스(201)에 커플링된다. 제2 세트의 상호연결부들(240)은 포스트들, 기둥들 및/또는 솔더를 포함할 수 있다.

TSV(Through Substrate Via)들을 포함하는 고밀도 상호연결 브리지

[0024] [0040] 도 2는 브리지(210)가 베이스(201)에 적어도 부분적으로 위치되는 것을 예시한다. 특히, 브리지(210)는 캡슐화 부분(206)에 적어도 부분적으로 삽입된다. 도 2에 도시된 바와 같이, 브리지(210)는 캡슐화 층(260)에 적어도 부분적으로 삽입된다. 브리지(210)는 실리콘 브리지, 유리 브리지, 및/또는 세라믹 브리지를 포함할 수 있다. 위에서 언급된 바와 같이, 브리지(210)는 통합 디바이스 패키지(200)에서 고밀도 다이-투-다이 상호연결부들을 제공하도록 구성된다. 예컨대, 브리지(210)는 제1 다이(202)와 제2 다이(204) 사이에 고밀도 상호연결부들(예컨대, 제1 다이(202)와 제2 다이(204) 사이에 신호들(예컨대, 입력/출력 신호들)을 위한 고밀도 전기 경로들)을 제공하도록 구성된다. 따라서, 일 예에서, 브리지(210)는 제1 다이(202)와 제2 다이(204) 사이에 적어도 하나의 제1 신호를 위한 적어도 하나의 제1 전기 경로를 제공하도록 구성된다. 적어도 하나의 제1 신호를 위한 적어도 하나의 제1 전기 경로는 브리지(210)의 몇몇 상호연결부들(예컨대, 트레이스들, 비아들)을 포함할 수 있거나 그리고/또는 이들에 의해 정의될 수 있다. 적어도 하나의 제1 전기 경로를 정의하는 그러한 상호연결부들은 적어도 도 4 및 도 5에서 아래에 상세히 추가로 설명된다.

[0025] [0041] 고밀도 상호연결부들 및/또는 고밀도 전기 경로들은 종래 인쇄 회로 기판들과는 다른 단위 영역당 임의의 밀도의 배선 또는 연결들을 지칭할 수 있고, 더 미세한 라인들 및 퍼치, 더 작은 비아들 및 캡쳐 패드들뿐 아니라 더 높은 연결 패드 밀도를 포함할 수 있다. 따라서, 고밀도 상호연결부들은 패키지 및/또는 디바이스의 사이즈, 두께, 무게 등을 감소시킬뿐만 아니라 전기 및 열적 성능을 향상시키는데 유용할 수 있다. 고밀도 상

호연결부들은 대략 2미크론(μm) 또는 그 미만의 폭, 대략 4미크론(μm) 또는 그 미만의 피치, 및/또는 대략 2미크론(μm) 또는 그 미만의 간격을 포함하는 상호연결부들에 의해 정의될 수 있다. 상호연결부들의 피치는 인접한 2개의 상호연결부 사이의 중심간 거리일 수 있다. 상호연결부들의 간격은 인접한 2개의 상호연결부 사이의 예지간 거리일 수 있다. 고밀도 상호연결부들에 대한 폭, 피치 및 간격의 예들이 적어도 도 4 및 도 5에서 아래에 추가로 설명된다.

[0026] 브리지(210)는 기판, 유전체 층, 일 세트의 고밀도 상호연결부들(예컨대, 트레이스들, 비아들), 및 적어도 하나의 TSV(through substrate via)를 포함할 수 있다. 기판은 실리콘, 유리 및/또는 세라믹을 포함할 수 있다. 브리지(210)의 기판, 유전체 층, 일 세트의 고밀도 상호연결부들(예컨대, 트레이스들, 비아들) 및 TSV(through substrate via)는 도 2에서 번호가 매겨지거나 라벨링되지 않아 있다. 그러나, 상세한 예시적인 브리지가 적어도 도 4 및 도 5에서 아래에 예시되고 설명된다.

[0027] 도 2에 도시된 바와 같이, 제1 다이(202)는 적어도 브리지(210)를 통해서 제2 다이(204)에 커플링된다(예컨대, 제2 다이(204)와 통신한다). 특히, 도 2는, 제1 다이(202)가 제1 세트의 상호연결부들(220), 브리지(210)의 상호연결부들(예컨대, 비아들, 트레이스들), 및 제2 세트의 상호연결부들(240)을 통해 제2 다이(204)에 커플링되는 것을 예시한다. 일부 구현들에서, 제1 세트의 상호연결부들(220), 브리지(210)의 상호연결부들(예컨대, 비아들, 트레이스들), 및 제2 세트의 상호연결부들(240)은 제1 다이(202)와 제2 다이(204) 사이에 신호들(예컨대, 입력/출력 신호들)을 위한 몇몇 고밀도 전기 경로들을 제공한다.

[0028] 일부 구현들에서, 적어도 하나의 TSV(through substrate via)는 브리지(210)에 커플링된 다이로의 그리고/또는 다이로부터의 전력 신호 및/또는 접지 기준 신호를 위한 적어도 하나의 전기 경로를 제공하도록 구성된다. 도 2는, 적어도 하나의 전력 신호 및/또는 접지 기준 신호가 브리지(210)를 통해 제1 다이(202) 및/또는 제2 다이(204)로 이동할 수 있는 것을 예시한다. 예컨대, 브리지(210)는 제1 다이(202)로의 제2 신호(예컨대, 전력 신호)를 위한 제2 전기 경로를 제공하도록 구성된다.

[0029] 하나 또는 그 초과의 다이들로의 그리고 다이들로부터의 전력 신호 및/또는 접지 기준 신호를 위한 전기 경로를 제공하도록 구성된 적어도 하나의 TSV를 포함하는 브리지를 제공하는 몇몇 장점들이 존재한다. 첫번째로, 브리지(210)를 통한 전기 경로는 다이로의 그리고 다이로부터의 더욱 직접적인 경로인데, 이는 다이로의 그리고 다이로부터의 더 짧은 경로를 의미한다. 두번째로, 브리지(210)를 통한 전기 경로는, 그 전기 경로가 브리지 주위로 라우팅될 필요가 없으므로 베이스(201)에서의 공간 및 면적(real estate)이 절감되고, 이는 통합 디바이스 패키지(200)에 대한 전체적으로 더 작은 폼 팩터를 유도할 수 있다는 것을 의미한다. 세번째로, 전력 신호 및/또는 접지 기준 신호에 대한 더욱 직접적인 경로는, 재료가 덜 사용됨으로써 통합 디바이스 패키지를 제작하는 비용이 감소된다는 것을 의미한다.

[0030] 네번째로, 브리지를 통한 고주파수 다이-투-다이 통신은 (도시되지 않은) D2D(die-to-die) 버퍼를 필요로 할 수 있다. 일부 구현들에서, D2D 버퍼는 다이-투-다이 통신을 제공하도록 적응 및/또는 구성되는 브리지에 커플링되는 다이에(예컨대, 브리지 위에 수직으로 있는 다이 부분에) 위치된다. 브리지에 커플링되는 각각의 다이는 그 자신의 개개의 D2D 버퍼를 포함할 수 있다. D2D 버퍼는 적어도 하나의 트랜지스터를 포함할 수 있다. D2D 버퍼는 전력 공급(예컨대, 전력 신호)을 필요로 할 수 있고, D2D 버퍼로의(예컨대, D2D 버퍼의 트랜지스터로의) 신호의(예컨대, 전력 신호의) 가장 작은 가능한 전력 전압 강하를 갖는 것이 중요할 수 있다. 이는 브리지를 통해 D2D 버퍼(예컨대, 다이의 D2D)로 전력 신호를 라우팅함으로써 달성될 수 있다. 다이는 대략 2미크론(μm) 또는 그 미만의 금속 두께(예컨대, 구리 두께) 및 1000미크론(μm)보다 큰 측면 길이를 갖는, D2D 버퍼로의 상호연결부를 가질 수 있고, 이는 전력 신호의 높은 IR 강하를 생성하는데, 여기서 IR은 전류 저항이다. 대조적으로, 브리지를 통한 D2D 버퍼로의 상호연결부는 대략 100미크론(μm)의 길이 및 대략 10미크론(μm)의 금속 두께(예컨대, 구리 두께)를 가질 수 있고, 이는 D2D 버퍼에 보다 작은 전압 강하를 제공하고 그에 따라서 개선된 다이-투-다이 통신 성능을 제공한다.

[0031] 도 2는 적어도 하나의 다이로의 그리고 적어도 하나의 다이로부터의 전력 신호 및/또는 접지 기준 신호를 위한 적어도 하나의 전기 경로를 제공하도록 구성된 적어도 하나의 TSV를 포함하는 고밀도 상호연결 브리지(예컨대, 브리지(210))에 대한 고도의 예시를 도시한다. 위에서 언급된 바와 같이, 전력 신호들 및/또는 접지 기준 신호들에 대한 전기 경로를 제공하도록 구성된 적어도 하나의 TSV를 포함하는 고밀도 브리지들에 대한 더욱 상세한 설명이 적어도 도 4 내지 도 10에서 아래에 추가로 예시되고 설명된다.

[0032] TSV들을 가진 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지 베이스

- [0033] [0048] 위에서 언급된 바와 같이, 베이스(201)는 캡슐화 부분(206) 및 재분배 부분(208)을 포함한다. 베이스(201)는 통합 디바이스 패키지(200)의 패키지 기판 및/또는 통합 디바이스 패키지 베이스일 수 있다.
- [0034] [0049] 캡슐화 부분(206)은 캡슐화 층(260), 제1 세트의 비아들(262), 제2 세트의 비아들(264), 제3 세트의 비아들(266) 및 제4 세트의 비아들(268)을 포함한다. 일 세트의 비아들은 하나 또는 그 초과의 비아들을 포함할 수 있다. 캡슐화 층(260)은 적어도 몰드 및/또는 에폭시 충전물 중 하나를 포함할 수 있다. 일부 구현들에서, 캡슐화 층(260)은 리소-페터닝가능 층(예컨대, 리소-에칭가능 층)일 수 있다. 리소-페터닝가능 층은 포토 패터닝가능 및 현상가능(예컨대, 포토 에칭가능)한 재료이다. 즉, 캡슐화 층(260)은 광원(예컨대, UV(ultraviolet) 광)으로의 재료의 노출을 통해 패터닝, 현상, 에칭 및/또는 제거될 수 있는 재료로 이루어진다. 브리지(210)는 캡슐화 부분(206) 및/또는 캡슐화 층(260)에 적어도 부분적으로 삽입된다. 따라서, 캡슐화 부분(206) 및/또는 캡슐화 층(260)은 브리지(210)를 적어도 부분적으로 캡슐화한다. 캡슐화 층(260)은 몰드 및/또는 에폭시 충전물일 수 있다. 일부 구현들에서, 캡슐화 층(260)은 충전제를 포함하는 층이다. 일부 구현들에서, 캡슐화 층(260)은 PI(Polyimide) 층 및/또는 PBO(Polybenzoxazole) 층보다는 더 높은 농도의 충전제 재료를 가질 수 있다.
- [0035] [0050] 제1 세트의 비아들(262)은 캡슐화 층(260)의 적어도 일부를 수직으로 가로지른다. 따라서, 제1 세트의 비아들(262)은 캡슐화 층(260)에 위치 및/또는 삽입된다. 제1 세트의 비아들(262)은 재분배 부분(208)에 커플링된다. 제1 세트의 비아들(262)은 또한 제1 세트의 상호연결부들(220)을 통해 제1 다이(202)에 커플링된다. 일부 구현들에서, 캡슐화 부분(206)은 일 세트의 패드들을 포함한다. 일 세트의 패드들이 제1 세트의 비아들(262) 및 제1 세트의 상호연결부들(220)에 커플링될 수 있다. 캡슐화 부분의 패드들의 예들이 적어도 도 6 내지 도 10에서 아래에 추가로 설명된다.
- [0036] [0051] 제2 세트의 비아들(264)은 캡슐화 층(260)의 적어도 일부를 수직으로 가로지른다. 따라서, 제2 세트의 비아들(264)은 캡슐화 층(260)에 위치 및/또는 삽입된다. 제2 세트의 비아들(264)은 재분배 부분(208)에 커플링된다. 제2 세트의 비아들(264)은 또한 제2 세트의 상호연결부들(240)을 통해 제2 다이(204)에 커플링된다. 일부 구현들에서, 캡슐화 부분(206)은 일 세트의 패드들을 포함한다. 일 세트의 패드들이 제2 세트의 비아들(264) 및 제2 세트의 상호연결부들(240)에 커플링될 수 있다.
- [0037] [0052] 제3 세트의 비아들(266)은 캡슐화 층(260)의 적어도 일부를 수직으로 가로지른다. 따라서, 제3 세트의 비아들(266)은 캡슐화 층(260)에 위치 및/또는 삽입된다. 제3 세트의 비아들(266)은 재분배 부분(208)에 커플링된다. 제3 세트의 비아들(266)은 또한 브리지(210) 및 제1 세트의 상호연결부들(220)을 통해 제1 다이(202)에 커플링된다. 제3 세트의 비아들(266)은 브리지(210)의 TSV(through substrate via)들에 커플링된다. 일부 구현들에서, 캡슐화 부분(206)은 일 세트의 패드들을 포함한다. 일 세트의 패드들이 브리지(210) 및 제1 세트의 상호연결부들(220)에 커플링될 수 있다.
- [0038] [0053] 일부 구현들에서, 제3 세트의 비아들(266)은 다이(예컨대, 제1 다이(202))로의 그리고/또는 다이로부터의 적어도 하나의 전력 신호 및/또는 적어도 하나의 접지 기준 신호를 위한 적어도 하나의 전기 경로를 브리지(210)를 통해 제공하도록 구성된다. 예컨대, 일부 구현들에서, (비아들(266)로부터의) 비아 및 브리지(210)는 제1 다이(202)로의 제2 신호(예컨대, 전력 신호)를 위한 제2 전기 경로를 제공하도록 구성될 수 있다.
- [0039] [0054] 제4 세트의 비아들(268)은 캡슐화 층(260)의 적어도 일부를 수직으로 가로지른다. 제4 세트의 비아들(268)은 재분배 부분(208)에 커플링된다. 제4 세트의 비아들(268)은 또한 브리지(210) 및 제2 세트의 상호연결부들(240)을 통해 제2 다이(204)에 커플링된다. 제4 세트의 비아들(268)은 브리지(210)의 TSV(through substrate via)들에 커플링된다. 일부 구현들에서, 캡슐화 부분(206)은 일 세트의 패드들을 포함한다. 일 세트의 패드들이 브리지(210) 및 제2 세트의 상호연결부들(240)에 커플링될 수 있다.
- [0040] [0055] 일부 구현들에서, 제4 세트의 비아들(268)은 다이(예컨대, 제2 다이(204))로의 그리고/또는 다이로부터의 적어도 하나의 전력 신호 및/또는 적어도 하나의 접지 기준 신호를 위한 적어도 하나의 전기 경로를 브리지(210)를 통해 제공하도록 구성된다.
- [0041] [0056] 일부 구현들에서, 캡슐화 부분(206)의 비아들은 대략 10미크론(μm) 또는 그 미만의 폭/직경 및/또는 대략 10미크론(μm) 또는 그 미만의 간격을 갖는 비아들이다. 따라서, 일부 구현들에서, 캡슐화 부분(206)의 비아들은 브리지(210)의 상호연결부들보다 더 낮은 밀도를 갖는 상호연결부들이다. 일부 구현들에서, 적어도 캡슐화 부분(206)의 비아들 대부분은 브리지(210)의 상호연결부들(예컨대, 트레이스들, 비아들)보다 더 낮은 밀도(예컨대, 더 큰 폭, 더 큰 간격)를 갖는다.

- [0042] [0057] 비아들(예컨대, 제1 세트의 비아들(262), 제2 세트의 비아들(264), 제3 세트의 비아들(266), 제4 세트의 비아들(268))은 상이한 형상들 및 사이즈들을 가질 수 있다. 캡슐화 층의 비아들에 대한 형상들의 다양한 예들이 적어도 도6 내지 도10에서 아래에 추가로 예시되고 설명된다.
- [0043] [0058] 재분배 부분(208)은 일 세트의 유전체 층들(280) 및 일 세트의 상호연결부들(282)을 포함한다. 일 세트의 유전체 층들(280)은 하나 또는 그 초과의 유전체 층들을 포함할 수 있다. 도2에 도시된 바와 같이, 재분배 부분(208)은 캡슐화 부분(206)의 제1 표면(예컨대, 최하부 표면)에 커플링된다. 일 세트의 상호연결부들(282)은 트레이스, 비아, 패드, 재분배 상호연결부, 및/또는 UBM(under bump metallization) 층을 포함할 수 있다. 도2에 추가로 도시된 바와 같이, 일 세트의 상호연결부들(282)은 재분배 상호연결부들 및 UBM 층들을 포함한다. 일 세트의 상호연결부들(282)은 제1 세트의 비아들(262), 제2 세트의 비아들(264), 제3 세트의 비아들(266) 및 제4 세트의 비아들(268)에 커플링된다. 일 세트의 상호연결부들(282) 중 일부는 적어도 하나의 전력 신호 및/또는 적어도 하나의 접지 기준 신호를 위한 적어도 하나의 전기 경로를 제공하도록 구성될 수 있다. 일부 구현들에서, 재분배 부분(208)의 일 세트의 상호연결부들(282)은 대략 5미크론(μm) 또는 그 미만의 폭 및/또는 대략 5미크론(μm) 또는 그 미만의 간격을 갖는 상호연결부들이다. 다양한 재분배 부분들의 더욱 상세한 예들이 적어도 도6 내지 도10에서 추가로 설명된다. 도2는 일 세트의 상호연결부들(282)에 커플링되는 일 세트의 솔더 볼들(284)을 예시한다. 일부 구현들에서, 일 세트의 솔더 볼들(284)은 일 세트의 상호연결부들(282)의 UBM 층들에 커플링된다. 일 세트의 솔더 볼들(284)은 PCB(205)에 커플링된다.
- [0044] [0059] 비록 도시되지는 않았지만, 통합 디바이스 패키지(200)는 또한 제1 다이(202) 및 제2 다이(204)를 커버하는 다른 캡슐화 층을 포함할 수 있다. 캡슐화 층은 적어도 몰드 및/또는 에폭시 충전물 중 하나를 포함할 수 있다.
- [0045] **리소-에칭가능 층에 브리지를 포함하는 예시적인 통합 디바이스 패키지**
- [0046] [0060] 도3은 고밀도 다이-투-다이 상호연결부들을 포함하는 통합 디바이스 패키지의 다른 예를 예시한다. 특히, 도3은 베이스(301), 제1 다이(202), 제2 다이(204) 및 브리지(210)를 포함하는 통합 디바이스 패키지(300)의 예를 예시다. 베이스(301)는 통합 디바이스 패키지(300)의 패키지 기판 및/또는 통합 디바이스 패키지 베이스일 수 있다. 베이스(301)는 캡슐화 부분(206) 및 재분배 부분(308)을 포함한다. 통합 디바이스 패키지(300)는 PCB(printed circuit board)(205)에 커플링된다.
- [0047] [0061] 일부 구현들에서 재분배 부분(308)이 상이한 구성의 상호연결부들을 포함하는 점을 제외하고는 통합 디바이스 패키지(300)는 통합 디바이스 패키지(200)와 유사하다.
- [0048] [0062] 도3에 도시된 바와 같이, 제1 다이(202)는 제1 세트의 상호연결부들(220)을 통해 베이스(201)에 커플링된다. 제1 세트의 상호연결부들(220)은 포스트들, 기둥들 및/또는 솔더를 포함할 수 있다. 제2 다이(204)는 제2 세트의 상호연결부들(240)을 통해 베이스(201)에 커플링된다. 제2 세트의 상호연결부들(240)은 포스트들, 기둥들 및/또는 솔더를 포함할 수 있다.
- [0049] [0063] 도3에 도시된 바와 같이, 재분배 부분(308)은 캡슐화 부분(206)에 커플링된다. 재분배 부분(308)은 일 세트의 유전체 층들(280) 및 일 세트의 상호연결부들(382)을 포함한다. 일 세트의 유전체 층들(280)은 하나 또는 그 초과의 유전체 층들을 포함할 수 있다. 도3에 도시된 바와 같이, 재분배 부분(308)은 캡슐화 부분(206)의 제1 표면(예컨대, 최하부 표면)에 커플링된다. 일 세트의 상호연결부들(382)은 트레이스, 비아, 패드, 재분배 상호연결부, 및/또는 UBM(under bump metallization) 층을 포함할 수 있다. 도3에 추가로 도시된 바와 같이, 일 세트의 상호연결부들(382)은 패드들, 비아들, 트레이스들 및 UBM 층들을 포함한다. 일 세트의 상호연결부들(382)은 제1 세트의 비아들(262), 제2 세트의 비아들(264), 제3 세트의 비아들(266) 및 제4 세트의 비아들(268)에 커플링된다. 일 세트의 상호연결부들(382) 중 일부는 적어도 하나의 전력 신호 및/또는 적어도 하나의 접지 기준 신호를 위한 적어도 하나의 전기 경로를 제공하도록 구성될 수 있다. 일부 구현들에서, 재분배 부분(308)의 일 세트의 상호연결부들(382)은 대략 5미크론(μm) 또는 그 미만의 폭 및/또는 대략 5미크론(μm) 또는 그 미만의 간격을 갖는 상호연결부들이다. 다양한 재분배 부분들의 더욱 상세한 예들이 적어도 도6 내지 도10에서 추가로 설명된다. 도3은 일 세트의 솔더 볼들(284)이 일 세트의 상호연결부들(382)에 커플링 되는 것을 예시한다. 일부 구현들에서, 일 세트의 솔더 볼들(284)은 일 세트의 상호연결부들(382)의 UBM 층들에 커플링된다. 일 세트의 솔더 볼들(284)은 PCB(205)에 커플링된다.
- [0050] [0064] 비록 도시되지는 않았지만, 통합 디바이스 패키지(300)는 또한 제1 다이(202) 및 제2 다이(204)를 커버하는 다른 캡슐화 층을 포함할 수 있다. 캡슐화 층은 적어도 몰드 및/또는 에폭시 충전물 중 하나를 포함할 수

있다.

[0051] 상호연결부들 및 TSV(Through Substrate Via)들을 포함하는 예시적인 브리지

[0065] 위에서 언급된 바와 같이, 통합 디바이스 패키지는 고밀도 다이-투-다이 상호연결부들을 제공하도록 구성되는 브리지(예컨대, 실리콘 브리지, 유리 브리지, 세라믹 브리지), 및 하나 또는 그 초과의 다이들로의 그리고 하나 또는 그 초과의 다이들로부터의 적어도 하나의 전력 신호 및/또는 적어도 하나의 접지 기준 신호를 위한 적어도 하나의 전기 경로를 제공하도록 구성되는 TSV(through substrate via)들을 포함할 수 있다. 도 4 및 도 5는 통합 디바이스 패키지에 고밀도 상호연결부들 및 TSV들을 제공하도록 구성된 그러한 브리지들의 개념적인 예들을 예시한다.

[0066] 도 4는 브리지(210)(예컨대, 실리콘 브리지)의 예에 대한 측면도를 예시한다. 브리지(210)는 기판(402), 유전체 층(404), 적어도 하나의 제1 상호연결부(406), 적어도 하나의 제2 상호연결부(408), 적어도 하나의 제3 상호연결부(410), 적어도 하나의 제4 상호연결부(418), 및 적어도 하나의 제5 상호연결부(420)를 포함한다. 일부 구현들에서, 브리지(210)는 본 개시내용에 예시되고 설명된 임의의 통합 디바이스 패키지에 구현될 수 있다. 예컨대, 브리지(210)는 도 2 및 도 3의 브리지일 수 있다. 일부 구현들에서, 브리지(210)는 제1 다이와 제2 다이 사이에 다이-투-다이 전기 경로 또는 다이-투-다이 전기 연결부를 제공하기 위한 수단(예컨대, 브리지 수단)이다. 예컨대, 적어도 하나의 제1 상호연결부(406), 적어도 하나의 제2 상호연결부(408), 및 적어도 하나의 제3 상호연결부(410)는 제1 다이와 제2 다이 사이에 적어도 하나의 제1 신호를 위한 적어도 하나의 제1 전기 경로를 정의할 수 있다. 일부 구현들에서, 적어도 하나의 제1 상호연결부(406), 적어도 하나의 제2 상호연결부(408), 및 적어도 하나의 제3 상호연결부(410)는 제1 다이와 제2 다이 사이에 적어도 하나의 제1 신호를 위한 적어도 하나의 제1 전기 경로를 제공하도록 구성되는 적어도 하나의 제1 세트의 상호연결부들을 형성할 수 있다.

[0067] 일부 구현들에서, 브리지(210)는 제1 다이로의 그리고 제1 다이로부터의 적어도 전력 신호 및/또는 적어도 접지 기준 신호를 위한 적어도 하나의 제2 전기 경로를 제공하기 위한 수단(예컨대, 브리지 수단)이다. 일부 구현들에서, 브리지(210)는 제2 다이로의 그리고 제2 다이로부터의 적어도 전력 신호 및/또는 적어도 접지 기준 신호를 위한 적어도 하나의 제3 전기 경로를 제공하기 위한 수단(예컨대, 브리지 수단)이다.

[0068] 일부 구현들에서, 수단(예컨대, 브리지 수단)은 통합 디바이스 패키지 베이스의 캡슐화 부분(예컨대, 캡슐화 부분(206)) 및/또는 재분배 부분(예컨대, 재분배 부분(208))의 상호연결부 밀도와 동일하거나 그보다 더 높은 상호연결부 밀도를 제공한다.

[0069] 일부 구현들에서, 기판(402)은 실리콘 기판, 유리 기판, 및/또는 세라믹 기판을 포함한다. 제1 상호연결부(406)는 기판(402) 상에 위치되는 적어도 하나의 트레이스일 수 있다. 유전체 층(404)은 제1 상호연결부(406) 및 기판(402)을 커버한다. 일부 구현들에서, 제2 및 제3 상호연결부들(408 및 410)은 유전체 층(404)을 수직으로 가로지르는 비아들이다. 제2 및 제3 상호연결부들(408 및 410)은 제1 상호연결부(406)에 커플링된다.

[0070] 일부 구현들에서, 제1, 제2 및 제3 상호연결부들(406, 408 및 410)은 고밀도 상호연결부들이다. 일부 구현들에서, 고밀도 상호연결부들은 대략 2미크론(μm) 또는 그 미만의 폭 및/또는 대략 2미크론(μm) 또는 그 미만의 간격을 갖는 상호연결부들이다. 일부 구현들에서, 상호연결부의 폭은 트레이스 및/또는 라인의 폭일 수 있다. 일부 구현들에서, 상호연결부의 폭은 비아 및/또는 패드의 직경일 수 있다. 간격은 2개의 이웃하는/인접하는 상호연결부들 사이의 애지간 거리이다.

[0071] 제4 상호연결부(418)는 기판(402) 및 유전체 층(404)을 가로지르는 비아일 수 있다. 제4 상호연결부(418)는 기판(402) 및 유전체 층(404)을 가로지르는 TSV(through substrate via)일 수 있다. 일부 구현들에서, 제4 상호연결부(418)는 2개 또는 그 초과의 비아들(예컨대, 기판(402)의 제1 비아 및 유전체 층(404)의 제2 비아)의 결합일 수 있다. 일부 구현들에서, 제4 세트의 상호연결부(418)는 다이(예컨대, 제1 다이)로의 그리고 다이로부터의 적어도 하나의 제2 신호(예컨대, 적어도 하나의 전력 신호 및/또는 적어도 하나의 접지 기준 신호)를 위한 적어도 하나의 전기 경로(예컨대, 제2 전기 경로)를 제공하도록 구성된다.

[0072] 제5 상호연결부(420)는 기판(402) 및 유전체 층(404)을 가로지르는 비아일 수 있다. 제5 상호연결부(420)는 기판(402) 및 유전체 층(404)을 가로지르는 TSV(through substrate via)일 수 있다. 일부 구현들에서, 제5 상호연결부(420)는 2개 또는 그 초과의 비아들(예컨대, 기판(402)의 제1 비아 및 유전체 층(404)의 제2 비아)의 결합일 수 있다. 일부 구현들에서, 제5 상호연결부(420)는 다이(예컨대, 제2 다이)로의

그리고 다이로부터의 적어도 하나의 제3 신호(예컨대, 적어도 하나의 전력 신호 및/또는 적어도 하나의 접지 기준 신호)를 위한 적어도 하나의 전기 경로(예컨대, 제3 전기 경로)를 제공하도록 구성된다. 일부 구현들에서, 제4 및 제5 상호연결부들(418 및 420)은 고밀도 상호연결부들이다.

[0060] [0073] 브리지(210)는 몇 개의 제1 상호연결부들, 제2 상호연결부들, 제3 상호연결부들, 제4 상호연결부들 및 제5 상호연결부들을 포함할 수 있다는 것이 주목된다.

[0061] [0074] 도 5는 기판(보이지 않음), 유전체 층(404), 제1 상호연결부(406), 제2 상호연결부(408), 제3 상호연결부(410), 제4 상호연결부(418) 및 제5 상호연결부(420)를 포함하는 브리지(210)(예컨대, 실리콘 브리지)의 예에 대한 평면도(예컨대, 상면도)를 예시한다. 도 5는 상호연결부들의 폭 및 간격을 예시한다. 상호연결부의 폭은 W로 예시되고, 2개의 이웃하는/인접하는 상호연결부들 사이의 간격은 S로 예시된다. 일부 구현들에서, 제1 상호연결부(406), 제2 상호연결부(408), 제3 상호연결부(410), 제4 상호연결부(418), 및/또는 제5 상호연결부(420)는 고밀도 상호연결부들이다. 일부 구현들에서, 고밀도 상호연결부들은 대략 2미크론(μm) 또는 그 미만의 폭 및/또는 대략 2미크론(μm) 또는 그 미만의 간격을 갖는 상호연결부들이다.

[0062] [0075] 위에서 설명된 바와 같이, 하나 또는 그 초과의 다이들로의 그리고 하나 또는 그 초과의 다이들로부터의 전력 신호 및/또는 접지 기준 신호를 위한 전기 경로를 제공하도록 구성된 적어도 하나의 TSV를 포함하는 브리지를 제공하는데 있어 몇몇 장점들이 존재한다. 첫번째로, 브리지(210)를 통한 전기 경로는 다이로의 그리고 다이로부터의 더욱 직접적인 경로인데, 이는 다이로의 그리고 다이로부터의 더 짧은 경로를 의미한다. 두번째로, 브리지(210)를 통한 전기 경로는, 그 전기 경로가 브리지 주위로 라우팅될 필요가 없으므로 베이스(201)에서의 공간 및 면적(real estate)이 절감되고, 이는 통합 디바이스 패키지(200)에 대한 전체적으로 더 작은 품팩터를 유도할 수 있다는 것을 의미한다. 세번째로, 전력 신호 및/또는 접지 기준 신호에 대한 더욱 직접적인 경로는, 재료가 덜 사용됨으로써 통합 디바이스 패키지를 제작하는 비용이 감소된다는 것을 의미한다. 네번째로, TSV들은 다이-투-다이 통신에서 개선된 성능을 제공하는데 도움을 줄 수 있다.

브리지 리소-에칭가능 층을 포함하는 예시적인 통합 디바이스 패키지

[0063] [0064] [0076] 고밀도 다이-투-다이 상호연결부들을 포함하는 통합 디바이스 패키지의 예를 일반적으로 상세히 설명하였지만, 고밀도 다이-투-다이 상호연결부들 및 TSV(through substrate via)를 포함하는 통합 디바이스 패키지들의 예들이 이제 더욱 상세히 설명될 것이다.

[0065] [0077] 도 6은 통합 디바이스 패키지의 통합 디바이스 패키지 베이스(600)의 일부에 대한 예를 예시한다. 일부 구현들에서, 통합 디바이스 패키지 베이스(600)는 적어도 도 2의 캡슐화 부분(206) 및 재분배 부분(208)에 대응할 수 있다. 일부 구현들에서, 통합 디바이스 패키지 베이스(600)는 통합 디바이스 패키지의 패키지 기판이다.

[0066] [0078] 통합 디바이스 패키지 베이스(600)는 캡슐화 부분(602) 및 재분배 부분(604)을 포함한다. 캡슐화 부분(602)은 캡슐화 층(606), 제1 비아(603), 제2 비아(605), 제1 패드(611), 제2 패드(613), 제3 패드(615), 솔더 레지스트 층(608), 및 브리지(210)를 포함한다. 일부 구현들에서, 캡슐화 층(606)은 포토 패터닝가능 및 현상가능(예컨대, 포토 에칭가능)한 리소-패터닝가능 재료(예컨대, 리소-에칭가능 재료)이다. 즉, 캡슐화 층(606)은 광원(예컨대, UV(ultraviolet) 광)으로의 재료의 노출을 통해 패터닝, 현상, 에칭 및/또는 제거될 수 있는 재료로 이루어진다. 캡슐화 층(606)은 적어도 물드 및/또는 에폭시 충전물 중 하나를 포함할 수 있다.

[0067] [0079] 제1 비아(603)는 캡슐화 층(606)을 수직으로 가로지른다. 제1 패드(611)는 제1 비아(603)에 커플링된다. 제2 비아(605)는 캡슐화 층(606)을 수직으로 가로지른다. 따라서, 제2 비아(605)는 캡슐화 층(606)에 위치 및/또는 삽입된다. 제2 비아(605)는 브리지(210)의 상호연결부(418)에 커플링된다. 상호연결부(418)는 브리지(210)의 TSV(through substrate via)들일 수 있다. 제2 패드(613)는 상호연결부(418)에 커플링된다. 일부 구현들에서, 제2 비아(605), 상호연결부(418), 및 제2 패드(613)는 다이(예컨대, 제1 다이(202))로의 그리고 다이로부터의 제2 신호(예컨대, 전력 신호 및/또는 접지 기준 신호)를 위한 전기 경로(예컨대, 제2 전기 경로)를 제공하도록 구성된다.

[0068] [0080] 솔더 레지스트 층(608)이 캡슐화 층(606)의 제1 표면(예컨대, 최상부 표면)을 커버한다. 솔더 볼은 패드들(611, 613 및/또는 615)에 커플링될 수 있다. 비아(603)는 캡슐화 층(606)의 일 세트의 비아들의 일부이고, 여기서 일 세트의 비아들은 제1 밀도(예컨대, 제1 폭 및/또는 제1 간격)를 갖는다.

[0069] [0081] 도 6은 또한, 브리지(210)가 캡슐화 부분(602)의 캡슐화 층(606)에 적어도 부분적으로 삽입되는 것을 예시한다. 브리지(210)는 캡슐화 부분(602)에 고밀도 전기 경로들(예컨대, 고밀도 다이-투-다이 상호연결부

들)을 제공하도록 구성된다. 브리지(210)는 또한 그 브리지(210)의 기판(402)을 통해 다이로의 신호(예컨대, 전력 신호)를 위한 전기 경로를 제공하도록 구성된다.

[0070] [0082] 재분배 부분(604)이 캡슐화 부분(602)에 커플링된다. 재분배 부분(604)은 제1 유전체 층(642), 제2 유전체 층(644) 및 제3 유전체 층(648), 상호연결부(643) 및 상호연결부(653)를 포함한다. 일부 구현들에서, 제1, 제2 및/또는 제3 유전체 층들(642, 644 및/또는 648)은 총괄적으로 단일 유전체 층일 수 있다. 상호연결부들(643 및 653)은 대각선 부분 및 수평 부분을 포함하는 재분배 상호연결부들일 수 있다. 일부 구현들에서, 상호연결부들(643 및 653)은 U 또는 V 형상의 재분배 상호연결부들이다. 일부 구현들에서, 상호연결부들(643 및 653)은 솔더 볼들(예컨대, 인쇄 회로 기판 측면 솔더 볼들)에 커플링하도록 구성될 수 있다.

[0071] [0083] 재분배 부분(604)의 상호연결부(643)는 캡슐화 부분(602)의 비아(603)에 커플링된다. 재분배 부분(604)의 상호연결부(653)는 캡슐화 부분(602)의 제2 비아(605)에 커플링된다. 일부 구현들에서, 상호연결부(653), 제2 비아(605), 상호연결부(418), 및 제2 패드(613)는 다이(예컨대, 제1 다이(202))로의 그리고 다이로부터의 전력 신호 및/또는 접지 기준 신호를 위한 전기 경로를 제공하도록 구성된다.

[0072] [0084] 일부 구현들에서, 제1 다이(예컨대, 다이(202))는 제3 패드(615), 상호연결부(410) 및 상호연결부(406)를 통해 제2 다이(예컨대, 제2 다이(204))에 전기적으로 커플링될 수 있다. 일부 구현들에서, 제3 패드(615), 상호연결부(410) 및 상호연결부(406)는 제1 및 제2 다이들(예컨대, 다이들(202 및 204)) 사이의 다이-투-다이 상호연결을 위한 전기 경로를 정의한다.

브리지 리소-에칭가능 층을 포함하는 예시적인 통합 디바이스 패키지

[0073] [0085] 도 7은 통합 디바이스 패키지의 통합 디바이스 패키지 베이스(700)의 일부에 대한 다른 예를 예시한다. 일부 구현들에서, 통합 디바이스 패키지 베이스(700)는 적어도 도 3의 캡슐화 부분(206) 및 재분배 부분(308)에 대응할 수 있다. 일부 구현들에서, 통합 디바이스 패키지 베이스(700)는 통합 디바이스 패키지의 패키지 기판이다.

[0074] [0086] 통합 디바이스 패키지 베이스(700)는 캡슐화 부분(602) 및 재분배 부분(704)을 포함한다. 캡슐화 부분(602)은 캡슐화 층(606), 제1 비아(603), 제2 비아(605), 제1 패드(611), 제2 패드(613), 제3 패드(615), 솔더 레지스트 층(608), 및 브리지(210)를 포함한다. 일부 구현들에서, 캡슐화 층(606)은 포토 패터닝가능 및 현상 가능(예컨대, 포토 에칭가능)한 리소-패터닝가능 재료(예컨대, 리소-에칭가능 재료)이다. 즉, 캡슐화 층(606)은 광원(예컨대, UV(ultraviolet) 광)으로의 재료의 노출을 통해 패터닝, 현상, 에칭 및/또는 제거될 수 있는 재료로 이루어진다. 캡슐화 층(606)은 적어도 몰드 및/또는 에폭시 충전물 중 하나를 포함할 수 있다.

[0075] [0087] 제1 비아(603)는 캡슐화 층(606)을 수직으로 가로지른다. 제1 패드(611)는 제1 비아(603)에 커플링된다. 제2 비아(605)는 캡슐화 층(606)을 수직으로 가로지른다. 제2 비아(605)는 브리지(210)의 상호연결부(418)에 커플링된다. 상호연결부(418)는 브리지(210)의 TSV(through substrate via)들일 수 있다. 제2 패드(613)는 상호연결부(418)에 커플링된다. 일부 구현들에서, 제2 비아(605), 상호연결부(418), 및 제2 패드(613)는 다이(예컨대, 제1 다이(202))로의 그리고 다이로부터의 전력 신호 및/또는 접지 기준 신호를 위한 전기 경로를 제공하도록 구성된다.

[0076] [0088] 솔더 레지스트 층(608)이 캡슐화 층(606)의 제1 표면(예컨대, 최상부 표면)을 커버한다. 솔더 볼은 패드들(611, 613 및/또는 615)에 커플링될 수 있다. 비아(603)는 캡슐화 층(606)의 일 세트의 비아들의 일부이고, 여기서 일 세트의 비아들은 제1 밀도(예컨대, 제1 폭 및/또는 제1 간격)를 갖는다.

[0077] [0089] 도 7은 또한, 브리지(210)가 캡슐화 부분(602)의 캡슐화 층(606)에 적어도 부분적으로 삽입되는 것을 예시한다. 브리지(210)는 캡슐화 부분(602)에 고밀도 전기 경로들(예컨대, 고밀도 다이-투-다이 상호연결부들)을 제공하도록 구성된다. 브리지(210)는 또한 그 브리지(210)의 기판(402)을 통해 다이로의 신호(예컨대, 전력 신호)를 위한 전기 경로를 제공하도록 구성된다.

[0078] [0090] 재분배 부분(704)이 캡슐화 부분(602)에 커플링된다. 재분배 부분(704)은 제1 유전체 층(642), 제2 유전체 층(644) 및 제3 유전체 층(648), 상호연결부(743), 상호연결부(745), 상호연결부(753) 및 상호연결부(755)를 포함한다. 일부 구현들에서, 제1, 제2 및/또는 제3 유전체 층들(642, 644 및/또는 648)은 총괄적으로 단일 유전체 층일 수 있다. 상호연결부들(743 및 753)은 비아들일 수 있다. 상호연결부들(745 및 755)은 트레이스들 및/또는 패드들일 수 있다. 일부 구현들에서, 상호연결부들(745 및 755)은 솔더 볼들(예컨대, 인쇄 회로 기판 측면 솔더 볼들)에 커플링하도록 구성될 수 있다.

- [0080] [0091] 상호연결부(745)는 상호연결부(743)에 커플링된다. 재분배 부분(704)의 상호연결부(743)는 캡슐화 부분(602)의 비아(603)에 커플링된다. 상호연결부(755)는 상호연결부(753)에 커플링된다. 재분배 부분(704)의 상호연결부(753)는 캡슐화 부분(602)의 제2 비아(605)에 커플링된다. 일부 구현들에서, 상호연결부(755), 상호연결부(753), 제2 비아(605), 상호연결부(418), 및 제2 패드(613)는 다이(예컨대, 제1 다이(202))로의 그리고 다이로부터의 전력 신호 및/또는 접지 기준 신호를 위한 전기 경로를 제공하도록 구성된다.
- [0081] [0092] 일부 구현들에서, 제1 다이(예컨대, 다이(202))는 제3 패드(615), 상호연결부(410) 및 상호연결부(406)를 통해 제2 다이(예컨대, 제2 다이(204))에 전기적으로 커플링될 수 있다. 일부 구현들에서, 제3 패드(615), 상호연결부(410) 및 상호연결부(406)는 제1 및 제2 다이들(예컨대, 다이들(202 및 204)) 사이의 다이-투-다이 상호연결을 위한 전기 경로를 정의한다.
- [0082] **브리지 리소-에칭가능 층을 포함하는 예시적인 통합 디바이스 패키지**
- [0083] [0093] 도 6 및 도 7은 특정 형상들을 포함하는, 캡슐화 층의 비아들(예컨대, 비아(603), 비아(605))를 예시한다. 도 6 및 도 7에 도시된 바와 같이, 캡슐화 층(606)의 비아들은 캡슐화 층(606)의 공동들을 충전함으로써 형성된다. 그러나, 일부 구현들에서, 캡슐화 층의 비아들은 상이한 형상 및/또는 구성을 가질 수 있다.
- [0084] [0094] 도 8 및 도 9는 상이한 형상들을 포함하는, 캡슐화 층의 비아들을 예시한다. 도 8 및 도 9에 도시되고 아래에서 추가로 설명되는 바와 같이, 캡슐화 층의 비아들은 컨폼한(conform) 충전에 의해서 형성되고, 여기서 유전체 층으로 충전되는 다른 공동은 남겨두면서 공동의 벽들 상에 하나 또는 그 초과의 금속 층들이 형성된다. 일부 구현들에서, 비아들은 그릇 또는 깡통-유형의 형상을 갖는다.
- [0085] [0095] 도 8은 통합 디바이스 패키지의 통합 디바이스 패키지 베이스(800)의 일부에 대한 예를 예시한다. 일부 구현들에서, 통합 디바이스 패키지 베이스(800)는 적어도 도 2의 캡슐화 부분(206) 및 재분배 부분(208)에 대응할 수 있다. 일부 구현들에서, 통합 디바이스 패키지 베이스(800)는 통합 디바이스 패키지의 패키지 기판이다.
- [0086] [0096] 통합 디바이스 패키지 베이스(800)는 캡슐화 부분(802) 및 재분배 부분(804)을 포함한다. 캡슐화 부분(802)은 캡슐화 층(606), 제1 비아(803), 제2 비아(805), 제1 패드(611), 제2 패드(613), 제3 패드(615), 솔더 레지스트 층(608), 및 브리지(210)를 포함한다. 일부 구현들에서, 캡슐화 층(606)은 포토 패터닝가능 및 현상 가능(예컨대, 포토 에칭가능)한 리소-패터닝가능 재료(예컨대, 리소-에칭가능 재료)이다. 즉, 캡슐화 층(606)은 광원(예컨대, UV(uviolet) 광)으로의 재료의 노출을 통해 패터닝, 현상, 에칭 및/또는 제거될 수 있는 재료로 이루어진다. 캡슐화 층(606)은 적어도 몰드 및/또는 에폭시 충전물 중 하나를 포함할 수 있다.
- [0087] [0097] 도 8에 도시된 바와 같이, 제1 비아(803)는 V 형상의 측단면 또는 U 형상의 측단면을 포함한다. 제1 비아(803)는 자신이 형성되는 공동의 형상을 형성하는 컨폼한 충전 비아일 수 있다. 이 예에서, 제1 비아(803)는 자신이 형성되는 공동의 적어도 벽들을 따라 형성된다. 제1 비아(803)는 또한 재분배 부분(804)에 형성되는 날개 부분을 포함한다. 제1 비아(803)의 날개 부분은 재분배 부분(804)에서 측면방향으로 가로지른다. 날개 부분은 비아의 날개 상호연결부로 지칭될 수 있다. 제1 비아(803)는 캡슐화 층(606)을 수직으로 가로지른다. 제1 패드(611)는 제1 비아(803)에 커플링된다. 제2 비아(805)는 또한 V 형상의 측단면 또는 U 형상의 측단면을 포함한다. 제2 비아(805)는 자신이 형성되는 공동의 형상을 형성하는 컨폼한 충전 비아일 수 있다. 이 예에서, 제2 비아(805)는 자신이 형성되는 공동의 적어도 벽들을 따라 형성된다. 제2 비아(805)는 또한 재분배 부분(804)에 형성되는 날개 부분을 포함한다. 제2 비아(805)의 날개 부분은 재분배 부분(804)에서 측면방향으로 가로지른다. 유전체 층(840)은 캡슐화 층(606)의 비아들(예컨대, 비아(803), 비아(805))에 의해 생성되는 공동 내에 위치된다. 제2 비아(805)는 캡슐화 층(606)을 수직으로 가로지른다. 따라서, 제2 비아(805)는 브리지(210)의 상호연결부(418)에 커플링된다. 상호연결부(418)는 브리지(210)의 TSV(through substrate via)들일 수 있다. 제2 패드(613)는 상호연결부(418)에 커플링된다. 일부 구현들에서, 제2 비아(805), 상호연결부(418), 및 제2 패드(613)는 다이(예컨대, 제1 다이(202))로의 그리고 다이로부터의 전력 신호 및/또는 접지 기준 신호를 위한 전기 경로를 제공하도록 구성된다.
- [0088] [0098] 솔더 레지스트 층(608)이 캡슐화 층(606)의 제1 표면(예컨대, 최상부 표면)을 커버한다. 솔더 볼은 패드들(611, 613 및/또는 615)에 커플링될 수 있다. 비아(803)는 캡슐화 층(606)의 일 세트의 비아들의 일부이고, 여기서 일 세트의 비아들은 제1 밀도(예컨대, 제1 폭 및/또는 제1 간격)를 갖는다.
- [0089] [0099] 도 8은 또한, 브리지(210)가 캡슐화 부분(802)의 캡슐화 층(606)에 적어도 부분적으로 삽입되는 것을

예시한다. 브리지(210)는 캡슐화 부분(802)에 고밀도 전기 경로들(예컨대, 고밀도 다이-투-다이 상호연결부들)을 제공하도록 구성된다. 브리지는 또한 브리지(210)의 기판(402)을 통해 다이로부터의 신호(예컨대, 전력 신호)를 위한 전기 경로를 제공하도록 구성된다.

[0090] [00100] 재분배 부분(804)이 캡슐화 부분(802)에 커플링된다. 재분배 부분(804)은 유전체 층(840), 유전체 층(844) 및 유전체 층(848), 상호연결부(843), 및 상호연결부(853)를 포함한다. 일부 구현들에서, 유전체 층들(840, 844 및/또는 848)은 총괄적으로 단일 유전체 층일 수 있다. 상호연결부들(843 및 853)은 대각선 부분 및 수평 부분을 포함하는 재분배 상호연결부들일 수 있다. 일부 구현들에서, 상호연결부들(843 및 853)은 U 또는 V 형상의 재분배 상호연결부들을 포함한다. 일부 구현들에서, 상호연결부들(843 및 853)은 솔더 볼들(예컨대, 인쇄 회로 기판 측면 솔더 볼들)에 커플링하도록 구성될 수 있다.

[0091] [00101] 재분배 부분(804)의 상호연결부(843)는 캡슐화 부분(802)의 비아(803)에 커플링된다(예컨대, 제1 비아(803)의 날개 부분에 커플링된다). 재분배 부분(804)의 상호연결부(853)는 캡슐화 부분(802)의 제2 비아(805)에 커플링된다(예컨대, 제2 비아(805)의 날개 부분에 커플링된다). 일부 구현들에서, 상호연결부(853), 제2 비아(805), 상호연결부(418), 및 제2 패드(613)는 다이(예컨대, 제1 다이(202))로의 그리고 다이로부터의 전력 신호 및/또는 접지 기준 신호를 위한 전기 경로를 제공하도록 구성된다.

[0092] [00102] 도 8은, 재분배 부분(804)이 또한 제1 UBM(under bump metallization) 층(845) 및 제2 UBM(under bump metallization) 층(855)을 포함할 수 있다는 것을 예시한다. 제1 UBM 층(845)은 상호연결부(843)에 커플링된다. 제2 UBM 층(855)은 상호연결부(853)에 커플링된다. 일부 구현들에서, 제1 UBM 층(845) 및 제2 UBM 층(855)은 솔더 볼들에 커플링하도록 구성된다.

[0093] [00103] 일부 구현들에서, 제1 다이(예컨대, 다이(202))는 제3 패드(615), 상호연결부(410) 및 상호연결부(406)를 통해 제2 다이(예컨대, 제2 다이(204))에 전기적으로 커플링될 수 있다. 일부 구현들에서, 제3 패드(615), 상호연결부(410) 및 상호연결부(406)는 제1 및 제2 다이들(예컨대, 다이들(202 및 204)) 사이의 다이-투-다이 상호연결을 위한 전기 경로를 정의한다.

브리지 리소-에칭가능 층을 포함하는 예시적인 통합 디바이스 패키지

[0094] [00104] 도 9는 통합 디바이스 패키지의 통합 디바이스 패키지 베이스(900)의 일부에 대한 다른 예를 예시한다. 일부 구현들에서, 통합 디바이스 패키지 베이스(900)는 적어도 도 3의 캡슐화 부분(206) 및 재분배 부분(308)에 대응할 수 있다. 일부 구현들에서, 통합 디바이스 패키지 베이스(900)는 통합 디바이스 패키지의 패키지 기판이다.

[0095] [00105] 통합 디바이스 패키지 베이스(900)는 캡슐화 부분(802) 및 재분배 부분(904)을 포함한다. 캡슐화 부분(802)은 캡슐화 층(606), 제1 비아(803), 제2 비아(805), 제1 패드(611), 제2 패드(613), 제3 패드(615), 솔더 레지스트 층(608), 및 브리지(210)를 포함한다. 일부 구현들에서, 캡슐화 층(606)은 포토 패터닝가능 및 현상 가능(예컨대, 포토 에칭가능)한 리소-패터닝가능 재료(예컨대, 리소-에칭가능 재료)이다. 즉, 캡슐화 층(606)은 광원(예컨대, UV(ultraviolet) 광)으로의 재료의 노출을 통해 패터닝, 현상, 에칭 및/또는 제거될 수 있는 재료로 이루어진다. 캡슐화 층(606)은 적어도 몰드 및/또는 에폭시 충전물 중 하나를 포함할 수 있다.

[0096] [00106] 도 9에 도시된 바와 같이, 제1 비아(803)는 V 형상의 측단면 또는 U 형상의 측단면을 포함한다. 제1 비아(803)는 자신이 형성되는 공동의 형상을 형성하는 컨倜한 충전 비아일 수 있다. 이 예에서, 제1 비아(803)는 자신이 형성되는 공동의 적어도 벽들을 따라 형성된다. 제1 비아(803)는 또한 재분배 부분(904)에 형성되는 날개 부분을 포함한다. 제1 비아(803)의 날개 부분은 재분배 부분(904)에서 측면방향으로 가로지른다. 날개 부분은 비아의 날개 상호연결부로 지칭될 수 있다. 제1 비아(803)는 캡슐화 층(606)을 수직으로 가로지른다. 제1 패드(611)는 제1 비아(803)에 커플링된다. 제2 비아(805)는 또한 V 형상의 측단면 또는 U 형상의 측단면을 포함한다. 제2 비아(805)는 자신이 형성되는 공동의 형상을 형성하는 컨倜한 충전 비아일 수 있다. 이 예에서, 제2 비아(805)는 자신이 형성되는 공동의 적어도 벽들을 따라 형성된다. 제2 비아(805)는 또한 재분배 부분(904)에 형성되는 날개 부분을 포함한다. 제2 비아(805)의 날개 부분은 재분배 부분(904)에서 측면방향으로 가로지른다. 유전체 층(840)은 캡슐화 층(606)의 비아들(예컨대, 비아(803), 비아(805))에 의해 생성되는 공동 내에 위치된다. 제2 비아(805)는 캡슐화 층(606)을 수직으로 가로지른다. 제2 비아(805)는 브리지(210)의 상호연결부(418)에 커플링된다. 상호연결부(418)는 브리지(210)의 TSV(through substrate via)들일 수 있다. 제2 패드(613)는 상호연결부(418)에 커플링된다. 일부 구현들에서, 제2 비아(805), 상호연결부(418), 및 제2 패드(613)는 다이(예컨대, 제1 다이(202))로의 그리고 다이로부터의 전력 신호 및/또는 접지 기

준 신호를 위한 전기 경로를 제공하도록 구성된다.

[0098] [00107] 솔더 레지스트 층(608)이 캡슐화 층(606)의 제1 표면(예컨대, 최상부 표면)을 커버한다. 솔더 볼은 패드들(611, 613 및/또는 615)에 커플링될 수 있다. 비아(803)는 캡슐화 층(606)의 일 세트의 비아들의 일부이고, 여기서 일 세트의 비아들은 제1 밀도(예컨대, 제1 폭 및/또는 제1 간격)를 갖는다.

[0099] [00108] 도 9는 또한, 브리지(210)가 캡슐화 부분(802)의 캡슐화 층(606)에 적어도 부분적으로 삽입되는 것을 예시한다. 브리지(210)는 캡슐화 부분(802)에 고밀도 전기 경로들(예컨대, 고밀도 다이-투-다이 상호연결부들)을 제공하도록 구성된다. 브리지는 또한 브리지(210)의 기판(402)을 통해 다이로의 신호(예컨대, 전력 신호)를 위한 전기 경로를 제공하도록 구성된다.

[0100] [00109] 재분배 부분(904)이 캡슐화 부분(802)에 커플링된다. 재분배 부분(904)은 유전체 층(840), 유전체 층(844) 및 유전체 층(848), 상호연결부(943), 상호연결부(945), 상호연결부(953) 및 상호연결부(955)를 포함한다. 일부 구현들에서, 유전체 층들(842, 844 및/또는 848)은 총괄적으로 단일 유전체 층일 수 있다. 상호연결부들(943 및 953)은 비아들일 수 있다. 상호연결부들(945 및 955)은 트레이스들 및/또는 패드들일 수 있다. 일부 구현들에서, 상호연결부들(945 및 955)은 솔더 볼들(예컨대, 인쇄 회로 기판 측면 솔더 볼들)에 커플링하도록 구성될 수 있다.

[0101] [00110] 상호연결부(945)는 상호연결부(943)에 커플링된다. 재분배 부분(904)의 상호연결부(943)는 캡슐화 부분(802)의 비아(803)에 커플링된다(예컨대, 제1 비아(803)의 날개 부분에 커플링된다). 상호연결부(955)는 상호연결부(953)에 커플링된다. 재분배 부분(904)의 상호연결부(953)는 캡슐화 부분(802)의 제2 비아(805)에 커플링된다(예컨대, 제2 비아(805)의 날개 부분에 커플링된다). 일부 구현들에서, 상호연결부(955), 상호연결부(953), 제2 비아(805), 상호연결부(418), 및 제2 패드(613)는 다이(예컨대, 제1 다이(202))로의 그리고 다이로부터의 전력 신호 및/또는 접지 기준 신호를 위한 전기 경로를 제공하도록 구성된다.

[0102] [00111] 도 9는, 재분배 부분(904)이 또한 제1 UBM(under bump metallization) 층(947) 및 제2 UBM(under bump metallization) 층(957)을 포함할 수 있다는 것을 예시한다. 제1 UBM 층(947)은 상호연결부(945)에 커플링된다. 제2 UBM 층(957)은 상호연결부(955)에 커플링된다. 일부 구현들에서, 제1 UBM 층(947) 및 제2 UBM 층(957)은 솔더 볼들에 커플링하도록 구성된다.

[0103] [00112] 일부 구현들에서, 제1 다이(예컨대, 다이(202))는 제3 패드(615), 상호연결부(410) 및 상호연결부(406)를 통해 제2 다이(예컨대, 제2 다이(204))에 전기적으로 커플링될 수 있다. 일부 구현들에서, 제3 패드(615), 상호연결부(410) 및 상호연결부(406)는 제1 및 제2 다이들(예컨대, 다이들(202 및 204)) 사이의 다이-투-다이 상호연결을 위한 전기 경로를 정의한다.

브리지 리소-에칭가능 층을 포함하는 예시적인 통합 디바이스 패키지

[0104] [00113] 도 10은 통합 디바이스 패키지 베이스에 커플링된 2개의 다이들을 포함하는 통합 디바이스 패키지(1000)의 예를 예시한다. 도 10에 도시된 바와 같이, 통합 디바이스 패키지(1000)는 제1 다이(1002) 및 제2 다이(1004), 및 베이스(600)를 포함한다. 제1 다이(1002) 및 제2 다이(1004)는 베이스(600)에 커플링된다. 제1 다이(1002) 및 제2 다이(1004)는 본 개시내용에 설명된 통합 디바이스 패키지 베이스들(예컨대, 베이스(201), 베이스(301), 베이스(700), 베이스(800), 베이스(900)) 중 임의의 베이스에 커플링될 수 있다는 것이 주목되어야 한다.

[0105] [00114] 제1 다이(1002)는 UBM(under bump metallization) 층(1020)(선택적임), 기둥(1022), 및 솔더(1024)를 포함한다. 제1 다이(1002)는 UBM 층(1020)(선택적임), 기둥(1022), 솔더(1024), 및 통합 디바이스 패키지 베이스(600)의 패드(613)를 통해 통합 디바이스 패키지 베이스(600)에 커플링된다.

[0106] [00115] 제2 다이(1004)는 UBM(under bump metallization) 층(1040)(선택적임), 기둥(1042), 및 솔더(1044)를 포함한다. 제2 다이(1004)는 UBM 층(1040)(선택적임), 기둥(1042), 솔더(1044), 및 통합 디바이스 패키지 베이스(600)의 패드(623)를 통해 통합 디바이스 패키지 베이스(600)에 커플링된다.

[0107] [00116] 추가로 도시된 바와 같이, 충전물(1050)이 제1 다이(1002)와 통합 디바이스 패키지 베이스(600) 사이에 위치된다. 충전물(1050)은 적어도 NCF(non-conducting fill) 및/또는 NCP(non-conducting paste)를 포함할 수 있다. 충전물(1050)은 제1 다이(1002)와 통합 디바이스 패키지 베이스(600) 사이의 상호연결부들(예컨대, 기둥(1022), 솔더(1024), 패드(613))를 커버한다. 충전물(1050)은 또한 제2 다이(1004)와 통합 디바이스 패키지 베이스(600) 사이에 위치된다.

[0109] TSV(Through Substrate Via)들을 포함하는 고밀도 상호연결 브리지를 제공/제작하기 위한 예시적인 시퀀스

[0110] [00117] 일부 구현들에서, TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 제공/제작하는 것은 몇 개의 프로세스들을 포함한다. 도 11은 TSV들을 포함하는 고밀도 상호연결 브리지를 제공/제작하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 11의 시퀀스는 도 2 내지 도 10의 브리지 및/또는 본 개시내용에서 설명되는 다른 브리지들을 제공/제작하기 위해 사용될 수 있다. 그러나, 간략화를 위해서, 도 11은 도 4의 브리지를 제공/제작하는 맥락에서 설명될 것이다.

[0111] [00118] 도 11의 시퀀스는 브리지를 제공/제작하기 위한 시퀀스를 간략화 및/또는 명확화하기 위해서 하나 또는 그 초과의 스테이지들을 결합할 수 있다는 것이 주목되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[0112] [00119] 도 11의 스테이지(1)는 기판(1102)이 제공된 이후의 상태를 예시한다. 일부 구현들에서, 기판(1102)은 공급자에 의해서 제공된다. 일부 구현들에서, 기판(1102)이 제작(예컨대, 형성)된다. 일부 구현들에서, 기판(1102)은 실리콘 기판, 유리 기판, 세라믹 기판, 및/또는 웨이퍼(예컨대, 실리콘 웨이퍼)를 포함한다.

[0113] [00120] 스테이지(2)는 공동들(1103)(예컨대, 공동(1103a), 공동(1103b))이 기판(1102)에 형성된 이후의 상태를 예시한다. 상이한 구현들은 공동들(1103)을 상이하게 형성할 수 있다. 일부 구현들에서는, 공동들(1103)을 형성하기 위해 레이저 및/또는 리소그래피 프로세스가 사용된다.

[0114] [00121] 스테이지(3)는 비아들(1104)(예컨대, 비아(1104a), 비아(1104b))이 기판(1102)의 공동들에 형성된 이후의 상태를 예시한다. 비아들(1104)은 TSV(through substrate via)들일 수 있다. 상이한 구현들은 비아들(1104)을 상이하게 형성할 수 있다. 예컨대, 비아들(1104)을 형성하기 위해 도금 프로세스 및/또는 페이스팅(pasting) 프로세스가 사용될 수 있다.

[0115] [00122] 스테이지(4)는 금속 층(1106)이 기판(1102) 상에 형성된 이후의 상태를 예시한다. 일부 구현들에서, (예컨대, 도 4 및 도 5에 설명된 바와 같이) 금속 층(1106)은 하나 또는 그 초과의 고밀도 상호연결부들을 형성 및/또는 정의할 수 있다. 이러한 고밀도 상호연결부들은 다이들 사이의 고밀도 전기 경로들일 수 있다. 일부 구현들에서, 금속 층(1106)을 제공하는 것은 하나 또는 그 초과의 금속 층들(예컨대, 시드 층 및 금속 층)을 형성(예컨대, 도금)하는 것 및 하나 또는 그 초과의 금속 층들의 부분들을 선택적으로 에칭하는 것을 포함한다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 형성하는 예들을 예시한다.

[0116] [00123] 스테이지(5)는 유전체 층(1108)이 기판(1102) 및 금속 층(1106) 위에 형성된 이후의 상태를 예시한다. 상이한 구현들은 유전체 층(1108)을 위해 상이한 재료들을 사용할 수 있다.

[0117] [00124] 스테이지(6)는 공동들(1109)(예컨대, 공동(1109a), 공동(1109b)) 및 공동들(1111)(예컨대, 공동(1111a), 공동(1111b))이 유전체 층(1108)에 형성된 이후의 상태를 예시한다. 상이한 구현들은 유전체 층(1108)에 공동들을 형성하기 위해 상이한 프로세스들을 사용할 수 있다. 일부 구현들에서는, 공동들을 형성하기 위해 레이저가 사용될 수 있다. 일부 구현들에서는, 공동들을 형성하기 위해 포토 에칭 프로세스가 사용된다.

[0118] [00125] 스테이지(7)는 비아들(1112)(예컨대, 비아(1112a), 비아(1112b)) 및 비아들(1114)(예컨대, 비아(1114a), 비아(1114b))이 유전체 층(1108)에 형성된 이후의 상태를 예시한다. 특히, 비아들(1112)이 유전체 층(1108)의 공동들(1109)에 형성되고, 비아들(1114)이 유전체 층(1108)의 공동들(1111)에 형성된다. 일부 구현들에서, 비아들(1112) 및 비아들(1104)은 함께, 전체 브리지(1130)를 수직으로 가로지르는 TSV(through substrate via)들을 형성한다. 비아(1104a)와 비아(1112a)의 결합은 다이로의 전력 신호 또는 접지 기준 신호를 위한 전기 경로를 제공할 수 있다. 일부 구현들에서, 비아들(1112)은 하나 또는 그 초과의 도금 프로세스들을 사용하여 형성되는 금속 층(들)이다. 비아들(1114)은 금속 층(1106)에 커플링된다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 형성하는 예들을 예시한다. 일부 구현들에서, 스테이지(7)는 본 개시내용에 설명되는 임의의 베이스의 캡슐화 층에 구현될 수 있는 브리지(1130)(예컨대, 실리콘 브리지)를 예시한다. 일부 구현들에서는, 일단 브리지가 베이스의 캡슐화 층에 위치되거나 삽입되면, 비아들(1104 및/또는 1112)이 형성될 수 있다는 것이 주목된다.

[0119] TSV(Through Substrate Via)들을 포함하는 고밀도 상호연결 브리지를 제공/제작하기 위한 방법의 예시적인 흐름도

- [0120] [00126] 도 12는 고밀도 상호연결 실리콘 브리지를 제공/제작하기 위한 방법(1200)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 12의 방법은 도 2 내지 도 10의 고밀도 상호연결 실리콘 브리지 및/또는 본 개시내용의 다른 고밀도 상호연결 실리콘 브리지를 제공/제작하기 위해 사용될 수 있다.
- [0121] [00127] 도 12의 흐름도는 수동 디바이스 패키지를 제공하기 위한 방법을 간략화 및/또는 명확화하기 위해서 하나 또는 그 초과의 프로세스들을 결합할 수 있다는 것이 주목되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.
- [0122] [00128] 방법은 기판을 제공한다(1205). 일부 구현들에서, 기판을 제공하는 것은 공급자로부터 기판을 수신하는 것 또는 기판을 제작(예컨대, 형성)하는 것을 포함할 수 있다. 일부 구현들에서, 기판은 실리콘 기판, 유리 기판, 세라믹 기판, 및/또는 웨이퍼(예컨대, 실리콘 웨이퍼)를 포함한다.
- [0123] [00129] 방법은 기판에 TSV(through substrate via)를 형성한다(1210). 일부 구현들에서, TSV를 형성하는 것은 기판에 공동을 형성하는 것 및 TSV를 정의하기 위해 전기 전도성 재료로 공동을 충전하는 것을 포함한다. 일부 구현들에서는, 공동들을 형성하기 위해 레이저가 사용될 수 있다. 일부 구현들에서는, 공동들을 형성하기 위해 포토 에칭 프로세스가 사용된다. 비아들을 형성하기 위해 도금 프로세스 또는 스크린 인쇄 프로세스가 사용될 수 있다. 일부 구현들에서, TSV는 전력 신호 또는 접지 기준 신호를 위한 전기 경로를 제공하도록 구성된다.
- [0124] [00130] 방법은 (예컨대, 도 4 및 도 5에 설명된 바와 같이) 하나 또는 그 초과의 고밀도 상호연결부를 형성하기 위해 기판 상에 금속 층을 형성한다(1215). 일부 구현들에서, 금속 층을 형성하는 것은 하나 또는 그 초과의 금속 층들(예컨대, 시드 층 및 금속 층)을 형성(예컨대, 도금)하는 것 및 하나 또는 그 초과의 금속 층들의 부분들을 선택적으로 에칭하는 것을 포함한다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 제공하는 예들을 예시한다.
- [0125] [00131] 방법은 기판 및 금속 층 상에 유전체 층을 형성한다(1220). 상이한 구현들은 유전체 층을 위해 상이한 재료들을 사용할 수 있다.
- [0126] [00132] 이어서, 방법은 유전체 층에 적어도 하나의 공동을 형성한다(1225). 상이한 구현들은 유전체 층에 공동들을 형성하기 위해 상이한 프로세스들을 사용할 수 있다. 일부 구현들에서는, 공동들을 형성하기 위해 레이저가 사용될 수 있다. 일부 구현들에서는, 공동들을 형성하기 위해 포토 에칭 프로세스가 사용된다.
- [0127] [00133] 방법은 선택적으로 유전체 층에 비아를 형성한다(1230). 특히, 방법은 공동에 비아를 형성하기 위해 하나 또는 그 초과의 전도성 재료(예컨대, 금속 층들)로 유전체 층의 공동을 충전한다. 비아들 중 하나 또는 그 초과는 기판의 TSV들 위에 형성될 수 있다. 일부 구현들에서, 비아들은 고밀도 비아들이다(예컨대, 도 4 및 도 5에 설명된 바와 같이). 일부 구현들에서, 비아들은 하나 또는 그 초과의 도금 프로세스들을 사용하여 형성되는 금속 층(들)이다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 제공하는 예들을 예시한다. 일부 구현들에서는, 일단 브리지가 베이스 부분의 포토 패터닝 가능 층에 위치되거나 삽입되면, 비아들이 형성될 수 있다는 것이 주목된다.
- [0128] TSV(Through Substrate Via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지를 제공/제작하기 위한 예시적인 시퀀스
- [0129] [00134] 일부 구현들에서, 캡슐화 층에 TSV(through substrate via)를 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지를 제공/제작하는 것은 몇 개의 프로세스들을 포함한다. 도 13(도 13a 내지 도 13c를 포함함)은 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지를 제공/제작하기 위한 예시적인 시퀀스를 예시한다. 일부 구현들에서, 도 13a 내지 도 13c의 시퀀스는 도 2, 도 3, 및 도 6 내지 도 10의 통합 디바이스 패키지 및/또는 본 개시내용의 다른 통합 디바이스 패키지를 제공/제작하기 위해 사용될 수 있다. 그러나, 간략화를 위해서, 도 13a 내지 도 13c는 도 3의 통합 디바이스 패키지를 제작하는 맥락에서 설명될 것이다.
- [0130] [00135] 도 13a 내지 도 13c의 시퀀스는 통합 디바이스 패키지를 제공하기 위한 시퀀스를 간략화 및/또는 명확화하기 위해서 하나 또는 그 초과의 스테이지들을 결합할 수 있다는 것이 주목되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.
- [0131] [00136] 도 13a의 스테이지(1)는 브리지(1302)가 캐리어(1300) 상에 제공(예컨대, 장착)된 이후의 상태를 예시한다. 일부 구현들에서, 캐리어(1300)는 공급자에 의해서 제공된다. 일부 구현들에서, 캐리어(1300)가 제작

(예컨대, 형성)된다. 일부 구현들에서, 캐리어(1300)는 실리콘 기판 및/또는 웨이퍼(예컨대, 실리콘 웨이퍼)를 포함한다. 적어도 도 2 및 도 3에서 설명된 바와 같이, 브리지(1302)는 기판, 적어도 하나의 금속 층, 적어도 하나의 비아, 적어도 하나의 유전체 층, 및/또는 적어도 하나의 TSV(through substrate via)를 포함할 수 있다. 브리지(1302)의 예들은 도 4 및 도 5에 도시되고 설명된 브리지를 포함한다. 일부 구현들에서, 브리지(1302)는, 2개의 다이들 사이에 신호들을 위한 연결 및/또는 전기 경로를 제공하도록 그리고 전력 신호 및/또는 접지 기준 신호를 위한 다이로부터의 연결 및/또는 전기 경로를 제공하도록 구성되는 고밀도 상호연결 브리지이다. 스테이지(1)에 도시된 바와 같이, 브리지(1302)는 캐리어(1300)의 표면에 커플링 된다. 일부 구현들에서는, 브리지(1302)를 캐리어(1300)에 기계적으로 커플링하기 위해서 접착제가 사용된다.

[0132] [00137] 스테이지(2)는 캡슐화 층(1304)이 캐리어(1300) 및 브리지(1302) 상에 제공(예컨대, 형성)된 이후의 상태를 예시한다. 캡슐화 층(1304)은 리소-에칭가능 유전체 층(예컨대, 포토 에칭 프로세스를 사용하여 에칭가능한 유전체 층)일 수 있다. 캡슐화 층(1304)은 브리지(1302)를 적어도 부분적으로 캡슐화하거나 적어도 부분적으로 커버한다. 캡슐화 층(1304)은 몰드 및/또는 에폭시 충전물을 포함할 수 있다.

[0133] [00138] 스테이지(3)는 적어도 하나의 공동(1305)이 캡슐화 층(1304)에 형성된 이후의 상태를 예시한다. 적어도 하나의 공동(1305)은 광원(예컨대, UV 광)에 캡슐화 층(1304)을 선택적으로 노출시킴으로써 캡슐화 층(1304)의 부분들을 선택적으로 제거하는 포토 에칭 프로세스를 사용하여 제거된다.

[0134] [00139] 스테이지(4)는 적어도 하나의 비아(1306)(예컨대, 비아(1306a), 비아(1306b))가 캡슐화 층(1304)에 형성된 이후의 상태를 예시한다. 특히, 비아(1306a) 및 비아(1306b)가 캡슐화 층(1304)의 공동들에 형성된다. 비아(1306a)는 캡슐화 층(1304)을 가로지른다. 비아(1306b)는 브리지(1302)에 커플링하도록 캡슐화 층(1304)에 형성된다. 일부 구현들에서, 비아(1306)는 하나 또는 그 초과의 도금 프로세스들을 사용하여 형성되는 금속 층(들)이다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 형성하는 예들을 예시한다.

[0135] [00140] 스테이지(5)는 제1 금속 층(1308)이 캡슐화 층(1304)의 제1 표면 및/또는 비아들(1306) 상에 형성된 이후의 상태를 예시한다. 제1 금속 층(1308)은 캡슐화 층(1304) 상에 하나 또는 그 초과의 패드들(예컨대, 패드(1308a), 패드(1308b)) 및/또는 트레이스들을 정의하도록 구성될 수 있다. 패드(1308a)는 비아(1306a) 위에 형성된다. 패드(1308b)는 비아(1306b) 위에 형성된다. 일부 구현들에서, 제1 금속 층(1308)을 제공하는 것은 하나 또는 그 초과의 금속 층들(예컨대, 시드 층 및 금속 층)을 형성(예컨대, 도금)하는 것 및 하나 또는 그 초과의 금속 층들의 부분들을 선택적으로 에칭하는 것을 포함한다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 제공하는 예들을 예시한다.

[0136] [00141] 일부 구현들에서, 비아(1306) 및 제1 금속 층(1308)은 동시에 형성될 수 있다. 또한, 일부 구현들에서, 비아(1306)는 도 8 및 도 9에 설명된 바와 같이 공동의 벽들을 따라 형성되는 컨倜한 비아이다. 비아(1306)(예컨대, 비아(1306a), 비아(1306b))는 V 형상 또는 U 형상을 포함하는 측단면을 가질 수 있다.

[0137] [00142] 도 13b에 도시된 스테이지(6)는 제1 유전체 층(1310)이 캡슐화 층(1304) 및 제1 금속 층(1308) 상에 제공(예컨대, 형성)된 이후 및 공동(1312)이 제1 유전체 층(1310)에 형성된 이후의 상태를 예시한다. 공동(1312)은 포토 에칭 프로세스를 통해 형성될 수 있다.

[0138] [00143] 스테이지(7)는 적어도 하나의 비아(1314)가 제1 유전체 층(1310)에 형성되고 금속 층(1316)이 제1 유전체 층(1310) 상에 형성된 이후의 상태를 예시한다. 일부 구현들에서, 비아(1314) 및 금속 층(1316)은 하나 또는 그 초과의 금속 층들(예컨대, 시드 층 및 금속 층)을 형성(예컨대, 도금)하고 하나 또는 그 초과의 금속 층들의 부분들을 선택적으로 에칭함으로써 형성된다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 제공하는 예들을 예시한다. 금속 층(1316)은 재분배 부분의 상호연결부일 수 있다.

[0139] [00144] 스테이지(8)는 제2 유전체 층(1318)이 제1 유전체 층(1310) 및 금속 층(1316) 상에 제공(예컨대, 형성)된 이후의 상태를 예시한다.

[0140] [00145] 스테이지(9)는 UBM(under bump metallization) 층(1320)이 제2 유전체 층(1318) 상에 형성된 이후의 상태를 예시한다. UBM 층(1320)은 그 UBM 층(1320)이 금속 층(1316)에 연결되도록 형성된다. 일부 구현들에서, UBM 층(1320)을 제공하는 것은 하나 또는 그 초과의 금속 층들(예컨대, 시드 층 및 금속 층)을 형성(예컨대, 도금)하는 것 및 하나 또는 그 초과의 금속 층들의 부분들을 선택적으로 에칭하는 것을 포함한다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 형성하는 예들을 예

시한다.

[0141] 스테이지(10)는 캐리어(1300)가 베이스(1330)로부터 디커플링된 이후의 상태이고, 그 베이스(1330)는 브리지(1302), 캡슐화 층(1304), 비아(1306), 금속 층(1308), 유전체 층(1310), 비아(1314), 금속 층(1316), 유전체 층(1318), 및 UBM 층(1320)을 포함한다.

[0142] 도 13C에 도시된 스테이지(11)는 베이스(1330)가 선택적으로 뒤집힌 이후의 상태를 예시한다.

[0143] 스테이지(12)는 금속 층(1340)이 캡슐화 층(1304) 및 브리지(1302) 상에 형성된 이후의 상태를 예시한다. 금속 층(1340)은 하나 또는 그 초과의 패드들 및/또는 트레이스들을 형성할 수 있다. 금속 층(1340)의 일부 부분들은 캡슐화 층(1304)의 비아들 및 브리지(1302)의 비아들에 커플링될 수 있다. 일부 구현들에서, 금속 층(1340)을 제공하는 것은 하나 또는 그 초과의 금속 층들(예컨대, 시드 층 및 금속 층)을 형성(예컨대, 도금)하는 것 및 하나 또는 그 초과의 금속 층들의 부분들을 선택적으로 에칭하는 것을 포함한다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 제공하는 예들을 예시한다. 비록 도시되지 않았지만, 솔더 레지스트 층이 금속 층(1340)의 일부 위에 형성될 수 있다.

[0144] 스테이지(13)는 제1 다이(1350) 및 제2 다이(1352)가 베이스(1330) 상에 제공(예컨대, 커플링, 장착)된 이후의 상태를 예시한다. 특히, 제1 다이(1350)는, 적어도 기둥 및/또는 솔더를 포함할 수 있는 일 세트의 상호연결부들을 통해 금속 층(1340)의 부분들에 커플링된다. 제2 다이(1352)는, 적어도 기둥 및/또는 솔더를 포함할 수 있는 다른 세트의 상호연결부들을 통해 금속 층(1340)의 다른 부분들에 커플링된다. 일부 구현들에서는, 충전물(미도시)이 다이들(1350-1352)과 베이스(1330) 사이에 형성될 수 있다. 충전물은 NCF(non-conducting fill) 및/또는 NCP(non-conducting paste)를 포함할 수 있다.

[00150] 스테이지(14)는 솔더 볼(1360)이 UBM 층(1320) 상에 제공된 이후의 상태를 예시한다.

TSV(Through Substrate Via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지를 제공/제작하기 위한 예시적인 방법

[00151] 도 14는 캡슐화 층에 TSV(through substrate via)들을 갖는 고밀도 상호연결 브리지를 포함하는 통합 디바이스 패키지를 제공/제작하기 위한 방법(1400)의 예시적인 흐름도를 예시한다. 일부 구현들에서, 도 14의 방법은 도 2의 통합 디바이스 패키지 및/또는 본 개시내용의 다른 통합 디바이스 패키지를 제공/제작하기 위해 사용될 수 있다.

[00152] 도 14의 흐름도는 통합 디바이스 패키지를 제공하기 위한 방법을 간략화 및/또는 명확화하기 위해서 하나 또는 그 초과의 프로세스들을 결합할 수 있다는 것이 주목되어야 한다. 일부 구현들에서, 프로세스들의 순서는 변경되거나 수정될 수 있다.

[00153] 방법은 캐리어를 제공한다(1405). 일부 구현들에서, 캐리어는 공급자에 의해서 제공된다. 일부 구현들에서, 캐리어가 제작(예컨대, 형성)된다. 일부 구현들에서, 캐리어는 실리콘 기판 및/또는 웨이퍼(예컨대, 실리콘 웨이퍼)를 포함한다.

[00154] 이어서, 방법은 브리지를 캐리어에 커플링한다(1410). 도 2 내지 도 5에서 설명된 바와 같이, 브리지는 기판, 적어도 하나의 금속 층, 적어도 하나의 비아 및/또는 적어도 하나의 유전체 층을 포함할 수 있다. 일부 구현들에서, 브리지는, 2개의 다이들 사이에 연결 및/또는 전기 경로를 제공하도록 그리고 전력 신호 및/또는 접지 기준 신호를 위한 다이로의 그리고 다이로부터의 연결 및/또는 전기 경로를 제공하도록 구성되는 고밀도 상호연결 브리지이다. 일부 구현들에서는, 브리지를 캐리어에 기계적으로 커플링하기 위해서 접착제가 사용된다.

[00155] 방법은 캐리어 및 브리지 상에 또는 그 위에 캡슐화 층을 형성한다(1415). 캡슐화 층은 리소-에칭가능 유전체 층일 수 있다. 캡슐화 층은 브리지를 적어도 부분적으로 커버한다.

[00156] 방법은 캡슐화 층에 적어도 하나의 비아를 형성한다(1420). 일부 구현들에서, 비아를 형성하는 것은 (예컨대, 광원(예컨대, UV 광)에 캡슐화 층을 선택적으로 노출시킴으로써) 캡슐화 층의 부분들을 선택적으로 제거하는 포토 에칭 프로세스를 사용하여 캡슐화 층에 적어도 하나의 공동을 형성하는 것을 포함한다. 이어서, 방법은 하나 또는 그 초과의 금속 층들로 공동을 충전한다. 일부 구현들에서, 비아는 하나 또는 그 초과의 도금 프로세스들 및/또는 스크린 인쇄 프로세스를 사용하여 형성되는 금속 층(들)이다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 형성하는 예들을 예시한다.

- [0153] [00157] 방법은 캡슐화 부분/층 상에 또는 그 위에 재분배 부분을 형성한다(1425). 일부 구현들에서, 재분배 부분을 형성하는 것은 적어도 하나의 유전체 층 및 적어도 하나의 금속 층을 형성하는 것을 포함한다. 하나의 금속 층은 하나 또는 그 초과의 상호연결부들(예컨대, 패드들, 트레이스들, 비아들, 포스트들, 기둥들, 재분배 상호연결부들)을 정의할 수 있다. 일부 구현들에서, 금속 층을 제공하는 것은 하나 또는 그 초과의 금속 층들(예컨대, 시드 층 및 금속 층)을 형성(예컨대, 도금)하는 것 및 하나 또는 그 초과의 금속 층들의 부분들을 선택적으로 예치하는 것을 포함한다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 제공하는 예들을 예시한다.
- [0154] [00158] 이어서, 방법은 캡슐화 층, 브리지, 비아, 패드들 및 재분배 부분을 포함하는 베이스는 남겨놓으면서 캐리어를 디커플링한다(1430). 상이한 구현들은 캐리어를 상이하게 디커플링(예컨대, 제거)할 수 있다. 일부 구현들에서, 캐리어는 브리지 및 캡슐화 층으로부터 분리된다. 일부 구현들에서, 캐리어는 예치제거된다.
- [0155] [00159] 방법은 캡슐화 층 및 브리지 상에 패드들, 트레이스들 및 솔더 레지스트 층을 형성한다(1435). 일부 구현들에서, 패드들을 제공하는 것은 하나 또는 그 초과의 금속 층들(예컨대, 시드 층 및 금속 층)을 형성(예컨대, 도금)하는 것 및 패드들을 정의하기 위해서 하나 또는 그 초과의 금속 층들의 부분들을 선택적으로 예치하는 것을 포함한다. 도 15 내지 도 18은 몇 개의 도금 프로세스들을 사용하여 하나 또는 그 초과의 금속 층들을 제공하는 예들을 예시한다. 방법은 또한 패드들 상에 솔더 볼들을 제공할 수 있다.
- [0156] [00160] 이어서, 방법은 제1 다이 및 제2 다이를 캡슐화 층 상의 패드들에 커플링한다(1440). 일부 구현들에서, 일 세트의 상호연결부들(예컨대, 기둥, 솔더)이 제1 및 제2 다이들을 캡슐화 층 상의 패드들에 커플링하기 위해 사용된다. 방법은 또한 제1 및 제2 다이들과 캡슐화 층 사이에 충전물을 제공할 수 있다. 충전물은 NCF(non-conducting fill) 및/또는 NCP(non-conducting paste)를 포함할 수 있다.
- [0157] [00161] 방법은 재분배 부분 상에 솔더 볼들을 제공한다(1445). 예컨대, 방법은 재분배 층의 UBM 층들 상에 솔더 볼들을 제공할 수 있다.
- [0158] 예시적인 SAP(Semi-Additive Patterning) 프로세스
- [0159] [00162] 다양한 상호연결부들(예컨대, 트레이스들, 비아들, 패드들)이 본 개시내용에서 설명된다. 이러한 상호연결부들은 베이스, 캡슐화 층, 캡슐화 부분, 브리지, 및/또는 재분배 부분에 형성될 수 있다. 일부 구현들에서, 이러한 상호연결부들은 하나 또는 그 초과의 금속 층들을 포함할 수 있다. 예컨대, 일부 구현들에서, 이러한 상호연결부들은 제1 금속 시드 층 및 제2 금속 층을 포함할 수 있다. 금속 층들은 상이한 도금 프로세스들을 사용하여 제공(예컨대, 형성)될 수 있다. 아래에서는, 시드 층들을 갖는 상호연결부들(예컨대, 트레이스들, 비아들, 패드들)의 예들 및 이러한 상호연결부들이 상이한 도금 프로세스들을 사용하여 형성될 수 있는 방법이 상세히 설명된다. 이러한 도금 프로세스들은 유전체 층에 또는 유전체 층 상에 상호연결부들을 형성하기 위한 것으로 설명된다. 일부 구현들에서, 이러한 도금 프로세스들은 캡슐화 층에 또는 캡슐화 층 상에 상호연결부들을 형성하기 위해 사용될 수 있다.
- [0160] [00163] 상이한 구현들은 금속 층들(예컨대, 상호연결부들, 재분배 층, UBM(under bump metallization) 층)을 형성 및/또는 제작하기 위해 상이한 프로세스들을 사용할 수 있다. 일부 구현들에서, 이러한 프로세스들은 SAP(semi-additive patterning) 프로세스 및 다마신 프로세스를 포함한다. 이러한 다양한 상이한 프로세스들은 아래에서 추가로 설명된다.
- [0161] [00164] 도 15는 하나 또는 그 초과의 유전체 층(들)에 상호연결부를 제공 및/또는 형성하기 위해서 SAP(semi-additive patterning) 프로세스를 사용하여 상호연결부를 형성하기 위한 시퀀스를 예시한다. 도 15에 도시된 바와 같이, 스테이지(1)는 유전체 층(1502)이 제공(예컨대, 형성)된 이후에 통합 디바이스(예컨대, 기판)의 상태를 예시한다. 일부 구현들에서, 스테이지(1)는 유전체 층(1502)이 제1 금속 층(1504)을 포함하는 것을 예시한다. 제1 금속 층(1504)은 일부 구현들에서는 시드 층이다. 일부 구현들에서, 제1 금속 층(1504)은 유전체 층(1502)이 제공(예컨대, 수용 또는 형성)된 이후에 유전체 층(1502) 상에 제공(예컨대, 형성)될 수 있다. 스테이지(1)는 제1 금속 층(1504)이 유전체 층(1502)의 제1 표면 상에 제공(예컨대, 형성)되는 것을 예시한다. 일부 구현들에서, 제1 금속 층(1504)은 증착 프로세스(예컨대, PVD, CVD, 도금 프로세스)를 사용하여 제공된다.
- [0162] [00165] 스테이지(2)는 포토 레지스트 층(1506)(예컨대, 포토 현상 레지스트 층)이 제1 금속 층(1504) 상에 선택적으로 제공(예컨대, 형성)된 이후에 통합 디바이스의 상태를 예시한다. 일부 구현들에서, 포토 레지스트 층(1506)을 선택적으로 제공하는 것은 제1 금속 층(1504) 상에 포토 레지스트 층(1506)을 제공하는 것 및 현상에 의해서(예컨대, 현상 프로세스를 사용하여) 포토 레지스트 층(1506)의 부분들을 선택적으로 제거하는 것을 포함

한다. 스테이지(2)는, 공동(1508)이 형성되도록 레지스트 층(1506)이 제공되는 것을 예시한다.

[0163] [00166] 스테이지(3)는 제2 금속 층(1510)이 공동(1508)에 형성된 이후에 통합 디바이스의 상태를 예시한다. 일부 구현들에서, 제2 금속 층(1510)은 제1 금속 층(1504)의 노출된 부분 위에 형성된다. 일부 구현들에서, 제2 금속 층(1510)은 증착 프로세스(예컨대, 도금 프로세스)를 사용하여 제공된다.

[0164] [00167] 스테이지(4)는 포토 레지스트 층(1506)이 제거된 이후에 통합 디바이스의 상태를 예시한다. 상이한 구현들은 레지스트 층(1506)을 제거하기 위해 상이한 프로세스들을 사용할 수 있다.

[0165] [00168] 스테이지(5)는 제1 금속 층(1504)의 부분들이 선택적으로 제거된 이후에 통합 디바이스의 상태를 예시한다. 일부 구현들에서는, 제2 금속 층(1510)에 의해서 커버되지 않는 제1 금속 층(1504)의 하나 또는 그 초과의 부분들이 제거된다. 스테이지(5)에 도시된 바와 같이, 남아있는 제1 금속 층(1504) 및 제2 금속 층(1510)은 통합 디바이스 및/또는 기판에 상호연결부(1512)(예컨대, 트레이스, 비아들, 패드들)를 형성 및/또는 정의할 수 있다. 일부 구현들에서는, 도 15의 스테이지(5)에 도시된 바와 같이, 제2 금속 층(1510) 아래에 있는 제1 금속 층(1504)의 치수(예컨대, 길이, 폭)가 제2 금속 층(1510)의 치수(예컨대, 길이, 폭)와 대략 동일하거나 또는 그 보다 작게 되도록 제1 금속 층(1504)이 제거되고, 이는 언더컷(undercut)을 유도할 수 있다. 일부 구현들에서는, 통합 디바이스 및/또는 기판의 하나 또는 그 초과의 유전체 층들에 몇 개의 상호연결부들을 제공 및/또는 형성하기 위해, 위에서 언급된 프로세스들이 여러번 반복될 수 있다.

[0166] [00169] 도 16은 하나 또는 그 초과의 유전체 층(들)에 상호연결부를 제공 및/또는 형성하기 위해서 SAP 프로세스를 사용하기 위한 방법의 흐름도를 예시한다. 방법은 유전체 층(예컨대, 유전체 층(1502))을 제공한다(1605). 일부 구현들에서, 유전체 층을 제공하는 것은 유전체 층을 형성하는 것을 포함한다. 일부 구현들에서, 유전체 층을 제공하는 것은 제1 금속 층(예컨대, 제1 금속 층(1504))을 형성하는 것을 포함한다. 제1 금속 층은 일부 구현들에서는 시드 층이다. 일부 구현들에서, 제1 금속 층은 유전체 층이 제공(예컨대, 수용 또는 형성)된 이후에 유전체 층 상에 제공(예컨대, 형성)될 수 있다. 일부 구현들에서, 제1 금속 층은 증착 프로세스(예컨대, PVD(physical vapor deposition) 또는 도금 프로세스)를 사용하여 제공된다.

[0167] [00170] 방법은 제1 금속 층 상에 포토 레지스트 층(예컨대, 포토 현상 레지스트 층(1506))을 선택적으로 제공한다(1610). 일부 구현들에서, 포토 레지스트 층을 선택적으로 제공하는 것은 제1 금속 층 상에 포토 레지스트 층을 제공하는 것 및 포토 레지스트 층의 부분들을 선택적으로 제거하는 것(이는 하나 또는 그 초과의 공동들을 제공함)을 포함한다.

[0168] [00171] 이어서, 방법은 포토 레지스트 층의 공동에 제2 금속 층(예컨대, 제2 금속 층(1510))을 제공한다(1615). 일부 구현들에서, 제2 금속 층은 제1 금속 층의 노출된 부분 위에 형성된다. 일부 구현들에서, 제2 금속 층은 증착 프로세스(예컨대, 도금 프로세스)를 사용하여 제공된다.

[0169] [00172] 방법은 추가로 포토 레지스트 층을 제거한다(1620). 상이한 구현들은 포토 레지스트 층을 제거하기 위해 상이한 프로세스들을 사용할 수 있다. 방법은 또한 제1 금속 층의 부분들을 선택적으로 제거한다(1625). 일부 구현들에서는, 제2 금속 층에 의해서 커버되지 않는 제1 금속 층의 하나 또는 그 초과의 부분들이 제거된다. 일부 구현들에서, 임의의 남아 있는 제1 금속 층 및 제2 금속 층은 통합 디바이스 및/또는 기판에 하나 또는 그 초과의 상호연결부들(예컨대, 트레이스, 비아들, 패드들)을 형성 및/또는 정의할 수 있다. 일부 구현들에서는, 통합 디바이스 및/또는 기판의 하나 또는 그 초과의 유전체 층들에 몇 개의 상호연결부들을 제공 및/또는 형성하기 위해, 위에서 언급된 방법이 여러 번 반복될 수 있다.

예시적인 다마신 프로세스

[0170] [00173] 도 17은 유전체 층에 상호연결부를 제공 및/또는 형성하기 위해서 다마신 프로세스를 사용하여 상호연결부를 형성하기 위한 시퀀스를 예시한다. 도 17에 도시된 바와 같이, 스테이지(1)는 유전체 층(1702)이 제공(예컨대, 형성)된 이후에 통합 디바이스의 상태를 예시한다. 일부 구현들에서, 유전체 층(1702)은 무기물 층(예컨대, 무기물 충전물)이다.

[0171] [00174] 스테이지(2)는 공동(1704)이 유전체 층(1702)에 형성된 이후에 통합 디바이스의 상태를 예시한다. 상이한 구현들은 유전체 층(1702)에 공동(1704)을 제공하기 위해 상이한 프로세스들을 사용할 수 있다.

[0172] [00175] 스테이지(3)는 제1 금속 층(1706)이 유전체 층(1702) 상에 제공된 이후에 통합 디바이스의 상태를 예시한다. 스테이지(3)에 도시된 바와 같이, 제1 금속 층(1706)이 유전체 층(1702)의 제1 표면 상에 제공된다. 제1 금속 층(1706)이 공동(1704)의 윤곽을 포함하는 유전체 층(1702)의 윤곽을 취하도록, 제1 금속 층(1706)이 유

전체 층(1702) 상에 제공된다. 제1 금속 층(1706)은 일부 구현들에서는 시드 층이다. 일부 구현들에서, 제1 금속 층(1706)은 증착 프로세스(예컨대, PVD(physical vapor deposition), CVD(Chemical Vapor Deposition) 또는 도금 프로세스)를 사용하여 제공된다.

[0174] [00176] 스테이지(4)는 제2 금속 층(1708)이 공동(1704) 및 유전체 층(1702)의 표면에 형성된 이후에 통합 디바이스의 상태를 예시한다. 일부 구현들에서, 제2 금속 층(1708)은 제1 금속 층(1706)의 노출된 부분 위에 형성된다. 일부 구현들에서, 제2 금속 층(1708)은 증착 프로세스(예컨대, 도금 프로세스)를 사용하여 제공된다.

[0175] [00177] 스테이지(5)는 제2 금속 층(1708)의 부분들 및 제1 금속 층(1706)의 부분들이 제거된 이후에 통합 디바이스의 상태를 예시한다. 상이한 구현들은 제2 금속 층(1708) 및 제1 금속 층(1706)을 제거하기 위해 상이한 프로세스들을 사용할 수 있다. 일부 구현들에서, 제2 금속 층(1708)의 부분들 및 제1 금속 층(1706)의 부분들을 제거하기 위해서 CMP(chemical mechanical planarization) 프로세스가 사용된다. 스테이지(5)에 도시된 바와 같이, 남아있는 제1 금속 층(1706) 및 제2 금속 층(1708)은 통합 디바이스 및/또는 기판에 상호연결부(1712)(예컨대, 트레이스, 비아들, 패드들)를 형성 및/또는 정의할 수 있다. 스테이지(5)에 도시된 바와 같이, 제1 금속 층(1706)이 제2 금속 층(1708)의 측면 부분(들) 및 베이스 부분 상에 형성되는 방식으로 상호연결부(1712)가 형성된다. 일부 구현들에서는, 비아 및 상호연결부들(예컨대, 금속 트레이스들)이 단일 증착 단계에서 형성될 수 있도록, 공동(1704)이 2 레벨들의 유전체들에서 트랜치들 및/또는 홀들의 결합을 포함할 수 있다. 일부 구현들에서는, 통합 디바이스 및/또는 기판의 하나 또는 그 초과의 유전체 층들에 몇 개의 상호연결부들을 제공 및/또는 형성하기 위해, 위에서 언급된 프로세스들이 여러번 반복될 수 있다.

[0176] [00178] 도 18은 유전체 층에 상호연결부를 제공 및/또는 형성하기 위해서 다마신 프로세스를 사용하여 상호연결부를 형성하기 위한 방법(1800)의 흐름도를 예시한다. 방법은 유전체 층(예컨대, 유전체 층(1702))을 제공한다(1805). 일부 구현들에서, 유전체 층을 제공하는 것은 유전체 층을 형성하는 것을 포함한다. 일부 구현들에서, 유전체 층을 제공하는 것은 공급자로부터의 유전체 층을 수용하는 것을 포함한다. 일부 구현들에서, 유전체 층은 무기물 층(예컨대, 무기물 충전물)이다.

[0177] [00179] 이어서, 방법은 유전체 층에 적어도 하나의 공동(예컨대, 공동(1704))을 형성한다(1810). 상이한 구현들은 유전체 층에 공동을 제공하기 위해 상이한 프로세스들을 사용할 수 있다.

[0178] [00180] 방법은 유전체 층 상에 제1 금속 층(예컨대, 제1 금속 층(1706))을 제공한다(1815). 일부 구현들에서, 제1 금속 층이 유전체 층의 제1 표면 상에 제공(예컨대, 형성)된다. 일부 구현들에서, 제1 금속 층이 공동의 윤곽을 포함하는 유전체 층의 윤곽을 취하도록, 제1 금속 층이 유전체 층 상에 제공된다. 제1 금속 층은 일부 구현들에서는 시드 층이다. 일부 구현들에서, 제1 금속 층(1706)은 증착 프로세스(예컨대, PVD, CVD 또는 도금 프로세스)를 사용하여 제공된다.

[0179] [00181] 방법은 공동 및 유전체 층의 표면에 제2 금속 층(예컨대, 제2 금속 층(1708))을 제공한다(1820). 일부 구현들에서, 제2 금속 층은 제1 금속 층의 노출된 부분 위에 형성된다. 일부 구현들에서, 제2 금속 층은 증착 프로세스(예컨대, 도금 프로세스)를 사용하여 제공된다. 일부 구현들에서, 제2 금속 층은 제1 금속 층과 유사하거나 또는 동일하다. 일부 구현들에서, 제2 금속 층은 제1 금속 층과 상이하다.

[0180] [00182] 이어서, 방법은 제2 금속 층의 부분들 및 제1 금속 층의 부분들을 제거한다(1825). 상이한 구현들은 제2 금속 층 및 제1 금속 층을 제거하기 위해 상이한 프로세스들을 사용할 수 있다. 일부 구현들에서, 제2 금속 층의 부분들 및 제1 금속 층의 부분들을 제거하기 위해서 CMP(chemical mechanical planarization) 프로세스가 사용된다. 일부 구현들에서, 남아있는 제1 금속 층 및 제2 금속 층은 상호연결부(예컨대, 상호연결부(1712))를 형성 및/또는 정의할 수 있다. 일부 구현들에서, 상호연결부는 통합 디바이스 및/또는 기판의 트레이스, 비아, 및/또는 패드를 포함할 수 있다. 일부 구현들에서, 제1 금속 층이 제2 금속 층의 측면 부분(들) 및 베이스 부분 상에 형성되는 방식으로 상호연결부가 형성된다. 일부 구현들에서는, 통합 디바이스 및/또는 기판의 하나 또는 그 초과의 유전체 층들에 몇 개의 상호연결부들을 제공 및/또는 형성하기 위해, 위에서 언급된 방법이 여러번 반복될 수 있다.

예시적인 전자 디바이스들

[0181] [00183] 도 19는 위에서 언급된 통합 디바이스, 반도체 디바이스, 집적 회로, 다이, 인터포저, 패키지 또는 PoP(package-on-package) 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예컨대, 모바일 폰 디바이스(1902), 랩톱 컴퓨터 디바이스(1904), 및 고정 위치 단말 디바이스(1906)는 본원에서 설명된 통합 디바이스(1900)를 포함할 수 있다. 통합 디바이스(1900)는, 예컨대, 본원에 설명된 집적 회로들, 다이들, 패키

지들, PoP(package-on-package)들 중 임의의 것일 수 있다. 도 19에 예시된 디바이스들(1902, 1904, 1906)은 단순히 예시적이다. 다른 전자 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 PCS(personal communication systems) 유닛들, 휴대용 데이터 유닛들, 이를테면 개인 휴대 정보 단말들, GPS(global positioning system) 가능 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 위치 데이터 유닛들, 이를테면 계측 장비, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 착용가능 디바이스들, 고정 위치 단말들, 랩톱 컴퓨터, 모바일 폰들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 리트리빙하는 임의의 다른 디바이스, 또는 이들의 임의의 결합을 포함하는 디바이스들의 그룹(그러나 이들로 제한되지는 않음)을 포함한 통합 디바이스(1900)를 특징으로 할 수 있다.

[0183]

[00184] 도 2, 도 3, 도 4, 도 5, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13a 내지 도 13c, 도 14, 도 15, 도 16, 도 17, 도 18 및/또는 도 19에 예시된 컴포넌트들, 특징들 및/또는 기능들 중 하나 또는 그 초과는 단일 컴포넌트, 단계, 특징 또는 기능으로 재배열 및/또는 결합되거나, 수 개의 컴포넌트들, 단계들 또는 기능들로 구현될 수 있다. 부가적인 엘리먼트들, 컴포넌트들, 단계들, 및/또는 기능들이 또한 본 개시내용으로부터 벗어나지 않으면서 추가될 수도 있다. 본 개시내용에서 도 2, 도 3, 도 4, 도 5, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13a 내지 도 13c, 도 14, 도 15, 도 16, 도 17, 도 18 및/또는 도 19 및 그것의 대응하는 설명은 다이들 및/또는 IC들로 제한되지 않는다는 것이 또한 주목되어야 한다. 일부 구현들에서, 도 2, 도 3, 도 4, 도 5, 도 6, 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 도 13a 내지 도 13c, 도 14, 도 15, 도 16, 도 17, 도 18 및/또는 도 19 및 그것의 대응하는 설명이 통합 디바이스들을 제조, 생성, 제공 및/또는 생산하기 위해 사용될 수 있다. 일부 구현들에서, 디바이스는 다이, 다이 패키지, IC(integrated circuit), 통합 디바이스, 통합 디바이스 패키지, 웨이퍼, 반도체 디바이스, PoP(package on package) 구조, 및/또는 인터포저를 포함할 수 있다.

[0184]

[00185] 용어 "예시적인"은 "예, 경우, 또는 예시로서 제공하는 것"을 의미하도록 본원에서 사용된다. "예시적인"으로서 본원에 설명된 임의의 구현 또는 양상이 개시내용의 다른 양상들에 비해 바람직하거나 유리한 것으로서 해석될 필요는 없다. 마찬가지로, 용어 "양상들"은, 개시내용의 모든 양상들이 논의된 특징, 장점 또는 동작 모드를 포함하는 것을 요구하지는 않는다. 용어 "커플링된"은, 2개의 오브젝트들 사이의 직접적인 또는 간접적인 커플링을 지칭하도록 본원에서 사용된다. 예컨대, 오브젝트 A가 오브젝트 B를 물리적으로 터치하고 오브젝트 B가 오브젝트 C를 터치하면, 오브젝트들 A 및 C는, 그들이 서로를 물리적으로 직접 터치하지 않더라도, 서로 커플링된 것으로 여전히 고려될 수도 있다.

[0185]

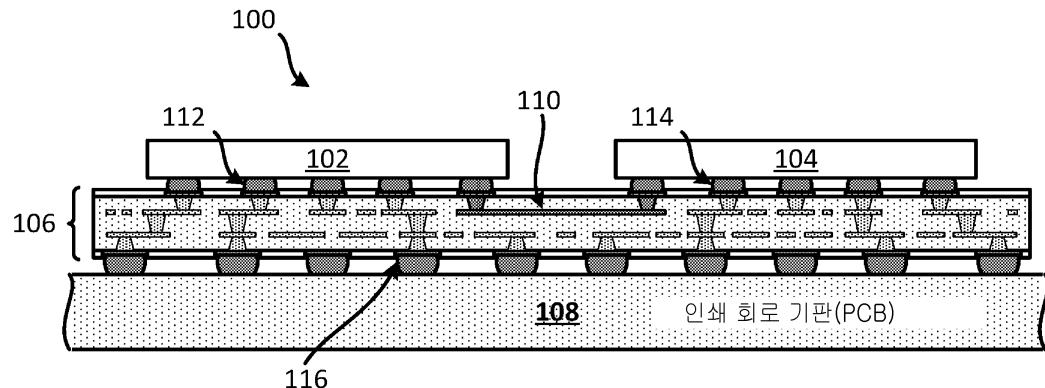
[00186] 또한, 실시예들은 흐름도, 플로우 다이어그램, 구조도 또는 블록도로 도시되는 프로세스로서 설명될 수 있다는 것이 주목된다. 비록 흐름도가 동작들을 순차적인 프로세스로서 설명할 수 있지만, 동작들 대부분은 병렬로 또는 동시에 수행될 수 있다. 게다가, 동작들의 순서는 재-배열될 수 있다. 프로세스는 그것의 동작들이 완료될 때 종결된다.

[0186]

[00187] 본원에 설명된 개시내용의 다양한 특징들은 개시내용으로부터 벗어나지 않으면서 상이한 시스템들에서 구현될 수 있다. 개시내용의 위에서 설명된 양상들은 단순히 예들이며 개시내용을 제한하는 것으로 해석되지는 않는다는 것이 주목되어야 한다. 본 개시내용의 양상들에 대한 설명은 예시적인 것으로 의도되고, 청구항들의 범위를 제한하도록 의도되지 않는다. 따라서, 본 교시들은 다른 타입들의 장치들에 쉽게 적용될 수 있고, 많은 대안들, 수정들, 및 변형들이 당업자들에게 자명할 것이다.

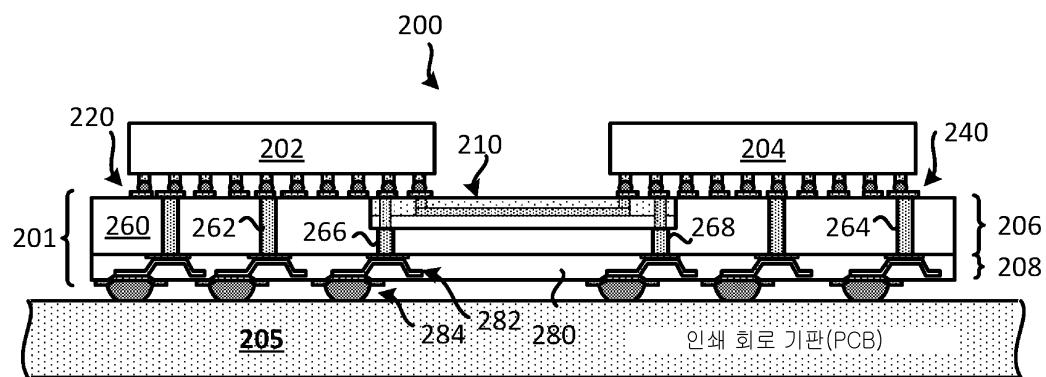
도면

도면1

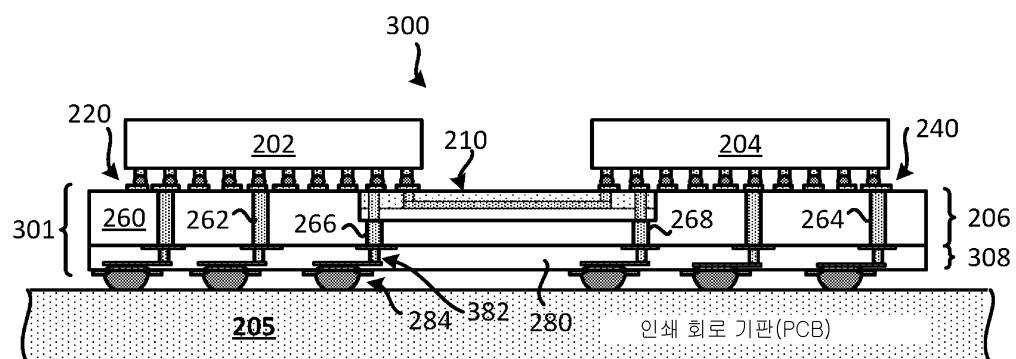


(종래 기술)

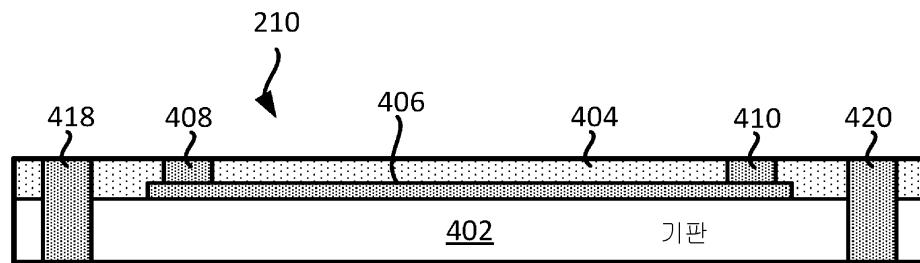
도면2



도면3

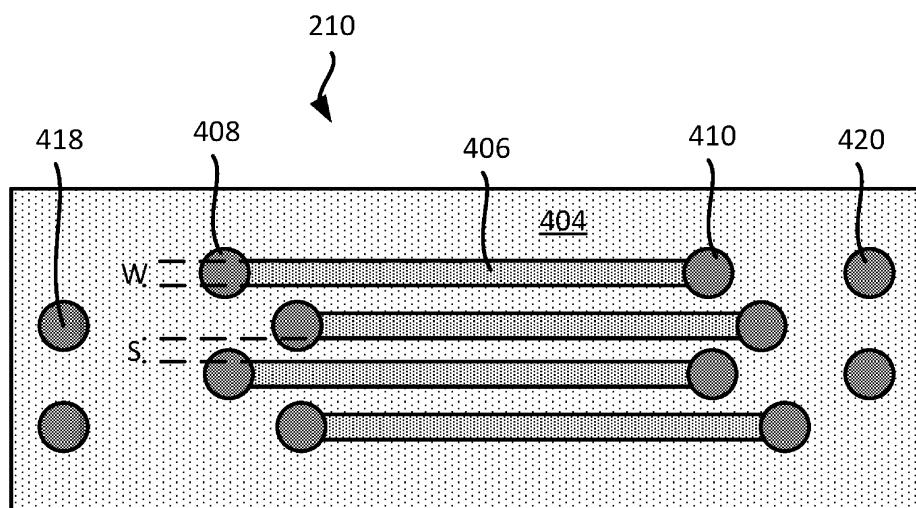


도면4



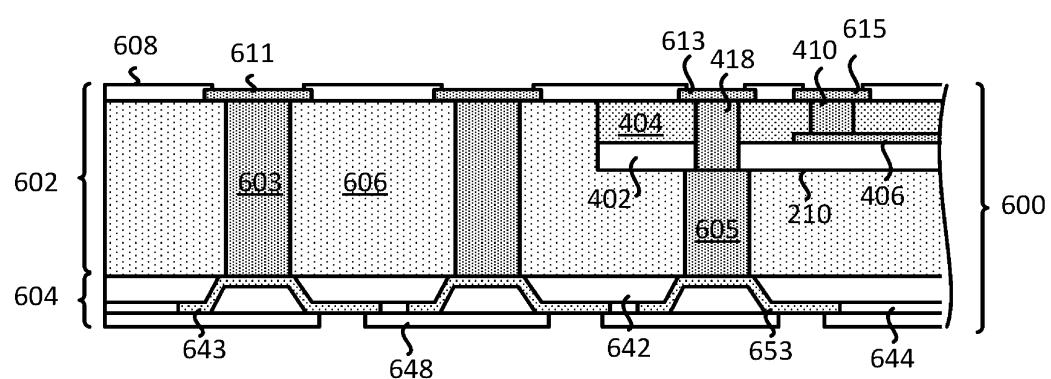
측면도

도면5

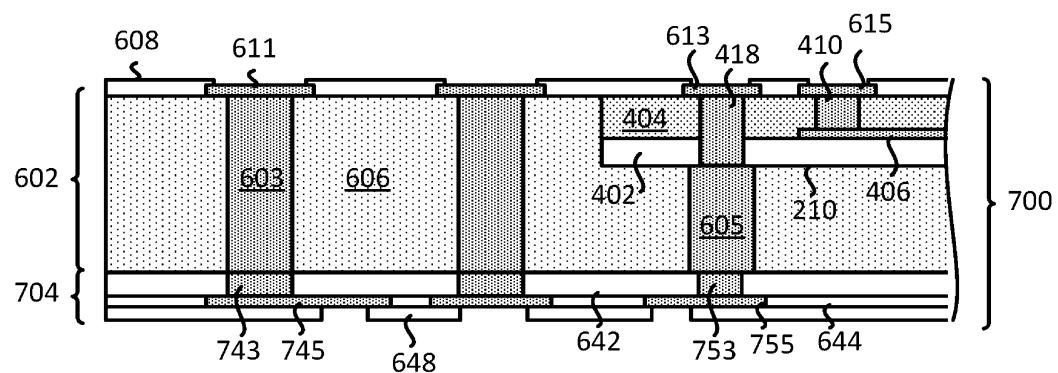


평면도

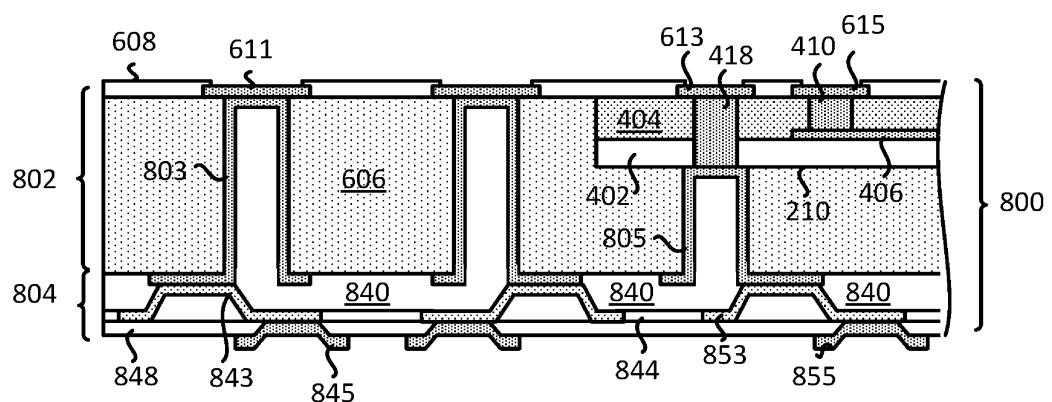
도면6



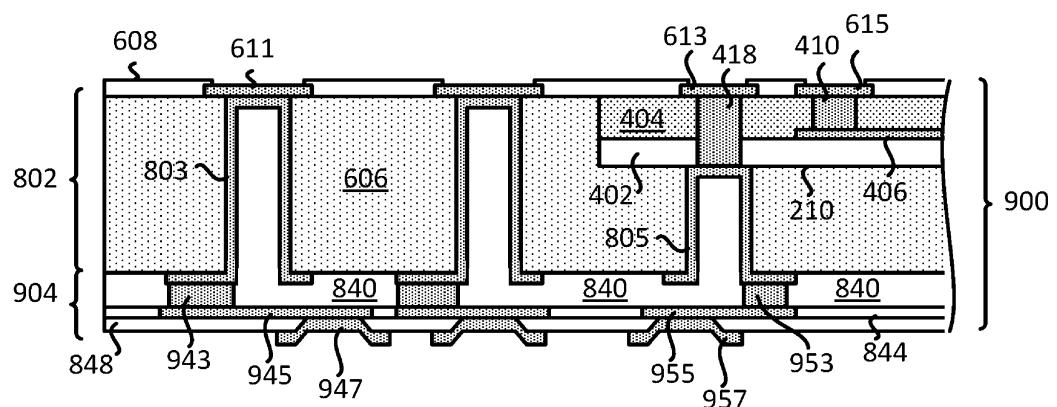
도면7



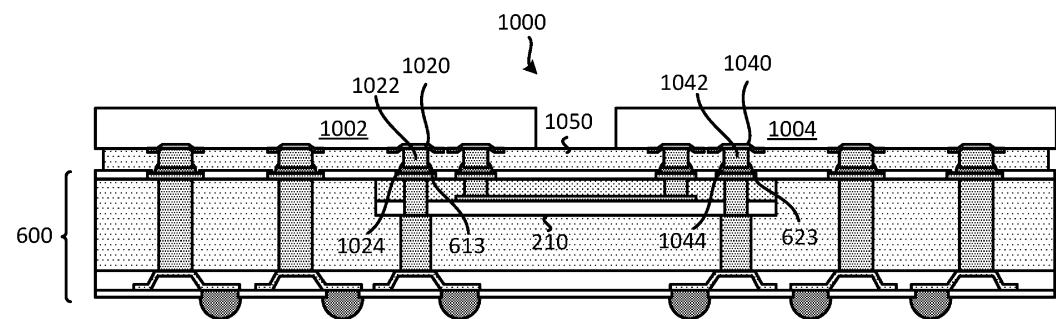
도면8



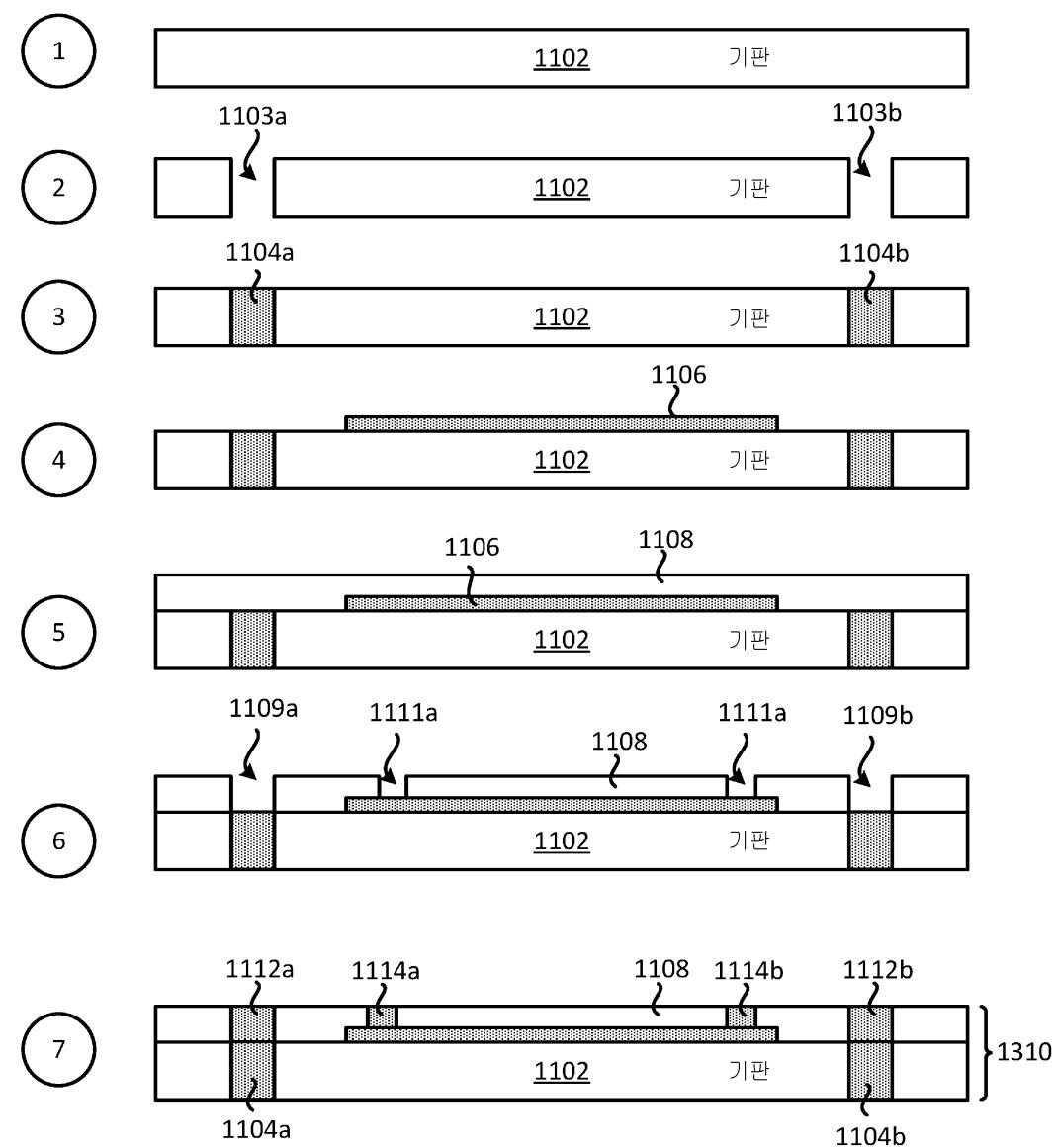
도면9



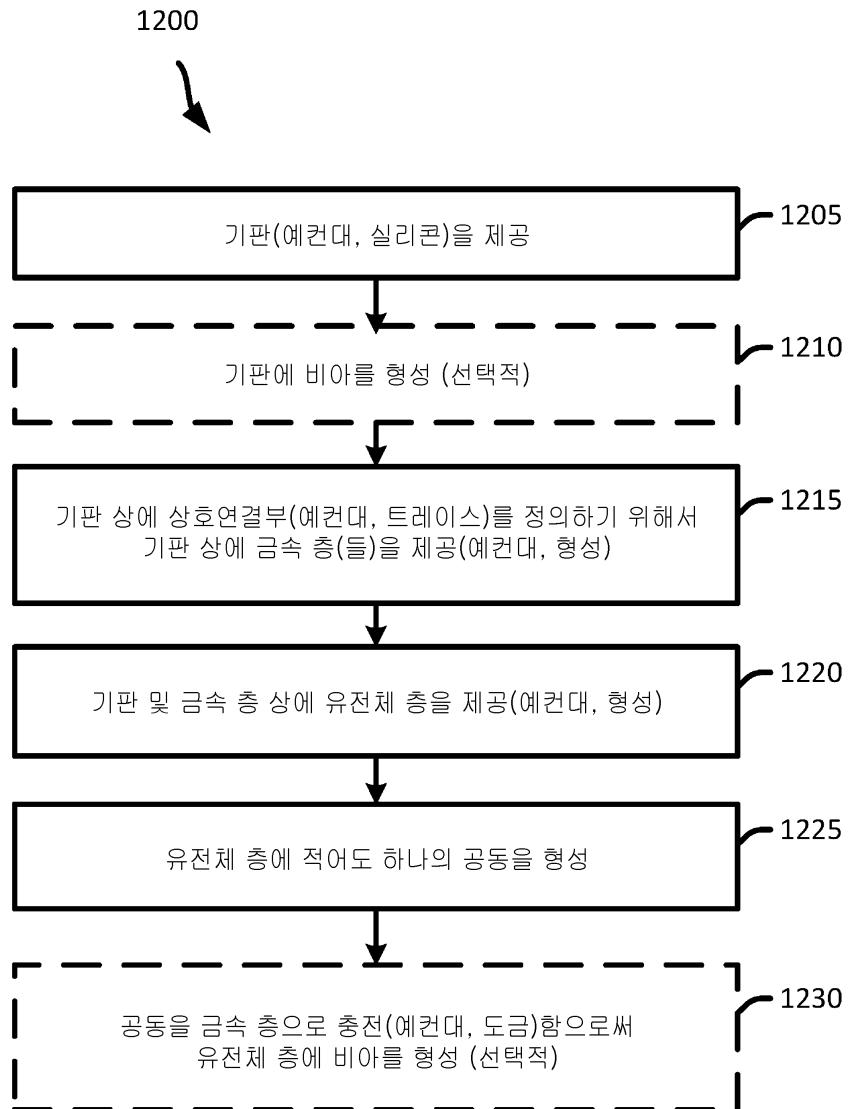
도면10



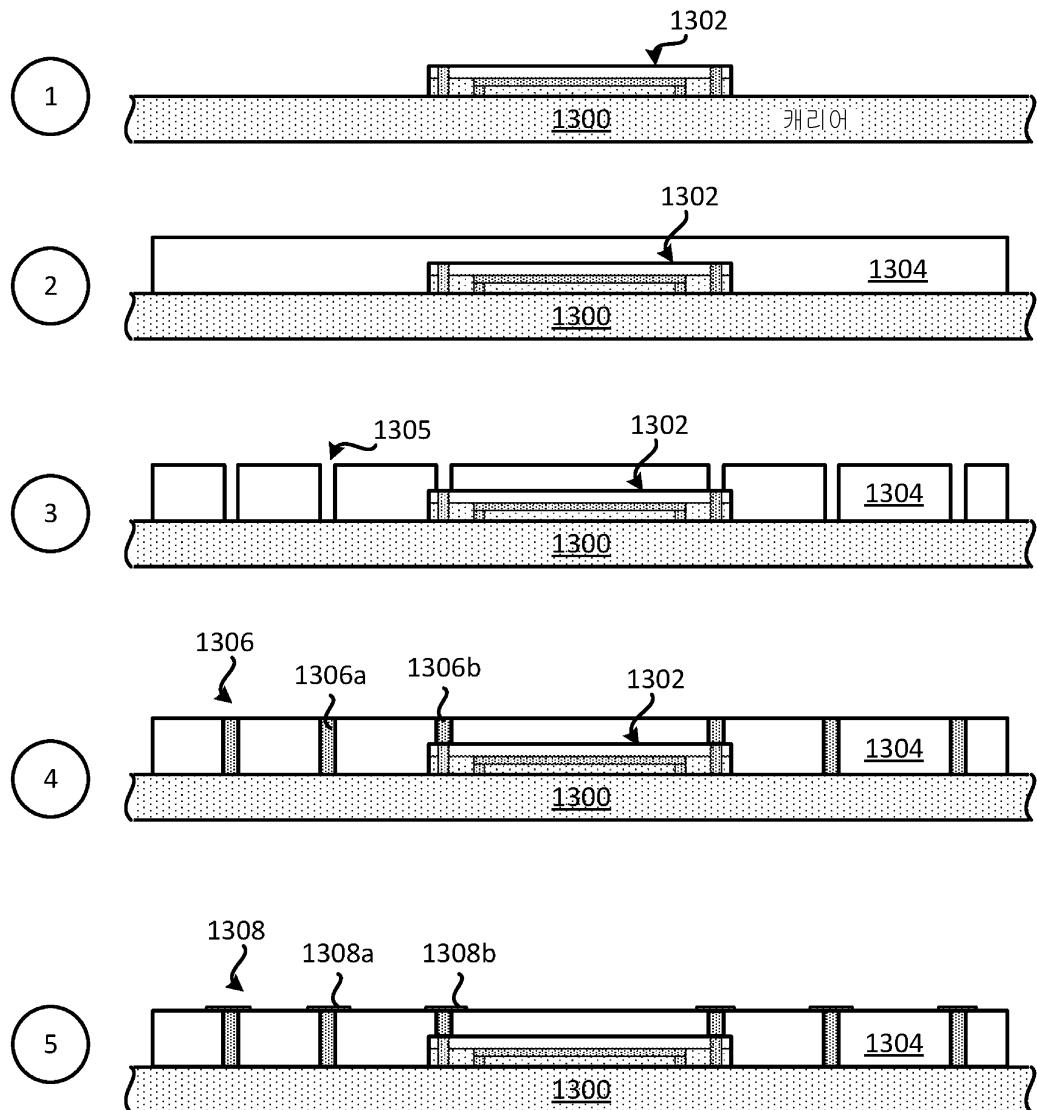
도면11



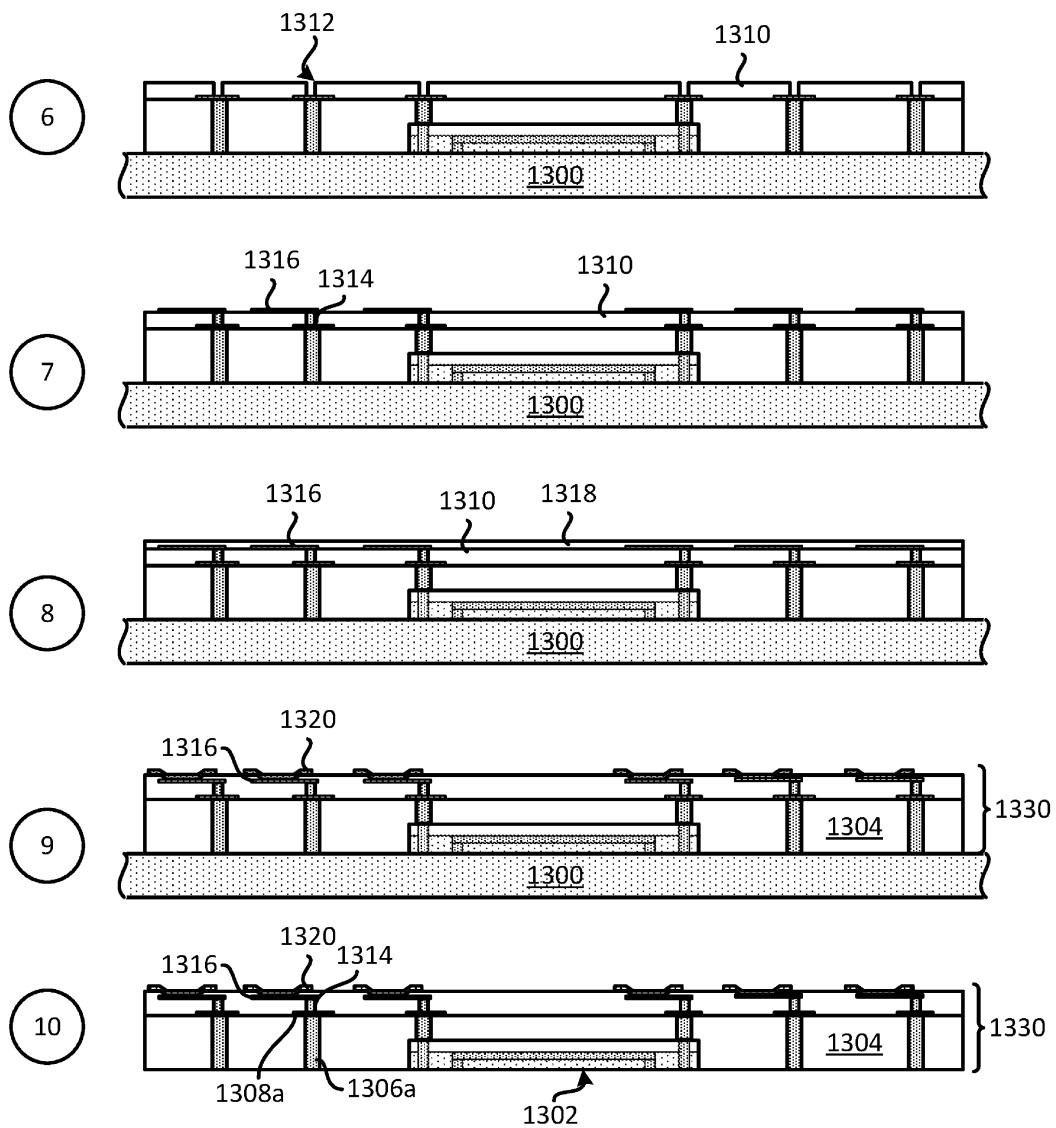
도면12



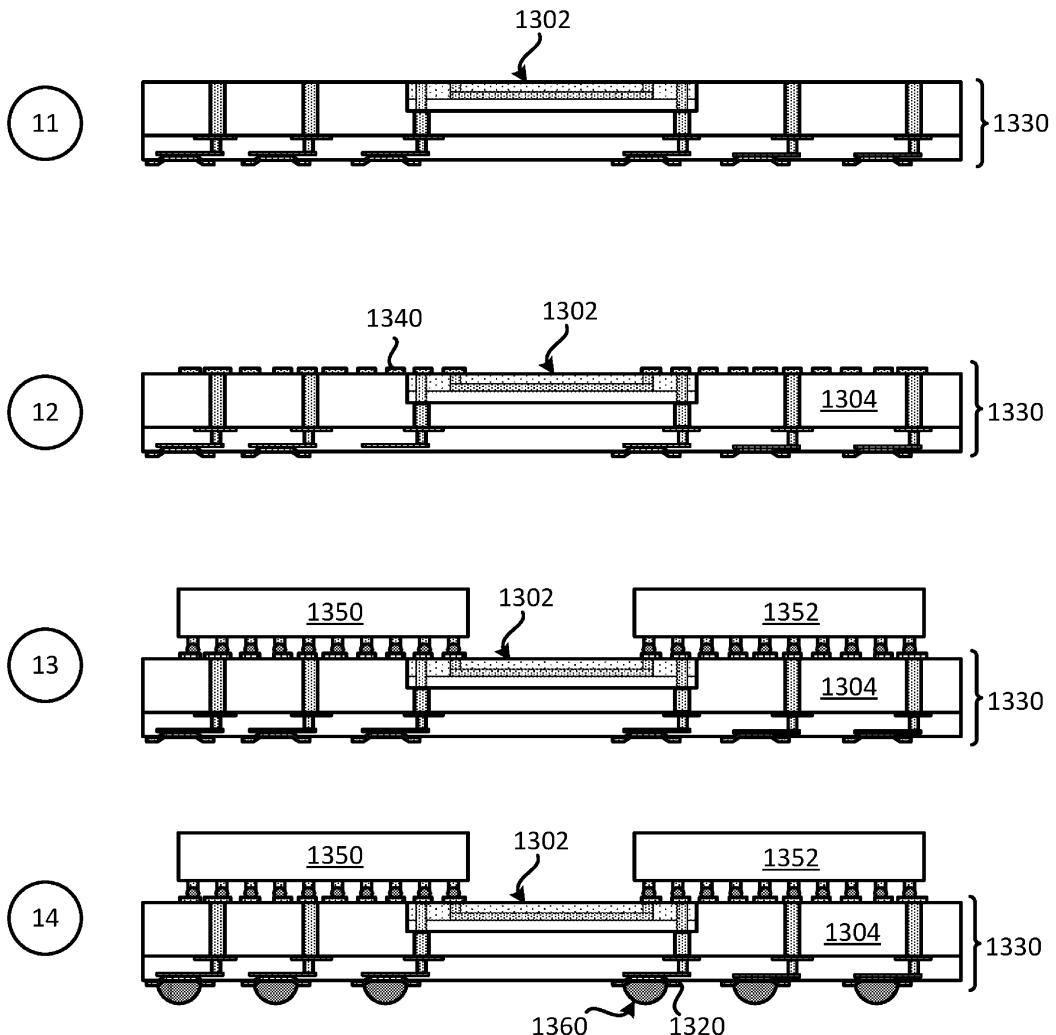
도면 13a



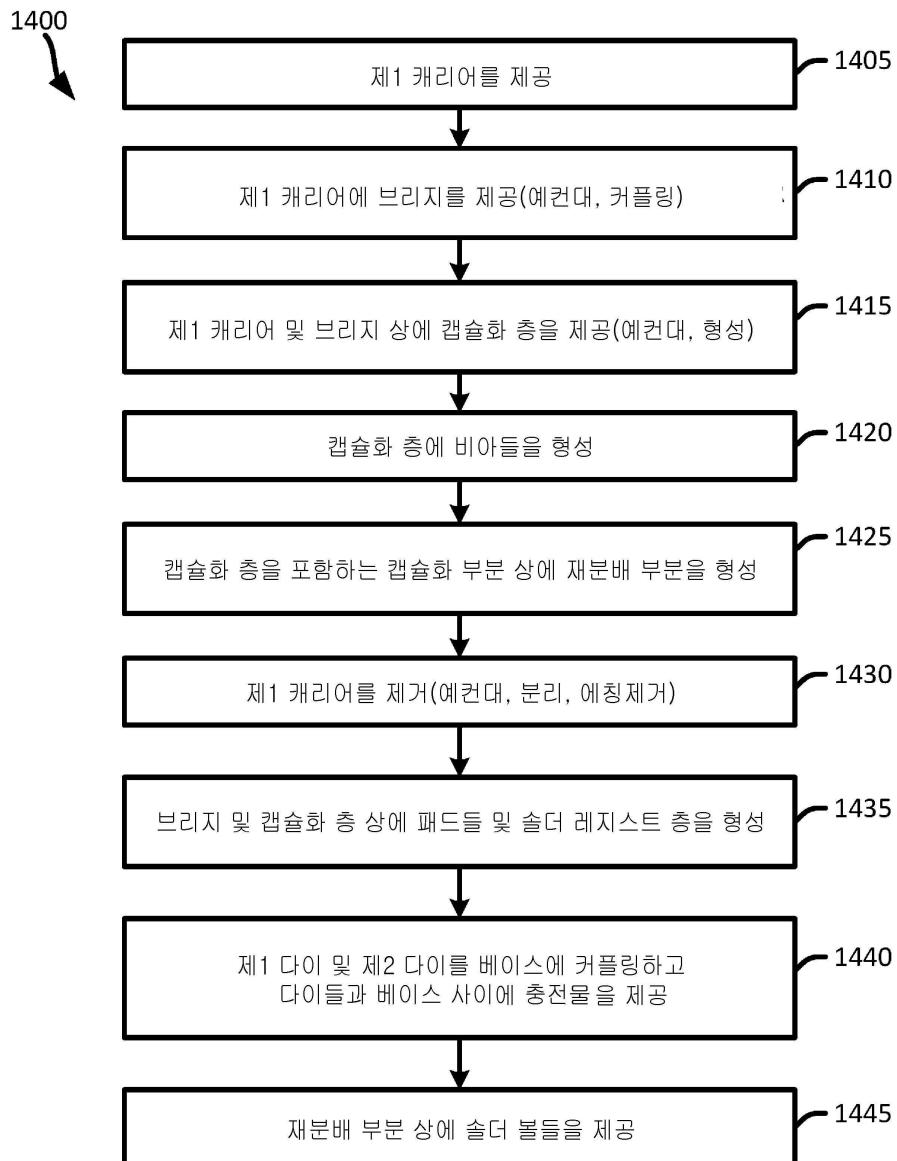
도면 13b



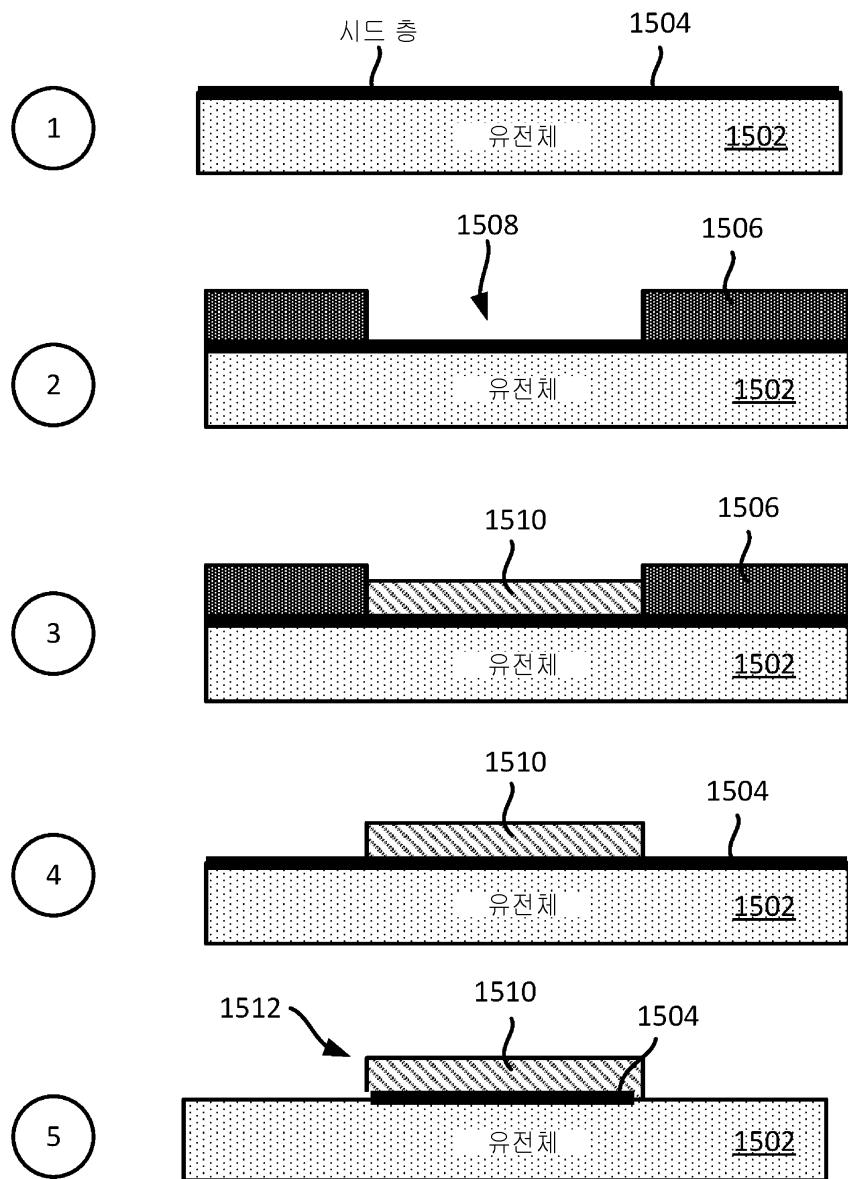
도면 13c



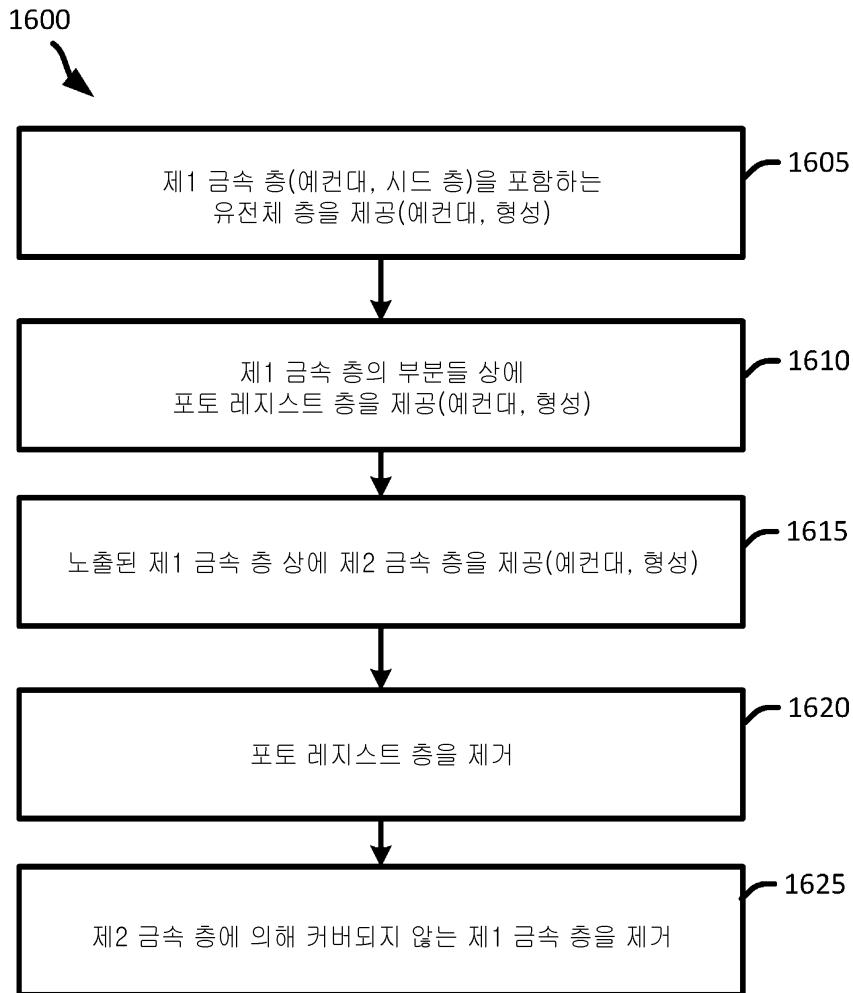
도면14



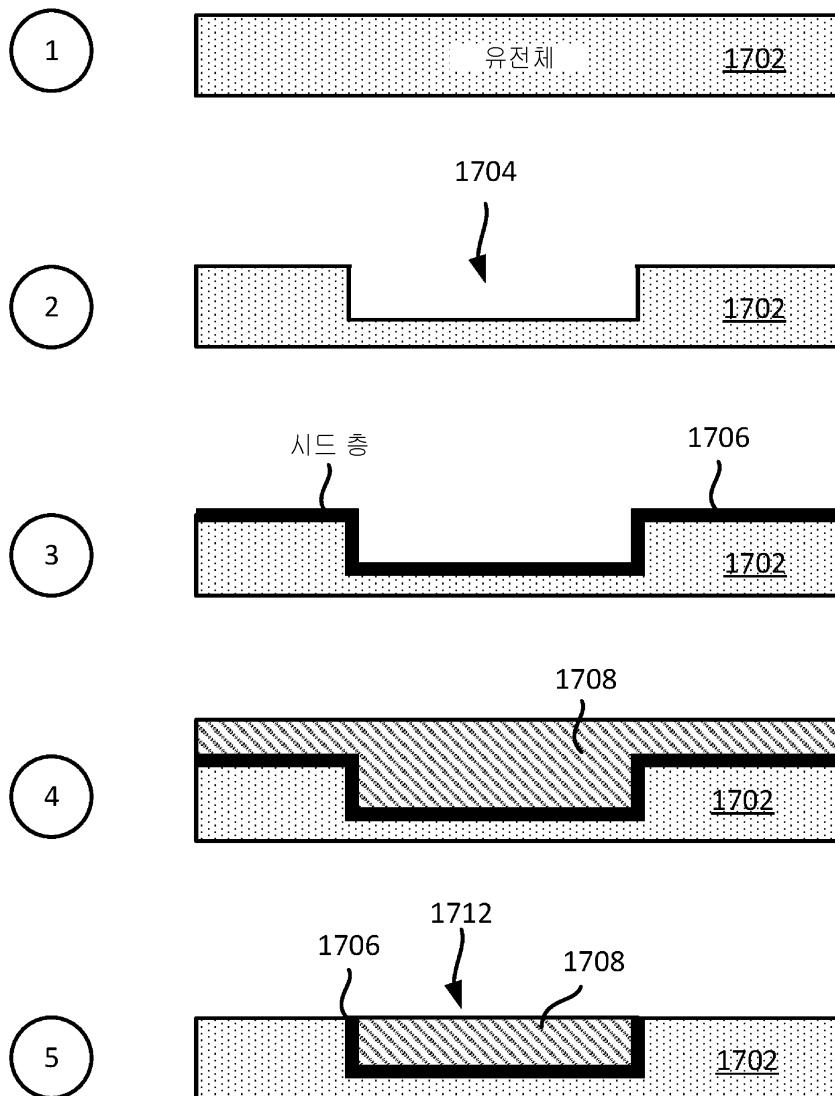
도면15



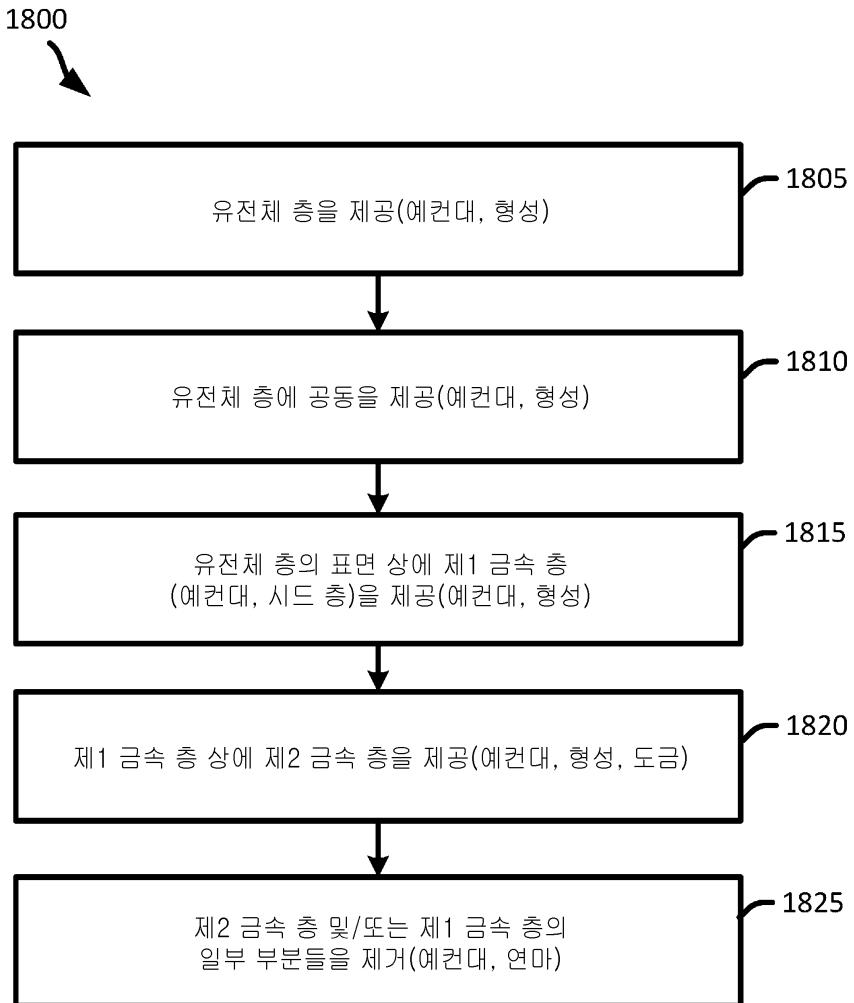
도면16



도면17



도면18



도면19

