

A1

**DEMANDE
DE BREVET D'INVENTION**

⑫

N° 82 12471

⑮ Appareil de lecture de données pour la transmission de données.

⑯ Classification internationale (Int. Cl.³). G 11 B 5/08; H 04 L 1/20.

⑰ Date de dépôt..... 16 juillet 1982.

⑱ ⑳ ㉑ Priorité revendiquée : JP, 17 juillet 1981, n° 111652/81.

㉒ Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 3 du 21-1-1983.

㉓ Déposant : Société dite : VICTOR COMPANY OF JAPAN, LTD., société de droit japonais. —
JP.

㉔ Invention de : Yasuhiro Yamada.

㉕ Titulaire : *Idem* ㉓

㉖ Mandataire : Cabinet Madeuf, conseils en Propriété Industrielle,
3, av. Bugeaud, 75116 Paris.

La présente invention concerne de façon générale des appareils de lecture de données destinés à la transmission de données, et plus particulièrement un appareil de lecture de données capable de lire de façon précise des données numériques même s'il existe une instabilité dans les données numériques.

Quand on transmet un signal d'information analogique, ce signal d'information analogique est soumis à une modulation en impulsion numérique et il est converti en impulsion numérique. L'impulsion numérique est divisée en sections prédéterminées, et un signal de chaque section prédéterminée est ajouté à un signal de synchronisation présentant un motif fixé, et souvent aussi ajouté à un signal de détection d'erreur de code et à un signal de correction d'erreur de code. Cette donnée numérique divisée en sections prédéterminées et à laquelle sont ajoutés les signaux ci-dessus est transmise en série dans le temps. La série de signaux numériques est soumise à une modulation telle qu'une modulation de fréquence et une modulation de phase, et transmise à un circuit de transmission tel qu'une bande magnétique. La série de signaux numériques ainsi obtenue par l'intermédiaire du circuit de transmission est envoyée à un appareil récepteur (ou à un appareil de reproduction). Si le signal reçu est modulé lors de la transmission, l'appareil récepteur commence par démoduler le signal reçu, et une égalisation de sa forme d'onde est réalisée dans un égalisateur de manière que la réponse constituée par l'impulsion totale devienne nulle dans l'intervalle de Niquist. Le signal qui est ainsi soumis à l'égalisation de sa forme d'onde dans l'égalisateur et de manière qu'il n'y ait pas d'interférence inter-symboles est envoyé à un comparateur de niveaux (détecteur) où le niveau du signal est comparé à un niveau de référence et converti en une série de signaux numériques à deux valeurs. La série de signaux numériques à deux valeurs est envoyée à un circuit

de détection de signal de synchronisation et à un appareil de lecture de données.

Le circuit de détection de signal de synchronisation ci-dessus détecte un signal de synchronisation contenu dans la
5 série de signaux numériques, et envoie un signal de détection de sortie à l'appareil de lecture de données. L'appareil de lecture de données comprend un générateur d'impulsions d'horloge de référence, un générateur d'impulsions d'horloge de synchronisation de lecture de données, et un circuit de
10 lecture de données. Cet appareil de lecture de données lit les données numériques transmises en succession du signal de synchronisation ci-dessus dans le circuit de lecture de données, au moyen d'une impulsion d'horloge de synchronisation de lecture de données formée à partir du signal de
15 détection du signal de synchronisation ci-dessus et d'une impulsion d'horloge de référence obtenue du générateur d'impulsions d'horloge de référence.

Le générateur d'impulsions d'horloge de référence engendre une impulsion d'horloge de référence dont le taux de trans-
20 mission de bits est N , N étant un nombre entier supérieur ou égal à deux. Du fait que l'impulsion d'horloge de référence et la donnée numérique transmise se présentent selon un rapport non synchrone, l'impulsion d'horloge de synchronisation de lecture de données formée par le comptage des impul-
25 sions d'horloge de référence et de la donnée numérique deviennent graduellement hors phase si des instabilités et analogues introduites dans le circuit de transmission existent à l'intérieur de la donnée numérique. Dans l'appareil de lecture de données habituel, l'impulsion d'horloge de
30 lecture de données est donc engendrée en un point où existe une donnée numérique arrivante d'un bit adjacent au bit qui doit être lu à l'origine, quand l'impulsion d'horloge de synchronisation de lecture de données et la donnée numérique deviennent dans une certaine mesure hors phase. Dans ce cas,
35 l'appareil de lecture de données lit la donnée numérique du bit adjacent au bit qui doit être lu à l'origine, d'où la possibilité d'opérations de lecture de données erronées et constituant un inconvénient.

En conséquence, un objet de la présente invention est de créer un appareil de lecture de données nouveau, destiné à la transmission de données et dans lequel sont surmontés les inconvénients décrits ci-dessus.

5 Un autre objet plus spécifique de la présente invention est de créer un appareil de lecture de données numériques dans lequel est engendrée une impulsion de détection de variation de niveau dont la phase est en accord avec une variation de niveau de la série de signaux numériques,
10 l'impulsion de détection de variation de niveau engendrée remet à zéro des moyens de division de fréquence, et les moyens de division de fréquence engendrent une impulsion d'horloge de synchronisation de lecture de données dont la période est sensiblement égale à la période d'un bit de la
15 série de signaux numériques, et qui présente un retard de phase prédéterminé par rapport à l'impulsion de détection de variation de niveau, de manière que l'appareil de lecture de données numériques lise la donnée numérique de la série de signaux numériques ci-dessus. Selon l'appareil de lecture de
20 données de la présente invention, les moyens diviseurs de fréquence sont remis à zéro chaque fois qu'il y a variation de niveau dans la série de signaux numériques. Si une instabilité existe donc dans la série de signaux numériques, la phase de l'impulsion d'horloge de synchronisation de lecture
25 varie en fonction de cette instabilité en vue de permettre une lecture précise de la donnée numérique, même si l'instabilité ci-dessus existe.

Un autre objet de la présente invention est de créer un appareil de lecture de données dans lequel une erreur de
30 phase d'une impulsion d'horloge de synchronisation de lecture de données par rapport à une impulsion de détection de variation de niveau est contrôlée de façon variable en fonction d'un signal de sortie de lecture d'une donnée numérique se trouvant dans un bit précédant immédiatement un
35 bit arbitraire, de manière que l'impulsion d'horloge de synchronisation de lecture de données soit toujours engendrée selon une phase qui correspond sensiblement à la position centrale de chaque bit de la donnée numérique,

quelle que soit la valeur de la donnée numérique dans le bit ci-dessus qui précède immédiatement le bit arbitraire.

Un autre objet de la présente invention est de créer un appareil de lecture de données comprenant des moyens à porte
5 destinés à engendrer un signal de porte qui prédit les points de génération de l'impulsion de détection de variation de niveau ci-dessus, et qui limite l'envoi de l'impulsion de détection de variation de niveau aux moyens diviseurs de fréquence ci-dessus. Selon l'appareil de la présente inven-
10 tion, même si un bruit est mélangé au signal de transmission dans le parcours de transmission, ou si l'impulsion de détection de variation de niveau se déphase par rapport à la phase d'origine en raison d'une variation de niveau du signal de transmission, l'envoi de l'impulsion de détection
15 de variation de niveau hors phase aux moyens diviseurs de fréquence peut être interrompu par les moyens à porte ci-dessus. Ainsi, les moyens diviseurs de fréquence ne peuvent effectuer une opération erronée telle qu'une opération au cours de laquelle l'impulsion d'horloge de synchronisation
20 de lecture de données est engendrée deux fois à l'intérieur de l'intervalle jusqu'à ce que les moyens diviseurs de fréquence soient remis à zéro.

D'autres objets et avantages de la présente invention apparaîtront clairement à la lecture de la description
25 détaillée qui suit, avec référence aux dessins annexés.

La figure 1 est un schéma de circuit de principe représentant un premier mode de réalisation de l'appareil de lecture de données destiné à la transmission de données et selon la présente invention.

30 Les figures 2(A) à 2(H) sont des graphiques représentant respectivement les formes d'onde des signaux dans chaque partie du circuit représenté à la figure 1.

Les figures 3(A) à 3(D) sont des graphiques représentant respectivement les formes d'onde des signaux dans chaque
35 partie du circuit représenté à la figure 1.

La figure 4 est un schéma de circuit de principe représentant un appareil de lecture de données habituel.

Les figures 5(A) à 5(C) sont respectivement des graphiques

représentant les formes d'onde des signaux dans chaque partie du circuit représenté à la figure 4.

La figure 6 est un schéma de circuit de principe représentant un second mode de réalisation d'un appareil de lecture de données selon la présente invention.

Les figures 7(A) à 7(G) sont des graphiques représentant respectivement les formes d'onde des signaux dans chaque partie du circuit représenté à la figure 6.

La figure 8 est un schéma de circuit de principe représentant un troisième mode de réalisation de l'appareil de lecture de données selon la présente invention.

Les figures 9(A) à 9(E) sont des graphiques représentant respectivement les formes d'onde des signaux dans chaque partie du circuit représenté à la figure 8.

Les figures 10(A) à 10(C) sont des graphiques représentant respectivement un autre exemple de la forme d'onde des signaux dans chaque partie du circuit représenté à la figure 8.

La figure 11 est un schéma de circuit représentant un mode de réalisation d'un décodeur appartenant au circuit représenté à la figure 8.

A la figure 1, un signal d'entrée a ayant la forme d'onde représenté à la figure 2(A) est envoyé à un détecteur 12, par l'intermédiaire d'une borne 11. Le niveau du signal d'entrée a est comparé à un niveau de référence indiqué en E à la figure 2(A), dans le détecteur 12. Le signal d'entrée a est un signal obtenu en faisant passer une série de signaux numériques par un circuit de transmission. Le détecteur 12 produit un signal numérique à deux valeurs (signal de détection) b représenté à la figure 2(B), ceci étant le résultat de la comparaison de niveaux ci-dessus. Le signal numérique b est appliqué à des bornes d'entrée respectives d'une bascule du type à retard (à laquelle il sera fait référence ci-après par l'expression de "circuit de verrouillage") 13 et 14. Un signal de sortie Q du circuit de verrouillage 13 est appliqué à une borne d'entrée de données d'un circuit de verrouillage 16. Une impulsion d'horloge de référence g provenant d'un générateur d'impulsions d'horloge de référence

15 est appliquée aux bornes d'entrée respectives des circuits de verrouillage 13 et 16, d'un diviseur 18 de fréquence de $1/10$, et d'un compteur 25. On décrira maintenant le diviseur de fréquence 18, ensuite le compteur 25. L'impulsion d'horloge de référence g ci-dessus est une onde rectangulaire dont la période est de $1/10$ de la période d'un digit T (à laquelle on se référera ci-après par l'expression de "période de bit") du signal d'entrée a , comme représenté à la figure 2(G).

10 Le circuit de verrouillage 13 reçoit une impulsion c représentée à la figure 2(C) verrouillant le signal numérique détecté b par le bord montant de l'impulsion d'horloge de référence d'entrée g , et envoie cette impulsion c à une borne d'entrée de données du circuit de verrouillage 16 et à
15 une entrée d'un circuit porte exclusif 17. Le moment de la montée de cette impulsion c n'est pas le même que le moment de la montée du signal numérique b , et il comprend un retard maximal égal à approximativement une période de l'impulsion d'horloge de référence g . Le circuit de verrouillage 16
20 produit une impulsion d représentée à la figure 2(D) et provenant d'une borne de sortie Q, en verrouillant l'impulsion c par le bord montant de l'impulsion d'horloge de référence g , et envoie cette impulsion d à une autre entrée du circuit OU exclusif 17. En conséquence, l'impulsion d est
25 retardée par rapport à l'impulsion c d'une durée de retard qui correspond à une période de l'impulsion d'horloge de référence g . Il en résulte que le circuit OU 17 produit une impulsion e représentée à la figure 2(E). Comme on le voit sur cette figure 2(E), l'impulsion e a une largeur d'impul-
30 sion qui correspond à une période de l'impulsion d'horloge de référence g , et elle est produite à chaque bord montant et à chaque bord tombant du signal numérique b . Du fait que l'impulsion e ci-dessus est produite au voisinage des bords montants et tombants du signal numérique b , cette impulsion
35 e est une impulsion de détection de variation de niveau (impulsion de détection de bord) du signal numérique b . L'impulsion de détection de variation de niveau e est appliquée à une borne d'entrée d'effacement du diviseur 18 de

fréquence de 1/10, pour effacer ce diviseur de fréquence 18 par le bord montant de l'impulsion e.

Une puce à circuit intégré SN74163 par exemple est utilisée pour constituer le diviseur de fréquence 18. Le
5 diviseur de fréquence 18 compte les impulsions d'horloge de référence g et envoie une sortie de comptage résultante à un décodeur 19 par les bornes Q_1 à Q_4 . Au cours d'un intervalle compris entre la neuvième impulsion d'horloge de référence arrivante g et la dixième impulsion d'horloge de référence
10 arrivante g, après que le diviseur de fréquence 18 ait été effacé, le diviseur de fréquence 18 engendre un signal ayant une période de répétition égale à la période de bit T ci-dessus et envoie ce signal ainsi engendré à une borne de validation EN du compteur 25, à partir d'une borne d'exécution CA. Le décodeur 19 comprend des inverseurs 20, 21 et 22
15 et un circuit ET à quatre entrées 23. Quand les bornes de sortie Q_1 , Q_2 et Q_4 du diviseur de fréquence 18 sont à des niveaux bas et quand seule la borne de sortie Q_3 produit un signal de niveau élevé, c'est-à-dire quand le diviseur de
20 fréquence 18 compte quatre impulsions d'horloge de référence g, les quatre entrées du circuit ET 23 parviennent à un niveau élevé. En conséquence, le circuit ET 23 produit un signal f de niveau élevé représenté à la figure 2(F), et envoie ce signal f à une borne d'entrée d'impulsions d'horloge du circuit de verrouillage 14 en tant qu'impulsion d'horloge de synchronisation de lecture de données. Cette impulsion d'horloge de synchronisation de lecture de données est engendrée selon une phase qui correspond sensiblement au centre de la période de bit du signal d'entrée a représenté
30 à la figure 2(A). Le signal numérique b appliqué à la borne d'entrée de données du circuit de verrouillage 14 est verrouillé par le bord montant de l'impulsion d'horloge de synchronisation de lecture de données f ci-dessus, et une impulsion h représentée à la figure 2(H) ainsi obtenue est envoyée à
35 une borne de sortie 26. Comme on le voit clairement en comparant les figures 2(A) et 2(H), l'impulsion h ci-dessus constitue une donnée de lecture du signal d'entrée a.

Par ailleurs, et comme décrit ci-dessus, le signal

d'entrée a est obtenu de la manière qui suit. Une donnée numérique obtenue en soumettant un signal d'information analogique à une modulation en impulsion numérique est divisée en des sections prédéterminées, et un signal de
5 chaque section prédéterminée est ajouté à un signal de synchronisation ayant un motif fixé, et est souvent ajouté également à un signal de détection d'erreur de code et à un signal de correction d'erreur de code. Ensuite, le signal d'entrée a est obtenu par l'intermédiaire d'un circuit de
10 transmission en transmettant le signal numérique en séquence dans le temps. Les bords montants et tombants du signal d'entrée a ne sont donc pas fortement inclinés, comme le montre la figure 2(A) du fait de la caractéristique d'atténua-
tion de haute fréquence du circuit de transmission lui-même,
15 et analogues. Le signal d'entrée a est transmis de façon continue à la suite du signal de synchronisation, et le signal de synchronisation est détecté par un circuit de détection de signal de synchronisation (non représenté) en utilisant la caractéristique à motif fixé du signal de
20 synchronisation. Un signal de détection du signal de synchronisation est appliqué à une borne d'effacement du compteur 25, par l'intermédiaire d'une borne d'entrée 24.

Au cours d'une période pendant laquelle le signal d'entrée appliqué à la borne de validation EN est à un niveau élevé,
25 le compteur 25 compte les impulsions d'horloge de référence g parvenant à sa borne d'entrée d'impulsions d'horloge. La sortie comptée en résultant est produite à une borne de sortie 27. La période ci-dessus au cours de laquelle le signal d'entrée appliqué à la borne de validation EN du
30 compteur 25 est à un niveau élevé correspond à l'intervalle séparant la neuvième impulsion d'horloge de référence arrivante g et la dixième impulsion d'horloge de référence arrivante g, après que le diviseur de fréquence 18 ait été effacé. Cependant, la phase de l'impulsion d'horloge de référence g
35 est légèrement retardée en raison du retard introduit par les éléments du circuit du diviseur de fréquence 18. Il en résulte qu'au moment où la dixième impulsion d'horloge de référence g ci-dessus est appliquée au compteur 25, le

signal d'entrée appliqué à la borne de validation EN du compteur 25 est toujours à un niveau élevé. De ce fait, le compteur 25 compte une impulsion d'horloge de référence g en ce point. Il en résulte que la valeur de comptage de sortie
5 du compteur 25 indique le bit à partir duquel la donnée lue par le circuit de verrouillage 14 est obtenue, c'est-à-dire le nombre de bits suivant le signal de synchronisation après lesquels est situé le bit contenant la donnée lue.

Dans le présent mode de réalisation de l'invention,
10 quand il existe un signal numérique b représenté à la figure 3(A) et provenant du détecteur 12, le diviseur de fréquence 18 est effacé par l'impulsion de détection de variation de niveau e représentée à la figure 3(B) qui est synchronisé en phase avec les bords montants et tombants du signal numéri-
15 que b. Ainsi, la phase de l'impulsion d'horloge de synchronisation de lecture de données f produite par le décodage du signal de sortie du diviseur de fréquence 18 est corrigée chaque fois que l'impulsion de détection de variation de niveau e ci-dessus est appliquée au diviseur de fréquence
20 18.

Contrairement au mode de réalisation ci-dessus, l'appareil de lecture de données habituel est constitué de la manière représentée à la figure 4. Dans ce cas, il n'est pas possible de corriger la phase de l'impulsion d'horloge de
25 synchronisation de lecture de données, comme cela sera décrit ci-après. A la figure 4, les parties qui sont les mêmes que les parties correspondantes de la figure 1 sont désignées par les mêmes références numériques, et il n'en sera pas fait de description. A la figure 4, le signal
30 numérique de sortie du détecteur 12 est appliqué à une borne d'entrée de données d'un circuit de verrouillage 30. Par ailleurs, le signal de détection du signal de synchronisation arrivant d'une borne d'entrée 31 est appliqué à une borne d'effacement d'un diviseur 33 de fréquence de 1/10. Ce
35 diviseur de fréquence 33 compte les impulsions d'horloge de référence obtenues du générateur d'impulsions d'horloge de référence 15 et envoie la sortie comptée en résultant au décodeur 19. Le diviseur de fréquence 33 et le décodeur 19

constituent un générateur d'impulsions d'horloge de synchronisation de lecture de données 32. L'impulsion d'horloge de synchronisation de lecture de données produite par le décodeur 19 est appliquée à une borne d'entrée d'horloge du circuit de verrouillage 30.

Ainsi, dans l'appareil de lecture de données habituel, le diviseur de fréquence 33 est simplement effacé pour chaque signal de synchronisation arrivant. Il en résulte que si le signal numérique ci-dessus comprend une instabilité due à la transmission, comme représenté à la figure 5(A), et bien que la première impulsion d'horloge de synchronisation de lecture de données soit engendrée après la détection du signal de synchronisation et selon une phase qui est sensiblement au centre de la période de bit du signal numérique, comme représenté en b_1 à la figure 5(B), l'erreur de phase de l'impulsion d'horloge de synchronisation de lecture de données par rapport au signal numérique représenté à la figure 5(A) augmente graduellement chaque fois que l'impulsion d'horloge de synchronisation de lecture de données est engendrée, comme indiqué en b_2 , b_3 , b_4 , b_5 , b_6 et b_7 à la figure 5(B). Eventuellement, l'impulsion d'horloge de synchronisation de lecture de données est engendrée au niveau d'un bit adjacent au bit qui doit être lu à l'origine, comme indiqué en b_6 à la figure 5(B). En conséquence, le signal de sortie de lecture de données envoyé d'une borne de sortie Q du circuit de verrouillage 30 à une borne de sortie 34 prend la forme représentée à la figure 5(C). Dans ce cas, l'information produite est complètement différente de l'information de donnée du signal numérique d'origine représenté à la figure 5(A).

Par contre, dans l'appareil de lecture de données selon la présente invention, la phase de l'impulsion d'horloge de synchronisation de lecture de données f est corrigée chaque fois qu'une impulsion de détection de variation de niveau e parvient au diviseur de fréquence 18. En conséquence, on évite de façon certaine une opération erronée telle que la lecture d'une donnée provenant d'un bit adjacent au bit qui doit être lu à l'origine.

La donnée numérique peut être lue correctement par le signal de sortie du diviseur de fréquence 18 obtenu par l'intermédiaire du décodeur 19, même si la période de l'impulsion d'horloge de référence produite par le générateur d'impulsions d'horloge de référence 15 dépasse le $1/10$ de la période de bit T .

On décrira maintenant un second mode de réalisation d'un appareil de lecture de données selon la présente invention. A la figure 6, un signal de code (signe) à trois valeurs i représenté à la figure 7 (A) et parvenant à une borne d'entrée 41 est envoyé à une borne d'entrée non inverseuse d'un comparateur 44 et à une borne d'entrée inverseuse d'un comparateur 45. Le signal de code à trois valeurs i est un signal transmis selon le système à réponse partielle. Ce système à réponse partielle est connu comme faisant partie de l'un des systèmes de transmission numérique. Un signal de code à deux valeurs qui doit être transmis est converti en un autre signal de code à deux valeurs (par exemple un signal de non retour à zéro inversé (NRZI) selon le système à réponse partielle ci-dessus, en considérant les caractéristiques d'une tête magnétique et d'un support d'enregistrement magnétique constituant le circuit de transmission magnétique, puis enregistré sur le support d'enregistrement magnétique. Quand ce support d'enregistrement magnétique est reproduit ou lu par la tête magnétique, la composante basse fréquence qui est proche de la composante en courant continu est fortement atténuée du fait de la caractéristique de différenciation provenant de l'enroulement contenu dans la tête magnétique. En outre, la composante haute fréquence est également atténuée. En conséquence, la forme d'onde du signal reproduit a un niveau de signal correspondant au niveau "+1" pour le bord montant du signal de code à deux valeurs enregistré, et a un niveau de signal correspondant à "-1" pour le bord tombant du signal de code à deux valeurs enregistré, et a un niveau de signal "0" pour une partie du signal de code à deux valeurs enregistré quand le niveau "0" ou "1" est obtenu de façon continue pendant un intervalle dépassant la période de deux bits, et a une forme d'onde

comme celle d'un signal de code à trois valeurs. Pour transformer ce signal de code à trois valeurs reproduit en un signal de code à trois valeurs selon le système à réponse partielle, on réalise une compensation haute fréquence dans un égalisateur. Un signal reproduit obtenu de cet égalisateur est le signal de code à trois valeurs i représenté à la figure 7(A). A la figure 7(A), les chiffres figurant au-dessus de l'onde indiquent la valeur du signal de code à deux valeurs qui doit être enregistré.

10 Par ailleurs, une première tension de référence indiquée en E_1 à la figure 7(A) est appliquée à une borne d'entrée inverseuse du comparateur 44, en provenance d'une borne d'entrée 42. De plus, une seconde tension de référence indiquée en E_2 à la figure 7(A) est appliquée à une borne
15 d'entrée non inverseuse du comparateur 45, en provenance d'une borne d'entrée 43. La première tension de référence est choisie à un niveau intermédiaire compris entre le niveau de crête d'un signal correspondant au niveau "0" du signal de code à trois valeurs i et à un niveau de crête
20 d'un signal correspondant au niveau "+1" du signal de code à trois valeurs i. La seconde tension de référence est choisie à un niveau intermédiaire entre le niveau de crête d'un signal correspondant au niveau "0" du signal de code à trois valeurs i et le niveau de crête d'un signal correspondant au
25 niveau "-1" du signal de code à trois valeurs i.

En conséquence, on obtient du comparateur 44 représenté à la figure 6 une onde carrée à deux valeurs j représentée à la figure 7(B). Cette onde carrée j a un niveau de signal "+1" compris à l'intérieur d'un intervalle qui correspond au
30 niveau de signal "+1" du signal de code à deux valeurs d'entrée i, et un niveau de signal "0" à l'intérieur des intervalles qui correspondent aux niveaux "-1" et "0" du signal de code à trois valeurs d'entrée i. Par ailleurs, on obtient du comparateur 45 une onde carrée à deux valeurs k
35 représentée à la figure 7(C). Cette onde carrée k a un niveau de signal "+1" compris à l'intérieur d'un intervalle correspondant au niveau "-1" du signal de code à trois valeurs i, et un niveau de signal "0" à l'intérieur

d'intervalles correspondant aux niveaux "+1" et "0" du signal de code à trois valeurs \underline{i} . Un circuit OU 46 effectue la somme logique des ondes carrées \underline{j} et \underline{k} ci-dessus et produit une onde carrée $\underline{\ell}$ représentée à la figure 7(D).

- 5 Cette onde carrée $\underline{\ell}$ est appliquée aux bornes d'entrée de données respectives des circuits de verrouillage 47 et 48, en tant que signaux de détection de niveau.

Un signal obtenu d'une borne de sortie Q du circuit de verrouillage 47 est appliqué à une borne d'entrée de données
10 d'un circuit de verrouillage 49. Une impulsion d'horloge de référence dont la période est de 1/10 de la période de bit du signal de code à trois valeurs \underline{i} est obtenue d'un générateur d'impulsions d'horloge de référence 50, et appliquée aux bornes d'entrée d'impulsions d'horloge respectives des
15 circuits de verrouillage 47 et 49. Le signal provenant de la borne de sortie Q du circuit de verrouillage 47 et un signal provenant de la borne de sortie \bar{Q} du circuit de verrouillage 49 sont envoyés respectivement à un circuit ET 51. Le circuit ET 51 produit une impulsion \underline{m} représentée à la figure 7(E).
20 Cette impulsion \underline{m} est en synchronisme de phase avec le bord montant du signal de détection de niveau $\underline{\ell}$, comme le montre les figures 7(D) et 7(E). L'impulsion \underline{m} ci-dessus est appliquée à une borne de charge LD d'un diviseur 52 de fréquence de 1/16, en tant qu'impulsion de détection de variation de
25 niveau. L'erreur de phase ne concorde pas toujours entre le bord montant de l'impulsion \underline{m} et le signal de détection de niveau $\underline{\ell}$ et le bord montant de l'impulsion \underline{m} est retardé par rapport au bord montant du signal de détection de niveau $\underline{\ell}$ d'un retard qui est approximativement égal au maximum à une
30 période d'impulsion d'horloge de référence.

Par exemple une puce à circuit intégré LS163 peut être utilisée pour réaliser le diviseur 52 de fréquence de 1/16 ci-dessus. Parmi les bornes d'entrée de données D_1 à D_4 (D_1 représentant le bit le moins significatif et D_4 le bit le
35 plus significatif) du diviseur de fréquence 52, une tension de bas niveau est appliquée aux bornes D_1 et D_2 . Les bornes D_3 et D_4 du diviseur de fréquence 52 sont respectivement reliées aux bornes de sortie \bar{Q} et Q du circuit de verrouillage

48. Le diviseur de fréquence 52 ci-dessus compte les impulsions d'horloge de référence obtenues du générateur d'impulsions d'horloge de référence 50 et produit une sortie comptée par l'intermédiaire des bornes Q_1 à Q_4 . De plus, une
5 impulsion qui passe à un niveau élevé quand la valeur comptée devient "15" et passe à un niveau bas quand parvient la seizième impulsion d'horloge de référence, c'est-à-dire une impulsion obtenue par la division de la fréquence de l'impulsion d'horloge de référence au $1/16$ de la fréquence d'origine,
10 est produite à partir d'une borne d'exécution CA du diviseur de fréquence 52. Cette impulsion provenant de la borne CA est appliquée à une borne de validation EN d'un compteur 56. Du fait que la période de l'impulsion d'horloge de référence est choisie comme étant le $1/16$ de la période de bit, la période de l'impulsion obtenue de la borne CA du
15 diviseur de fréquence 52 est le $1/16$ de la période de bit.

Quand les signaux de sortie provenant respectivement des bornes Q_1 , Q_2 et Q_4 du diviseur de fréquence 52 sont au niveau logique "1" et quand le signal de sortie provenant de
20 la borne Q_3 est au niveau logique "0", c'est-à-dire quand la valeur comptée est de "11", le signal de sortie provenant de la borne Q_3 est envoyé au circuit ET à quatre entrées 54, par l'intermédiaire d'un inverseur 53, alors que les signaux de sortie provenant des bornes Q_1 , Q_2 et Q_4 sont envoyés
25 directement au circuit ET 54. Ce circuit ET 54 produit une impulsion \underline{n} dont la forme d'onde est celle représentée à la figure 7(F). L'impulsion \underline{n} est appliquée à une borne d'entrée d'horloge du circuit de verrouillage 48 en tant qu'impulsion d'horloge de synchronisation de lecture de données.
30 Ainsi, le circuit de verrouillage 48 verrouille le signal de détection de niveau \underline{e} par le bord montant de l'impulsion \underline{n} , et produit un signal qui est ainsi obtenu d'une borne de sortie \underline{q} alors qu'un signal de phase inversée est produit par l'intermédiaire d'une borne de sortie \bar{q} . Une impulsion \underline{o}
35 représentée à la figure 7(G) est envoyée à une borne de sortie 57, en provenance de la borne de sortie \underline{q} , en tant que signal de lecture de données. Ce signal de lecture de données \underline{o} comporte un niveau de signal "+1" par rapport aux

niveaux "+1" et "-1" du signal de code à trois valeurs i , et un niveau "0" par rapport au niveau "0" du signal de code à trois valeurs i , et il indique donc la donnée d'origine.

Par ailleurs, le compteur 56 est effacé par le signal de
5 détection du signal de synchronisation obtenu d'une borne
55, et il compte les impulsions d'horloge de référence
pendant l'intervalle au cours duquel un signal de haut
niveau parvient à la borne de validation EN du compteur. Du
fait que l'impulsion dont la période est égale au 1/16 de la
10 période de bit est appliquée à la borne de validation EN du
compteur 56, ce compteur 56 produit à une borne de sortie 58
une valeur de comptage. Comme dans le cas du compteur 25
décrit ci-dessus, la valeur comptée émise en sortie par le
compteur 56 indique le bit à partir duquel est obtenue la
15 donnée lue dans le circuit de verrouillage 48, c'est-à-dire
le nombre de bits suivant le signal de synchronisation et
après lesquels est situé le bit contenant la donnée lue.

En comparant le signal de code à trois valeurs i repré-
senté à la figure 7(A) et le signal de détection de niveau ℓ
20 représenté à la figure 7(D), on voit que le bord montant du
signal de détection de niveau ℓ apparaît quand le niveau du
signal de code à trois valeurs i devient "+1" ou "-1". Quand
le niveau du signal de code à trois valeurs i dans une
période de bit précédant immédiatement la période de bit du
25 signal de lecture de données produit par la borne Q du
circuit de verrouillage 48 est de "0", le bord montant du
signal de détection de niveau ℓ se manifeste plus rapidement,
par comparaison avec le cas où le niveau du signal de code à
trois valeurs i dans la période de bit immédiatement précé-
30 dante est de "-1" ou de "+1". En conséquence, du fait que
l'impulsion de détection de variation de niveau m est égale-
ment engendrée en synchronisme de phase avec le bord montant
du signal de détection de niveau ℓ , l'impulsion de détection
de variation de niveau m est engendrée à un moment différent
35 selon que le niveau du signal de code à trois valeurs i
dans une période de bit immédiatement précédente est de "0"
ou de "-1" (ou de "+1").

Donc, si le diviseur de fréquence 52 assume toujours la

même valeur de remise à zéro (valeur de la donnée de mise à l'état initial) et si l'impulsion d'horloge de synchronisation de lecture de données est engendrée à partir du signal de sortie compté par le diviseur de fréquence 52, la donnée
5 lue par le circuit de verrouillage 48 n'est pas réalisée sensiblement au centre de la période de bit selon la valeur du bit précédant immédiatement la donnée.

Pour éviter le phénomène ci-dessus, le signal de sortie \underline{o} provenant de la borne \underline{Q} du circuit de verrouillage 48 est
10 donc appliqué à la borne d'entrée de donnée de mise à l'état initial D_4 du diviseur de fréquence 52 dans le présent mode de réalisation. En outre, le signal de sortie de la borne \bar{Q} du circuit de verrouillage 48 est appliqué à la borne d'entrée de donnée de mise à l'état initial D_3 du diviseur de
15 fréquence 52. Ainsi, lorsque le signal de lecture de données \underline{o} est à un niveau bas, le niveau d'entrée aux bornes D_1 , D_2 et D_4 passe respectivement à un niveau bas, alors que le niveau de l'entrée à la borne D_3 passe à un niveau élevé. Dans cet état, s'il existe une impulsion de détection de
20 variation arrivante \underline{m} dans le diviseur de fréquence 52, une valeur de "4" est réglée dans le diviseur de fréquence 52. D'un autre côté, lorsque le signal de lecture de donnée \underline{o} est à un niveau élevé, une valeur de "8" est réglée dans le diviseur de fréquence 52 s'il existe une impulsion de détection de variation de niveau arrivante \underline{m} . Si le signal de
25 lecture de donnée \underline{o} est à un niveau bas à un moment dans le temps où l'impulsion de détection de variation de niveau \underline{m} est engendrée, la donnée dans le bit immédiatement précédant est de "0", et par ailleurs si le signal de lecture de
30 donnée \underline{o} est à un niveau élevé, la donnée dans le bit immédiatement précédant est de "1", comme représenté aux figures 7(A) à 7(G).

En conséquence, dans le présent mode de réalisation, si la donnée dans le bit immédiatement précédant est de "0", la
35 valeur de "4" est réglée lorsqu'on remet le diviseur de fréquence 52 à zéro. Ensuite, quand la valeur comptée atteint une valeur de "11", l'impulsion d'horloge de synchronisation de lecture de données \underline{n} est engendrée de façon relativement

retardée, comme indiqué en n_1 , n_4 et n_7 à la figure 7(F). Par ailleurs, si la donnée dans le bit immédiatement précédant est de "1", la valeur de "8" est réglée lors de la remise à zéro du diviseur de fréquence 52. Ensuite, dans ce cas, lorsque la valeur comptée atteint la valeur de "11", l'impulsion d'horloge de synchronisation de lecture de données n est engendrée avec une légère avance, comme indiqué en n_5 à la figure 7(F).

Les impulsions d'horloge de synchronisation de lecture de données indiquées en n_2 , n_3 et n_6 à la figure 7(F) sont engendrées chaque fois que le diviseur de fréquence 52 compte seize impulsions d'horloge de référence.

Selon le présent mode de réalisation, la phase de l'impulsion d'horloge de synchronisation de lecture de données n est donc corrigée pour chaque bord montant du signal de détection de niveau $\underline{\ell}$, et la donnée ne peut donc être lue de façon erronée s'il y a instabilité. De plus, le moment auquel l'impulsion d'horloge de synchronisation de lecture de données n est engendrée varie en fonction de la donnée contenue dans le bit immédiatement précédant du signal de détection de niveau $\underline{\ell}$. La donnée peut donc être lue avec précision et sensiblement au centre de la période de bit du signal de détection de niveau $\underline{\ell}$.

Cependant, dans le second mode de réalisation ci-dessus et représenté à la figure 6, si le bord montant du signal de détection de niveau $\underline{\ell}$ représenté à la figure 7(D) est engendré au point t_2 représenté à la figure 9(A), décalé par rapport au point de montée d'origine t_1 d'une durée x en raison de bruit, de variations de niveau et analogues introduits dans le système de transmission par exemple, l'impulsion de détection de variation de niveau \underline{m} est également engendrée en un point décalé comme indiqué par l'impulsion y à la figure 9(B). Donc, si le diviseur de fréquence 52 est remis à zéro par une impulsion de détection de variation de niveau y décalée en phase, le diviseur de fréquence 52 peut ensuite engendrer l'impulsion d'horloge de synchronisation de lecture de données dont la phase est décalée, jusqu'à ce que le diviseur de fréquence 52 soit correctement remis à

zéro.

De plus, dans le second mode de réalisation, le diviseur de fréquence 52 est réglé par une donnée de mise à l'état initial par l'impulsion de détection de variation de niveau \underline{m} (c'est-à-dire "remis à zéro"). En conséquence, au cours d'un intervalle situé entre un point de remise à zéro et un autre point de remise à zéro, l'impulsion de synchronisation de lecture de données \underline{n} peut être engendrée deux fois. En d'autres termes, il peut arriver que l'impulsion d'horloge de synchronisation de lecture de données \underline{n} soit engendrée lorsque la valeur comptée dans le diviseur de fréquence 52 est de "11", comme indiqué en n_a à la figure 10(B), que l'impulsion de détection de variation \underline{m} soit engendrée quand la valeur comptée dans ledit diviseur de fréquence 52 est de "12", comme représenté à la figure 10(A), et que le diviseur de fréquence 52 soit en conséquence mis à une valeur initiale pour une valeur de "8". A la figure 10(A), les chiffres figurant au-dessus de l'onde désignent la valeur comptée dans le diviseur de fréquence 52.

Dans ce cas, le diviseur de fréquence 52 commence à compter à partir de la valeur de "8". En conséquence, la valeur comptée de "11" est obtenue en un point situé avant que l'impulsion de détection de variation de niveau suivante \underline{m} soit engendrée. Le résultat est qu'une impulsion d'horloge de synchronisation de lecture de données n_b représentée à la figure 10(B) est engendrée. Comme l'intervalle minimum pour les impulsions de détection de variation de niveau \underline{m} est égal à une période d'un bit nécessaire pour compter seize impulsions d'horloge de référence, les deux impulsions d'horloge de synchronisation de lecture de données n_a et n_b représentées à la figure 10(B) sont engendrées à l'intérieur de cet intervalle d'impulsion.

Le phénomène décrit ci-dessus est évité par un troisième mode de réalisation d'un appareil de lecture de données selon la présente invention, et représenté à la figure 8. A la figure 8, les parties qui sont les mêmes que les parties correspondantes de la figure 6 sont désignées par les mêmes références numériques et il n'en sera pas fait de description.

A la figure 8, un décodeur 60 reçoit les signaux provenant des bornes de sortie de comptage Q_1 à Q_4 du diviseur de fréquence 52. Quand la valeur comptée dans le diviseur de fréquence 52 est de "11" par exemple, le décodeur 60 produit
5 une impulsion d'horloge de synchronisation de lecture de données n représentée à la figure 9(E), par l'intermédiaire d'une borne P_1 , et il produit une impulsion p représentée aux figures 9(C) et 10(C) par l'intermédiaire d'une borne P_2 . L'impulsion p est de niveau élevé, comme représenté à la
10 figure 10(C), pendant un intervalle au cours duquel la valeur comptée dans le diviseur de fréquence 52 a une valeur comprise entre "2" et "10". Une impulsion de détection de variation de niveau normale m est engendrée à l'intérieur de l'intervalle ci-dessus quand la valeur comptée dans le
15 diviseur de fréquence 52 a une valeur comprise entre "2" et "10".

L'impulsion p est envoyée à un circuit ET 59, en même temps que l'impulsion de détection de variation de niveau m . En conséquence, un signal appliqué à la borne de charge LD
20 du diviseur de fréquence 52 et provenant du circuit ET 59 prend la forme indiquée par q à la figure 9(D). En d'autres termes, l'impulsion de détection de variation de niveau y représentée à la figure 9(B) qui est engendrée quand il y a une phase anormale est éliminée, et seule l'impulsion de
25 détection de variation de niveau engendrée lorsque la phase est normale est appliquée à la borne de charge LD du diviseur de fréquence 52 pour remettre ce diviseur de fréquence à zéro. L'opération erronée décrite ci-dessus est donc évitée.

30 Le décodeur 60 a un circuit dont la constitution est représentée à la figure 11. A la figure 11, une puce à circuit intégré LS138 peut être utilisée pour constituer le compteur 63. Les signaux de sortie de trois bits qui sont comptés, à l'exclusion du bit le moins significatif, par un
35 diviseur de fréquence de 1/15 (non représenté) correspondant au diviseur 52 de fréquence de 1/16 ci-dessus, sont appliqués respectivement aux bornes d'entrée A, B et C du compteur 63.

A la figure 11, la lettre de référence "H" indique une tension de haut niveau, et la lettre de référence "L" indique une tension de bas niveau. Quand une tension de bas niveau est appliquée à toutes les bornes d'entrée A, B et C du compteur 63, une tension de bas niveau est produite seulement à une borne de sortie Y_0 appartenant aux bornes de sortie Y_0 à Y_7 . Les autres bornes de sortie Y_1 à Y_7 produisent des tensions de niveau élevé. Par ailleurs, si la borne d'entrée B faisant partie des bornes d'entrée A, B et C est la seule à laquelle est appliquée une tension de haut niveau, une tension de bas niveau est produite seulement à la borne de sortie Y_1 . Dans ce cas, les autres bornes de sortie Y_0 et Y_2 à Y_7 produisent des tensions de niveau élevé. De même, si des tensions de haut niveau sont appliquées respectivement aux bornes d'entrée A, B et C du compteur 63, une tension de bas niveau n'est obtenue que de la borne de sortie Y_7 et une tension de haut niveau est obtenue respectivement des autres bornes de sortie Y_0 à Y_6 .

Le signal obtenu de la borne de sortie Y_1 du compteur 63 est appliqué à une borne d'entrée J d'une bascule J-K 65, par l'intermédiaire d'un inverseur 64. De plus, le signal de sortie provenant de la borne de sortie Y_7 est appliqué à une borne d'entrée \bar{K} de la bascule J-K 65. L'impulsion d'horloge de référence arrivant à une borne 67 est appliquée aux bornes d'entrée d'horloge respective des bascules J-K 65 et 66. En conséquence, l'impulsion p représentée aux figures 9(C) et 10(C) est obtenue d'une borne de sortie Q de la bascule 65, et cette impulsion p est envoyée à une borne de sortie 69. Un signal de sortie provenant d'une borne d'exécution du diviseur de fréquence de 1/15 ci-dessus est appliqué aux bornes d'entrée J et \bar{K} de la bascule 66. Ainsi, une impulsion d'horloge de synchronisation de lecture de données représentée à la figure 10(E) est produite à une borne de sortie Q de la bascule 66, et envoyée à une borne de sortie 70.

La description qui précède a été faite pour la lecture de données d'une série de signaux numériques non auto-synchronisés, tels qu'un signal de non retour à zéro NRZ ou

un signal de non retour à zéro inversé NRZI. Cependant, l'appareil de lecture de données selon la présente invention peut également être utilisé de façon similaire pour une série de signaux numériques auto-synchronisés, tels qu'un
5 signal à modulation de fréquence modifiée (MFM) ou un signal de codage de phase (CP) obtenu en effectuant une modulation de fréquence modifiée ou un codage de phase, en ajoutant une légère modification. Par exemple, quand on lit la donnée dans un signal MFM, la période de répétition de l'impulsion
10 d'horloge de référence est choisie au $1/20$ de la période de bit du signal MFM. En outre, un circuit de décodage MFM est ajouté à un étage de sortie de la borne de sortie 26 ou 57.

En outre, la fonction OU exclusive peut être obtenue entre une série de signaux numériques non auto-synchronisés
15 et une série de codes aléatoires tels qu'un code de série M engendré séparément. Dans ce cas, l'appareil selon la présente invention peut être appliqué à une série de signaux numériques rendus aléatoires, où la série de signaux numériques non auto-synchronisés est rendue aléatoire de manière à
20 réduire le taux de logique continue "0" ou "1".

La présente invention n'est pas limitée à l'application à la transmission de codes à deux valeurs et à la transmission de codes à trois valeurs, comme décrit dans les modes de réalisation qui précèdent, et elle peut également être
25 appliquée à des systèmes de transmission de codes à quatre valeurs ou de codes à huit valeurs, et analogues. En général, quand il s'agit d'une transmission de codes à M valeurs (M étant un nombre entier), il existe (M - 1) espèces de valeurs de remise à zéro pour la remise à zéro du diviseur de
30 fréquence par l'impulsion de détection de variation de niveau.

De plus, selon l'appareil de la présente invention, l'impulsion d'horloge de lecture correcte de chaque bit (ou de chaque digit) peut être obtenue même si le contrôle des
35 temps n'est pas réalisé par la détection du signal de synchronisation. Ainsi, l'appareil peut être utilisé pour détecter le motif du signal de synchronisation dont le motif de donnée est fixé arbitrairement. Par exemple, si le signal de

synchronisation consiste en huit bits de donnée, la donnée de huit bits qui est lue peut être mise en mémoire dans un registre ou analogue, pour détecter le motif.

Comme il va de soi, la présente invention n'est pas
5 limitée aux modes de réalisation qui ont été décrits et diverses variantes et modifications peuvent lui être apportées sans s'écarter de son champ d'application.

REVENDEICATIONS

1. Appareil de lecture de données destiné à la transmission de données, utilisé pour lire des données numériques provenant d'une série de signaux numériques obtenus par la comparaison du niveau d'un signal de transmission arrivant et obtenu par l'intermédiaire d'un circuit de transmission avec un niveau de référence dans un détecteur (12), ledit appareil de lecture de données comprenant un générateur d'impulsions d'horloge de référence (15, 50) destiné à engendrer une impulsion d'horloge de lecture ayant une période égale sensiblement à $1/M$ (M étant un nombre entier supérieur ou égal à deux) d'une période de transmission d'un digit de ladite série de signaux numériques, et un circuit de lecture de données (14, 48) destiné à obtenir un signal de sortie de lecture de données par le verrouillage de ladite série de signaux numériques par une impulsion d'horloge de synchronisation de lecture de données, caractérisé en ce que sont prévus: des moyens détecteurs (13, 16, 17, 47, 49, 51) auxquels sont envoyés ladite série de signaux numérique et ladite impulsion d'horloge de référence engendrée par ledit générateur d'impulsions d'horloge de référence, en vue d'engendrer une impulsion de détection de variation de niveau en synchronisme de phase avec des points variant en niveau et correspondant aux bords montants et/ou aux bords tombants de ladite série de signaux numériques, et des moyens diviseurs de fréquence (18, 19, 52, 53, 54, 60) remis à zéro par ladite impulsion de détection de variation de niveau provenant desdits moyens de détection, en vue d'engendrer une impulsion d'horloge de synchronisation de lecture de données dont la période est sensiblement égale à la période de digit de ladite série de signaux numériques et dont la phase est retardée par rapport à ladite impulsion de détection de variation de niveau, en divisant en fréquence ladite impulsion d'horloge de référence provenant dudit générateur d'impulsions d'horloge de référence, ladite impulsion d'horloge de synchronisation de lecture de données ainsi engendrée étant envoyée audit circuit de lecture de

données.

2. Appareil de lecture de données selon la revendication 1, caractérisé en ce que lesdits moyens de détection comprennent des premier et second circuits de verrouillage (13, 16, 5 47, 49) reliés en série, et un circuit logique (17, 51) auquel est envoyé chaque signal de sortie provenant desdits premier et second circuits de verrouillage, lesdits moyens diviseurs de fréquence comprenant un diviseur de fréquence de $1/M$ (18, 52) auquel est envoyée ladite impulsion d'horloge de référence vers une borne d'entrée d'horloge de ce 10 diviseur, et auquel est envoyée ladite impulsion de détection de variation de niveau vers une borne d'effacement ou une borne de charge dudit diviseur, et un décodeur (19, 53, 54, 60) destiné à engendrer ladite impulsion d'horloge de 15 synchronisation de lecture de données quand un signal de sortie provenant dudit diviseur de fréquence de $1/M$ parvient à une valeur de comptage prédéterminée, en ce que ledit circuit de lecture de données est un troisième circuit de verrouillage (14, 48) auquel est envoyée ladite série de 20 signaux numériques à une borne d'entrée de ce circuit, et auquel est envoyée ladite impulsion d'horloge de synchronisation de lecture de données à une borne d'entrée d'horloge dudit circuit.

3. Appareil de lecture de données selon la revendication 25 1, caractérisé en ce que lesdits moyens diviseurs de fréquence comprennent en outre des moyens de contrôle de phase ($D_1 - D_4$ de 52) en vue d'engendrer ladite impulsion d'horloge de synchronisation de lecture de données qui est contrôlée de façon variable selon une quantité de retard de phase par 30 rapport à ladite impulsion de détection de variation de niveau, en fonction d'une valeur du signal de sortie de lecture de données dans un digit qui précède immédiatement un digit à partir duquel est obtenu le signal de sortie de lecture de données de ladite série de signaux numériques.

35 4. Appareil de lecture de données selon la revendication 3, caractérisé en ce que lesdits moyens diviseurs de fréquence comprennent un diviseur de fréquence de $1/M$ (52) auquel est envoyée ladite impulsion d'horloge de référence à une

borne d'entrée d'horloge de ce diviseur, et auquel est envoyée ladite impulsion de détection de variation de niveau à une borne de charge de ce diviseur, et un décodeur (53, 54) destiné à engendrer ladite impulsion d'horloge de synchronisation de lecture de données quand une sortie dudit diviseur de fréquence de $1/M$ parvient à une valeur prédéterminée, et en ce que lesdits moyens de contrôle de phase sont des moyens pour appliquer ledit signal de sortie de lecture de données provenant dudit circuit de lecture de données et un signal de valeur constante à des bornes d'entrée de données de mise à l'état initial dudit diviseur de fréquence de $1/M$.

5. Appareil de lecture de données selon la revendication 1, caractérisé en ce que lesdits moyens diviseurs de fréquence comprennent un diviseur de fréquence de $1/M$ (52) auquel est envoyée ladite impulsion d'horloge de référence à une borne d'entrée d'horloge du diviseur, un décodeur (60) destiné à engendrer ladite impulsion d'horloge de synchronisation de lecture de données quand un signal de sortie provenant du diviseur de fréquence de $1/M$ parvient à une première valeur comptée, et destiné à engendrer un signal de porte quand le signal de sortie dudit diviseur de fréquence de $1/M$ indique une valeur comptée située à l'intérieur d'un intervalle prédéterminé, y compris les points de génération de ladite impulsion de détection de variation de niveau d'origine, et un circuit porte (59) auquel sont envoyés ledit signal de porte et ladite impulsion de détection de variation de niveau, pour faire passer et envoyer ladite impulsion de détection de variation de niveau vers une borne d'effacement ou une borne de charge dudit diviseur de fréquence de $1/M$ seulement pendant un intervalle au cours duquel ledit signal de porte est envoyé audit circuit porte.

6. Appareil de lecture de données selon la revendication 1, caractérisé en ce qu'il comprend en outre un compteur (25, 56) effacé par une impulsion de détection de signal de synchronisation obtenu en détectant un signal de synchronisation contenu à l'intérieur de ladite série de signaux numériques, auquel est envoyée une impulsion divisée en fréquence

et obtenue par la division de la fréquence de ladite impulsion d'horloge de référence par lesdits moyens diviseurs de fréquence et envoyée à une borne d'habilitation desdits moyens, ladite impulsion divisée en fréquence ayant une 5 période sensiblement égale à la période de digit de transmission de ladite série de signaux numériques, et envoyée avec ladite impulsion d'horloge de référence à une borne d'entrée d'impulsions d'horloge desdits moyens diviseurs.

FIG. 1

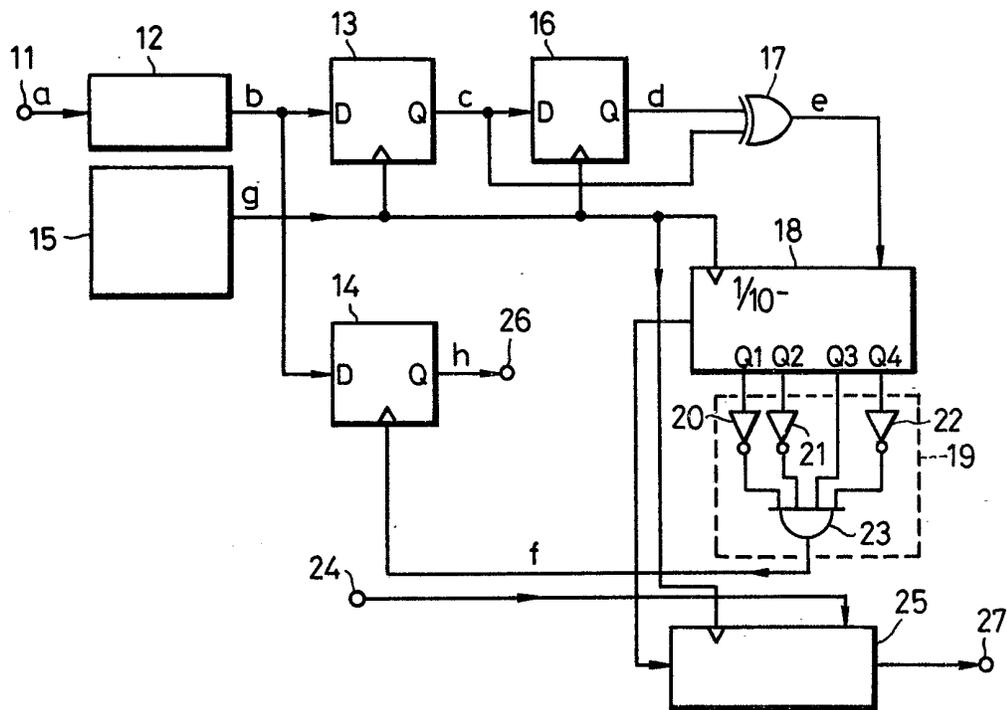
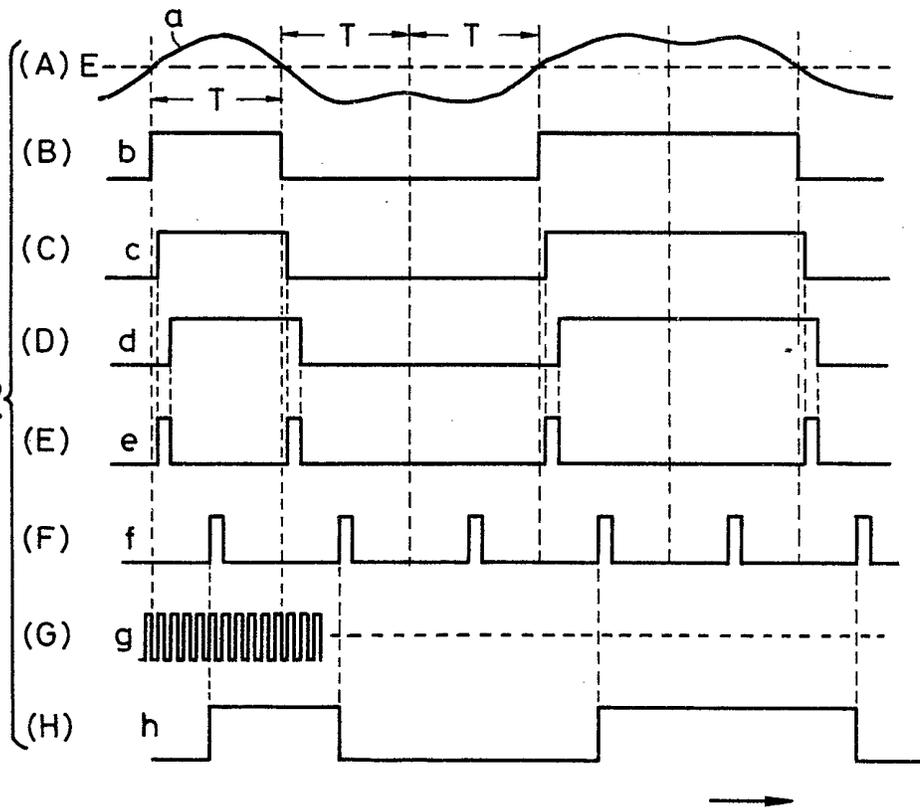


FIG. 2



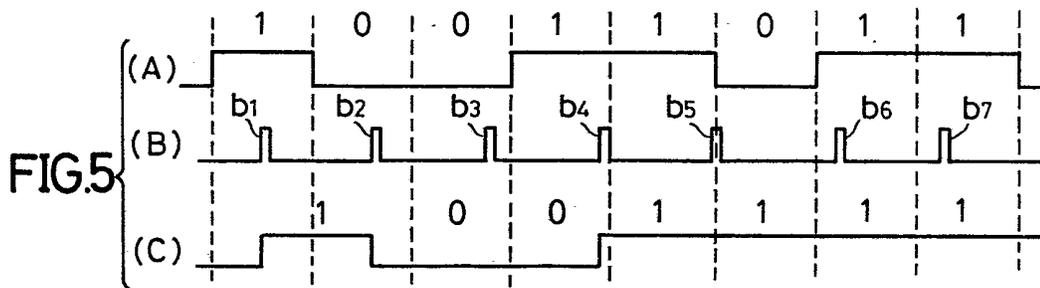
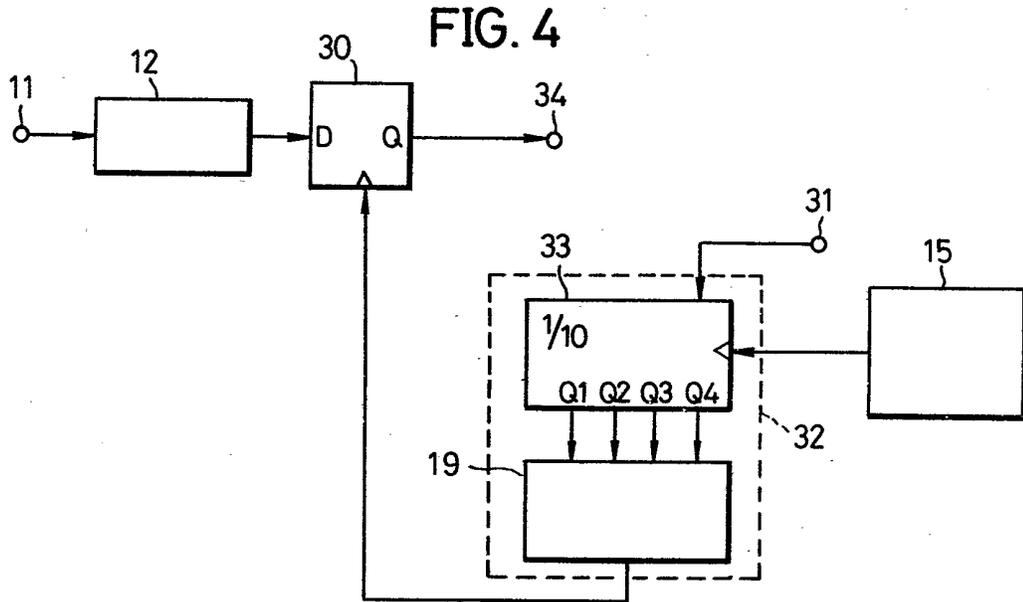
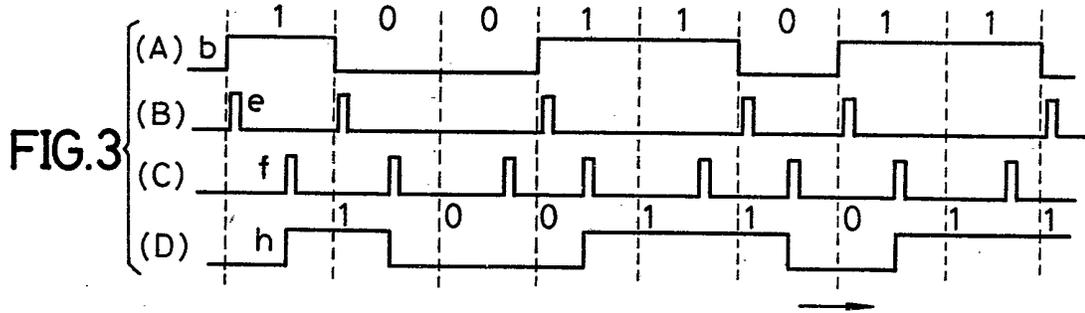


FIG. 6

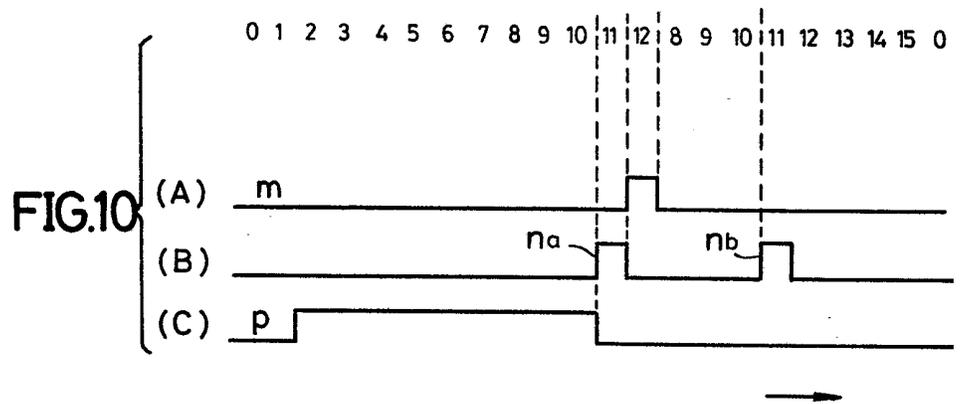
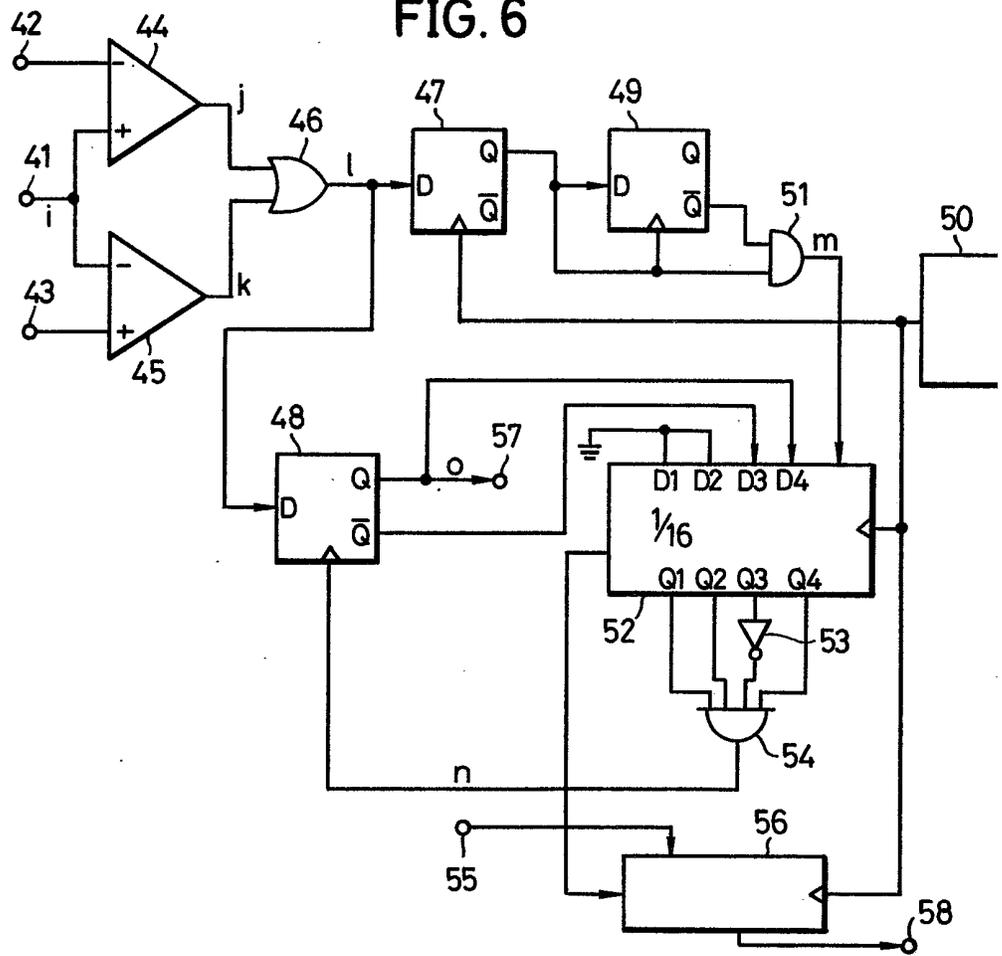


FIG. 8

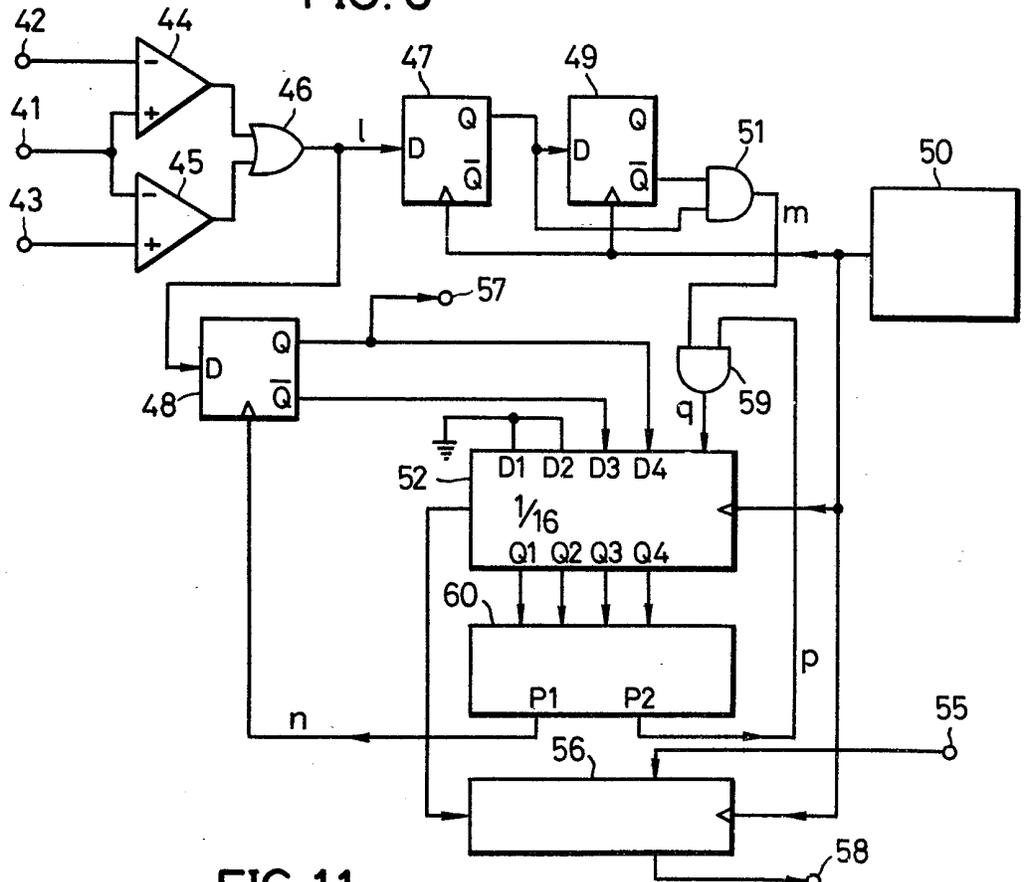


FIG. 11

