

公告本

申請日期	86.10.8
案 號	86114735
類 別	G11C 29/00

A4
C4

466500

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	劃分成單胞陣列在電腦進行操作時仍保持即時 狀況之記憶體晶片的測試方法
	英 文	Method for testing a memory chip, divided into cell arrays, during ongoing operation of a computer while maintaining real-time conditions
二、發明 人	姓 名	荷斯特艾克卡德 (Horst Eckardt)
	國 籍	德國
	住、居所	德國慕尼黑 D-81737 卡夫卡街 6 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	1. 納特布斯克 (Natebusch) 2. 歐姆克 (Ohmke)

裝

訂

線

4 6 6 5 0 0

承辦人代碼：
大 類：
IPC分類：

B6

德國(地區) 申請專利, 申請日期: 案號: , ☒有 ☐無主張優先權
1996年 11月 14日 19647159.1號(主張優先權)

(請先閱讀背面之注意事項再填寫本頁各欄)

線

-2a-

五、發明說明(1)

今日，電腦經常應用在需要在特定時間區間反應之領域中，此稱為即時系統，在此種系統中，電腦可以整合成“埋入式系統”以隱藏於應用系統中或可以個別進行，例如，當作可程式化記憶體控制器或自動電腦，此種應用需要不中斷之操作（高可用性系統或H系統），在其他使用方面，在錯誤事件方面，控制系統必須不能放在危及安全及致使人類生命或有價值之物品危險的形勢之中（安全裝置系統或F系統），兩種也可以同時存在（H+F系統）。

在所有之上述三種操作模式中，在電腦操作期間，可能需要導引自行測試之方法，結果，即使在使它們發生系統之缺失狀態之前，也有可能檢測會局部發生之錯誤和有錯誤之組件，大部分處在危險狀態之電腦組件為那些大部分之電晶體，即記憶體，處理器和周邊邏輯。

此處，本發明之說明係關於記憶體模組之測試，在使用之記憶體為許多百萬位元組的電腦中，記憶體包含大部分的電晶體，因此要測試最重要之組成組件。

三種邏輯錯誤之區別為：突出錯誤，連接錯誤及圖型感測錯誤[1]，取決於這些錯誤發現之程度的有效程度係分配到記憶體測試，為了進行高準位之測試效果，必須檢測所有的直立錯誤，大部分的連接錯誤和大量的圖型感測錯誤。

已知最低複雜度之測試，也就是最短執行時間已經由Nair, Thatte和Abraham[2]測試，此稱為Nair測試用以

五、發明說明(2)

縮短測試時間。

此外，還有 Franklin 測試 [3]，即使當有高組件積體度之相當大的複雜度時，其檢測重要圖型感測錯誤優於 Nair 測試，Franklin 測試可以考慮為 Nair 測試之邏輯延伸，因為它們會發現任何三重的錯誤，但是在可分離的所有相關記憶單胞中，Nair 測試僅可發現那些三重的錯誤，如此，就像 Nair 測試，Franklin 測試可以很有效的分類，所有的這些測試都共同具有它們不需要任何在晶片上之實際單胞結構知識的事實，習慣性的製造資訊足以校正執行。

在操作期間測試記憶單胞之方法得自 [4]，而且在 [4] 中設計成即時資料保護量測。

劃分成單胞陣列之記憶單胞測試方法係得自 [5]（在該刊物中，比較申請專利範圍第 9 項），在已知方法中之記憶單胞係根據矩陣劃分成列區域和行區域（參見申請專利範圍第 1，9 項；第 1 圖）。

本發明係基於在即時狀態之操作期間，可能必須中斷記憶單胞測試之問題，所以系統之反應能力（通常為幾個 ms）並未予以限制（重要：非常有效的測試！），非常有效的記憶體測試並不具有此特性，因此，在即時電腦中，祇可以當作接通測試使用，在操作期間，必須接受低效率測試，然後，這些個別測試在指示之時間痕跡中的小記憶區域，在此期間不允許中斷，即電腦之中斷機制切斷。

五、發明說明(3)

該問題可以藉由申請專利範圍第1項之特徵解決。

本發明允許在電腦操作期間將記憶體晶片劃分成單胞陣列測試，而保持即時狀態，在此同時，可以確保藉由測試中斷能力伴隨之高效率。

記憶體晶片可以劃分成各個根據矩陣排列之單胞陣列，此矩陣可以劃分成列區域和行區域，這些區域各自具有至少一單胞陣列，單胞列係藉由列區域之各列決定，而單胞行則藉由行區域之各行決定。

測試記憶體晶片之方法如下：

選擇第一列區域，若此第一列區域之內容分配給應用程式，則此內容必須拷貝到另一空著(free)的第二列區域和應用程式之位址必須經由第二列區域作適當的修正，在各種情形下進行所有第一列區域之單胞陣列的Franklin測試，自列區域選擇兩單胞陣列，在該兩選擇到之單胞陣列的任何儲存單胞列進行Nair測試，為了測試兩單胞陣列所有可能的組合，在各種情形下，最後步驟之Nair測試重覆其他對之單胞陣列，因受限於選擇，Nair測試僅在第一列區域之儲存單胞行進行，說明方法之各步驟係進行所有記憶體晶片之列區域。

方法過程之第二部分如下：

選擇一對列區域，若該列區域中之一或兩列區域安排為應用程式，則某一系列區域或兩列區域之內容必須拷貝至另外空著之第二列區域，而且適當修正各拷貝列區域之應用程式的位址，在各種情形下，可自兩選擇之列區

五、發明說明(4)

域選擇任一儲存單胞行，Nair測試則在兩選擇之儲存單胞行進行，在各種情形下進行具有不同對列區域之此第二部分的各步驟，直到兩列區域所有可能的組合都進行過。

在測試方法之第一部分中的Franklin測試用於發生連接在相鄰儲存單胞間之結果的動態圖型感測錯誤，這些錯誤可依據沒有具有已知邏輯位址之單胞的實際分派之Franklin測試檢測，在測試方法之第一和第二部分中的Nair測試係用以測試靜態錯誤(短路)及連接線之間。

在執行Nair測試期間有允許不中斷之優點，若獨自完成Nair測試，則會包含由於記憶體存取所引起之邊際效應。

此外，其優點為可藉由平行測試同時測試整個記憶體之許多的記憶體晶片，基此目的，所有相同的資料一同寫入所有的記憶體晶片，且所有相同的資料一同讀自所有的記憶體晶片。

除此之外，在具有EDC機制之電腦系統中，其優點為藉由詢問EDC控制器決定是否要校正記憶體錯誤，若適當，則將錯誤之種類分類，假設可以複製錯誤，則可能可區分為突出錯誤，連接錯誤和圖型感測錯誤，若儲存單胞具有不同於直接寫入之值，則錯誤可歸為突出錯誤，其他兩種錯誤，連接錯誤和圖型感測錯誤則可根據申請專利範圍第1項發現。

根據本發明之方法的進一步發展出現自相關之申請專

五、發明說明(5)

利範圍。

本發明將參考圖式中之實施例作詳細說明，圖式簡單說明如下：

第1圖為記憶體晶片之實際組織圖。

第2圖為說明各方法步驟之流程圖。

第1圖為一種記憶體晶片SC可能之實際組織，在其上之單胞陣列ZF係排列成矩陣形狀之列區域ZB和行區域SB，儲存單胞列ZZ係由列區域ZB之各列決定，而儲存單胞行ZS則由行區域SB之各行決定，各個單胞陣列ZF之陣列寬度FB為n，而陣列高度FH為m，此外，還有列新進線ZZL和行新進線SZL。

第2圖為根據本發明之方法的各方法步驟，為有很有效之記憶體測試，檢測發生連接在相鄰儲存單胞之間的结果之動態圖型感測錯誤，和結果發生在連接線之間的靜態錯誤很重要，為了能夠在即時狀況下之操作期間完成很有效的記憶體測試，提出先探討動態圖型感測錯誤，再探討結果發生在列區域之行新近線且／或列新近線的靜態錯誤之兩段式方法，對所有的列區域反覆地進行此方法，而且在第二步驟針對相對於其他列新近線之二列區域的所有可能之組合，測試其自己的列區域之列新近線，也有敘述在第2圖之此方法詳述於下。

首先，選擇第一列區域（參見第2圖，步驟2a），此第一列區域之內容應要安排到應用程式，此內容要拷貝至其他另外的空著的列區域，該應用程式之位址須對列

五、發明說明(6)

區域作適當地改變(步驟2b),在各種情形下,進行第一列區域所有單胞陣列之Franklin測試(步驟2c),然後,自該列區域選擇兩單胞陣列,在各種情形下選擇在討論中之單胞陣列的任何儲存單胞列,在行新近線之間的連接係藉由對列區域之兩單胞陣列所有可能的組合作Nair測試而進行測試,在各種情形下,其足以在選擇之儲存單胞列上進行Nair測試(步驟2d),在列新近線之間的連接係藉由在選擇之第一列區域的任何儲存單胞行上的Nair測試而進行測試(步驟2e),之後,只要所有的列區域仍然不進行,就不會選擇另外的列區域,而且測試會跳至步驟2b(步驟2f),當所有的列區域都已經個別根據上述之方法測試時,選擇一對列區域(步驟2g),若應用程式需要一列區域或兩列區域之記憶體,則各佔用之列區域必須拷貝至空著的列區域,而且應用程式之位址必須針對各拷貝列區域作適當的修正(步驟2h),然後,在各種情形下,任何儲存單胞行都選擇自兩選擇之列區域,Nair測試係在兩選擇之儲存單胞行上進行(步驟2i),結果,對於在列區域之間的列新進來之各線,進行檢查靜態錯誤之錯誤和在線之間的連接,只要兩列區域所有可能的組合尚未選擇,就會選擇兩列區域之新的可能組合(步驟2j),而且測試跳至步驟2h。

Franklin測試比Nair測試複雜很多,但是當組件積體度很高時,重要之圖型感測錯誤的檢測較好,Franklin

五、發明說明(7)

測試為 Nair 測試之邏輯延伸，因為它們發現任何三重錯誤，然而，在所有可分隔之相關記憶體單胞中，Nair 測試僅可發現三重錯誤，因為根據本發明之方法的記憶體測試係在電腦操作期間及在即時狀態之下進行，所以更複雜之 Franklin 測試僅應用到各單胞陣列，在此情形下，該測試係打算發現動態的圖型感測錯誤，靜態錯誤（短路）和在線之間的連接係根據藉由 Nair 測試之本發明的方法檢測，若可接受由於較複雜之 Franklin 測試所需的時間，則 Franklin 測試也可用以發現靜態錯誤。

符號對照表

SC	記憶體晶片
ZF	單胞陣列
ZB	列區域
ZZ	儲存單胞列
SB	行區域
ZS	儲存單胞行
FB	陣列寬度
FH	陣列高度
ZZL	列新進線
XZL	行新進線

五、發明說明(8)

參考文獻：

- [1] DIN V VDE 0801/A1: 1994-10. Grundsätze für Rechner in Systemen mit Sicherheitsaufgaben [Principles for computers in systems with safety functions].
- [2] R. Nair, S.M. Thatte, J.A. Abraham, Efficient Algorithms for Testing Semiconductor Random-Access Memories. IEEE Trans. on Comp. C-27,6 (1978) 572-576.
- [3] M. Franklin, K.K. Saluja, Hypergraph Coloring and Reconfigured RAM Testing. IEEE Trans. on Comp. 43,6 (1994) 725-736.
- M. Franklin, K.K. Saluja, An Algorithm to Test Reconfigured RAMs. 7th Intl. Conf. on VLSI Design, Calcutta, India, 5-8 Jan. 1994, Comp. Soc. Press (1994) 359-364.
- [4] D. Rhein, H. Freitag: Mikroelektronische Speicher [Microelectronic memories], Springer-Verlag Vienna, New York 1992.
- [5] 德國專利 40 11 987 C2

(請先閱讀背面之注意事項再填寫本頁)

表

訂

像

四、中文發明摘要(發明之名稱：劃分成單胞陣列在電腦進行操作時)
仍保持即時狀況之記憶體晶片的測試方法

在電腦中，記憶體模組包含大部分之電晶體，因此必須測試此最重要之組件，例如，為了在危險應用之安全方面監視記憶體晶片之功能，必需在電腦操作期間進行記憶體測試，此外，這些記憶體有可能在即時狀況下測試，所以應用程式可以不影響效能地進行高度有效的記憶體測試能夠檢測突出錯誤，連接錯誤和圖型感測錯誤，在本發明中，高度有效的記憶體測試係在電腦仍為即時狀況之操作期間，藉由將測試劃分成發現相鄰記憶體單胞之圖型感測錯誤的Franklin測試和在進來之各線中發現連接錯誤的Nair測試之適當組合此種方式來進行。

英文發明摘要(發明之名稱：Method for testing a memory chip, divided into)
cell arrays, during ongoing operation of a computer while maintaining real-time conditions

Memory modules contain most of the transistors in a computer and thus constitute the most important components to be tested. In order, for example, to monitor the function of memory chips in applications which are critical for safety, it is necessary to carry out memory tests during ongoing operation of a computer. Furthermore, it is appropriate to make these memory tests possible under real-time conditions so that the application program can run without degradation. Highly effective memory tests enable stuck-at faults, connection faults and pattern-sensitive faults to be detected. In the invention, the highly effective memory test is performed during ongoing operation of a computer while maintaining real-time conditions by dividing testing into a suitable combination of Franklin tests, which discover pattern-sensitive faults of adjacent memory cells, and of Nair tests, which discover connection faults in the incoming lines.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

(86年12月修正)

1. 一種劃分成單胞陣列 (ZF) 在電腦進行操作時仍保持即
狀況之記憶體晶片的測試方法，在此方法中，該記憶
體晶片 (SC) 根據矩陣劃分成列區域 (ZB) 和行區域 (SB)
，該區域各自至少具有一單胞陣列 (ZF) 和一決定列區
域 (ZB) 之各列的儲存單胞列 (ZZ) 及一決定行區域 (SB)
之各行儲存單胞行 (ZS)，其特徵為：具有下列步驟：
a) 選擇第一列區域 (ZB)，
b) 若第一列區域之內容分配給應用程式，則將此內容
拷貝 (copy) 至另一空著 (free) 的第二列區域，且對
於該第二列區域須適度修改應用程式之位址，
c) 在各種情形下，對於第一列區域之所有單胞陣列
(ZF) 須進行 Franklin 測試，
d) 自該區域中選擇兩單胞陣列，
e) 在該兩個選擇之單胞陣列的任何儲存單胞列 (ZZ) 上
進行 Nair 測試，
f) 用另外一對單胞陣列重覆步驟 d) 到 e)，直到進行完
成兩單胞陣列所有可能的組合為止，
g) 限定於所選擇之第一列區域，而在任何儲存單胞行
(ZS) 上進行 Nair 測試，
h) 對該記憶體晶片 (SC) 之所有的列區域進行步驟 b) 到
g)，
i) 選擇一對列區域，
j) 若列區域中之一或兩列區域是分配給應用程式，則將
此列區域或兩列區域之內容拷貝至某一或兩個空著

(請先閱讀背面之注意事項再填寫本頁)

訂

須請委員明示，本案修正後是否變更原實質。

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

的列區域，而且對於各拷貝之列區域須適度修正應用程式之位址，

k)在每一情形下，由此兩個所選擇之列區域中選擇任一儲存單胞行，

l)在所選擇之此二個儲存單胞行上進行 Nair 測試，

m)用不同對之列區域進行步驟 j)到 l)，直到進行完成兩列區域之所有可能的組合為止。

2.如申請專利範圍第 1 項之方法，其中在 Nair 測試的執行期間不允許中斷。

3.如申請專利範圍第 1 或 2 項之方法，其中藉由將相同之資料寫入所有的記憶體晶片和自所有的記憶體晶片讀取相同之資料的平行測試方式以同時測試整個記憶體中許多的記憶體晶片。

4.如申請專利範圍第 1 或 2 項之方法，係用於分類具有 EDC 機制之電腦系統中的錯誤，其中錯誤之發生係藉由詢問 EDC 控制器而查知，而且將此錯誤分類，假設錯誤可以藉由下述各項間之區別而再生：

- 若儲存單胞之值不同於直接寫入之值，則為突出錯誤，
- 若自申請專利範圍第 1 項之步驟 e)到 g)或 l)到 m)發現錯誤，則為連接錯誤，
- 若自申請專利範圍第 1 項之步驟 c)發現錯誤，則為圖型感測錯誤。

六、申請專利範圍

5. 如申請專利範圍第3項之方法，係用於分類具有EDC機制之電腦系統中的錯誤，其中錯誤之發生係藉由詢問EDC控制器而查知，而且將此錯誤分類，假設錯誤可以藉由下述各項間之區別而再生：

- 若儲存單胞之值不同於直接寫入之值，則為突出錯誤，
- 若自申請專利範圍第1項之步驟e)到g)或l)到n)發現錯誤，則為連接錯誤，
- 若自申請專利範圍第1項之步驟c)發現錯誤，則為圖型感測錯誤。

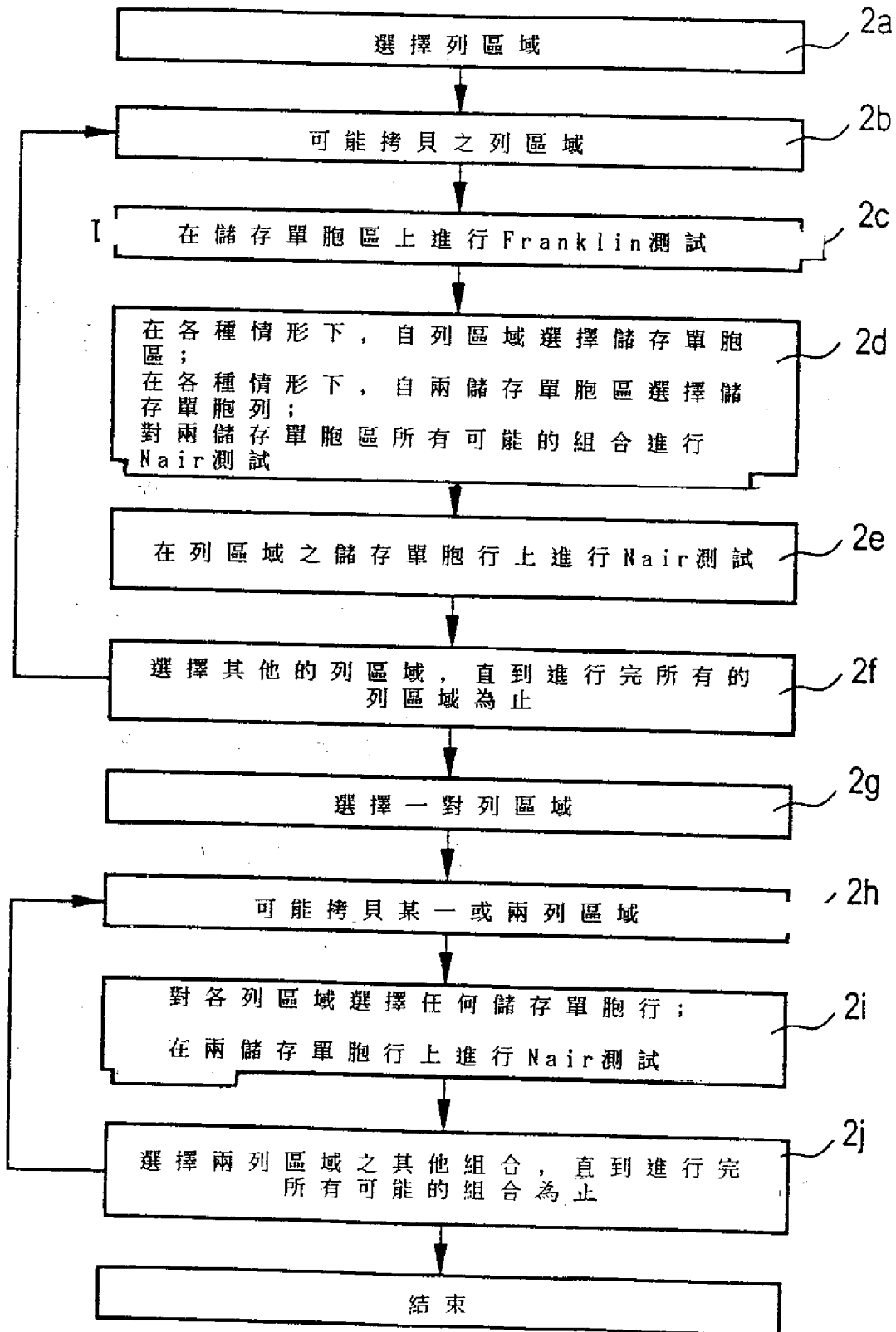
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

人

第 2 圖



五、發明說明(7)

測試為 Nair 測試之邏輯延伸，因為它們發現任何三重錯誤，然而，在所有可分隔之相關記憶體單胞中，Nair 測試僅可發現三重錯誤，因為根據本發明之方法的記憶體測試係在電腦操作期間及在即時狀態之下進行，所以更複雜之 Franklin 測試僅應用到各單胞陣列，在此情形下，該測試係打算發現動態的圖型感測錯誤，靜態錯誤（短路）和在線之間的連接係根據藉由 Nair 測試之本發明的方法檢測，若可接受由於較複雜之 Franklin 測試所需的時間，則 Franklin 測試也可用以發現靜態錯誤。

符號對照表

SC	記憶體晶片
ZF	單胞陣列
ZB	列區域
ZZ	儲存單胞列
SB	行區域
ZS	儲存單胞行
FB	陣列寬度
FH	陣列高度
ZZL	列新進線
XZL	行新進線