



(21) 申請案號：107133128 (22) 申請日：中華民國 107 (2018) 年 09 月 20 日
 (51) Int. Cl. : *H04W72/02 (2009.01)* *H04W40/12 (2009.01)*
 (30) 優先權：2017/09/21 中國大陸 PCT/CN2017/102662
 (71) 申請人：大陸商 O P P O 廣東移動通信有限公司 (中國大陸) GUANGDONG OPPO MOBILE
 TELECOMMUNICATIONS CORP., LTD. (CN)
 中國大陸
 (72) 發明人：唐海 TANG, HAI (CN)
 (74) 代理人：劉爾順
 申請實體審查：無 申請專利範圍項數：15 項 圖式數：6 共 41 頁

(54) 名稱

一種緩存狀態上報方法、終端和電腦存儲媒介

BUFFER STATUS REPORTING METHOD, TERMINAL DEVICE AND COMPUTER STORAGE MEDIUM

(57) 摘要

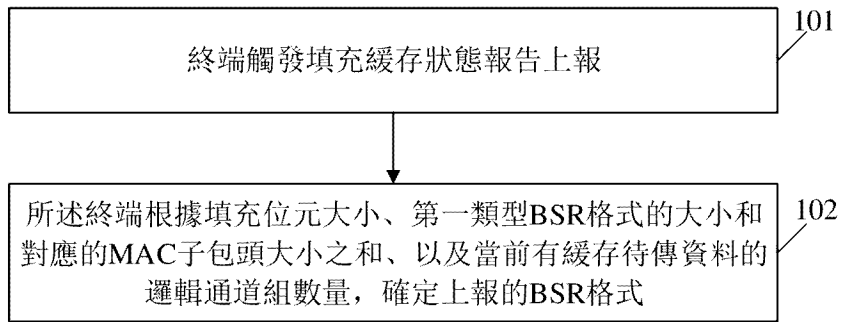
本發明實施例公開了一種緩存狀態上報方法，所述方法包括：終端觸發填充緩存狀態報告 (padding BSR) 上報；所述終端根據填充位元大小、第一類型 BSR 格式的大小和對應的媒體存取控制 (MAC) 子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的 BSR 格式；所述 BSR 格式對應的邏輯通道組數量大於等於 1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。

A method for reporting a buffer status is disclosed, the method comprises: the terminal triggering a padding BSR report; the terminal determining the reported BSR format according to the size of padding bit, the size of the first type BSR format, the corresponding sum of the media access control (MAC) sub-packet size and the number of logical channel groups currently having the data to be buffered, the number of logical channel groups corresponding to the BSR format is not less than 1, the number of logical channel groups corresponding to the BSR format is not greater than the maximum number of logical channel groups currently having the data to be buffered.

指定代表圖：

符號簡單說明：

101、102 . . . 步驟



【圖 1】

【發明說明書】

【中文發明名稱】 一種緩存狀態上報方法、終端和電腦存儲媒介

【英文發明名稱】 Buffer status reporting method, terminal device and computer storage medium

【技術領域】

【0001】 本發明涉及無線通訊技術，具體涉及一種緩存狀態上報方法、終端和電腦存儲媒介。

【先前技術】

【0002】 終端透過上報緩存狀態報告（BSR，Buffer Status Report）的形式告知基地台自身緩存的待傳輸資料狀態，以便基地台能夠更準確的給終端分配無線資源。根據觸發BSR事件的不同，BSR可分為常規BSR（Regular BSR）、填充BSR（Padding BSR）和週期BSR（Periodic BSR）。根據BSR的格式，BSR可分為短BSR（short BSR）、長BSR（long BSR）和截短BSR（truncated BSR）。其中，Padding BSR的承載方式是承載在媒體存取控制層協定資料單元（MAC PDU，Media Access Control Protocol Data Unit）的填充位元（padding bit）內。

【0003】 當終端觸發的BSR類型是Padding BSR，且有多個邏輯通道有資料傳輸，且填充位元長度大於等於一個short BSR及其對應的媒體存取控制（MAC，Media Access Control）子包頭，但不足以用來發送long BSR及其對應的MAC子包頭時，終端採用truncated BSR類型上報BSR。

【0004】 但是，truncated BSR採用1位元組（byte）的格式，這種格式的truncated BSR僅能上報多個邏輯通道組中的一個邏輯通道組對應的緩存資料狀態，

而無法上報有資料傳輸的多個邏輯通道組對應的緩存資料狀態，使得基地台無法獲知所有有資料傳輸的邏輯通道組對應的緩存資料狀態，從而也無法準確的給終端分配無線資源。

【發明內容】

【0005】為解決現有存在的技術問題，本發明實施例提供一種緩存狀態上報方法、終端和電腦存儲媒介。

【0006】本發明實施例公開了一種緩存狀態上報方法，所述方法包括：終端觸發填充緩存狀態報告上報；

【0007】所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式；所述BSR格式對應的邏輯通道組數量大於等於1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。

【0008】在一實施例中，所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式，包括：

當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，基於當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和以及所述填充位元大小確定上報的BSR格式。

【0009】在一實施例中，所述基於當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和以及所述填充位元大小確定上報的BSR格式，包括：

若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和小於等於所述填充位元大小，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0010】在一實施例中，所述基於當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和以及所述填充位元大小確定上報的BSR格式，包括：

若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和大於所述填充位元大小，確定上報第三類型BSR格式，所述第三類型BSR格式對應的邏輯通道組數量大於1，小於當前有緩存待傳資料的邏輯通道組的數量。

【0011】在一實施例中，所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式，包括：

當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式。

【0012】在一實施例中，所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式，包括：

當所述填充位元大小大於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和時，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0013】在一實施例中，所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式，包括：

當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，確定上報第四類型BSR格式，所述第四類型BSR格式對應至少兩個邏輯通道組中的一個邏輯通道組。

【0014】在一實施例中，所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式，包括：

當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式，所述第一類型BSR格式對應所述邏輯通道組。

【0015】在一實施例中，所述第二類型BSR格式包括所有當前有緩存待傳資料的邏輯通道組的標識以及對應的緩存狀態訊息；

【0016】每個邏輯通道組的緩存狀態訊息按照對應的標識順序依次排列。

【0017】在一實施例中，所述第二類型BSR格式包括：第一位元圖，所述第一位元圖中的位元位對應於當前有緩存待傳資料的邏輯通道組；

【0018】所述第二類型BSR格式還包括所述當前有緩存待傳資料的邏輯通道組中每個邏輯通道組的緩存狀態訊息；

【0019】每個邏輯通道組的緩存狀態訊息按照對應於所述第一位元圖中的排序依次排列。

【0020】在一實施例中，所述確定上報第三類型BSR格式之前，所述方法還包括：

將所述當前有緩存待傳資料的邏輯通道組按照優先順序排序；

【0021】按照優先順序排序結果在所述當前有緩存待傳資料的邏輯通道組中選擇滿足所述填充位元的部分邏輯通道組。

【0022】在一實施例中，所述第三類型BSR包括：第二位元圖，所述第二位元圖中的位元位元對應於所述部分邏輯通道組；

【0023】所述第三類型BSR還包括所述部分邏輯通道中每個邏輯通道組的緩存狀態訊息；

【0024】所述部分邏輯通道組中每個邏輯通道組的緩存狀態訊息按照所述部分邏輯通道組對應於所述第二位元圖中的排序依次排列。

【0025】在一實施例中，所述第三類型BSR包括所述部分邏輯通道組中每個邏輯通道組的標識以及對應的緩存狀態訊息；

【0026】所述部分邏輯通道組中每個邏輯通道組的緩存狀態訊息按照部分邏輯通道組標識的順序依次排列。

【0027】本發明實施例還提供了一種終端，所述終端包括：觸發單元和確定單元；

【0028】所述觸發單元，配置為觸發填充緩存狀態報告上報；

【0029】所述確定單元，配置為根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式；所述BSR格式對應的邏輯通道組數量大於等於1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。

【0030】在一實施例中，所述確定單元，配置為當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，基於當前有緩存待傳資料的邏輯通

道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和以及所述填充位元大小確定上報的BSR格式。

【0031】在一實施例中，所述確定單元，配置為若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和小於等於所述填充位元大小，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0032】在一實施例中，所述確定單元，配置為若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和大於所述填充位元大小，確定上報第三類型BSR格式，所述第三類型BSR格式對應的邏輯通道組數量大於1，小於當前有緩存待傳資料的邏輯通道組的數量。

【0033】在一實施例中，所述確定單元，配置為當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式。

【0034】在一實施例中，所述確定單元，配置為當所述填充位元大小大於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和時，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0035】在一實施例中，所述確定單元，配置為當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，確定上報第四類型BSR格式，所述第四類型BSR格式對應至少兩個邏輯通道組中的一個邏輯通道組。

【0036】在一實施例中，所述確定單元，配置為當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式，所述第一類型BSR格式對應所述邏輯通道組。

【0037】在一實施例中，所述第二類型BSR格式包括所有當前有緩存待傳資料的邏輯通道組的標識以及對應的緩存狀態訊息；每個邏輯通道組的緩存狀態訊息按照對應的標識順序依次排列。

【0038】在一實施例中，所述第二類型BSR格式包括：第一位元圖，所述第一位元圖中的位元位對應於當前有緩存待傳資料的邏輯通道組；所述第二類型BSR格式還包括所述當前有緩存待傳資料的邏輯通道組中每個邏輯通道組的緩存狀態訊息；每個邏輯通道組的緩存狀態訊息按照對應於所述第一位元圖中的排序依次排列。

【0039】在一實施例中，所述終端還包括排序單元，配置為所述確定單元確定上報第三類型BSR格式之前，將所述當前有緩存待傳資料的邏輯通道組按照優先順序排序；按照優先順序排序結果在所述當前有緩存待傳資料的邏輯通道組中選擇滿足所述填充位元的部分邏輯通道組。

【0040】在一實施例中，所述第三類型BSR包括：第二位元圖，所述第二位元圖中的位元位元對應於所述部分邏輯通道組；所述第三類型BSR還包括所述部分邏輯通道組中每個邏輯通道組的緩存狀態訊息；所述部分邏輯通道組中每個邏輯通道組的緩存狀態訊息按照所述部分邏輯通道組對應於所述第二位元圖中的排序依次排列。

【0041】在一實施例中，所述第三類型BSR包括所述部分邏輯通道組中每個邏輯通道組的標識以及對應的緩存狀態訊息；所述部分邏輯通道組中每個邏輯通道組的緩存狀態訊息按照部分邏輯通道組標識的順序依次排列。

【0042】本發明實施例還提供了一種電腦存儲媒介，其上存儲有電腦指令，該指令被處理器執行時實現本發明實施例所述的緩存狀態上報方法的步驟。

【0043】本發明實施例還提供了一種終端，包括：記憶體、處理器及存儲在記憶體上並可在處理器上運行的電腦程式，所述處理器執行所述程式時實現本發明實施例所述的緩存狀態上報方法的步驟。

【0044】本發明實施例提供的緩存狀態上報方法、終端和電腦存儲媒介，所述方法包括：終端觸發填充緩存狀態報告上報；所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式；所述BSR格式對應的邏輯通道組數量大於等於1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。採用本發明實施例的技術方案，透過上報的BSR格式可對應大於等於1、小於等於當前有緩存待傳資料的邏輯通道組的最大數量的邏輯通道組，實現了盡可能多的上報當前有緩存待傳資料的邏輯通道組的緩存狀態訊息，從而使基地台能夠更多的獲知終端當前有緩存待傳資料的邏輯通道組的緩存情況，大大實現了為終端分配無線資源的準確率。

【圖式簡單說明】

【0045】

圖1為本發明實施例的緩存狀態上報方法的一種流程示意圖；

圖2a至圖2c分別為本發明實施例的緩存狀態上報方法中的BSR格式的示意圖；

圖3為本發明實施例的緩存狀態上報方法的另一種流程示意圖；

圖4為本發明實施例的終端的一種組成結構示意圖；

圖5為本發明實施例的終端的另一種組成結構示意圖；

圖6為本發明實施例的終端的硬體組成結構示意圖。

【實施方式】

【0046】下面結合附圖及具體實施例對本發明作進一步詳細的說明。

【0047】實施例一

本發明實施例提供了一種緩存狀態上報方法。圖1為本發明實施例的緩存狀態上報方法的一種流程示意圖；如圖1所示，所述方法包括：

步驟101：終端觸發填充緩存狀態報告（padding BSR）上報。

步驟102：所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式；所述BSR格式對應的邏輯通道組數量大於等於1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。

【0048】本實施例中，padding BSR的觸發條件包括：已分配的上行資源中用於填充的位元長度大於或等於BSR的媒體存取控制層控制元（MAC CE，Media Access Control Control Element）和相應的MAC子包頭（subheader）長度之和，則觸發padding BSR上報。其中，padding BSR承載在MAC PDU的填充位元（padding bit）內，封裝為MAC CE。

【0049】本實施例中，所述終端具體根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式；其中，第一類型BSR具體可以為short BSR。圖2a至圖2c分別為本發明實施例的緩存狀態上報方法中的BSR格式的示意圖；如圖2a所示，為short BSR格式示意圖，包括1位元組（byte）的MAC子包頭和1位元組的short BSR；其中，MAC子包頭中包括邏輯通道標識

(LCID)，該LCID指示對應的MAC CE類型，即LCID指示上報的BSR格式類型；short BSR包括當前有緩存待傳資料的僅有的一個邏輯通道組標識(LCG ID)，以及透過緩存尺寸(BS, Buffer Size)表示所述邏輯通道組的緩存狀態訊息的大小。

【0050】作為第一種實施方式，所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式，包括：

當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，基於當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和以及所述填充位元大小確定上報的BSR格式。

【0051】其中，所述基於當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和以及所述填充位元大小確定上報的BSR格式，包括：若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和小於等於所述填充位元，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0052】其中，所述基於當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和以及所述填充位元大小確定上報的BSR格式，包括：若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和的大於所述填充位元，確定上報第三類型BSR格式，所述第三類型BSR格式對應的邏輯通道組數量大於1，小於當前有緩存待傳資料的邏輯通道組的數量。

【0053】具體的，本實施方式中，比較填充位元大小和所述第一類型BSR格式的大小和對應的MAC子包頭大小之和，以及比較填充位元和第二類型BSR格式的最大長度和對應的MAC子包頭大小之和；其中，所述第一類型BSR格式可參照圖2a所示，則所述第一類型BSR格式的大小和對應的MAC子包頭大小之和為2位元組。本實施例中，所述第二類型BSR具體為靈活長BSR (flexible long BSR)，flexible long BSR格式具體可參照圖2b或圖2c所示；在5G系統中，上報BSR可以配置的邏輯通道組的數量最大為8個，即BSR格式中最大可包括8個邏輯通道組的緩存狀態訊息。如圖2b所示，為flexible long BSR的一種格式示意，包括：位元圖（該位元圖記為第一位元圖），所述第一位元圖中的位元位對應於當前有緩存待傳資料的邏輯通道組；還包括所述當前有緩存待傳資料的邏輯通道組中每個邏輯通道組的緩存狀態訊息；每個邏輯通道組的緩存狀態訊息按照對應於所述第一位元圖中的排序依次排列；還包括1位元組的MAC子包頭，MAC子包頭中包括LCID，該LCID指示對應的MAC CE類型，即LCID指示上報的BSR格式類型。具體的，第一位元圖中的位元位為1或0用於表示該位元位對應的LCG的緩存狀態訊息是否包含在該flexible long BSR內；若某位元位為1，則表示該位元位對應的LCG的緩存狀態訊息包含在該flexible long BSR內，若某位元位為0，則表示該位元位對應的LCG的緩存狀態訊息未包含在該flexible long BSR內，即不存在該位元位對應的LCG的緩存狀態訊息。其中，邏輯通道組的緩存狀態訊息的大小可如圖2b中所示的6位元，當前不限於6位元長度，還以可以是大於6位元長度。則flexible long BSR的最大長度依據邏輯通道組的緩存狀態訊息的大小會有變化；當邏輯通道組的緩存狀態訊息的大小如圖2b中所示的6位元時，flexible long BSR的最大長度和對應的MAC子包頭大小之和為8位元組。

【0054】如圖2c所示，為flexible long BSR的另一種格式示意，包括所有當前有緩存待傳資料的邏輯通道組的標識以及對應的緩存狀態訊息；每個邏輯通道組的緩存狀態訊息按照對應的標識順序依次排列；還包括2位元組的MAC子包頭，MAC子包頭中包括LCID和BSR長度訊息，flexible long BSR長度訊息可透過MAC子包頭中的“L”指示。其中，邏輯通道組標識的長度可如圖2c所示的3位元；邏輯通道組的緩存狀態訊息的大小可如圖2c中所示的6位元，當前不限於6位元長度，還以可以是大於6位元長度。則flexible long BSR的最大長度依據邏輯通道組的緩存狀態訊息的大小會有變化；當邏輯通道組的緩存狀態訊息的大小如圖2c中所示的6位元時，flexible long BSR的最大長度和對應的MAC子包頭大小之和為11位元組。

【0055】基於此，本實施方式中，當填充位元大小大於2位元組但小於flexible long BSR的最大長度和對應的MAC子包頭大小之和，並且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，若當前有緩存待傳資料的邏輯通道組對應的flexible long BSR格式的大小和對應的MAC子包頭大小之和小於等於所述填充位元，確定上報flexible long BSR格式；若當前有緩存待傳資料的邏輯通道組對應的flexible long BSR格式的大小和對應的MAC子包頭大小之和的大於所述填充位元大小，確定上報第三類型BSR格式，所述第三類型BSR格式對應的邏輯通道組數量大於1，小於當前有緩存待傳資料的邏輯通道組的數量。

【0056】這裡，所述第三類型BSR具體可以為靈活截短BSR（flexible truncated BSR）；flexible truncated BSR格式具體可也參照圖2b和圖2c所示，區別在於，對於具有相同格式的flexible truncated BSR和flexible long BSR，對應子包頭中的LCID不同。如圖2b所示，為flexible truncated BSR的一種格式示意，包括：位元圖（該位元圖記為第二位元圖），還包括當前有緩存待傳資料的部分

邏輯通道組中每個邏輯通道組的緩存狀態訊息；所述部分邏輯通道組中每個邏輯通道組的緩存狀態訊息按照所述部分邏輯通道組對應於所述第二位元圖中的排序依次排列。還包括1位元組的MAC子包頭，MAC子包頭中包括LCID。該LCID指示對應的MAC CE類型，即LCID指示上報的BSR格式類型。第二位元圖中的位元位為1或0用於表示該位元位對應的LCG的緩存狀態訊息是否包含在該flexible truncated BSR內；若某位元位為1，則表示該位元位對應的LCG的緩存狀態訊息包含在該flexible truncated BSR內，若某位元位為0，則表示該位元位對應的LCG的緩存狀態訊息未包含在該flexible truncated BSR內，即不存在該位元位對應的LCG的緩存狀態訊息。其中，邏輯通道組的緩存狀態訊息的大小可如圖2b中所示的6位元，當前不限於6位元長度，還以可以是大大於6位元長度。則flexible truncated BSR的最大長度依據邏輯通道組的緩存狀態訊息的大小會有變化；當邏輯通道組的緩存狀態訊息的大小如圖2b中所示的6位元時，flexible truncated BSR的最大長度和對應的MAC子包頭大小之和為8位元組。

【0057】如圖2c所示，可作為flexible truncated BSR的另一種格式示意，包括所有當前有緩存待傳資料的邏輯通道組中的部分邏輯通道組的標識以及對應的緩存狀態訊息；部分邏輯通道組的緩存狀態訊息按照部分邏輯通道組標識的順序依次排列；還包括2位元組的MAC子包頭，MAC子包頭中包括LCID和BSR長度訊息，flexible truncated BSR長度訊息可透過MAC子包頭中的“L”指示。其中，邏輯通道組標識的長度可如圖2c所示的3位元；邏輯通道組的緩存狀態訊息的大小可如圖2c中所示的6位元，當前不限於6位元長度，還以可以是大大於6位元長度。則flexible truncated BSR的最大長度依據邏輯通道組的緩存狀態訊息的大小會有變化；當邏輯通道組的緩存狀態訊

息的大小如圖2c中所示的6位元時，flexible truncated BSR的最大長度和對應的MAC子包頭大小之和為11位元組。

【0058】這裡，所述確定上報第三類型BSR格式之前，所述方法還包括：將所述當前有緩存待傳資料的邏輯通道組按照優先順序排序；按照優先順序排序結果在所述當前有緩存待傳資料的邏輯通道組中選擇滿足所述填充位元的部分邏輯通道組。其中，邏輯通道組的優先順序具體可以是該邏輯通道組中一邏輯通道的優先順序；作為一種實施方式，可將邏輯通道組中包括的邏輯通道的最大的優先順序作為該邏輯通道組的優先順序。實際應用中，將所述當前有緩存待傳資料的邏輯通道組按照優先順序由高到低進行排序；基於所述填充位元的大小從高到低選擇所述當前有緩存待傳資料的邏輯通道組中的部分邏輯通道組，因為填充位元大小無法滿足所有當前有緩存待傳資料的邏輯通道組。

【0059】基於此，雖然第二類型BSR格式（flexible long BSR）和第三類型BSR格式（flexible truncated BSR）可具有相同的格式，但第二類型BSR中包括所有當前有緩存待傳資料的邏輯通道組的緩存狀態訊息，而第三類型BSR中僅包括當前有緩存待傳資料的邏輯通道組中的部分邏輯通道組的緩存狀態訊息。

【0060】作為第二種實施方式，所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式，包括：當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式。

【0061】具體的，本實施方式中，當填充位元大小大於2位元組但小於flexible long BSR的最大長度和對應的MAC子包頭大小之和，並且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，確定上報short BSR格式，即透過圖2a所示的格式上報當前僅有的一個有緩存待傳資料的邏輯通道組的緩存狀態訊息，其中，上報的short BSR格式中的MAC子包頭中的LCID指示對應的MAC CE類型，即LCID指示上報的BSR格式類型。

【0062】作為第三種實施方式，所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式，包括：當所述填充位元大小大於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和時，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0063】具體的，本實施方式中，當填充位元大小大於flexible long BSR的最大長度和對應的MAC子包頭大小之和時，確定上報flexible long BSR格式，所述flexible long BSR格式包括所有當前有緩存待傳資料的邏輯通道組的標識以及對應的緩存狀態訊息。

【0064】作為第四種實施方式，所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式，包括：當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，確定上報第四類型BSR格式，所述第四類型BSR格式對應至少兩個邏輯通道組中的一個邏輯通道組。

【0065】具體的，本實施方式中，當填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和（即2位元組），並且當前有緩存

待傳資料的邏輯通道組數量為至少兩個時，確定上報第四類型BSR格式，所述第四類型BSR格式具體可以為truncated BSR格式，truncated BSR格式可參照圖2a所示的格式，包括1位元組的MAC子包頭和1位元組的truncated BSR，其中，MAC子包頭中的LCID指示對應的MAC CE類型，即LCID指示上報的BSR格式類型；truncated BSR包括當前有緩存待傳資料的至少兩個邏輯通道組的其中一個邏輯通道組的標識（LCG ID），以及透過緩存尺寸表示該邏輯通道組的緩存狀態訊息的大小。

【0066】作為第五種實施方式，所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式，包括：當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式，所述第一類型BSR格式對應所述邏輯通道組。

【0067】具體的，本實施方式中，當填充位元大小大於等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和（即2位元組），並且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式，即上報short BSR格式。

【0068】圖3為本發明實施例的緩存狀態上報方法的另一種流程示意圖；如圖3所示，以第一類型BSR為short BSR、第二類型BSR為flexible long BSR、第三類型BSR為flexible truncated BSR、第四類型BSR為truncated BSR為例對本發明實施例的緩存狀態上報方法進行說明。上述緩存狀態上報方法可透過以下流程實現：

步驟201：終端觸發padding BSR上報。

步驟202：所述終端判斷填充位元大小是否大於short BSR格式的大小和對應的MAC子包頭大小之和、小於flexible long BSR格式的最大長度和對應的MAC子包頭大小之和；當判斷結果為填充位元大小大於short BSR格式的大小和對應的MAC子包頭大小之和、小於flexible long BSR格式的最大長度和對應的MAC子包頭大小之和時，執行步驟203；當判斷結果為填充位元大小小於等於short BSR格式的大小和對應的MAC子包頭大小之和時，執行步驟208；當判斷結果為填充位元大小大於所述flexible long BSR格式的最大長度和對應的MAC子包頭大小之和時，執行步驟206。

步驟203：判斷當前有緩存待傳資料的邏輯通道組數量是否大於1；當判斷結果為當前有緩存待傳資料的邏輯通道組數量大於1時，執行步驟204至步驟206；當判斷結果為當前有緩存待傳資料的邏輯通道組數量等於1時，執行步驟207。

步驟204：判斷當前有緩存待傳資料的邏輯通道組對應的flexible long BSR格式的大小和對應的MAC子包頭大小是否大於所述填充位元大小；當判斷結果為當前有緩存待傳資料的邏輯通道組對應的flexible long BSR格式的大小和對應的MAC子包頭大小大於所述填充位元大小，執行步驟205；當判斷結果為當前有緩存待傳資料的邏輯通道組對應的flexible long BSR格式的大小和對應的MAC子包頭大小小於等於所述填充位元大小，執行步驟206。

步驟205：確定上報flexible truncated BSR格式。

步驟206：確定上報flexible long BSR格式。

步驟207：確定上報short BSR格式。

步驟208：判斷當前有緩存待傳資料的邏輯通道組數量是否大於1；當判斷結果為當前有緩存待傳資料的邏輯通道組數量大於1時，執行步驟209；當判斷結果為當前有緩存待傳資料的邏輯通道組數量等於1時，執行步驟207。

步驟209：確定上報truncated BSR格式。

【0069】採用本發明實施例的技術方案，透過上報的BSR格式可對應大於等於1、小於等於當前有緩存待傳資料的邏輯通道組的最大數量的邏輯通道組，實現了盡可能多的上報當前有緩存待傳資料的邏輯通道組的緩存狀態訊息，從而使基地台能夠更多的獲知終端當前有緩存待傳資料的邏輯通道組的緩存情況，大大實現了為終端分配無線資源的準確率。

【0070】實施例二

本發明實施例還提供了一種終端。圖4為本發明實施例的終端的一種組成結構示意圖；如圖4所示，所述終端包括：觸發單元31和確定單元32；

【0071】所述觸發單元31，配置為觸發填充緩存狀態報告上報；

【0072】所述確定單元32，配置為根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式；所述BSR格式對應的邏輯通道組數量大於等於1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。

【0073】作為第一種實施方式，所述確定單元32，配置為當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，基於當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和以及所述填充位元大小確定上報的BSR格式。

【0074】其中，所述確定單元32，配置為若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和小於等於所述填充位元大小，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0075】其中，所述確定單元32，配置為若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和大於所述填充位元大小，確定上報第三類型BSR格式，所述第三類型BSR格式對應的邏輯通道組數量大於1，小於當前有緩存待傳資料的邏輯通道組的數量。

【0076】作為第二種實施方式，所述確定單元32，配置為當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式。

【0077】作為第三種實施方式，所述確定單元32，配置為當所述填充位元大小大於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和時，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0078】作為第四種實施方式，所述確定單元32，配置為當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，確定上報第四類型BSR格式，所述第四類型BSR格式對應至少兩個邏輯通道組中的一個邏輯通道組。

【0079】作為第五種實施方式，所述確定單元32，配置為當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式，所述第一類型BSR格式對應所述邏輯通道組。

【0080】本實施例中，作為一種實施方式，所述第二類型BSR格式包括所有當前有緩存待傳資料的邏輯通道的標識以及對應的緩存狀態訊息；每個邏輯通道的緩存狀態訊息按照對應的標識順序依次排列。

【0081】作為另一種實施方式，所述第二類型BSR格式包括：第一位元圖，所述第一位元圖中的位元位對應於當前有緩存待傳資料的邏輯通道；所述第二類型BSR格式還包括所述當前有緩存待傳資料的邏輯通道中每個邏輯通道的緩存狀態訊息；每個邏輯通道的緩存狀態訊息按照對應於所述第一位元圖中的排序依次排列。

【0082】圖5為本發明實施例的終端的另一種組成結構示意圖；如圖5所示，所述終端還包括排序單元33，配置為所述確定單元32確定上報第三類型BSR格式之前，將所述當前有緩存待傳資料的邏輯通道組按照優先順序排序；按照優先順序排序結果在所述當前有緩存待傳資料的邏輯通道組中選擇滿足所述填充位元的部分邏輯通道組。

【0083】本實施例中，作為一種實施方式，所述第三類型BSR包括：第二位元圖，所述第二位元圖中的位元位元對應於所述部分邏輯通道；所述第三類型BSR還包括所述部分邏輯通道中每個邏輯通道的緩存狀態訊息；所述部分邏輯通道中每個邏輯通道的緩存狀態訊息按照所述部分邏輯通道對應於所述第二位元圖中的排序依次排列。

【0084】作為另一種實施方式，所述第三類型BSR包括所述部分邏輯通道中每個邏輯通道的標識以及對應的緩存狀態訊息；所述部分邏輯通道中每個邏輯通道的緩存狀態訊息按照所述部分邏輯通道標識的順序依次排列。

【0085】本發明實施例中，所述終端中的觸發單元31、確定單元32和排序單元33，在實際應用中可由中央處理器（CPU，Central Processing Unit）、數位訊號處理器（DSP，Digital Signal Processor）、微控制單元（MCU，

Microcontroller Unit) 或可程式設計閘陣列 (FPGA, Field-Programmable Gate Array) 實現。

【0086】需要說明的是：上述實施例提供的終端在進行訊息處理時，僅以上述各程式模組的劃分進行舉例說明，實際應用中，可以根據需要而將上述處理分配由不同的程式模組完成，即將終端的內部結構劃分成不同的程式模組，以完成以上描述的全部或者部分處理。另外，上述實施例提供的終端與緩存狀態上報方法實施例屬於同一構思，其具體實現過程詳見方法實施例，這裡不再贅述。

【0087】實施例三

本發明實施例還提供了一種終端。圖6為本發明實施例的終端的硬體組成結構示意圖，如圖6所示，終端包括：至少一個處理器41和用於存儲能夠在處理器41上運行的電腦程式的記憶體42，所述終端還可以包括通訊元件43。終端中的各個組成部分透過匯流排系統44耦合在一起。可理解，匯流排系統44用於實現這些組成部分之間的連接通訊；匯流排系統44除包括資料匯流排之外，還包括電源匯流排、控制匯流排和狀態信號匯流排。但是為了清楚說明起見，在圖6中將各種匯流排都標為匯流排系統44。

【0088】可以理解，記憶體42可以是揮發性記憶體或非揮發性記憶體，也可包括揮發性和非揮發性記憶體兩者。其中，非揮發性記憶體可以是唯讀記憶體 (ROM, Read Only Memory)、可程式設計唯讀記憶體 (PROM, Programmable Read-Only Memory)、可擦除可程式設計唯讀記憶體 (EPROM, Erasable Programmable Read-Only Memory)、電可擦除可程式設計唯讀記憶體 (EEPROM, Electrically Erasable Programmable Read-Only Memory)、磁性隨機存取記憶體 (FRAM, ferromagnetic random access memory)、快閃記憶體 (Flash Memory)、磁表面記憶體、光碟、或唯讀光碟 (CD-ROM, Compact

Disc Read-Only Memory)；磁表面記憶體可以是磁碟記憶體或磁帶記憶體。揮發性記憶體可以是隨機存取記憶體(RAM, Random Access Memory)，其用作外部快取記憶體。透過示例性但不是限制性說明，許多形式的RAM可用，例如靜態隨機存取記憶體(SRAM, Static Random Access Memory)、同步靜態隨機存取記憶體(SSRAM, Synchronous Static Random Access Memory)、動態隨機存取記憶體(DRAM, Dynamic Random Access Memory)、同步動態隨機存取記憶體(SDRAM, Synchronous Dynamic Random Access Memory)、雙倍數據速率同步動態隨機存取記憶體(DDRSDRAM, Double Data Rate Synchronous Dynamic Random Access Memory)、增強型同步動態隨機存取記憶體(ESDRAM, Enhanced Synchronous Dynamic Random Access Memory)、同步連接動態隨機存取記憶體(SLDRAM, SyncLink Dynamic Random Access Memory)、直接記憶體匯流排隨機存取記憶體(DRRAM, Direct Rambus Random Access Memory)。本發明實施例描述的記憶體42旨在包括但不限於這些和任意其它適合類型的記憶體。

【0089】上述本發明實施例揭示的方法可以應用於處理器41中，或者由處理器41實現。處理器41可能是一種積體電路晶片，具有信號的處理能力。在實現過程中，上述方法的各步驟可以透過處理器41中的硬體的集成邏輯電路或者軟體形式的指令完成。上述的處理器41可以是通用處理器、DSP，或者其他可程式設計邏輯器件、離散閘或者電晶體邏輯器件、分立硬體元件等。處理器41可以實現或者執行本發明實施例中的公開的各方法、步驟及邏輯方塊圖。通用處理器可以是微處理器或者任何常規的處理器等。結合本發明實施例所公開的方法的步驟，可以直接體現為硬體解碼處理器執行完成，或者用解碼處理器中的硬體及軟體模組組合執行完成。軟體模組

可以位於存儲媒介中，該存儲媒介位於記憶體42，處理器41讀取記憶體42中的訊息，結合其硬體完成前述方法的步驟。

【0090】在示例性實施例中，終端可以被一個或多個應用專用積體電路（ASIC，Application Specific Integrated Circuit）、DSP、可程式設計邏輯器件（PLD，Programmable Logic Device）、複雜可程式設計邏輯器件（CPLD，Complex Programmable Logic Device）、FPGA、通用處理器、控制器、MCU、微處理器（Microprocessor）、或其他電子元件實現，用於執行前述方法。

【0091】本實施例中，所述處理器41執行所述程式時實現：觸發填充緩存狀態報告上報；所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式；所述BSR格式對應的邏輯通道組數量大於等於1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。

【0092】作為一種實施方式，所述處理器41執行所述程式時實現：當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，基於當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和以及所述填充位元大小確定上報的BSR格式。

【0093】其中，所述處理器41執行所述程式時實現：若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和小於等於所述填充位元大小，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0094】其中，所述處理器41執行所述程式時實現：若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和大於所述填充比特大小，確定上報第三類型BSR格式，所述第三類型BSR格式對應的邏輯通道組數量大於1，小於當前有緩存待傳資料的邏輯通道組的數量。

【0095】作為一種實施方式，所述處理器41執行所述程式時實現：當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式。

【0096】作為一種實施方式，所述處理器41執行所述程式時實現：當所述填充位元大小大於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和時，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0097】作為一種實施方式，所述處理器41執行所述程式時實現：當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，確定上報第四類型BSR格式，所述第四類型BSR格式對應至少兩個邏輯通道組中的一個邏輯通道組。

【0098】作為一種實施方式，所述處理器41執行所述程式時實現：當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式，所述第一類型BSR格式對應所述邏輯通道組。

【0099】作為一種實施方式，所述處理器41執行所述程式時實現：確定上報第三類型BSR格式之前，將所述當前有緩存待傳資料的邏輯通道組按照優先順序排序；按照優先順序排序結果在所述當前有緩存待傳資料的邏輯通道組中選擇滿足所述填充位元的部分邏輯通道組。

【0100】實施例四

本發明實施例還提供了一種電腦存儲媒介，例如包括圖6所示的存儲有電腦程式的記憶體42，上述電腦程式可由設備的處理器41執行，以完成前述方法所述步驟。電腦存儲媒介可以是FRAM、ROM、PROM、EPROM、EEPROM、Flash Memory、磁表面記憶體、光碟、或CD-ROM等記憶體；也可以是包括上述記憶體之一或任意組合的各種設備。

【0101】本實施例中，本發明實施例提供的電腦存儲媒介，其上存儲有電腦程式，該電腦程式被處理器運行時，執行：觸發填充緩存狀態報告上報；所述終端根據填充位元大小、第一類型BSR格式的大小和對應的MAC子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式；所述BSR格式對應的邏輯通道組數量大於等於1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。

【0102】作為一種實施方式，該電腦程式被處理器運行時，執行：當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，基於當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之和以及所述填充位元大小確定上報的BSR格式。

【0103】其中，該電腦程式被處理器運行時，執行：若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小

之和小於等於所述填充位元大小，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0104】其中，該電腦程式被處理器運行時，執行：若當前有緩存待傳資料的邏輯通道組對應的第二類型BSR格式的大小和對應的MAC子包頭大小之大於所述填充位元大小，確定上報第三類型BSR格式，所述第三類型BSR格式對應的邏輯通道組數量大於1，小於當前有緩存待傳資料的邏輯通道組的數量。

【0105】作為一種實施方式，該電腦程式被處理器運行時，執行：當所述填充位元大小大於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、小於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式。

【0106】作為一種實施方式，該電腦程式被處理器運行時，執行：當所述填充位元大小大於第二類型BSR格式的最大長度和對應的MAC子包頭大小之和時，確定上報第二類型BSR格式，所述第二類型BSR格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量。

【0107】作為一種實施方式，該電腦程式被處理器運行時，執行：當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，確定上報第四類型BSR格式，所述第四類型BSR格式對應至少兩個邏輯通道組中的一個邏輯通道組。

【0108】作為一種實施方式，該電腦程式被處理器運行時，執行：當所述填充位元大小等於所述第一類型BSR格式的大小和對應的MAC子包頭大小

之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型BSR格式，所述第一類型BSR格式對應所述邏輯通道組。

【0109】作為一種實施方式，該電腦程式被處理器運行時，執行：確定上報第三類型BSR格式之前，將所述當前有緩存待傳資料的邏輯通道組按照優先順序排序；按照優先順序排序結果在所述當前有緩存待傳資料的邏輯通道組中選擇滿足所述填充位元的部分邏輯通道組。

【0110】在本申請所提供的幾個實施例中，應該理解到，所揭露的終端和方法，可以透過其它的方式實現。以上所描述的設備實施例僅僅是示意性的，例如，所述單元的劃分，僅僅為一種邏輯功能劃分，實際實現時可以有另外的劃分方式，如：多個單元或元件可以結合，或可以集成到另一個系統，或一些特徵可以忽略，或不執行。另外，所顯示或討論的各組成部分相互之間的耦合、或直接耦合、或通訊連接可以是透過一些介面，設備或單元的間接耦合或通訊連接，可以是電性的、機械的或其它形式的。

【0111】上述作為分離部件說明的單元可以是、或也可以不是實體上分開的，作為單元顯示的部件可以是、或也可以不是實體單元，即可以位於一個地方，也可以分佈到多個網路單元上；可以根據實際的需要選擇其中的部分或全部單元來實現本實施例方案的目的。

【0112】另外，在本發明各實施例中的各功能單元可以全部集成在一個處理單元中，也可以是各單元分別單獨作為一個單元，也可以兩個或兩個以上單元集成在一個單元中；上述集成的單元既可以採用硬體的形式實現，也可以採用硬體加軟體功能單元的形式實現。

【0113】本領域普通技術人員可以理解：實現上述方法實施例的全部或部分步驟可以透過程式指令相關的硬體來完成，前述的程式可以存儲於一電腦可讀取存儲媒介中，該程式在執行時，執行包括上述方法實施例的步驟；

而前述的存儲媒介包括：移動存放裝置、ROM、RAM、磁碟或者光碟等各種可以存儲程式碼的媒介。

【0114】或者，本發明上述集成的單元如果以軟體功能模組的形式實現並作為獨立的產品銷售或使用時，也可以存儲在一個電腦可讀取存儲媒介中。基於這樣的理解，本發明實施例的技術方案本質上或者說對現有技術做出貢獻的部分可以以軟體產品的形式體現出來，該電腦軟體產品存儲在一個存儲媒介中，包括若干指令用以使得一台電腦設備（可以是個人電腦、伺服器、或者網路設備等）執行本發明各個實施例所述方法的全部或部分。而前述的存儲媒介包括：移動存放裝置、ROM、RAM、磁碟或者光碟等各種可以存儲程式碼的媒介。

【0115】以上所述，僅為本發明的具體實施方式，但本發明的保護範圍並不局限於此，任何熟悉本技術領域的技術人員在本發明揭露的技術範圍內，可輕易想到變化或替換，都應涵蓋在本發明的保護範圍之內。因此，本發明的保護範圍應以所述申請專利範圍的保護範圍為準。

【符號說明】

- 101、102、201、202、203、204、205、206、207、208、209 步驟
- 31 觸發單元
- 32 確定單元
- 33 排序單元
- 41 處理器
- 42 記憶體
- 43 通訊元件
- 44 匯流排系統



201918104

【發明摘要】

【中文發明名稱】一種緩存狀態上報方法、終端和電腦存儲媒介

【英文發明名稱】 Buffer status reporting method, terminal device and computer storage medium

【中文】

本發明實施例公開了一種緩存狀態上報方法，所述方法包括：終端觸發填充緩存狀態報告（padding BSR）上報；所述終端根據填充位元大小、第一類型BSR格式的大小和對應的媒體存取控制（MAC）子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的BSR格式；所述BSR格式對應的邏輯通道組數量大於等於1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。

【英文】

A method for reporting a buffer status is disclosed, the method comprises: the terminal triggering a padding BSR report; the terminal determining the reported BSR format according to the size of padding bit, the size of the first type BSR format, the corresponding sum of the media access control (MAC) sub-packet size and the number of logical channel groups currently having the data to be buffered, the number of logical channel groups corresponding to the BSR format is not less than 1, the number of logical channel groups corresponding to the BSR format is not greater than the maximum number of logical channel groups currently having the data to be buffered.

【指定代表圖】 圖1

【代表圖之符號簡單說明】

101、102 步驟

【發明申請專利範圍】

【第1項】一種緩存狀態上報方法，所述方法包括：

終端觸發填充緩存狀態報告 padding BSR 上報；

所述終端根據填充位元大小、第一類型 BSR 格式的大小和對應的媒體存取控制 MAC 子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的 BSR 格式；所述 BSR 格式對應的邏輯通道組數量大於等於 1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。

【第2項】根據申請專利範圍 1 所述的方法，其中，所述終端根據填充位元大小、第一類型 BSR 格式的大小和對應的 MAC 子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的 BSR 格式，包括：

當所述填充位元大小大於所述第一類型 BSR 格式的大小和對應的 MAC 子包頭大小之和、小於第二類型 BSR 格式的最大長度和對應的 MAC 子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，基於當前有緩存待傳資料的邏輯通道組對應的第二類型 BSR 格式的大小和對應的 MAC 子包頭大小之和以及所述填充位元大小確定上報的 BSR 格式。

【第3項】根據申請專利範圍 2 所述的方法，其中，所述基於當前有緩存待傳資料的邏輯通道組對應的第二類型 BSR 格式的大小和對應的 MAC 子包頭大小之和以及所述填充位元大小確定上報的 BSR 格式，包括：

若當前有緩存待傳資料的邏輯通道組對應的第二類型 BSR 格式的大小和對應的 MAC 子包頭大小之和大於所述填充位元大小，確定上報第三類型 BSR 格式，所述第三類型 BSR 格式對應的邏輯通道組數量大於 1，小於當前有緩存待傳資料的邏輯通道組的數量。

【第4項】 根據申請專利範圍 1 所述的方法，其中，所述終端根據填充位元大小、第一類型 BSR 格式的大小和對應的 MAC 子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的 BSR 格式，包括：

當所述填充位元大小大於所述第一類型 BSR 格式的大小和對應的 MAC 子包頭大小之和、小於第二類型 BSR 格式的最大長度和對應的 MAC 子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型 BSR 格式；

或者，

當所述填充位元大小大於第二類型 BSR 格式的最大長度和對應的 MAC 子包頭大小之和時，確定上報第二類型 BSR 格式，所述第二類型 BSR 格式對應的邏輯通道組數量等於當前有緩存待傳資料的邏輯通道組的數量；

或者，

當所述填充位元大小等於所述第一類型 BSR 格式的大小和對應的 MAC 子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，確定上報第四類型 BSR 格式，所述第四類型 BSR 格式對應至少兩個邏輯通道組中的一個邏輯通道組；

或者，

當所述填充位元大小等於所述第一類型 BSR 格式的大小和對應的 MAC 子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為一個時，確定上報所述第一類型 BSR 格式，所述第一類型 BSR 格式對應所述邏輯通道組。

【第5項】 根據申請專利範圍 1 至 4 任一項所述的方法，其中，所述第二類型 BSR 格式包括所有當前有緩存待傳資料的邏輯通道組的標識以及對應的緩存狀態訊息；

每個邏輯通道組的緩存狀態訊息按照對應的標識順序依次排列。

【第6項】 根據申請專利範圍 1 至 4 任一項所述的方法，其中，所述第二類型 BSR 格式包括：第一位元圖，所述第一位元圖中的位元位對應於當前有緩存待傳資料的邏輯通道組；

所述第二類型 BSR 格式還包括所述當前有緩存待傳資料的邏輯通道組中每個邏輯通道組的緩存狀態訊息；

每個邏輯通道組的緩存狀態訊息按照對應於所述第一位元圖中的排序依次排列。

【第7項】 根據申請專利範圍 3 所述的方法，其中，所述確定上報第三類型 BSR 格式之前，所述方法還包括：

將所述當前有緩存待傳資料的邏輯通道組按照優先順序排序；

按照優先順序排序結果在所述當前有緩存待傳資料的邏輯通道組中選擇滿足所述填充位元的部分邏輯通道組。

【第8項】 根據申請專利範圍 7 所述的方法，其中，所述第三類型 BSR 包括：第二位元圖，所述第二位元圖中的位元位元對應於所述部分邏輯通道組；所述第三類型 BSR 還包括所述部分邏輯通道中每個邏輯通道組的緩存狀態訊息；所述部分邏輯通道組中每個邏輯通道組的緩存狀態訊息按照所述部分邏輯通道組對應於所述第二位元圖中的排序依次排列；

或者，

所述第三類型 BSR 包括所述部分邏輯通道組中每個邏輯通道組的標識以及對應的緩存狀態訊息；所述部分邏輯通道組中每個邏輯通道組的緩存狀態訊息按照部分邏輯通道組標識的順序依次排列。

【第9項】 一種終端，所述終端包括：觸發單元和確定單元；

所述觸發單元，配置為觸發填充緩存狀態報告上報；

所述確定單元，配置為根據填充位元大小、第一類型 BSR 格式的大小和對應的媒體存取控制 MAC 子包頭大小之和、以及當前有緩存待傳資料的邏輯通道組數量，確定上報的 BSR 格式；所述 BSR 格式對應的邏輯通道組數量大於等於 1，小於等於當前有緩存待傳資料的邏輯通道組的最大數量。

【第10項】 根據申請專利範圍 9 所述的終端，其中，所述確定單元，配置為當所述填充位元大小大於所述第一類型 BSR 格式的大小和對應的 MAC 子包頭大小之和、小於第二類型 BSR 格式的最大長度和對應的 MAC 子包頭大小之和、且當前有緩存待傳資料的邏輯通道組數量為至少兩個時，基於當前有緩存待傳資料的邏輯通道組對應的第二類型 BSR 格式的大小和對應的 MAC 子包頭大小之和以及所述填充位元大小確定上報的 BSR 格式。

【第11項】 根據申請專利範圍 10 所述的終端，其中，所述確定單元，配置為若當前有緩存待傳資料的邏輯通道組對應的第二類型 BSR 格式的大小和對應的 MAC 子包頭大小之和大於所述填充位元大小，確定上報第三類型 BSR 格式，所述第三類型 BSR 格式對應的邏輯通道組數量大於 1，小於當前有緩存待傳資料的邏輯通道組的數量。

【第12項】 根據申請專利範圍 9 至 11 任一項所述的終端，其中，所述第二類型 BSR 格式包括所有當前有緩存待傳資料的邏輯通道組的標識以及對應的緩存狀態訊息；每個邏輯通道組的緩存狀態訊息按照對應的標識順序依次排列。

【第13項】 根據申請專利範圍 9 至 11 任一項所述的終端，其中，所述第二類型 BSR 格式包括：第一位元圖，所述第一位元圖中的位元位對應於當前有緩存待傳資料的邏輯通道組；所述第二類型 BSR 格式還包括所述當前有緩存待傳資料的邏輯通道組中每個邏輯通道組的緩存狀態訊息；每個邏輯通道組的緩存狀態訊息按照對應於所述第一位元圖中的排序依次排列。

【第14項】 根據申請專利範圍 13 所述的終端，其中，所述終端還包括排序單元，配置為所述確定單元確定上報第三類型 BSR 格式之前，將所述當前有緩存待傳資料的邏輯通道組按照優先順序排序；按照優先順序排序結果在所述當前有緩存待傳資料的邏輯通道組中選擇滿足所述填充位元的部分邏輯通道組。

【第15項】 一種終端，包括：記憶體、處理器及存儲在記憶體上並可在處理器上運行的電腦程式，所述處理器執行所述程式時實現申請專利範圍 1-8 任一項所述的緩存狀態上報方法的步驟。

