



(12)发明专利

(10)授权公告号 CN 107924994 B

(45)授权公告日 2020.10.23

(21)申请号 201680046763.7

(72)发明人 Y·陆 S·H·康

(22)申请日 2016.07.11

(74)专利代理机构 上海专利商标事务所有限公司 31100

(65)同一申请的已公布的文献号
申请公布号 CN 107924994 A

代理人 李小芳 袁逸

(43)申请公布日 2018.04.17

(51)Int.Cl.

(30)优先权数据

H01L 43/12(2006.01)

14/822,326 2015.08.10 US

H01L 27/22(2006.01)

(85)PCT国际申请进入国家阶段日
2018.02.08

(56)对比文件

US 2012043630 A1,2012.02.23

TW 575905 B,2004.02.11

(86)PCT国际申请的申请数据
PCT/US2016/041790 2016.07.11

CN 102422421 A,2012.04.18

US 2007211522 A1,2007.09.13

(87)PCT国际申请的公布数据
W02017/027148 EN 2017.02.16

CN 101248531 A,2008.08.20

审查员 朱波

(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州

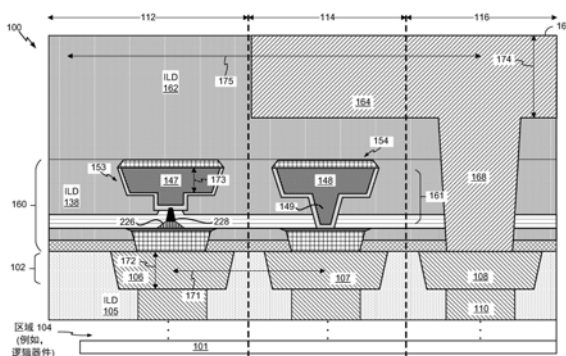
权利要求书3页 说明书12页 附图15页

(54)发明名称

用于存储器器件的金属化工艺

(57)摘要

一种制造器件(100)的方法包括形成第一金属化层(102),第一金属化层(102)耦合至该器件的逻辑器件。该方法进一步包括形成第二金属化层(161),第二金属化层(161)耦合至该器件的磁阻随机存取存储器(MRAM)模块(160)。第二金属化层独立于第一金属化层。



1. 一种制造器件的方法,所述方法包括:
形成第一金属化层,所述第一金属化层耦合至器件的逻辑器件;以及
形成专用金属化层,所述专用金属化层耦合至所述器件的磁阻随机存取存储器MRAM模块,其中所述专用金属化层不同于所述第一金属化层,并且其中所述专用金属化层不与所述逻辑器件共享。
2. 如权利要求1所述的方法,其特征在于,所述第一金属化层是使用后端制程BEOL金属化工艺来形成的,其中所述专用金属化层是使用专用于形成与所述MRAM模块相关联的一个或多个组件的金属化工艺来形成的。
3. 如权利要求2所述的方法,其特征在于,所述BEOL金属化工艺指定正整数 n 个金属化层,并且其中所述器件包括至少 $n+1$ 个金属化层。
4. 如权利要求2所述的方法,其特征在于,形成所述专用金属化层包括执行镶嵌工艺以形成所述一个或多个组件,并且其中所述一个或多个组件包括以下一者或多者:所述MRAM模块的位线或所述MRAM模块的阵列触点。
5. 如权利要求1所述的方法,其特征在于,进一步包括在形成所述专用金属化层之后形成第三金属化层,其中所述第一金属化层与第一节距相关联,所述第一节距小于与所述第三金属化层相关联的第二节距,其中所述专用金属化层被配置成利用所述第一金属化层的所述第一节距来形成与所述MRAM模块相关联的一个或多个组件,并且其中所述一个或多个组件包括基于电阻的存储元件。
6. 如权利要求5所述的方法,其特征在于,所述第一节距是遵循所述器件的后端制程BEOL金属化工艺的特定节距。
7. 如权利要求5所述的方法,其特征在于,所述第一金属化层具有第一密度,所述第一密度大于与所述第三金属化层相关联的第二密度。
8. 如权利要求1所述的方法,其特征在于,形成所述第一金属化层和形成所述专用金属化层是通过处理器执行指令来发起的。
9. 一种存储指令的计算机可读介质,所述指令能由处理器执行以使所述处理器在器件的制造期间发起操作,所述操作包括:
形成第一金属化层,所述第一金属化层耦合至器件的逻辑器件;以及
形成专用金属化层,所述专用金属化层耦合至所述器件的磁阻随机存取存储器MRAM模块,其中所述专用金属化层不同于所述第一金属化层,并且其中所述专用金属化层不与所述逻辑器件共享。
10. 如权利要求9所述的计算机可读介质,其特征在于,所述第一金属化层是使用后端制程BEOL金属化工艺来形成的,其中所述专用金属化层是使用专用于形成与所述MRAM模块相关联的一个或多个组件的金属化工艺来形成的。
11. 如权利要求10所述的计算机可读介质,其特征在于,所述BEOL金属化工艺指定正整数 n 个金属化层,并且其中所述器件包括至少 $n+1$ 个金属化层。
12. 如权利要求10所述的计算机可读介质,其特征在于,形成所述专用金属化层包括执行镶嵌工艺以形成所述一个或多个组件,并且其中所述一个或多个组件包括以下一者或多者:所述MRAM模块的位线或所述MRAM模块的阵列触点。
13. 如权利要求9所述的计算机可读介质,其特征在于,所述操作进一步包括在形成所

述专用金属化层之后形成第三金属化层,其中所述第一金属化层与第一节距相关联,所述第一节距小于与所述第三金属化层相关联的第二节距,其中所述专用金属化层被配置成利用所述第一金属化层的所述第一节距来形成与所述MRAM模块相关联的一个或多个组件,并且其中所述一个或多个组件包括基于电阻的存储元件。

14. 如权利要求13所述的计算机可读介质,其特征在于,所述第一节距是遵循所述器件的后端制程BEOL金属化工艺的特定节距。

15. 如权利要求13所述的计算机可读介质,其特征在于,所述第一金属化层具有第一密度,所述第一密度大于与所述第三金属化层相关联的第二密度。

16. 一种电子装置,包括:

第一金属化层的第一结构,所述第一结构耦合至集成电路的逻辑器件;以及

专用金属化层的第二结构,所述第二结构耦合至所述集成电路的磁阻随机存取存储器MRAM模块的一个或多个基于电阻的存储元件,其中所述第二结构不同于所述第一结构,并且其中所述专用金属化层不与所述逻辑器件共享。

17. 如权利要求16所述的电子装置,其特征在于,所述第一结构包括触点或通孔,其中所述第二结构包括所述MRAM模块的位线,并且进一步包括所述MRAM模块的阵列触点。

18. 如权利要求16所述的电子装置,其特征在于,进一步包括第三金属化层的第三结构,其中所述第一金属化层与第一节距相关联,所述第一节距小于与所述第三金属化层相关联的第二节距,其中所述专用金属化层被配置成利用所述第一金属化层的所述第一节距来形成与所述MRAM模块相关联的一个或多个组件,并且其中所述一个或多个组件包括基于电阻的存储元件。

19. 如权利要求18所述的电子装置,其特征在于,所述第三结构包括金属区域或通孔。

20. 如权利要求16所述的电子装置,其特征在于,所述MRAM模块进一步包括模块触点、耦合至所述模块触点的耦合元件、以及阵列触点。

21. 如权利要求16所述的电子装置,其特征在于,进一步包括包含所述第一结构和所述第二结构的半导体管芯。

22. 如权利要求21所述的电子装置,其特征在于,进一步包括从包括以下各项的组中选择的设备:移动设备、计算机、机顶盒、娱乐单元、导航设备、个人数字助理(PDA)、监视器、电视机、调谐器、无线电、卫星无线电、音乐播放器、数字音乐播放器、便携式音乐播放器、视频播放器、数字视频播放器、数字视频碟(DVD)播放器、便携式数字视频播放器、以及固定位置数据单元,其中所述半导体管芯被集成到所述设备内。

23. 一种生成数据文件的方法,所述方法包括:

接收表示半导体设备的至少一种物理性质的设计信息,所述半导体设备包括:

第一金属化层的第一结构,所述第一结构耦合至集成电路的逻辑器件;以及

专用金属化层的第二结构,所述第二结构耦合至所述集成电路的磁阻随机存取存储器MRAM模块的一个或多个基于电阻的存储元件,其中所述第二结构不同于所述第一结构,并且其中所述专用金属化层不与所述逻辑器件共享;

转换所述设计信息以遵循文件格式;以及

生成包括经转换的设计信息的数据文件。

24. 如权利要求23所述的方法,其特征在于,所述数据文件具有GDSII格式,并且其中所

述设计信息包括库文件。

25. 如权利要求23所述的方法,其特征在于,所述设计信息包括表示所述逻辑器件的逻辑器件设计信息,并且进一步包括表示所述MRAM模块的MRAM模块设计信息。

26. 如权利要求23所述的方法,其特征在于,所述第一结构包括触点或通孔。

27. 如权利要求23所述的方法,其特征在于,所述第二结构包括所述MRAM模块的位线或所述MRAM模块的阵列触点。

28. 如权利要求27所述的方法,其特征在于,所述半导体设备进一步包括第三金属化层的第三结构。

29. 如权利要求28所述的方法,其特征在于,所述第三结构包括金属区域或通孔。

30. 如权利要求23所述的方法,其特征在于,所述第一结构的第一厚度小于所述第二结构的第二厚度。

用于存储器器件的金属化工艺

[0001] Y·陆

[0002] S·H·康

[0003] I. 优先权要求

[0004] 本申请要求共同拥有的于2015年8月10日提交的美国非临时专利申请No.14/822,326的优先权,该非临时专利申请的内容通过援引全部明确纳入于此。

[0005] II. 领域

[0006] 本公开一般涉及半导体设备,尤其涉及包括存储器器件的半导体设备。

[0007] III. 相关技术描述

[0008] 磁阻随机存取存储器 (MRAM) 器件可使用基于电阻的存储元件来存储信息。例如,磁性隧道结 (MTJ) 可被编程成具有低电阻状态以指示第一逻辑值 (例如,逻辑0值) 或具有高电阻状态以指示第二逻辑值 (例如,逻辑1值)。

[0009] 一些半导体设备将MRAM器件与一个或多个其他组件一起集成在单个集成电路中。例如,集成电路可包括基板、形成在该基板上的器件、以及使用该集成电路的诸金属化层形成在该器件上的MRAM器件。在此示例中,该MRAM器件和该器件可以“共享”这些金属化层。例如,这些金属化层可包括与这两个器件均相关联的布线。

[0010] 在一些环境中,将MRAM器件形成在金属化层中可能会增加制造成本以及集成电路的复杂度。例如,如果该MRAM器件的布线和该器件的布线“共享”金属化层,则可修改集成电路的设计以遵循制造设计规则或者遵循集成电路的物理布局。修改集成电路的设计可能会提高生产成本。

[0011] IV. 概述

[0012] 与存储器器件 (例如,磁阻随机存取存储器 (MRAM) 器件) 相关联的一个或多个组件是使用专用 (或“定制”) 金属化层来形成的。作为解说性示例,可使用专用金属化层来创建耦合至MRAM器件的位线或形成耦合至MRAM器件的触点。专用金属化层可被“插入”在由金属化工艺指定的金属化层之间。例如,如果后端制程 (BEOL) 金属化工艺指定 n 个金属化层,则制造MRAM器件可包括形成 $n+1$ 个金属化层 (而不是形成 n 个金属化层) (其中 n 指示由该金属化工艺指定的金属化层数目)。

[0013] 专用金属化层可被置于特定金属化层与没有该特定金属化层那么密集的另一金属化层之间。例如,专用金属化层可被置于由该金属化工艺指定的“密集金属层”之上以及“厚金属层”之下。通过在该密集金属化层与该厚金属层之间形成MRAM器件,可使用该密集金属层所允许的“密集”特征尺寸 (导致高数据存储密度) 来减小该MRAM器件的基于电阻的存储元件的尺寸,同时还使得该厚金属层能够将该MRAM器件耦合至其他器件组件 (例如,逻辑区域,诸如处理器或其他器件)。通过使用该厚金属层来将该MRAM器件耦合至其他器件组件 (而不是使用一个或多个密集金属层),可以避免或减少在该MRAM器件与该其他器件组件之间“共享”密集金属层。例如,与该MRAM器件相关联的结构 (例如,位线或触点) 可独立于该其他器件组件的布线 (例如,相比于该其他器件组件的布线而言可使用一个或多个不同金属化层来形成) (而不是针对该结构和该布线“共享”金属化层,这会增加制造成本和复杂

度)。

[0014] 此外,使用厚金属层来将MRAM器件连接至其他器件组件可以减少该MRAM器件对该其他器件组件的寄生效应。例如,使用较厚金属制造的器件组件可使得对其他器件组件的阻容(RC)寄生效应较少(相较于使用较薄金属制造而言)。使用较厚金属制造MRAM器件因此可以减少该MRAM器件对其他器件组件的RC寄生效应(反之亦然)。作为另一示例,避免在MRAM器件与其他组件之间“共享”金属化层可以减少该MRAM器件对该其他器件组件的寄生效应(反之亦然)。减少寄生效应可以简化与将MRAM器件和其他组件集成到单个集成电路上相关联的设计过程(诸如通过避免设计的重新仿真、设计的重新鉴定资格、器件布局的修改、或与设计相关联的RC寄生模型的修改)。

[0015] 在特定示例中,一种制造器件的方法包括形成第一金属化层,第一金属化层耦合至该器件的逻辑器件。该方法进一步包括形成第二金属化层,第二金属化层耦合至该器件的MRAM模块。第二金属化层独立于第一金属化层。

[0016] 在另一特定示例中,一种计算机可读介质存储指令,这些指令可由处理器执行以使该处理器在器件的制造期间发起操作。这些操作包括形成第一金属化层,第一金属化层耦合至该器件的逻辑器件。这些操作进一步包括形成第二金属化层,第二金属化层耦合至该器件的MRAM模块。第二金属化层独立于第一金属化层。

[0017] 在另一特定示例中,一种装置包括第一金属化层的第一结构。第一结构耦合至集成电路的逻辑器件。该装置进一步包括第二金属化层的第二结构。第二结构耦合至该集成电路的MRAM模块的一个或多个基于电阻的存储元件。第二结构独立于第一结构。

[0018] 在另一特定示例中,一种生成数据文件的方法包括接收表示半导体设备的至少一个物理性质的设计信息。该半导体设备包括集成电路的第一金属化层的第一结构。第一结构耦合至逻辑器件。该半导体设备进一步包括第二金属化层的第二结构。第二结构耦合至该集成电路的MRAM模块的一个或多个基于电阻的存储元件。第二结构独立于第一结构。该方法进一步包括转换该设计信息以遵循文件格式以及生成包括经转换的设计信息的数据文件。

[0019] 由所公开的示例中的至少一个示例提供的一个特定优点在于简化了将多个器件集成在集成电路上。例如,由于MRAM模块的一个或多个结构独立于其他组件(例如,逻辑器件),因此相比于在某些组件之间“共享”金属化层的器件而言可以简化该MRAM模块与该其他组件的集成(例如,通过避免设计的重新仿真、设计的重新鉴定资格、器件布局的修改、或与设计相关联的RC寄生模型的修改)。本公开的其他方面、优点、和特征将在阅读整个申请后变得明了,整个申请包括以下章节:附图简述、详细描述、以及权利要求。

[0020] V. 附图简述

[0021] 图1描绘了器件(诸如可使用第一制造过程来制造的器件)的第一特定解说性示例。

[0022] 图2描绘了处于第一制造过程的第一阶段期间的器件的特定解说性示例。

[0023] 图3描绘了处于第一制造过程的第二阶段期间的器件的特定解说性示例。

[0024] 图4描绘了处于第一制造过程的第三阶段期间的器件的特定解说性示例。

[0025] 图5描绘了处于第一制造过程的第四阶段期间的器件的特定解说性示例。

[0026] 图6描绘了处于第一制造过程的第五阶段期间的器件的特定解说性示例。

- [0027] 图7描绘了处于第一制造过程的第六阶段期间的器件的特定解说性示例。
- [0028] 图8描绘了处于第二制造过程的第一阶段期间的器件的特定解说性示例。
- [0029] 图9描绘了处于第二制造过程的第二阶段期间的器件的特定解说性示例。
- [0030] 图10描绘了处于第二制造过程的第三阶段期间的器件的特定解说性示例。
- [0031] 图11描绘了处于第二制造过程的第四阶段期间的器件的特定解说性示例。
- [0032] 图12描绘了处于第二制造过程的第五阶段期间的器件的特定解说性示例。
- [0033] 图13是制造器件(诸如使用图1-7的第一制造过程所制造的器件、使用图8-12的第二制造过程所制造的器件)的方法的特定解说性示例的流程图。
- [0034] 图14是用于制造一个或多个电子设备的制造过程的解说性示例的数据流程图。
- [0035] 图15是电子设备的解说性示例的框图。
- [0036] VI. 详细描述
- [0037] 参照图1,描绘了器件的特定解说性示例并将其一般地标示为100。器件100可被包括在集成电路(诸如半导体管芯)内。
- [0038] 器件100包括基板101,诸如硅基板。器件100进一步包括区域104。区域104可包括使用器件100的多个层所形成的一个或多个器件。例如,区域104可包括使用互补金属氧化物半导体(CMOS)逻辑工艺所形成的逻辑器件(例如,处理器、或另一器件)。区域104可进一步包括与该逻辑器件相关联的布线。例如,该布线可将该逻辑器件连接至通孔110。
- [0039] 器件100进一步包括使用多个金属化层(诸如与后端制程(BEOL)金属化工艺相关联的多个金属化层)形成的一个或多个第一结构。为了解说,图1描绘了第一金属化层102的第一部分106(例如,第一触点)、第一金属化层102的第二部分107(例如,第二触点)、以及第一金属化层102的第三部分108(例如,第三触点)。第一金属化层102可使用沉积工艺来形成(例如,通过根据镶嵌工艺沉积金属,诸如铜)。可围绕部分106-108填充第一层间介电质(ILD) 105,并且一个或多个通孔可将部分106-108连接至区域104中所包括的逻辑器件。例如,通孔110可将第三部分108连接至区域104中所包括的逻辑器件。部分106-108和通孔110可与逻辑器件(诸如形成在区域104内的逻辑器件)相关联(例如,可耦合至逻辑器件)。
- [0040] 器件100可进一步包括形成在第一金属化层102之上的磁阻随机存取存储器(MRAM)模块160。MRAM模块160可包括多个基于电阻的存储元件,诸如基于电阻的代表性存储元件226。器件100的每个基于电阻的存储元件可包括磁性隧道结(MTJ)器件,其可被调整成低电阻状态以指示第一逻辑值(例如,逻辑0值)或高电阻状态以指示第二逻辑值(例如,逻辑1值)。基于电阻的存储元件226可包括(或可连接至)耦合元件228。应领会,图1的示例是解说性的,并且器件100可包括不止一个基于电阻的存储元件。
- [0041] MRAM模块160可进一步包括使用第二金属化层161形成的一个或多个组件(例如,通过根据镶嵌工艺沉积金属,诸如铜)。为了解说,MRAM模块160可包括模块触点153和阵列触点154。模块触点153可包括第二金属化层161的第一部分(例如,位线147),并且阵列触点154可包括第二金属化层161的第二部分148以及第二金属化层161的通孔149。位线147和阵列触点154可与MRAM模块160相关联(例如,耦合至MRAM模块160或集成于其内)。位线147可被配置成偏置MRAM模块160的一个或多个基于电阻的存储元件(例如,基于电阻的存储元件226)。可围绕模块触点153和阵列触点154填充第二ILD 138。第二ILD 138可包括多孔低k材料(其中k指示介电材料的介电常数)或常规介电材料,例如二氧化硅。

[0042] 器件100可进一步包括使用第三金属化层165形成的一个或多个组件(例如,通过蚀刻材料以形成腔和沟槽并通过在该腔和该沟槽中填充铜(诸如使用双镶嵌工艺))。例如,可在该腔中填充铜以形成通孔168,并且可在该沟槽中填充铜以形成金属区域164。可围绕金属区域164和通孔168填充第三ILD162。

[0043] 器件100进一步包括MRAM区域112、边缘区域114和逻辑区域116。MRAM区域112可包括多个基于电阻的存储元件(例如,包括基于电阻的存储元件226的存储器)、模块触点153和第一部分106。边缘区域114可毗邻MRAM区域112和逻辑区域116。边缘区域114可包括阵列触点154和第二部分107。逻辑区域116可包括金属区域164、通孔168、第三部分108和通孔110。为了清楚起见,图1中未示出可被制造在金属化层之下的半导体设备。

[0044] 第一金属化层102可对应于在器件100的制造期间形成的密集金属层。如本文中所述的,“密集”金属层可具有相对较小的节距(导致诸组件彼此相对邻近,或即相对“密集”)。为了解说,BEOL金属化工艺可指定与第一金属化层102相关联的第一节距171,诸如BEOL金属化工艺的“最小”节距。BEOL金属化工艺可指定使用在第一金属化层102之后沉积的金属化层形成的器件100的组件可具有比第一节距171更大的节距。例如,第三金属化层165可以是具有至少第二节距175(其大于第一金属化层102的第一节距171)的“厚”金属层。

[0045] 作为非限定性的解说性示例,BEOL金属化工艺可指定金属化层1、2、3、4和5(M1、M2、M3、M4和M5)可具有对应于第一节距171的节距。BEOL金属化工艺可进一步指定与形成在金属化层M1-M5之上的金属化层相关联的第二节距(例如,第二节距175)将大于第一节距171(例如,约等于第一节距171的两倍或更大)。在此示例中,区域104可包括金属化层M1-M4,第一金属化层102可对应于金属化层M5,并且第三金属化层165可对应于金属化层M6。在此情形中,MRAM模块160的一个或多个组件(例如,模块触点153和阵列触点154)可通过在金属化层M5和M6之间“插入”第二金属化层161来形成。

[0046] 为了进一步解说,第一金属化层102的第一结构可具有第一厚度172。作为解说性示例,第一结构可包括部分106-108中的任一者或通孔110。第二金属化层161的第二结构可具有第二厚度173。例如,第二结构可包括位线147、第二部分148、或通孔149。第三金属化层165的第三结构可具有第三厚度174,第三厚度174大于第一厚度172。例如,BEOL金属化工艺可指定第三厚度174将大于第一厚度172。第二厚度173可独立于第一厚度172和第三厚度174。例如,BEOL金属化可以不指定第二厚度173。在一些实现中,第二厚度173可被设置成等于第一厚度172(例如,最小厚度,以增大MRAM模块160的数据存储密度)。

[0047] 对MRAM专用金属化层(例如,第二金属化层161)的使用可促成MRAM模块160的高数据存储密度(通过使用第一金属化层102的减小的节距来制造组件,诸如基于电阻的存储元件226),同时还避免在MRAM模块160与区域104的一个或多个组件(例如,区域104中所包括的逻辑器件)之间“共享”特定金属化层。避免“共享”金属化层可以简化器件设计和制造,从而降低器件成本。

[0048] 为了进一步解说,参照图2-7描述用于制造器件100的第一制造过程的示例。应领会,第一制造过程是出于解说目的描述的,并且其他制造过程也在本公开的范围内。

[0049] 参照图2,描绘了处于第一制造过程的第一阶段期间的器件并将其一般地标示为200。在图2中,器件200包括底部盖层218(例如,铜盖层)。缓冲层220可被形成在底部盖层

218上(例如,使用沉积工艺)。缓冲层220可包括氧化物材料、二氧化硅材料、氮化硅材料、另一材料、或其组合。缓冲层220诸如可使用化学机械平坦化(CMP)工艺来平滑或平坦化。

[0050] 器件200可进一步包括第一底部电极234和第二底部电极236。底部电极234、236可形成在底部盖层218和缓冲层220的腔(例如,使用蚀刻工艺所创建的腔)中。底部电极234、236可包括导电材料232、233,诸如氮化钽(TaN)或钨(W)材料。第一底部电极234可进一步包括材料230,诸如氮化钽(TaN)材料,并且第二底部电极236可进一步包括材料231,诸如TaN材料。作为解说性示例,材料230、231可使用离子气相沉积(PVD)工艺来形成。

[0051] 基于电阻的存储元件226可形成在第一底部电极234上。例如,可形成(例如,使用一种或多种PVD工艺)并蚀刻(例如,使用蚀刻工艺)多个层(例如,自由层、隧道阻挡层、以及固定层)以定义基于电阻的存储元件226的MTJ器件。在一些应用中,MTJ器件可使用一种或多种光刻工艺来形成。在一些实现中,耦合元件228在蚀刻工艺期间用作掩模(以在蚀刻工艺期间保护基于电阻的存储元件)。耦合元件228可包括TaN材料、氮化钛(TiN)材料、另一材料、或其组合。

[0052] 器件200可进一步包括钝化层222。例如,钝化层222可包括氮化硅材料、二氧化硅材料、氧化铝材料、另一材料、或其组合。

[0053] 参照图3,描绘了处于第一制造过程的第二阶段期间的器件并将其一般地标示为300。在图3中,已在钝化层222上形成第二ILD 138(例如,使用生长工艺)。硬掩模(HM) 340可被形成在第二ILD 138上(例如,使用PVD工艺)。HM 340可包括TiN材料、另一材料、或其组合。

[0054] 在一些情形中,可基于图1的MRAM模块160的一个或多个特性、图1的第二金属化层161、或这两者来选择第二ILD 138的第一高度399。为了解说,与金属化层102、165相关联的BEOL金属化工艺可指定第二ILD 138的第二高度,第二高度小于第一高度399。可选择第一高度399(而非第二高度)以容适图1的MRAM模块160的一个或多个组件、图1的第二金属化层161、或这两者。例如,可选择第一高度399以使得能够使用镶嵌工艺,包括在第二ILD 138中蚀刻腔,如关于图4进一步描述的。

[0055] 参照图4,描绘了处于第一制造过程的第三阶段期间的器件并将其一般地标示为400。在图4中,第一腔441和第二腔442已被创建。例如,可执行蚀刻工艺以蚀刻HM 340、第二ILD 138和钝化层222。

[0056] 在一些实现中,保护器件402在第一制造过程的一个或多个操作期间被使用。例如,保护器件402可包括挡板、罩子、掩模、或在以MRAM区域112和边缘区域114为目标的一个或多个操作期间(例如,在用于创建腔441、442的蚀刻工艺期间)保护(例如,隔离)逻辑区域116的另一器件。在其他实现中,对保护器件402的使用可从第一制造过程中被省略(例如,通过使用一个或多个“虚设”过程(诸如虚设蚀刻和虚设填充)而非保护器件402)。

[0057] 参照图5,描绘了处于第一制造过程的第四阶段期间的器件并将其一般地标示为500。在图5中,已分别在图4的腔441、442中形成第一阻挡层549和第二阻挡层550。图5还解说了已在阻挡层549、550上形成位线147、第二部分148和通孔149。

[0058] 在一解说性实现中,阻挡层549、550、位线147、第二部分148和通孔149是使用镶嵌工艺(例如,双镶嵌工艺)来形成的,该镶嵌工艺包括预清洁图4的腔441、442并在腔441、442内沉积阻挡材料以形成阻挡层549、550。该镶嵌工艺可进一步包括在阻挡层549、550上形成

晶种层并镀敷该晶种层以形成位线147、第二部分148和通孔149。在形成位线147、第二部分148和通孔149之后,该镶嵌工艺还可包括执行平滑或平坦化工艺(例如,CMP工艺)以形成图5的器件500。在一些实现中,保护器件402可被用来在该镶嵌工艺的一个或多个操作期间保护逻辑区域116。

[0059] 取决于特定应用,通孔149可具有“定制”尺寸(例如,高度)。例如,通孔149可具有与图1的通孔168的高度不同的高度。作为另一示例,与金属化层102、165相关联的BEOL金属化工艺可指定通孔168的高度(而无需指定通孔149的高度)。在一些情形中,通孔149可使用“定制”掩模(例如,基于通孔149的一个或多个物理特性(诸如基于通孔149的高度)形成的掩模)来制造。

[0060] 参照图6,描绘了处于第一制造过程的第五阶段期间的器件并将其一般地标示为600。在图6中,已分别在位线147上和第二部分148上形成第一电迁移(EM)盖651和第二EM盖652。例如,EM盖651、652可通过沉积材料来形成(例如,使用自对准工艺)。EM盖651、652可包括CoWP材料、另一材料、或其组合。在一些实现中,保护器件402可被用来在形成EM盖651、652期间保护逻辑区域116。

[0061] 参照图7,描绘了处于第一制造过程的第六阶段期间的器件并将其一般地标示为700。在图7中,已形成(例如,使用生长工艺)并蚀刻(例如,使用蚀刻工艺)第三ILD 162以定义沟槽702和腔704。在其中保护器件402被用来保护逻辑区域116的实现中,保护器件402可在定义沟槽702和腔704之前被移除。

[0062] 关于图2-7描述的第一制造过程还可包括在沟槽702内形成图1的金属区域164以及在腔704内形成图1的通孔168以形成图1的器件100。例如,厚金属双镶嵌工艺可包括在沟槽702内和腔704内沉积金属(例如,铜)并平坦化该金属(例如,使用CMP工艺)以形成图1的器件100。该厚金属双镶嵌工艺可与具有比其他金属化层(例如,第一金属化层102)的节距更大的节距的某些金属化层(例如,第三金属化层165)相关联。

[0063] 图8-12描绘了与第二制造过程相关联的诸阶段。例如,参照图12,可使用第二制造过程来形成器件1200。在一些应用中,与第一制造过程相比,第二制造过程可通过避免制造通孔149来减少掩模数目,如以下所进一步描述的。应领会,第二制造过程是出于解说目的描述的,并且其他制造过程也在本公开的范围之内。

[0064] 参照图8,描绘了处于第二制造过程的第一阶段期间的器件并将其一般地标示为800。器件800的某些特征可对应于关于图1-7描述的特征。在图8的示例中,器件800可包括第二腔842(而不是图4的第二腔442)。例如,用于定义第二腔842的蚀刻工艺可在到达第二底部电极236之前停止(而不是如图4的示例中的到达第二底部电极236以暴露第二底部电极236的表面)。

[0065] 在一些实现中,保护器件402在第二制造过程的一个或多个操作期间被使用。例如,保护器件402可包括挡板、罩子、掩模、或在以MRAM区域112和边缘区域114为目标的一个或多个操作期间(例如,在用于创建腔441、842的蚀刻工艺期间)保护(例如,隔离)逻辑区域116的另一器件。在其他实现中,对保护器件402的使用可从第二制造过程中被省略(例如,通过使用一个或多个“虚设”过程(诸如虚设蚀刻和虚设填充)而非保护器件402)。

[0066] 参照图9,描绘了处于第二制造过程的第二阶段期间的器件并将其一般地标示为900。器件900包括形成在图8的第二腔842内的阵列触点954。阵列触点954可包括阻挡层950

和第二部分948。

[0067] 在一解说性实现中,阻挡层549、950、位线147和第二部分948是使用镶嵌工艺(例如,单镶嵌工艺)来形成的,该镶嵌工艺包括预清洁图8的腔441、842并在腔441、842内沉积阻挡材料以形成阻挡层549、950。该镶嵌工艺可进一步包括在阻挡层549、950上形成晶种层并镀敷该晶种层以形成位线147和第二部分948。在形成位线147和第二部分948之后,该镶嵌工艺还可包括执行平滑或平坦化工艺(例如,CMP工艺)以形成图9的器件900。在一些实现中,保护器件402可被用来在该镶嵌工艺的一个或多个操作期间保护逻辑区域116。

[0068] 参照图10,描绘了处于第二制造过程的第三阶段期间的器件并将其一般地标示为1000。在图10中,已分别在位线147上和第二部分948上形成第一EM盖651和第二EM盖1052。例如,EM盖651、1052可通过沉积材料来形成(例如,使用自对准工艺)。EM盖651、1052可包括CoWP材料、另一材料、或其组合。在一些实现中,保护器件402可被用来在形成EM盖651、1052期间保护逻辑区域116。

[0069] 参照图11,描绘了处于第二制造过程的第四阶段期间的器件并将其一般地标示为1100。在图11中,已形成(例如,使用生长工艺)并蚀刻(例如,使用蚀刻工艺)第三ILD 162以定义沟槽702、腔704和腔1106。形成腔704可以暴露第三部分108的表面,且形成腔1106可以暴露第二EM盖1052的表面。在其中保护器件402被用来保护逻辑区域116的实现中,保护器件402可在定义沟槽702和腔704、1106之前被移除。

[0070] 参照图12,描绘了处于第二制造过程的第五阶段期间的器件并将其一般地标示为1200。器件1200可包括金属区域164(在沟槽702内)、通孔168(在腔704内)和通孔1270(在腔1106内)。通孔1270耦合至第二EM盖1052,并且还耦合至金属区域164。

[0071] 金属区域164和通孔168、1270可使用厚金属双镶嵌工艺来形成。该厚金属双镶嵌工艺可包括在沟槽702内和腔704、1106内沉积金属(例如,铜)并平坦化该金属(例如,使用CMP工艺)以形成器件1200。该厚金属双镶嵌工艺可与具有比其他金属化层(例如,第一金属化层102)的节距更大的节距的某些金属化层(例如,第三金属化层165)相关联。

[0072] 在一些应用中,与第一制造过程相比,第二制造过程可以少使用一个掩模。例如,由于通孔149具有不同于通孔168的高度(例如,由于MRAM模块160已被“插入”在金属化层102、165之间),因此通孔149的形成可利用“定制”掩模。此外,在一些情形中,通孔1270的高度可由与金属化层102、165相关联的BEOL金属化工艺指定。由此,形成通孔1270(代替通孔149)以将MRAM模块160连接至第三金属化层165可以减少器件制造期间所使用的掩模数目。在一些应用中,第一制造过程的使用可以避免修改用于形成第三金属化层165的金属化工艺(通过避免制造通孔1270)。此外,器件100相比于器件1200而言可具有更小的尺寸(例如,通过使用通孔149(而不是使用通孔1270,通孔1270可使用“厚”金属化工艺来制造并且可具有比通孔149更大的尺寸)将MRAM模块160连接至第三金属化层165)。由此,可基于特定应用来选择第一制造过程或第二制造过程。

[0073] 参照图13,描绘了方法的特定解说性示例并将其一般地标示为1300。可在器件的制造期间(诸如在图1的器件100的制造期间(例如,使用关于图2-7描述的第一制造过程)、在图12的器件1200的制造期间(例如,使用关于图8-12描述的第二制造过程)、或这两者)执行方法1300

[0074] 方法1300包括在1302,形成第一金属化层,第一金属化层耦合至该器件的逻辑器

件。为了解说,第一金属化层可对应于第一金属化层102,并且该逻辑器件可被形成在区域104内。

[0075] 方法1300进一步包括在1304,形成第二金属化层,第二金属化层耦合至该器件的MRAM模块。作为解说性示例,该MRAM模块可对应于MRAM模块160,并且第二金属化层可对应于第二金属化层161。第二金属化层独立于第一金属化层。例如,第一金属化层102可“专用于”形成在区域104内的逻辑器件的一个或多个布线组件。

[0076] 作为另一示例,逻辑区域116可在以MRAM区域112和边缘区域114为目标的一个或多个操作期间受保护(例如,使用保护器件402)。例如,第一金属化层102的一个或多个组件(例如,部分106-108)可“专用于”将该逻辑器件连接至一个或多个其他器件组件,并且第二金属化层161可“专用于”将MRAM模块160连接至一个或多个其他器件组件。作为另一示例,逻辑区域116可在以MRAM区域112和边缘区域114为目标的一个或多个操作期间受保护(例如,使用保护器件402)(以使得独立于逻辑区域116的诸组件地形成第二金属化层161的诸组件)。

[0077] 第一金属化层可使用BEOL金属化工艺来形成,并且第二金属化层可使用专用于形成与该MRAM模块相关联的一个或多个组件的金属化工艺来形成。BEOL金属化工艺可指定正整数 n 个金属化层,并且该器件可包括至少 $n+1$ 个金属化层。形成第二金属化层可包括执行镶嵌工艺以形成该一个或多个组件。该一个或多个组件可包括该MRAM模块的一条或多条位线(例如,位线147)或该MRAM模块的阵列触点的一部分(例如,第二部分148或通孔149)。

[0078] 方法1300可以可任选地包括在形成第二金属化层之后形成第三金属化层(例如,第三金属化层165)。第一金属化层可与第一节距(例如,第一节距171)相关联,第一节距小于与第三金属化层相关联的第二节距(例如,第二节距175)。第一节距是遵循该器件的BEOL金属化工艺的特定节距(例如,“最小”节距),诸如由BEOL金属化工艺指定的密集金属化层的“最小”节距。第一金属化层可具有第一密度,第一密度大于与第三金属化层相关联的第二密度。

[0079] 形成第一金属化层和形成第二金属化层可由执行指令的处理器发起。执行制造器件的指令的处理器示例进一步参照图14来描述。

[0080] 上文公开的器件和功能性可使用计算机文件(例如,RTL、GDSII、GERBER等)来设计和表示。这些计算机文件可存储在计算机可读介质上。一些或全部此类文件可被提供给基于此类文件来制造设备的制造处理人员。结果产生的产品包括晶片,其随后被切割成管芯并被封装成集成电路(或“芯片”)。这些芯片随后被部署在电子设备中。图14描绘了电子设备制造过程1400的特定解说性实施例。

[0081] 物理器件信息1402在电子设备制造过程1400处(诸如在研究计算机1406处)被接收。例如,物理器件信息1402可包括经由耦合至研究计算机1406的用户接口1404输入的物理参数、材料特性、以及结构信息。物理器件信息1402可表示图1-12的器件100-1200中的任一者的一个或多个特征。研究计算机1406包括处理器1408,诸如一个或多个处理核。处理器1408耦合至计算机可读介质,诸如存储器1410。存储器1410可存储计算机可读指令,其可被处理器1408执行以将物理器件信息1402转换成遵循某一文件格式并生成库文件1412。

[0082] 库文件1412可包括包含经转换的设计信息的至少一个数据文件。例如,库文件1412可指定设备库。该设备库可包括图1-12的器件100-1200中的任一者的一个或多个组

件。库文件1412可在设计计算机1414处与电子设计自动化(EDA)工具1420结合使用。设计计算机1414包括处理器1416,诸如一个或多个处理核。处理器1416耦合至存储器1418。EDA工具1420可包括存储在存储器1418处的处理器可执行指令以使得设计计算机1414的用户能够设计电路。

[0083] 例如,设计计算机1414的用户可经由耦合至设计计算机1414的用户接口1424来输入逻辑器件设计信息。该设计信息可包括逻辑器件设计信息1422和MRAM模块设计信息1423。逻辑器件设计信息1422和MRAM模块设计信息1423可包括表示图1-12的器件100-1200中的任一者的一个或多个物理性质的设计信息。为了解说,电路设计性质可包括特定电路的标识以及与电路设计中其他元素的关系、定位信息、特征尺寸信息、互连信息、或表示设备的物理性质的其他信息。在一解说性示例中,逻辑器件设计信息1422表示形成在区域104内的逻辑器件(例如,逻辑器件1499),并且MRAM模块设计信息1423表示MRAM模块160。

[0084] 设计计算机1414可被配置成转换逻辑器件设计信息1422和MRAM模块设计信息1423以遵循某一文件格式。为了解说,该文件格式可包括以阶层式格式表示关于电路布局的平面几何形状、文本标记、及其他信息的数据库二进制文件格式,诸如图形数据系统(GDSII)格式。设计计算机1414可被配置成生成包括经转换的设计信息的数据文件,诸如包括描述图1-12的器件100-1200中的任一者的一个或多个组件的信息的GDSII文件1426。

[0085] GDSII文件1426可在制造过程1428处被接收。制造过程1428可使用该GDSII文件来制造包括图1-12的器件100-1200中的任一者的一个或多个组件的半导体设备。该制造过程可包括图13的方法1300的一个或多个操作。

[0086] GDSII文件1426可被提供给掩模制造商1430以创建一个或多个掩模,诸如将与光刻处理联用的掩模(在图14中被解说为掩模1432)。掩模1432可在制造过程1428期间被用于生成一个或多个晶片1433,晶片1433可被测试并被分成管芯,诸如管芯1436(例如,半导体管芯)。管芯1436可包括图1-12的器件100-1200中的任一者的一个或多个组件。例如,图13解说了管芯1436可包括MRAM模块160和逻辑器件1499(例如,形成在区域104中的逻辑器件)。管芯1436可使用图13的方法1300的一个或多个操作来制造。

[0087] 制造过程1428的操作可使用处理器1434和计算机可读介质(诸如存储器1435)来发起或控制。存储器1435可存储可由处理器1434执行以使处理器1434在器件的制造期间(例如,在管芯1436的制造期间)发起一个或多个操作的指令。这些操作可包括形成第一金属化层(例如,第一金属化层102),第一金属化层耦合至该器件的逻辑器件(例如,形成在区域104内的逻辑器件)。该方法进一步包括形成第二金属化层(例如,第二金属化层161),第二金属化层耦合至该器件的MRAM模块(例如,MRAM模块160)。第二金属化层独立于第一金属化层。

[0088] 制造过程1428可由全自动化或部分自动化的制造系统来实现。例如,制造过程1428可以根据调度来自动化。制造系统可包括用于执行一个或多个操作以形成器件的制造装备(例如,处理工具)。例如,制造装备可被配置成沉积一种或多种材料,外延地生长一种或多种材料,共形地沉积一种或多种材料,施加硬掩模,施加蚀刻掩模,执行蚀刻,执行平坦化,形成栅极堆叠(例如,使用金属栅极工艺),执行浅沟槽隔离(STI)工艺,和/或执行标准清洗1工艺(作为解说性示例)。

[0089] 制造系统可具有分布式架构(例如,层级结构)。例如,制造系统可包括根据该分布

式架构分布的一个或多个处理器(诸如处理器1434)、一个或多个存储器(诸如存储器1435)、和/或一个或多个控制器。该分布式架构可包括控制或发起一个或多个低级系统的操作的高级处理器。例如,制造过程1428的高级部分可由一个或多个处理器(诸如处理器1434)发起或控制,并且低级系统可各自包括一个或多个相应控制器或可受其控制。特定低级系统的特定控制器可从特定高级系统接收一个或多个指令(例如,命令),可向下级模块或处理工具发布子命令,以及可反过来向高级处理器传达状态数据。一个或多个低级系统中的每个低级系统可与一件或多件相应制造装备(诸如一个或多个处理工具)相关联。示例处理工具包括掺杂或沉积工具(例如,分子束外延生长工具、可流动化学气相沉积(FCVD)工具、共形沉积工具、或旋涂式沉积工具)以及移除工具(例如,化学移除工具、活性气体移除工具、氢反应移除工具、或标准清洗1移除工具)。

[0090] 在特定实施例中,制造系统可包括分布在该制造系统中的多个处理器。例如,低级系统组件的控制器可包括处理器,诸如处理器1434。替换地,处理器1434可以是该制造系统的高级系统、子系统、或组件的一部分。在另一实施例中,处理器1434包括制造系统的各种等级和组件处的分布式处理。

[0091] 管芯1436可被提供给封装过程1438。封装过程1438可将管芯1436纳入到封装1440中。封装1440诸如结合系统级封装(SiP)安排可包括单个管芯(诸如管芯1436)或多个管芯。封装1440可被配置成遵循一个或多个标准或规范,诸如一个或多个电子器件工程联合委员会(JEDEC)标准。

[0092] 关于封装1440的信息可被分发给各产品设计者(诸如使用存储在计算机1446处的组件库)。计算机1446可包括耦合至存储器1450的处理器1448,诸如一个或多个处理核。印刷电路板(PCB)工具可作为处理器可执行指令被存储在存储器1450处以处理经由用户接口1444从计算机1446的用户接收的PCB设计信息1442。PCB设计信息1442可包括经封装器件在电路板上的物理定位信息。该经封装器件可包括图1-12的器件100-1200中的任一者的一个或多个组件。

[0093] 计算机1446可转换PCB设计信息1442以生成数据文件,诸如GERBER文件1452。GERBER文件1452可指示经封装器件在电路板上的物理定位信息、以及电连接(诸如迹线和通孔)的布局。该物理定位信息可对应于图1-12的器件100-1200中的任一者的一个或多个结构(例如,可基于该一个或多个结构来生成)。在一些实现中,通过转换PCB设计信息1442生成的数据文件可具有GERBER格式以外的格式。

[0094] GERBER文件1452可在板组装过程1454处被接收并且被用于创建PCB,诸如PCB 1456。PCB 1456可根据由GERBER文件1452指示的设计信息来制造。例如,GERBER文件1452可被上传到一个或多个机器以执行PCB生产过程的一个或多个操作。PCB 1456可填充有电子组件(包括封装1440)以形成印刷电路组装件(PCA) 1458。这些电子组件可包括图1-12的器件100-1200中的任一者的一个或多个结构。

[0095] PCA 1458可在产品制造过程1460处被接收,并被集成到一个或多个电子设备(诸如第一电子设备1462和第二电子设备1464)中。作为解说性示例,第一电子设备1462和第二电子设备1464可各自包括移动设备(例如,蜂窝电话)。在其他实现中,第一电子设备1462和第二电子设备1464可各自对应于计算机(例如,膝上型计算机、平板计算机、或台式计算机)、可穿戴电子设备(例如,个人相机、头戴式显示器、或手表)、车辆控制系统或控制台、家

用电器、机顶盒、娱乐单元、导航设备、个人数字助理 (PDA)、电视机、监视器、调谐器、无线电 (例如, 卫星无线电)、音乐播放器 (例如, 数字音乐播放器或便携式音乐播放器)、视频播放器 (例如, 数字视频播放器, 诸如数字视频碟 (DVD) 播放器或便携式数字视频播放器)、固定位置数据单元、机器人、健康护理设备、另一电子设备、或其组合。

[0096] 关于图1-14描述的各实施例的一个或多个方面可由库文件1412、GDSII文件1426、和/或GERBER文件1452来表示。关于图1-14描述的各示例的一个或多个方面可由被存储在研究计算机1406的存储器1410、设计计算机1414的存储器1418、计算机1446的存储器1450、和/或在各个阶段 (诸如在板组装过程1454) 所使用的一个或多个其他计算机或处理器的存储器 (未示出) 处的信息来表示。关于图1-14描述的各实施例的一个或多个方面也可被纳入到一个或多个其他物理实施例 (诸如掩模1432、管芯1436、封装1440、PCA 1458、一个或多个其他产品 (诸如原型电路或设备 (未示出))、或者其组合中。尽管描绘了从物理器件设计到最终产品的各个解说性生产阶段, 但在其他实现中可使用较少的阶段或可包括附加阶段。电子设备制造过程1400可由单个实体或由执行电子设备制造过程1400的各个阶段的一个或多个实体来执行。

[0097] 参照图15, 描绘了一种电子设备的特定解说性实施例的框图并将其一般地标示为1500。电子设备1500可对应于图14的第一电子设备1462和第二电子设备1464中的一者或多者。

[0098] 电子设备1500包括处理器1510, 诸如数字信号处理器 (DSP)、中央处理单元 (CPU)、图形处理单元 (GPU)、另一处理设备、或其组合。处理器1510可被配置成执行指令, 诸如指令1568。处理器1510可被形成在区域104内。替换地或附加地, 电子设备1500的一个或多个其他组件可被形成在区域104内。处理器1510可对应于逻辑器件1499。替换地或附加地, 电子设备1500的一个或多个其他组件可对应于逻辑器件1499。

[0099] 电子设备1500可进一步包括存储器1532。存储器1532可被耦合到处理器1510或集成在处理器1510内。存储器1532可包括MRAM模块160。

[0100] 图15还示出了耦合到处理器1510和显示器1528的显示器控制器1526。编码器/解码器 (CODEC) 1534也可被耦合到处理器1510。扬声器1536和话筒1538可被耦合到CODEC 1534。图15还指示无线接口1540 (诸如无线控制器或收发机中的一者或多者) 可被耦合到处理器1510和天线1542。

[0101] 在特定示例中, 处理器1510、显示器控制器1526、存储器1532、CODEC1534、以及无线接口1540被包括在系统级封装或片上系统设备1522中。片上系统设备1522可对应于管芯1436。此外, 输入设备1530和电源1544可被耦合到片上系统设备1522。此外, 在特定示例中, 显示器1528、输入设备1530、扬声器1536、话筒1538、天线1542和电源1544在片上系统设备1522外部。然而, 显示器1528、输入设备1530、扬声器1536、话筒1538、天线1542和电源1544中的每一者可被耦合到片上系统设备1522的组件 (诸如耦合到接口或控制器)。

[0102] 在特定示例中, 一种装置包括第一金属化层 (例如, 第一金属化层102) 的第一结构 (例如, 部分106-108中的任一者和通孔110)。第一结构耦合至集成电路 (例如, 管芯1436或片上系统设备1522) 的逻辑器件 (例如, 形成在区域104内的逻辑器件)。该装置进一步包括第二金属化层 (例如, 第二金属化层161) 的第二结构 (例如, 位线147)。第二结构耦合至该集成电路的MRAM模块 (例如, MRAM模块160) 的一个或多个基于电阻的存储元件 (例如, 基于电

阻的存储元件226)。第二结构独立于第一结构。该装置可使用设计信息(诸如GDSII文件1426)来表示。

[0103] 尽管某些示例是参考逻辑器件来描述的,但应领会,其他实现也在本公开的范围之内。例如,在一些情形中,存储器器件可被形成在区域104中。在此情形中,作为解说性示例,MRAM模块160可用作冗余存储(例如,在与存储器器件相关联的制造缺陷的情况下)。替换地或附加地,区域104可包括一个或多个其他器件。此外,尽管某些示例是参考MRAM器件(例如,MRAM模块160)来描述的,但在其他情形中,可使用第二金属化层161来形成一个或多个其他器件(例如,另一存储器器件)。

[0104] 在附图中,为了解说清楚起见,某些特征可被省略。例如,为了清楚起见,本文中所述的器件可包括从附图中被省略的一个或多个组件(例如,布线)。注意,本领域技术人员将认识到,可基于特定应用来选择此类特征而不会脱离本公开的范围。

[0105] 技术人员将进一步领会,结合本文所公开的实施例来描述的各种解说性逻辑框、配置、模块、电路、和算法步骤可实现为电子硬件、由处理器执行的计算机软件、或这两者的组合。各种解说性组件、框、配置、模块、电路、和步骤已经在上文以其功能性的形式作了一般化描述。此类功能性是被实现为硬件还是处理器可执行指令取决于具体应用和加诸于整体系统的设计约束。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本公开的范围。

[0106] 结合本文所公开的实施例描述的方法或算法的各个步骤可直接用硬件、由处理器执行的软件模块或两者的组合来实现。例如,方法1300的一个或多个操作可由现场可编程门阵列(FPGA)设备、专用集成电路(ASIC)、处理单元(诸如中央处理单元(CPU))、数字信号处理器(DSP)、控制器、另一硬件设备、固件设备、或其任何组合来发起、控制、或执行。软件模块可驻留在随机存取存储器(RAM)、磁阻随机存取存储器(MRAM)、闪存、只读存储器(ROM)、可编程只读存储器(PROM)、可擦式可编程只读存储器(EPROM)、电可擦式可编程只读存储器(EEPROM)、寄存器、硬盘、可移动盘、压缩盘只读存储器(CD-ROM)、或本领域中所知的任何其他形式的非瞬态存储介质。示例性存储介质被耦合至处理器,以使得处理器能从/向该存储介质读取/写入信息。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在专用集成电路(ASIC)中。ASIC可驻留在计算设备或用户终端中。在替换方案中,处理器和存储介质可作为分立组件驻留在计算设备或用户终端中。

[0107] 提供前面对所公开的实施例的描述是为了使本领域技术人员皆能制作或使用所公开的实施例。对这些实施例的各种修改对于本领域技术人员而言将是显而易见的,并且本文所定义的原理可被应用于其他实施例而不会脱离本公开的范围。因此,本公开并非旨在被限定于本文中示出的实施例,而是应被授予与如由所附权利要求定义的原理和新颖性特征一致的最广的可能范围。

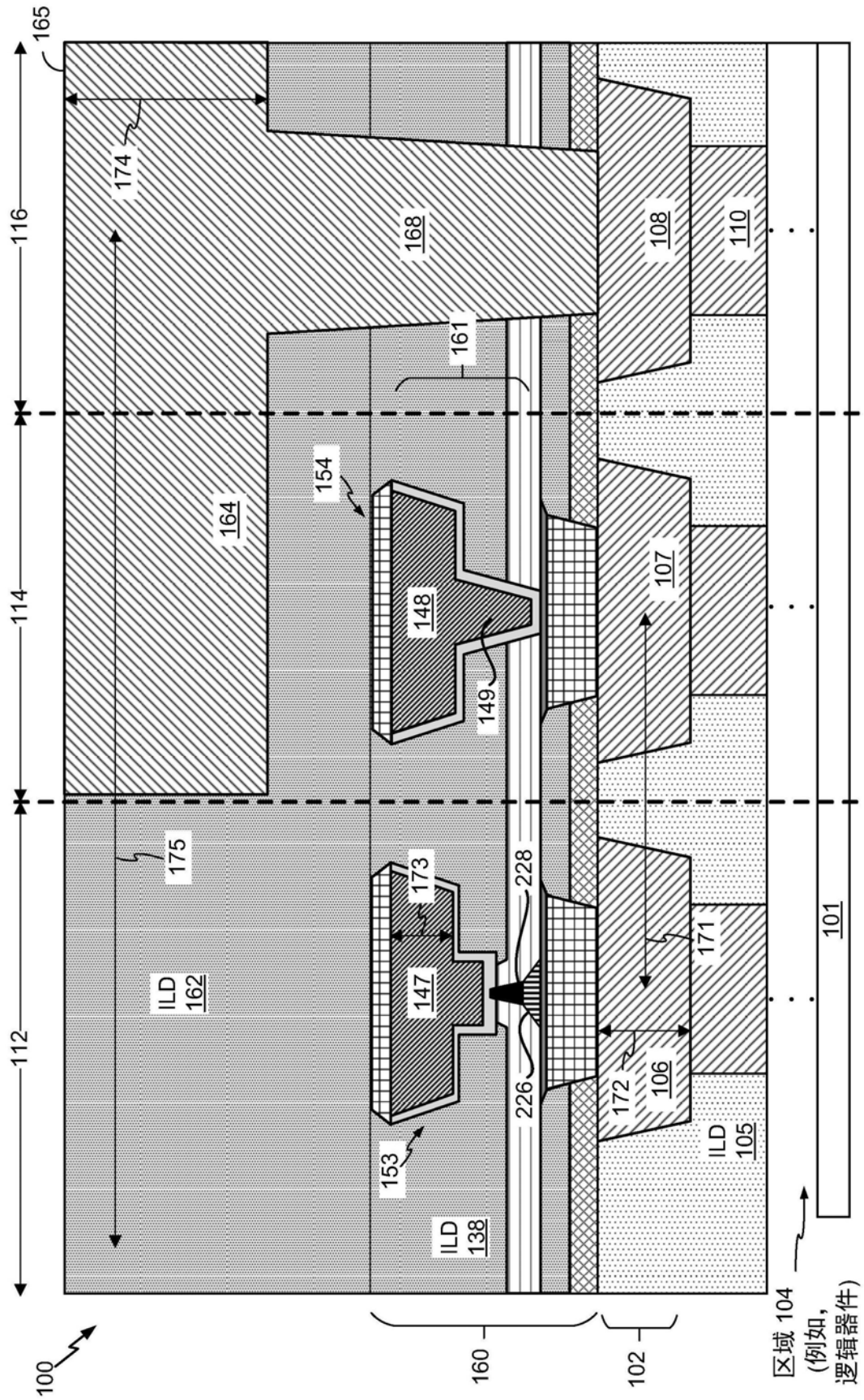


图1

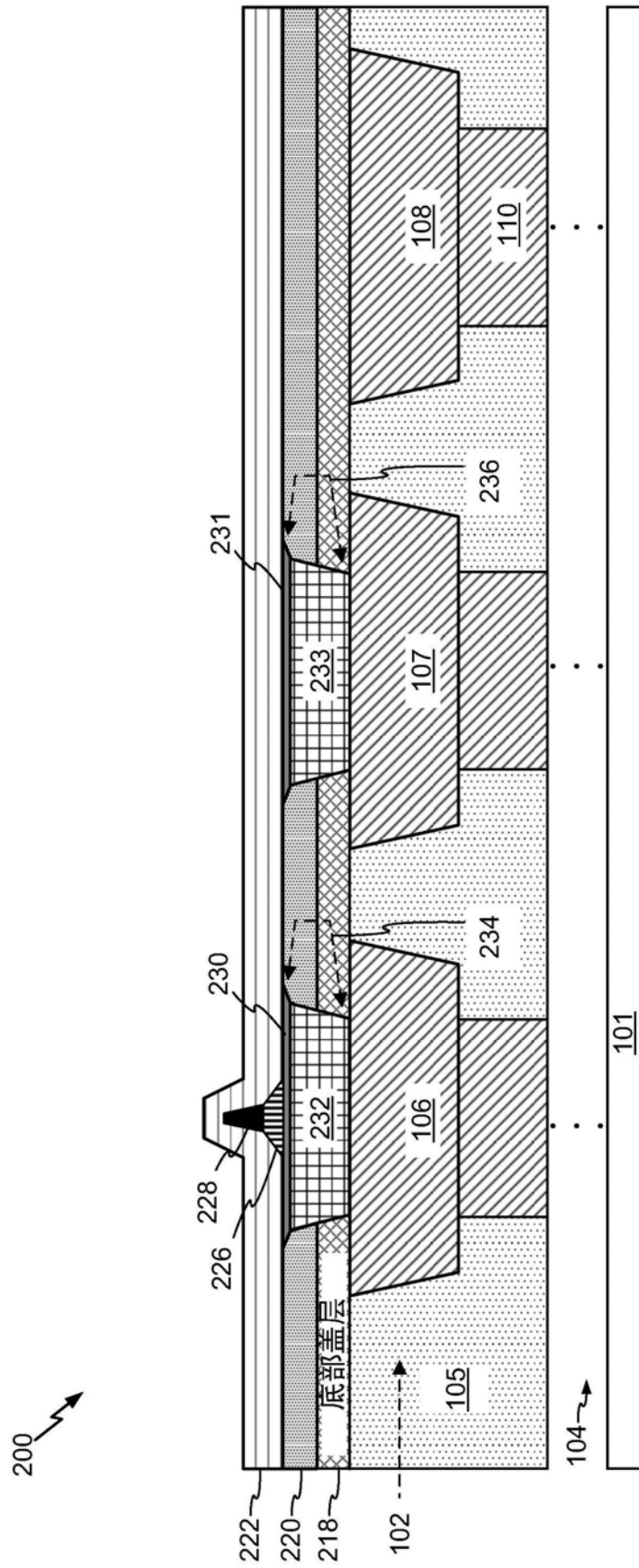


图2

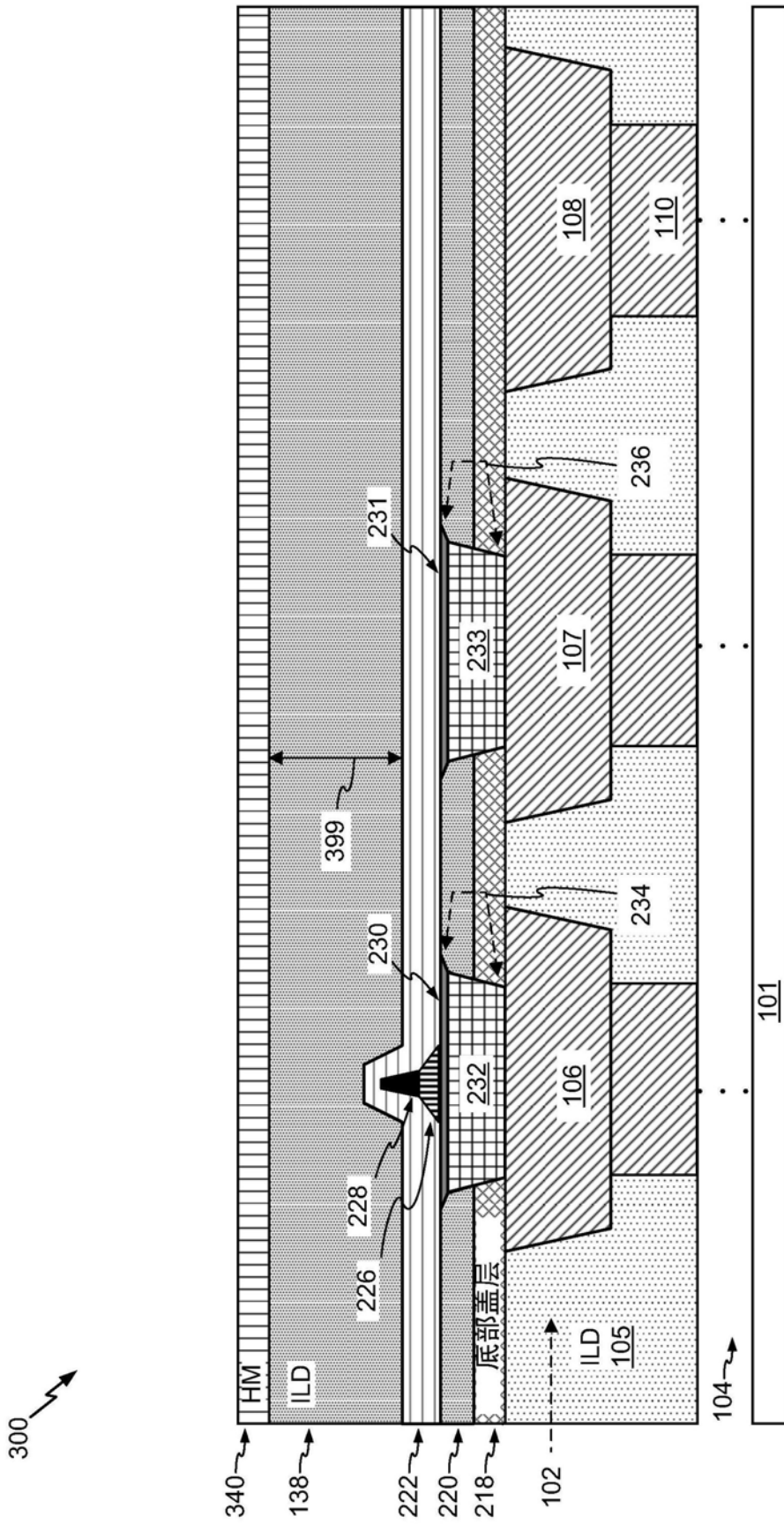


图3

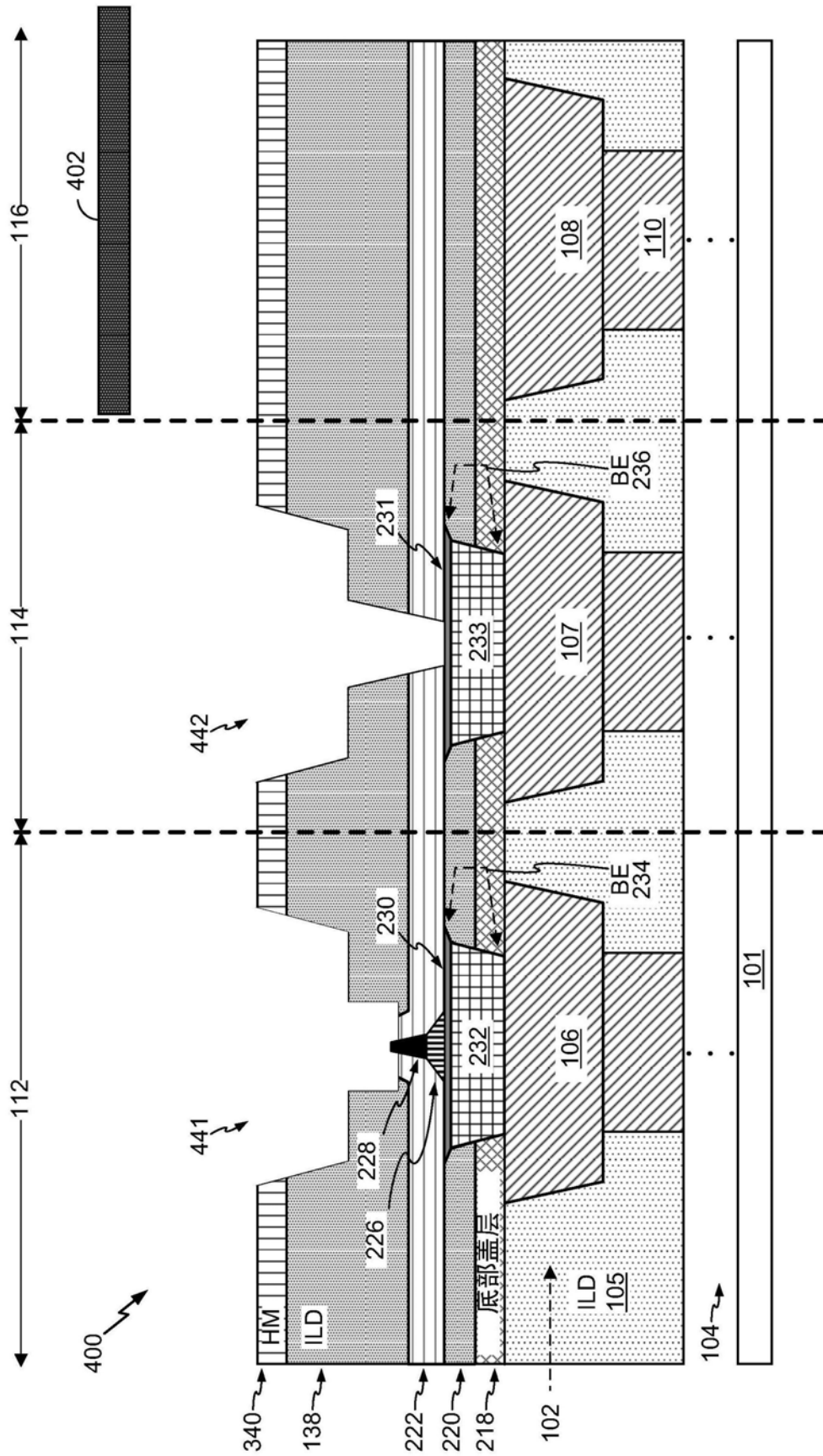


图4

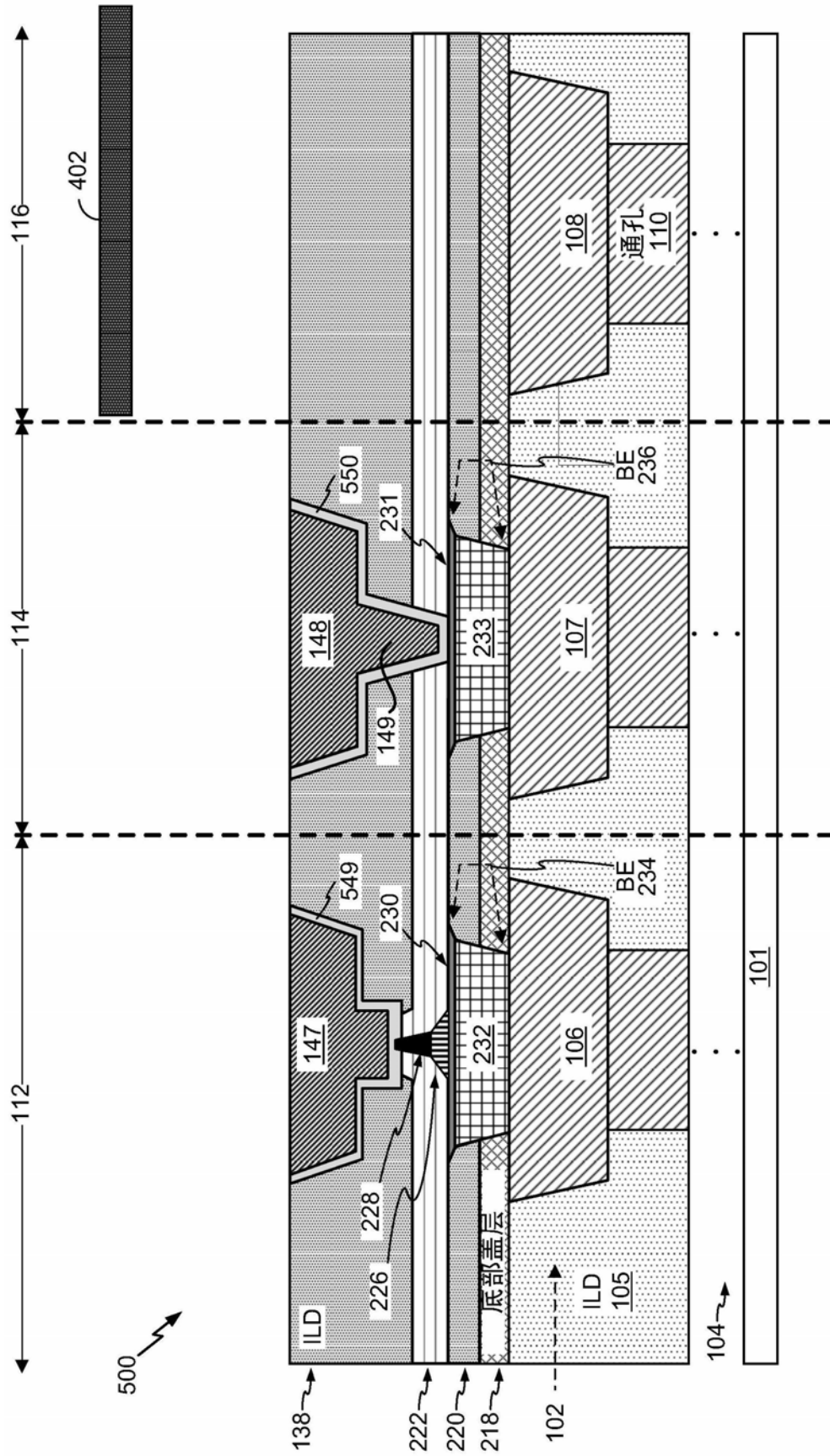


图5

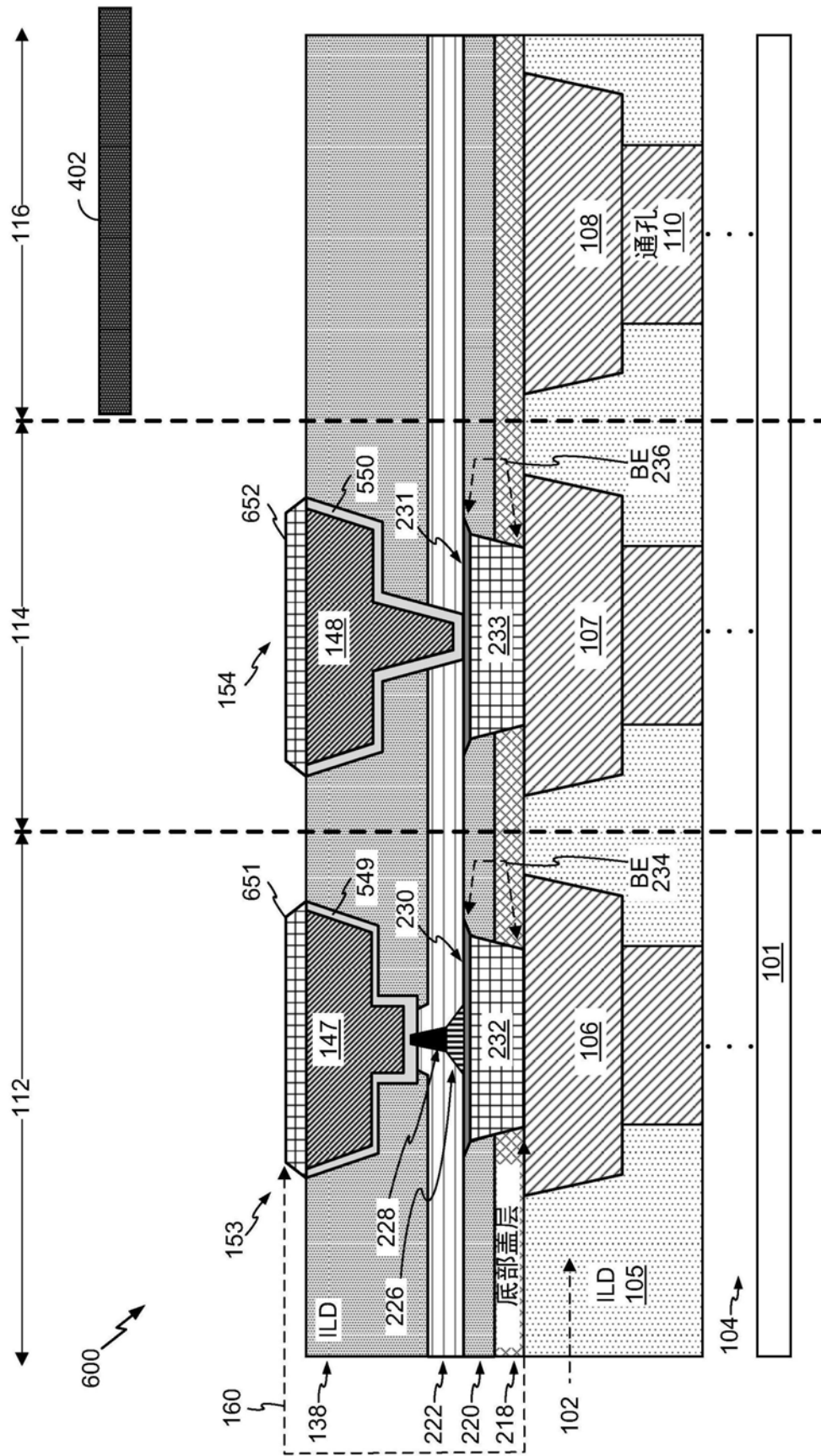


图6

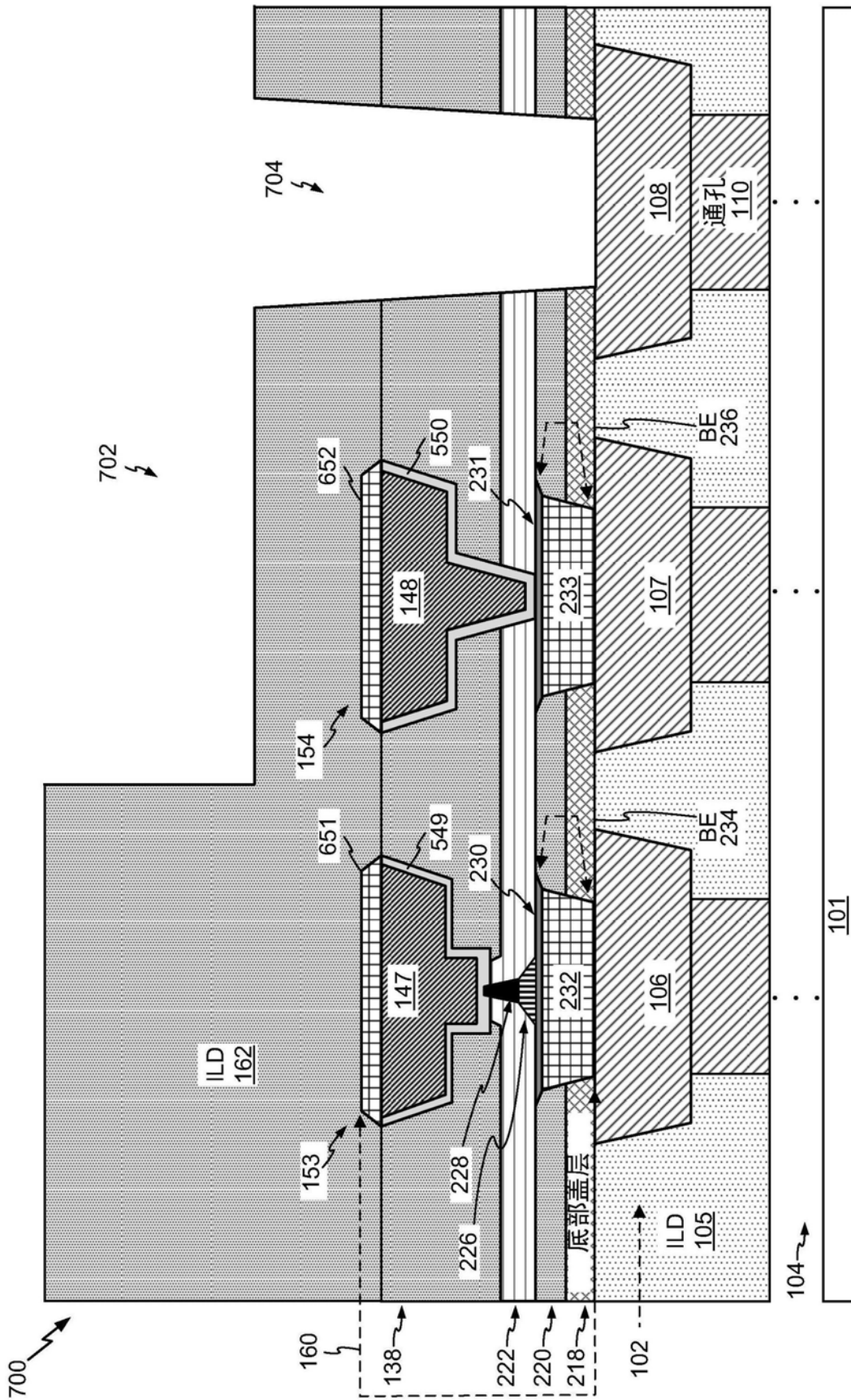


图7

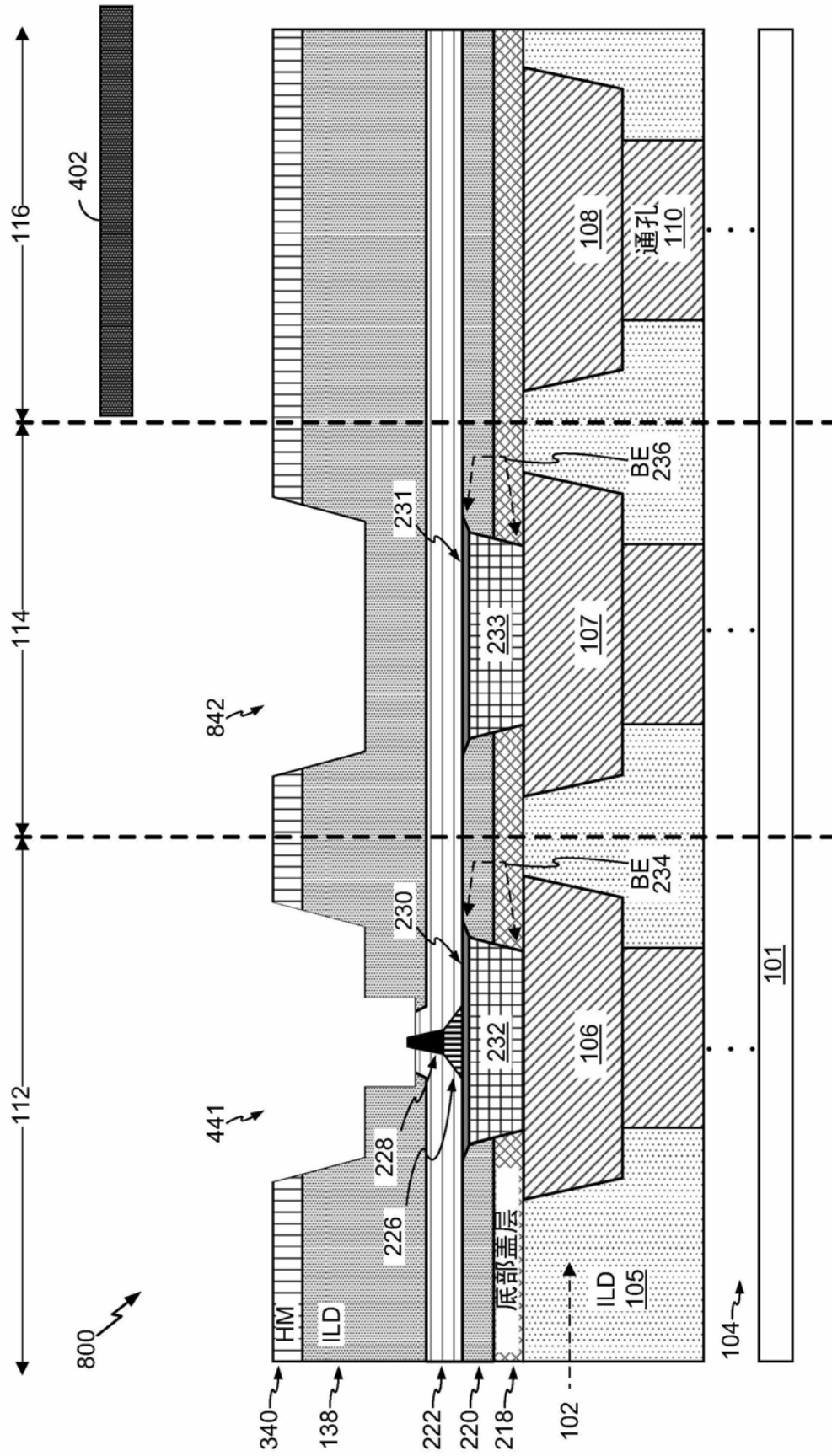


图8

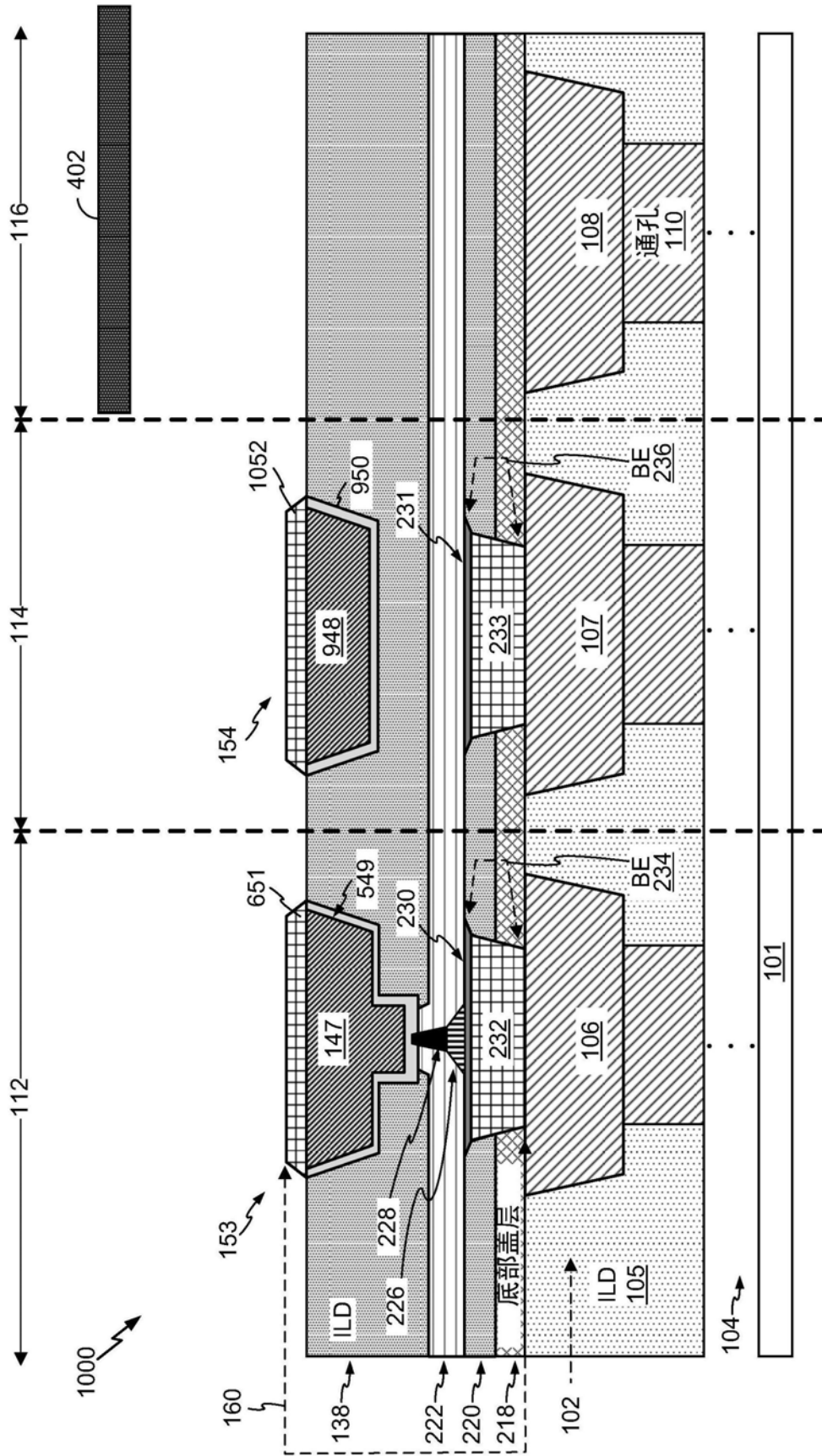


图10

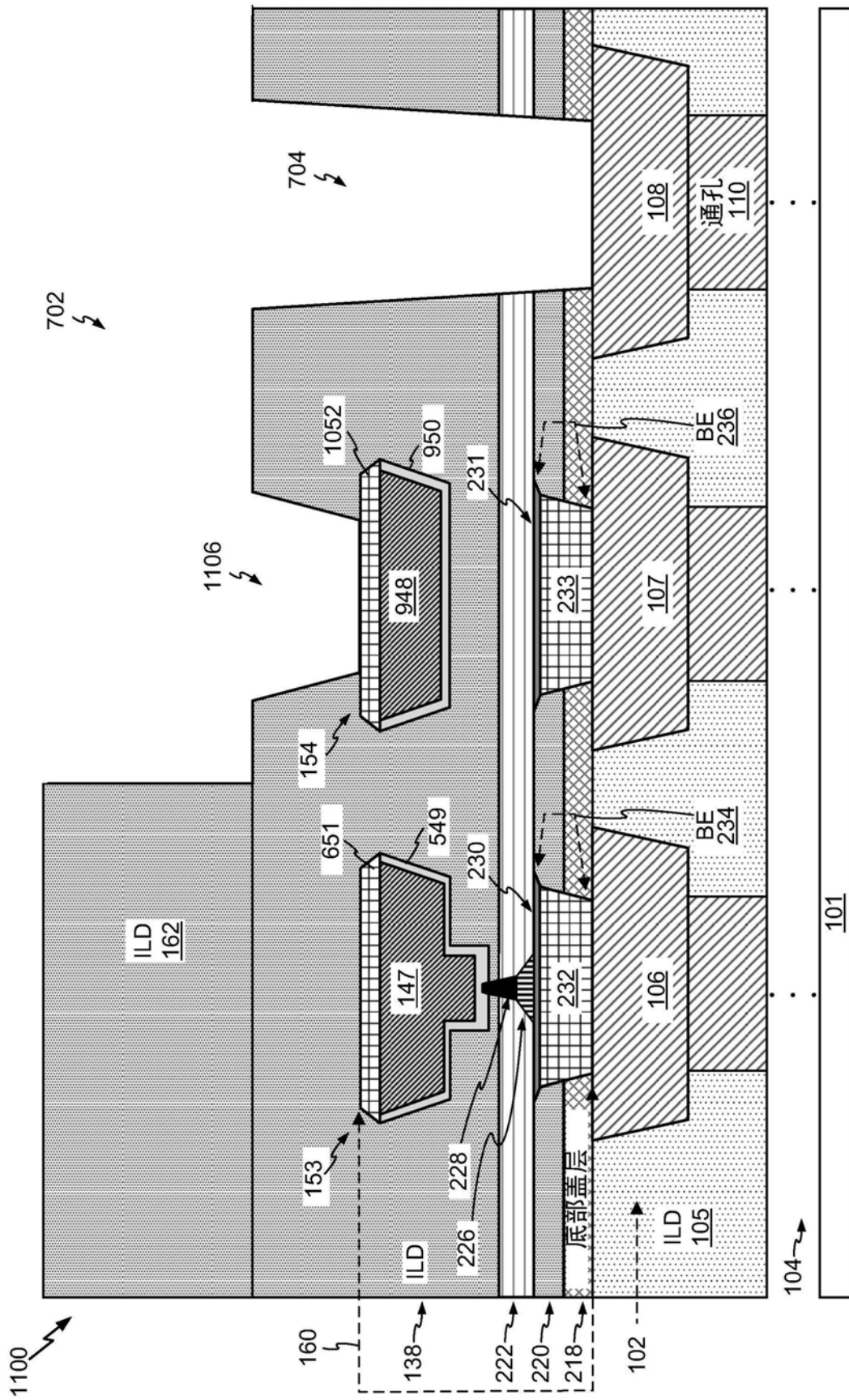


图11

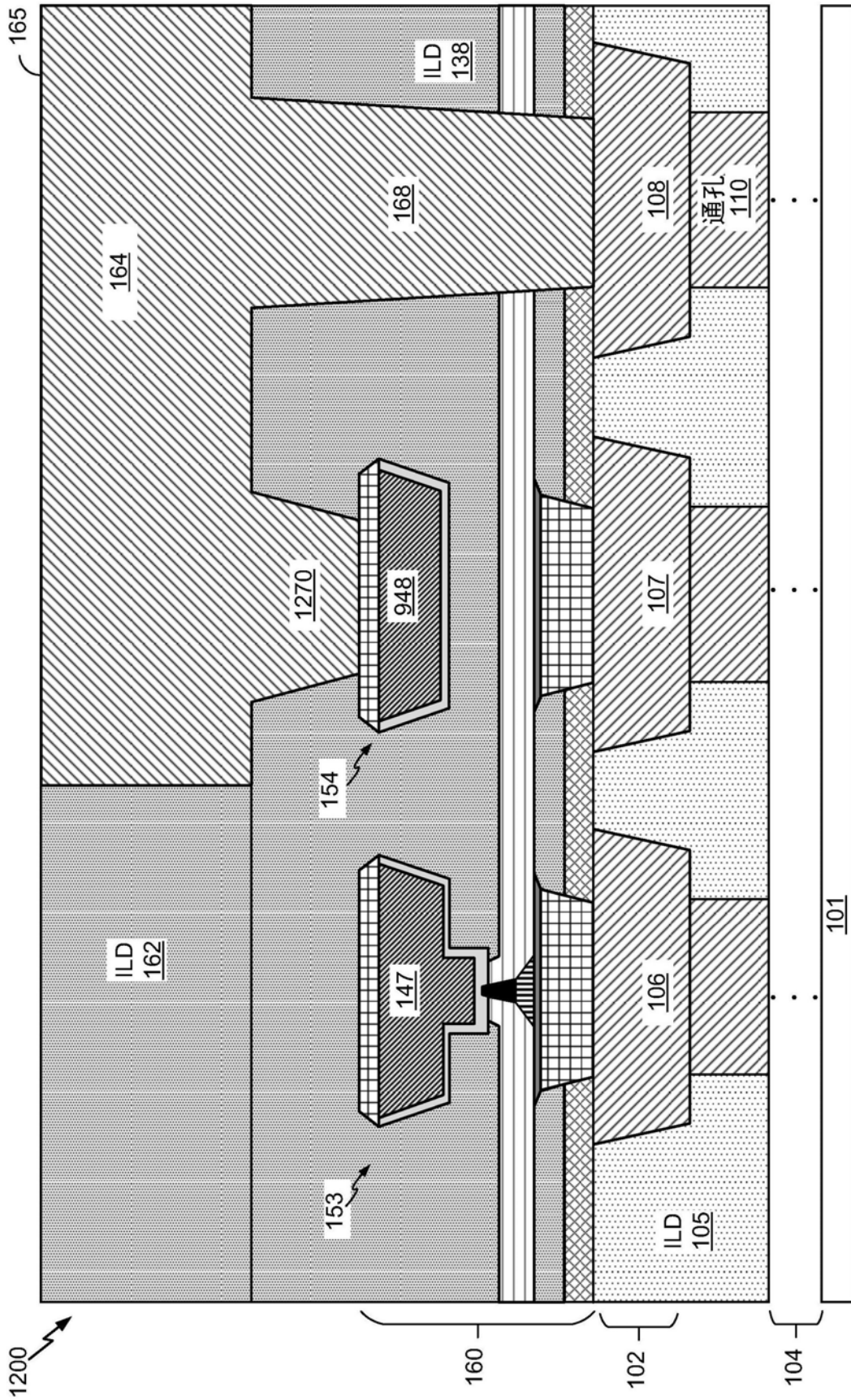


图12

1300
↘

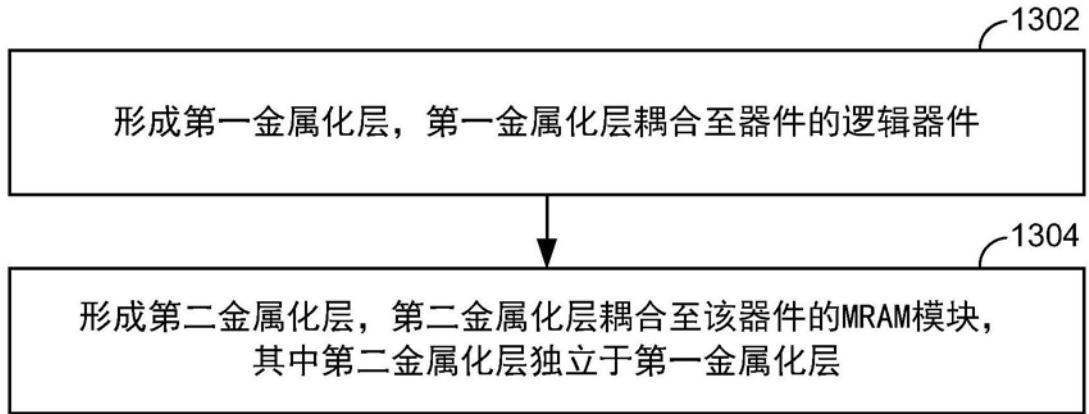


图13

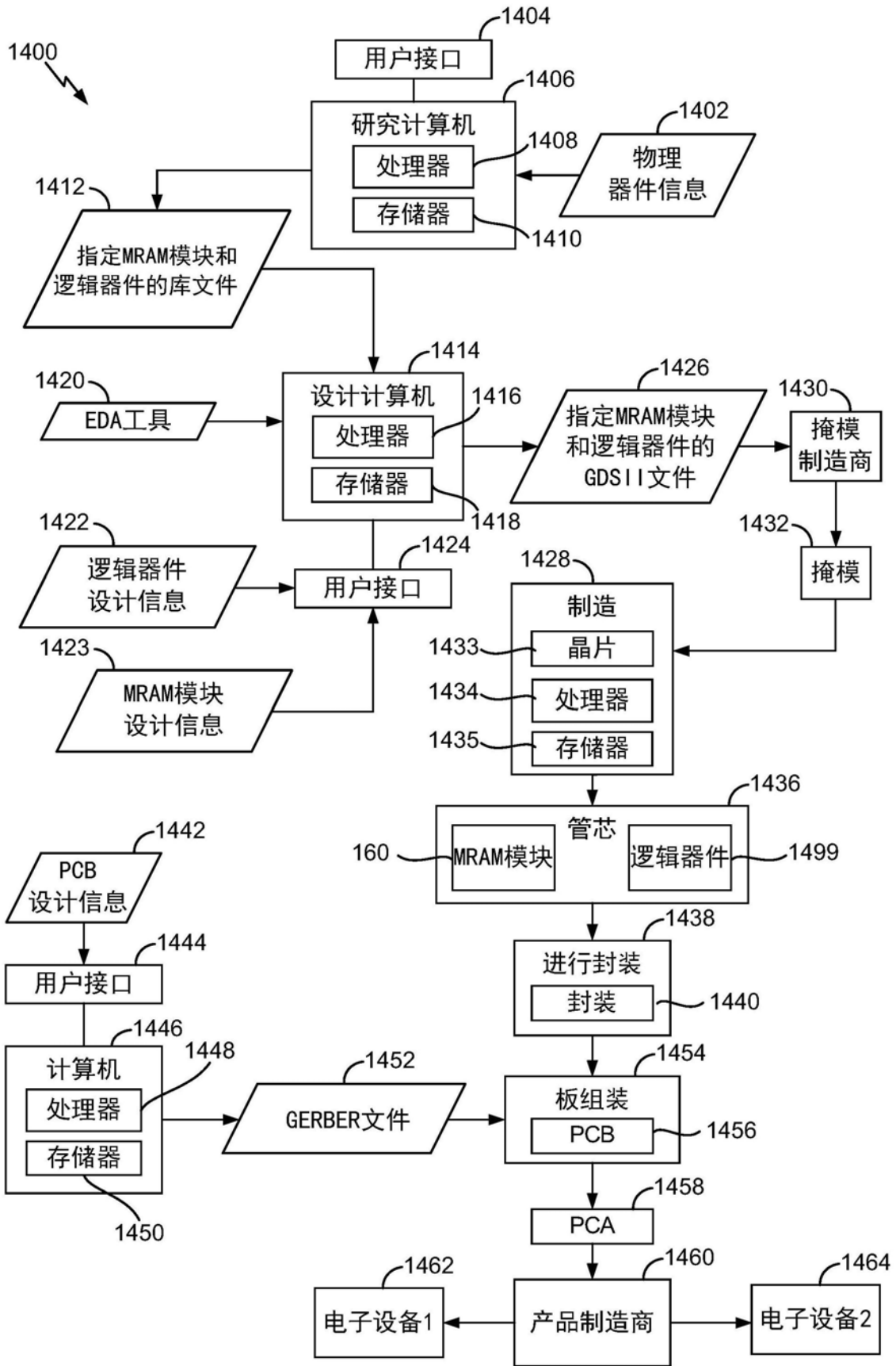


图14

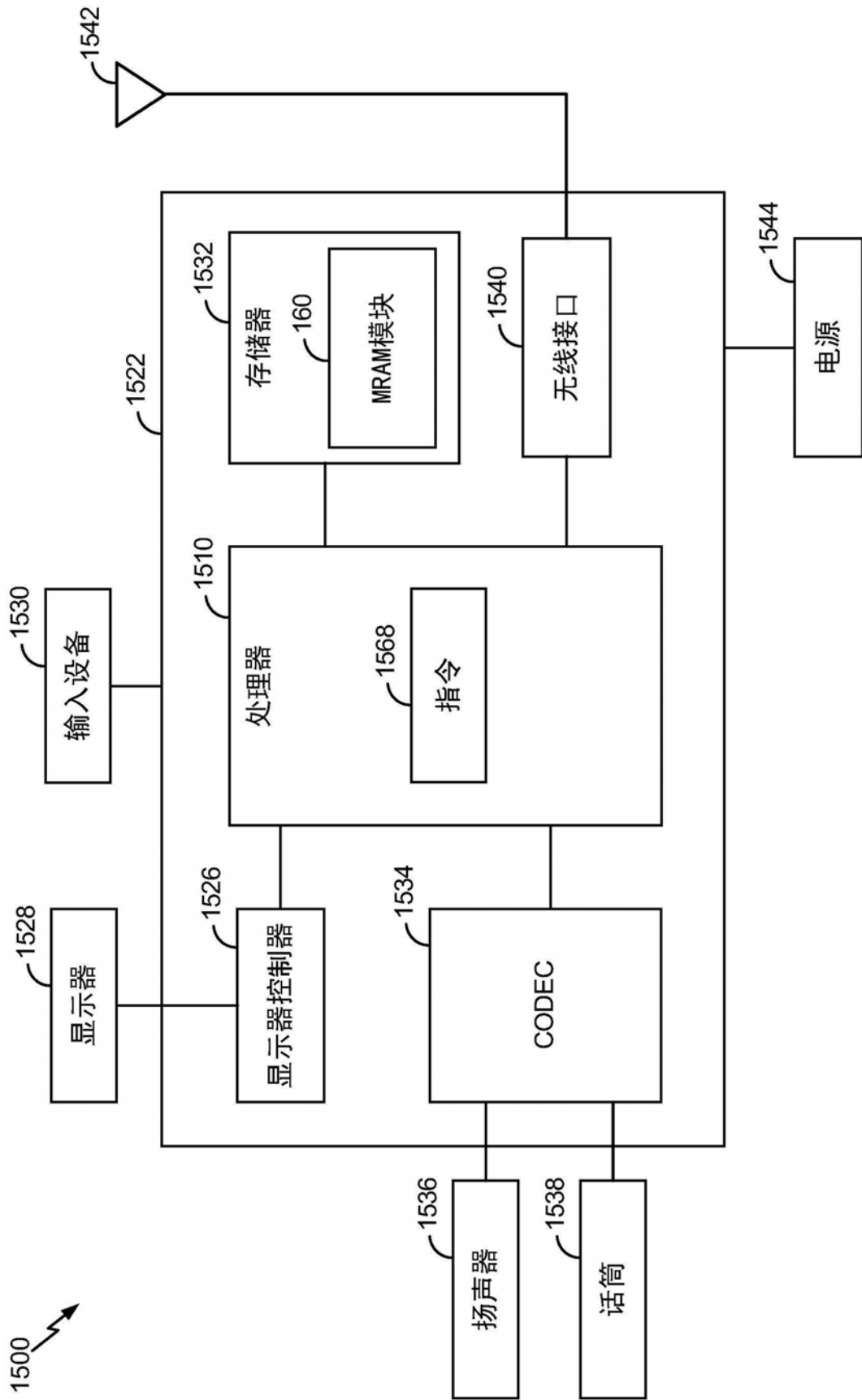


图15