

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年2月14日(14.02.2019)



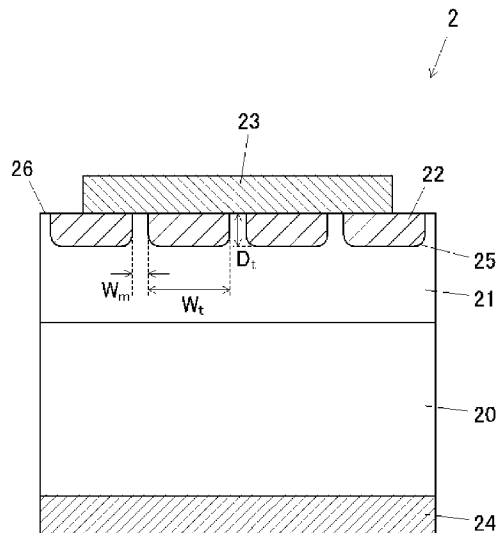
(10) 国際公開番号

WO 2019/031204 A1

- (51) 国際特許分類:
H01L 29/861 (2006.01) H01L 29/24 (2006.01)
C30B 25/00 (2006.01) H01L 29/47 (2006.01)
C30B 29/16 (2006.01) H01L 29/868 (2006.01)
H01L 29/06 (2006.01) H01L 29/872 (2006.01)
- (21) 国際出願番号: PCT/JP2018/027416
- (22) 国際出願日: 2018年7月23日(23.07.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-155768 2017年8月10日(10.08.2017) JP
- (71) 出願人: 株式会社タムラ製作所 (TAMURA CORPORATION) [JP/JP]; 〒1788511 東京都練馬区東大泉 1 丁目 1 9 番 4 3 号 Tokyo (JP). 株式会社ノベルクリスタルテクノロジー (NOVEL CRYSTAL TECHNOLOGY, INC.)
- [JP/JP]; 〒3501328 埼玉県狭山市広瀬台 二丁目 3 番 1 号 Saitama (JP).
- (72) 発明者: 佐々木 公平 (SASAKI, Kohei); 〒1788511 東京都練馬区東大泉 1 丁目 1 9 番 4 3 号 株式会社タムラ製作所内 Tokyo (JP).
- (74) 共通の代表者: 株式会社タムラ製作所 (TAMURA CORPORATION); 〒1788511 東京都練馬区東大泉 1 丁目 1 9 番 4 3 号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: DIODE

(54) 発明の名称: ダイオード



(57) Abstract: Provided is a Ga_2O_3 diode which utilizes a pn heterojunction, and which is able to be easily produced at low cost. One embodiment of the present invention provides a diode 2 which is provided with: an n-type semiconductor layer 21 that is composed of an n-type Ga_2O_3 single crystal; and a p-type semiconductor layer 22 that is composed of a p-type semiconductor wherein the volume of amorphous portions is higher than the volume of crystalline portions. With respect to this diode 2, the n-type semiconductor layer 21 and the p-type semiconductor layer 22 form a pn junction.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 低コストで容易に製造することのできる、ヘテロ p n 接合を利用した Ga_2O_3 系のダイオードを提供する。一実施の形態として、n 型 Ga_2O_3 系単結晶からなる n 型半導体層 2 1 と、非晶質部分の体積が結晶質部分の体積よりも多い p 型半導体からなる p 型半導体層 2 2 と、を備え、n 型半導体層 2 1 と p 型半導体層 2 2 とが p n 接合を形成する、ダイオード 2 を提供する。

明 細 書

発明の名称： ダイオード

技術分野

[0001] 本発明は、ダイオードに関する。

背景技術

[0002] 従来、 p 型の Ga_2O_3 の形成が困難であることが知られている。このため、 Ga_2O_3 系のダイオードにおいてホモ pn 接合を形成することは難しいと考えられている。

[0003] 一方で、 n 型の $\beta-Ga_2O_3$ 単結晶が p 型の NiO 単結晶とヘテロ pn 接合を形成することが知られている（例えば、非特許文献1参照）。特許文献1には、 n 型の $\beta-Ga_2O_3$ 単結晶と p 型の NiO 単結晶とによるヘテロ pn 接合の整流性を利用した pn 接合ダイオードが開示されている。

[0004] また、 n 型の $\alpha-Ga_2O_3$ 結晶と p 型の六方晶の結晶構造を有する無機化合物結晶とによるヘテロ pn 接合を利用したジャンクションバリアショットキー構造やガードリング構造を有するショットキーバリアダイオードが知られている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2016-25256号公報

非特許文献

[0006] 非特許文献1：Yoshihiro Kokubun et al., “All-oxide p-n heterojunction diodes comprising p-type NiO and n-type $\beta-Ga_2O_3$ ”, Applied Physics Express 9, 091101 (2016)

発明の概要

発明が解決しようとする課題

[0007] 本発明の目的は、低コストで容易に製造することのできる、ヘテロ pn 接合を利用した Ga_2O_3 系のダイオードを提供することにある。

課題を解決するための手段

- [0008] 本発明の一態様は、上記目的を達成するために、下記〔１〕～〔６〕のダイオードを提供する。
- [0009] 〔１〕 n 型 Ga_2O_3 系単結晶からなる n 型半導体層と、非晶質部分の体積が結晶質部分の体積よりも多い p 型半導体からなる p 型半導体層と、を備え、前記 n 型半導体層と前記 p 型半導体層とが pn 接合を形成する、ダイオード。
- [0010] 〔２〕 前記 p 型半導体が NiO である、上記〔１〕に記載のダイオード。
- [0011] 〔３〕 前記 pn 接合の整流性を利用した pn 接合ダイオードである、上記〔１〕又は〔２〕に記載のダイオード。
- [0012] 〔４〕 n 型半導体層とショットキー接合を形成するアノード電極を備え、前記ショットキー接合の整流性を利用するショットキーバリアダイオードである、上記〔１〕又は〔２〕に記載のダイオード。
- [0013] 〔５〕 トレンチ型ジャンクションバリアショットキー構造又はガードリング構造を有する、上記〔４〕に記載のダイオード。
- [0014] 〔６〕 前記アノード電極の前記 n 型半導体層と接触する部分が Fe 、 Cu 、 Mo 、又は W からなる、上記〔４〕又は〔５〕に記載のダイオード。

発明の効果

- [0015] 本発明によれば、低コストで容易に製造することのできる、ヘテロ pn 接合を利用した Ga_2O_3 系のダイオードを提供することができる。

図面の簡単な説明

- [0016] [図1]図１は、第１の実施の形態に係る pn 接合ダイオードの垂直断面図である。
- [図2]図２は、第２の実施の形態に係るトレンチ型ジャンクションバリアショットキー（ JBS ）ダイオード２の垂直断面図である。
- [図3A]図３Ａは、第２の実施の形態に係るトレンチ型 JBS ダイオードの製造工程を示す垂直断面図である。
- [図3B]図３Ｂは、第２の実施の形態に係るトレンチ型 JBS ダイオードの製

造工程を示す垂直断面図である。

[図3C]図3Cは、第2の実施の形態に係るトレンチ型JBSダイオードの製造工程を示す垂直断面図である。

[図4A]図4Aは、第2の実施の形態に係るトレンチ型JBSダイオードの製造工程を示す垂直断面図である。

[図4B]図4Bは、第2の実施の形態に係るトレンチ型JBSダイオードの製造工程を示す垂直断面図である。

[図4C]図4Cは、第2の実施の形態に係るトレンチ型JBSダイオードの製造工程を示す垂直断面図である。

[図5]図5は、第3の実施の形態に係るショットキーバリアダイオードの垂直断面図である。

[図6A]図6Aは、実施例1に係るpn接合ダイオードの順方向特性を示すグラフである。

[図6B]図6Bは、実施例1に係るpn接合ダイオードの逆方向特性を示すグラフである。

[図7A]図7Aは、実施例2に係るNiO膜の抵抗率の基板温度依存性を示すグラフである。

[図7B]図7Bは、実施例2に係るNiO膜の抵抗率のプラズマ出力依存性を示すグラフである。

[図7C]図7Cは、実施例2に係るNiO膜とPt電極のコンタクト抵抗の基板温度依存性を示すグラフである。

[図8]図8は、実施例3に係るショットキーバリアダイオードの垂直断面図である。

[図9]図9は、実施例3に係るショットキーバリアダイオードの順方向特性を示すグラフである。

[図10A]図10Aは、実施例4に係るトレンチ型JBSダイオードの順方向特性を示すグラフである。

[図10B]図10Bは、実施例4に係るトレンチ型JBSダイオードの逆方向特

性を示すグラフである。

発明を実施するための形態

[0017] 本発明は、本発明者が、ゲート絶縁膜等の半導体上に形成される絶縁膜を備えた半導体素子においては、絶縁膜が結晶質である場合よりも非晶質である場合の方が、リーク電流が小さくなるということから着想を得て、 Ga_2O_3 系半導体層とヘテロpn接合を形成するp型半導体膜に、非晶質部分の体積が結晶質部分の体積よりも多いp型半導体膜を用いたことに端を発する。

[0018] 以下、 Ga_2O_3 系半導体層と非晶質部分の体積が結晶質部分の体積よりも多いp型半導体膜とのヘテロpn接合を利用した半導体素子の具体例について説明する。

[0019] [第1の実施の形態]

(pn接合ダイオードの構成)

図1は、第1の実施の形態に係るpn接合ダイオード1の垂直断面図である。pn接合ダイオード1は、n型半導体基板10と、n型半導体基板10上に形成されたn型半導体層11と、n型半導体層11のn型半導体基板10と反対側の面上に形成されたp型半導体層12と、p型半導体層12のn型半導体層11と反対側の面上に形成されたアノード電極13と、n型半導体基板10のn型半導体層11と反対側の面上に形成されたカソード電極14と、を備える。

[0020] n型半導体層11とp型半導体層12とは、pn接合を形成し、pn接合ダイオード1は、このpn接合の整流性を利用している。

[0021] pn接合ダイオード1においては、アノード電極13とカソード電極14との間に順方向の電圧（アノード電極13側が正電位）を印加することにより、n型半導体層11から見たp型半導体層12とn型半導体層11との界面のポテンシャル障壁が低下し、アノード電極13からカソード電極14へ電流が流れる。一方、アノード電極13とカソード電極14との間に逆方向の電圧（アノード電極13側が負電位）を印加したときは、pn間のポテンシャル障壁により、電流が流れない。

- [0022] n型半導体基板10は、n型のGa₂O₃系単結晶からなる基板である。n型半導体基板10は、Si、Sn等のドナー不純物を含む。n型半導体基板10のドナー濃度は、例えば、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上かつ $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下である。n型半導体基板10の厚さは、例えば、10 μm 以上かつ600 μm 以下である。
- [0023] ここで、Ga₂O₃系単結晶とは、Ga₂O₃単結晶、又は、Al、In等の元素が添加されたGa₂O₃単結晶をいう。例えば、Al及びInが添加されたGa₂O₃単結晶である(Ga_xAl_yIn_(1-x-y))₂O₃ ($0 < x \leq 1$ 、 $0 \leq y < 1$ 、 $0 < x + y \leq 1$) 単結晶であってもよい。Alを添加した場合にはバンドギャップが広がり、Inを添加した場合にはバンドギャップが狭くなる。なお、上記のGa₂O₃単結晶は、例えば、 β 型の結晶構造を有する。
- [0024] n型半導体層11は、n型のGa₂O₃系単結晶からなる。n型半導体層11は、Si、Sn等のドナー不純物を含む。n型半導体層11のドナー濃度は、例えば、 $1 \times 10^{13} \text{ cm}^{-3}$ 以上かつ $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。n型半導体層11の厚さは、例えば、1 μm 以上かつ100 μm 以下である。
- [0025] p型半導体層12は、非晶質部分の体積が結晶質部分の体積よりも多いp型半導体からなる。p型半導体としては、例えば、NiO、SnO、又はCu₂Oを用いることができる。NiO、SnO、Cu₂Oはドーパントを添加しなくてもp型の導電性を示すが、Li等のアクセプター不純物を含んでもよい。
- [0026] NiO、SnO、Cu₂Oのうち、NiOは熱力学的に安定であり、かつ安定してp型のものが得られるため、p型半導体層12の材料として最も好ましい。SnOは、SnOよりも熱力学的に安定であるSn₂Oが存在するため、形成が困難である。なお、Sn₂Oは導電型が不安定であり、p型に制御することが難しい。また、Cu₂Oも導電型が不安定であり、p型に制御することが難しい。
- [0027] 非晶質部分を含むp型半導体膜は、全体が結晶質のp型半導体膜よりも低温で成膜できるため、低コストかつ容易に製造することができる。また、非

晶質部分を含む p 型半導体膜を p 型半導体層 12 として用いることにより、全体が結晶質の p 型半導体膜を用いる場合よりも、リーク電流の発生を抑えることができる。

[0028] アノード電極 13 は、p 型半導体層 12 とオーミック接合を形成する Ni 等の導電性材料からなる。アノード電極 13 の厚さは、例えば、 $0.03\ \mu\text{m}$ 以上かつ $5\ \mu\text{m}$ 以下である。

[0029] カソード電極 14 は、n 型半導体基板 10 と接触する部分が Ga_2O_3 系単結晶とオーミック接合を形成する Ti 等の導電性材料からなる。すなわち、カソード電極 14 が単層構造を有する場合はその全体が Ti 等からなり、多層構造を有する場合は n 型半導体基板 10 と接触する層が Ti 等からなる。カソード電極 14 の多層構造としては、例えば、Ti / Au 又は Ti / Al が挙げられる。カソード電極 14 の厚さは、例えば、 $0.03\ \mu\text{m}$ 以上かつ $5\ \mu\text{m}$ 以下である。

[0030] (pn 接合ダイオードの製造方法)

以下に、pn 接合ダイオード 1 の製造方法の一例について説明する。

[0031] まず、n 型半導体基板 10 上に、HVPE (Hydride Vapor Phase Epitaxy) 法等によりドナーを含む Ga_2O_3 系単結晶をエピタキシャル成長させ、n 型半導体層 11 を形成する。

[0032] n 型半導体基板 10 は、例えば、FZ (Floating Zone) 法や EFG (Edge Defined Film Fed Growth) 法等の融液成長法により育成したドナーを含む Ga_2O_3 系単結晶のバルク結晶をスライスし、表面を研磨することにより得られる基板である。

[0033] 次に、n 型半導体層 11 上に、高周波 (RF) スパッタリング等により非晶質部分の体積が結晶質部分の体積よりも多い p 型半導体を堆積させ、p 型半導体層 12 を形成する。

[0034] 高周波スパッタリングにより p 型半導体層 12 を形成する場合の条件は、基板温度 (堆積温度) が 25°C 以上かつ 700°C 以下、プラズマ出力が $5\ \text{W}$ 以上かつ $300\ \text{W}$ 以下、圧力が $0.1\ \text{Pa}$ 以上かつ $1\ \text{Pa}$ 以下、ガス種が

O₂、ガス流量が0.1 sccm以上かつ100 sccm以下、堆積時間が0.1時間以上かつ10時間以下であることが好ましい。スパッタリングターゲットは、例えば、NiOからなるp型半導体層12を形成する場合は、NiO又はNiからなることが好ましい。

[0035] p型半導体層12の結晶化度は、基板温度や下地結晶の方位等の複数のパラメータに影響を受けると考えられるが、基板温度が700℃以下である場合は非晶質部分の体積が結晶質部分の体積よりも多いp型半導体層12を形成しやすい。

[0036] 次に、真空蒸着等により、p型半導体層12の表面及びn型半導体基板10の裏面に、それぞれアノード電極13とカソード電極14を形成する。

[0037] 図1に示されるように、n型半導体層11の上側の一部、p型半導体層12、及びアノード電極13は、フォトエッチング等によりメサ形状にパターニングされてもよい。メサ形状にパターニングすることで、特にp型半導体層12中を横方向に流れるリーク電流を抑制することができる。

[0038] [第2の実施の形態]

(ジャンクションバリアショットキーダイオードの構成)

図2は、第2の実施の形態に係るトレンチ型ジャンクションバリアショットキー(JBS)ダイオード2の垂直断面図である。トレンチ型JBSダイオード2は、トレンチ型ジャンクションバリアショットキー(JBS)構造を有する縦型のショットキーバリアダイオードである。

[0039] トレンチ型JBSダイオード2は、n型半導体基板20と、n型半導体基板20上に形成された、n型半導体基板20と反対側の面26に開口するトレンチ25を有するn型半導体層21と、n型半導体層21のトレンチ25内に埋め込まれたp型半導体層22と、n型半導体層21の面26上にp型半導体層22と接触するように形成されたアノード電極23と、n型半導体基板20のn型半導体層21と反対側の面上に形成されたカソード電極24と、を備える。

[0040] n型半導体層21とアノード電極23とは、ショットキー接合を形成し、

トレンチ型JBSダイオード2は、このショットキー接合の整流性を利用している。

[0041] トレンチ型JBSダイオード2においては、アノード電極23とカソード電極24との間に順方向の電圧（アノード電極23側が正電位）を印加することにより、n型半導体層21から見たアノード電極23とn型半導体層21との界面のポテンシャル障壁が低下し、アノード電極23からカソード電極24へ電流が流れる。

[0042] 一方、アノード電極23とカソード電極24との間に逆方向の電圧（アノード電極23側が負電位）を印加したときは、ショットキー障壁により、電流は流れない。このとき、p型半導体層22から空乏層が広がり、隣接するp型半導体層22間のチャンネルが閉じるため、リーク電流が効果的に抑制される。

[0043] 一般的に、ショットキーバリアダイオードの逆方向リーク電流の上限は1 μA とされている。本実施の形態では、1 μA のリーク電流が流れるときの逆方向電圧を耐圧と定義する。

[0044] 例えば、“松波弘之、大谷昇、木本恒暢、中村孝著、「半導体SiC技術と応用」、第2版、日刊工業新聞社、2011年9月30日、p. 355”に記載された、SiCを半導体層とするショットキーバリアダイオードにおける逆方向リーク電流のショットキー界面電界強度依存性のデータによれば、逆方向リーク電流の電流密度が0.0001 A/cm^2 のときのショットキー電極直下の電界強度は、およそ0.8 MV/cm である。ここで、0.0001 A/cm^2 は、サイズが1 $\text{mm} \times 1 \text{mm}$ であるショットキー電極に1 μA の電流が流れたときのショットキー電極直下の電流密度である。

[0045] このため、半導体材料自体の絶縁破壊電界強度が数 MV/cm あったとしても、ショットキー電極直下の電界強度が0.8 MV/cm を超えると、1 μA を超えるリーク電流が流れることになる。

[0046] 例えば、ショットキー電極直下の電界強度を抑制するための特別な構造を有さない従来のショットキーバリアダイオードにおいて1200Vの耐圧を

得るためには、ショットキー電極直下の電界強度を 0.8 MV/cm 以下に抑えるために、半導体層のドナー濃度を 10^{15} cm^{-3} 台にまで下げ、かつ半導体層を非常に厚くする必要がある。そのため、導通損失が非常に大きくなり、高耐圧かつ低損失のショットキーバリアダイオードを作製することは困難である。

[0047] 本実施の形態に係るトレンチ型 JBS ダイオード 2 は、トレンチ型 JBS 構造を有するため、半導体層の抵抗を増加することなく、高い耐圧を得ることができる。すなわち、トレンチ型 JBS ダイオード 2 は、高耐圧かつ低損失のショットキーバリアダイオードである。

[0048] n 型半導体基板 20 は、ドナーとしての Si、Sn 等の IV 族元素を含む n 型の Ga_2O_3 系単結晶からなる。n 型半導体基板 20 のドナー濃度は、例えば、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上かつ $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下である n 型半導体基板 20 の厚さは、例えば、 $10 \mu\text{m}$ 以上かつ $600 \mu\text{m}$ 以下である。

[0049] n 型半導体層 21 は、ドナーとしての Si、Sn 等の IV 族元素を含む n 型の Ga_2O_3 系単結晶からなる。n 型半導体層 21 のドナー濃度は、n 型半導体基板 20 のドナー濃度よりも低い。

[0050] なお、n 型半導体基板 20 と n 型半導体層 21 との間に、高濃度のドナーを含む高ドナー濃度層を形成してもよい。すなわち、高ドナー濃度層を介して n 型半導体層 21 を n 型半導体基板 20 上に積層してもよい。n 型半導体層 21 の成長初期は、ドーパントの取り込み量が不安定であったり、n 型半導体基板 20 からのアクセプター不純物の拡散があったりするため、n 型半導体基板 20 上に n 型半導体層 21 を直接成長させると、n 型半導体層 21 の n 型半導体基板 20 との界面に近い領域が高抵抗化する場合がある。このような問題を避けるため、高ドナー濃度層が用いられる。高ドナー濃度層の濃度は、例えば、n 型半導体層 21 よりも高い濃度に設定され、より好ましくは、n 型半導体基板 20 よりも高い濃度に設定される。

[0051] n 型半導体層 21 のドナー濃度が増加するほど、トレンチ型 JBS ダイオード 2 の各部の電界強度が増加する。n 型半導体層 21 中のアノード電極 2

3直下の領域中の最大電界強度及びn型半導体層21中の最大電界強度を低く抑えるためには、n型半導体層21のドナー濃度がおよそ $2.0 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好ましい。一方、ドナー濃度が小さくなるほどn型半導体層21の抵抗が大きくなり、順方向損失が増加してしまうため、例えば1200V以下の耐圧を確保する場合には、 $3.0 \times 10^{16} \text{ cm}^{-3}$ 以上であることが好ましい。また、より高い耐圧を得るためには、ドナー濃度を例えば $1.0 \times 10^{16} \text{ cm}^{-3}$ 程度まで下げてもよい。

[0052] n型半導体層21の厚さが増加するほど、n型半導体層21中の最大電界強度が低減する。n型半導体層21の厚さをおよそ $3 \mu\text{m}$ 以上にすることにより、n型半導体層21中の最大電界強度を効果的に低減することができる。これらの電界強度の低減と、トレンチ型JBSダイオード2の小型化の観点から、n型半導体層21の厚さはおよそ $3 \mu\text{m}$ 以上かつ $9 \mu\text{m}$ 以下であることが好ましい。

[0053] トレンチ25の深さ D_t によってトレンチ型JBSダイオード2の各部の電界強度が変化する。n型半導体層21中のアノード電極23直下の領域中の最大電界強度及びn型半導体層21中の最大電界強度を低く抑えるためには、トレンチ25の深さ D_t がおよそ $1.5 \mu\text{m}$ 以上かつ $6 \mu\text{m}$ 以下であることが好ましい。

[0054] トレンチ25の幅 W_t は、狭いほど導通損失を低減できるが、狭いほど製造難易度が上がり、それに起因して製造歩留まりが低下するため、 $0.3 \mu\text{m}$ 以上かつ $5 \mu\text{m}$ 以下であることが好ましい。

[0055] n型半導体層21の隣接するトレンチ25の間のメサ形状部分の幅 W_m が低減するほど、n型半導体層21中のアノード電極23直下の領域中の最大電界強度が低減する。n型半導体層21中のアノード電極23直下の領域中の最大電界強度を低く抑えるためには、メサ形状部分の幅 W_m が $5 \mu\text{m}$ 以下であることが好ましい。一方、メサ形状部分の幅が小さいほどトレンチ25の製造難度が上がるため、メサ形状部分の幅 W_m が $0.25 \mu\text{m}$ 以上であることが好ましい。

- [0056] p型半導体層22は、非晶質部分の体積が結晶質部分の体積よりも多いp型のp型半導体からなる。p型半導体としては、例えば、NiO、SnO、又はCu₂Oを用いることができる。NiO、SnO、Cu₂Oはドーパントを添加しなくてもp型の導電性を示すが、Li等のアクセプター不純物を含んでもよい。
- [0057] NiO、SnO、Cu₂Oのうち、NiOは熱力学的に安定であり、かつ安定してp型のものが得られるため、p型半導体層22の材料として最も好ましい。SnOは、SnOよりも熱力学的に安定であるSn₂Oが存在するため、形成が困難である。なお、Sn₂Oは導電型が不安定であり、p型に制御することが難しい。また、Cu₂Oも導電型が不安定であり、p型に制御することが難しい。
- [0058] 非晶質部分を含むp型半導体膜は、全体が結晶質のp型半導体膜よりも、低コストかつ容易に製造することができる。特に、トレンチ25の内面にはGa₂O₃系単結晶の様々な方位の面が露出しているため、結晶性のp型半導体膜を埋め込むことは困難であるが、非晶質部分を含むp型半導体膜を埋め込むことは比較的容易である。また、非晶質部分を含むp型半導体膜をp型半導体層22として用いることにより、全体が結晶質のp型半導体膜を用いる場合よりも、リーク電流の発生を抑えることができる。
- [0059] アノード電極23は、アノード電極23のn型半導体層21と接触する部分がn型半導体層21とショットキー接触する材料からなる。すなわち、アノード電極23が単層構造を有する場合はその全体がn型半導体層21とショットキー接触する材料からなり、多層構造を有する場合は少なくともn型半導体層21と接触する層がn型半導体層21とショットキー接触する材料からなる。
- [0060] トレンチ型JBSダイオード2の立ち上がり電圧を小さくするためには、アノード電極23のn型半導体層21と接触する部分がFe（鉄）、Cu（銅）、Mo（モリブデン）、又はW（タングステン）からなることが好ましい。

- [0061] アノード電極 23 の n 型半導体層 21 と接触する部分が Mo 又は W からなる場合、トレンチ型 JBS ダイオード 2 の立ち上がり電圧は 0.4 V 以上かつ 0.6 V 以下となる。アノード電極 23 の n 型半導体層 21 と接触する部分が Fe からなる場合は、トレンチ型 JBS ダイオード 2 の立ち上がり電圧は 0.4 V 以上かつ 0.7 V 以下となる。また、アノード電極 23 の n 型半導体層 21 と接触する部分が Cu からなる場合、トレンチ型 JBS ダイオード 2 の立ち上がり電圧は 0.6 V 以上かつ 0.9 V 以下となる。
- [0062] トレンチ型 JBS ダイオード 2 においては、メサ形状部分にポテンシャル障壁が形成されるため、立ち上がり電圧はメサ形状部分の幅 W_m に依存し、幅 W_m が小さくなるほど大きくなる。
- [0063] トレンチ型 JBS ダイオード 2 中の電界強度は、上述のように、隣接する 2 つのトレンチ 25 の間のメサ形状部分の幅 W_m 、トレンチ 25 の深さ D_t 等の影響を受けるが、トレンチ 25 の平面パターン（p 型半導体層 22 の平面パターン）にはほとんど影響を受けない。このため、n 型半導体層 21 のトレンチ 25 の平面パターン（p 型半導体層 22 の平面パターン）は特に限定されない。
- [0064] カソード電極 24 は、n 型半導体基板 20 とオーミック接触する。カソード電極 24 は、Ti 等の金属からなる。カソード電極 24 は、異なる金属膜を積層した多層構造、例えば、Ti / Au 又は Ti / Al、を有してもよい。カソード電極 24 と n 型半導体基板 20 を確実にオーミック接触させるため、カソード電極 24 の n 型半導体基板 20 と接触する層が Ti からなることが好ましい。
- [0065] （トレンチ型 JBS ダイオードの製造方法）
以下に、トレンチ型 JBS ダイオード 2 の製造方法の一例を示す。
- [0066] 図 3A～図 3C、図 4A～図 4C は、第 2 の実施の形態に係るトレンチ型 JBS ダイオード 2 の製造工程を示す垂直断面図である。
- [0067] まず、図 3A に示されるように、n 型半導体基板 20 上に、HVPE 法等により Si 等のドナーを含む Ga_2O_3 系単結晶をエピタキシャル成長させ、

n型半導体層21を形成する。

[0068] n型半導体基板20は、例えば、FZ法やEFG法等の融液成長法により育成したドナーを含むGa₂O₃系単結晶のバルク結晶をスライスし、表面を研磨することにより得られる基板である。

[0069] 次に、図3Bに示されるように、フォトリソグラフィとドライエッチング等によりn型半導体層21のn型半導体基板20と反対側の面26にトレンチ25を形成する。

[0070] トレンチ25の形成にドライエッチングを用いる場合の好ましい条件は、例えば、エッチングガスがBCl₃ (30 sccm)、圧力が1.0 Pa、アンテナ出力が160 W、バイアス出力が17 W、時間が90分である。

[0071] また、トレンチ25の形成後、トレンチ25の内面の荒れやプラズマダメージを除去するため、リン酸での処理を行うことが好ましい。典型的には、130～140℃に加熱したリン酸へ1～30分浸漬することが好ましい。

[0072] 次に、図3Cに示されるように、電子ビーム蒸着等により、n型半導体基板20の底面にTi/Au積層構造等を有するカソード電極24を形成する。その後、窒素雰囲気中で450℃1分の加熱処理を行う。この加熱処理によって、カソード電極24とn型半導体基板20の間のコンタクト抵抗が減少する。

[0073] 次に、図4Aに示されるように、高周波スパッタリング等により、n型半導体層21の面26の全面に、トレンチ25を埋め込める程度の厚さのp型半導体膜を堆積させる。

[0074] 高周波スパッタリングによりp型半導体層22を形成する場合の条件は、基板温度（堆積温度）が25℃以上かつ700℃以下、プラズマ出力が50 W以上かつ300 W以下、圧力が0.1 Pa以上かつ1 Pa以下、ガス種がO₂、ガス流量が0.1 sccm以上かつ100 sccm以下、堆積時間が0.1時間以上かつ10時間以下であることが好ましい。スパッタリングターゲットは、例えば、NiOからなるp型半導体層22を形成する場合は、NiO又はNiからなることが好ましい。

[0075] p型半導体層22の結晶化度は、基板温度や下地結晶の方位等の複数のパラメータに影響を受けると考えられるが、基板温度が700℃以下である場合は非晶質部分の体積が結晶質部分の体積よりも多いp型半導体層12を形成しやすい。

[0076] 次に、図4Bに示されるように、CMP（Chemical Mechanical Polishing）等の平坦化処理により、堆積させたp型半導体膜のトレンチ25の外側の部分（面26よりも上の部分）を除去し、面26を露出させる。これにより、トレンチ25内にp型半導体層22が埋め込まれる。

[0077] その後、アノード電極23の形成の前に、n型半導体層21の面26に、過酸化水素水等の過酸化水素を含む処理液を用いた前処理を施す。また、塩酸、硝酸、硫酸、フッ酸、バッファードフッ酸等の過酸化水素を含まない処理液を用いる場合は、それらの処理液による処理の後に過酸化水素を含む処理液を用いた処理を行う。前処理の最後に過酸化水素を含む処理液を用いた処理を行わない場合、アノード電極23の材料に依存せずにトレンチ型JBSダイオード2の立ち上がり電圧が0.8～1.0V程度に固定されてしまうおそれがある。

[0078] 過酸化水素を含む処理液としては、過酸化水素水の他に、例えば、塩酸、硝酸、硫酸等の無機酸に過酸化水素及び水を適量添加した液を用いることができる。例えば、硫酸に過酸化水素及び水が添加された硫酸過水を用いる場合には、硫酸4に対して過酸化水素を1、水を1～1000の体積比率で混合した硫酸過水を用いることができる。

[0079] 次に、図4Cに示されるように、電子ビーム蒸着等により、n型半導体層21の面26上にMo/Au積層構造等を有するアノード電極23を形成する。アノード電極23は、リフトオフ等により、円形等の所定の形状にパターンニングされる。

[0080] [第3の実施の形態]

（ショットキーバリアダイオードの構成）

図5は、第3の実施の形態に係るショットキーバリアダイオード3の垂直

断面図である。ショットキーバリアダイオード3は、ガードリング構造を有する縦型のショットキーバリアダイオードである。

- [0081] ショットキーバリアダイオード3は、n型半導体基板30と、n型半導体基板30上に形成されたn型半導体層31と、n型半導体基板30と反対側の面36に開口するトレンチ35を有するn型半導体層31と、n型半導体層31のトレンチ35内に埋め込まれたガードリングとしてのp型半導体層32と、n型半導体層21の面36上に形成されたアノード電極33と、n型半導体基板30のn型半導体層31と反対側の面上に形成されたカソード電極34と、を有する。
- [0082] ガードリングとしてのp型半導体層32は、アノード電極33に一部が重なる領域に形成され、アノード電極33の端部における電界集中を緩和し、ショットキーバリアダイオード3の耐圧を向上させることができる。
- [0083] また、ショットキーバリアダイオード3は、n型半導体層31の面36上のアノード電極33の周りに、 SiO_2 等の誘電体からなる誘電体膜37を有し、その誘電体膜37の上にアノード電極33の縁が乗っている。このフィールドプレート構造も、アノード電極33の端部における電界集中を緩和し、ショットキーバリアダイオード3の耐圧を向上させることができる。
- [0084] n型半導体層31とアノード電極33とは、ショットキー接合を形成し、ショットキーバリアダイオード3は、このショットキー接合の整流性を利用している。
- [0085] ショットキーバリアダイオード3においては、アノード電極33とカソード電極34との間に順方向の電圧（アノード電極33側が正電位）を印加することにより、n型半導体層31から見たアノード電極33とn型半導体層31との界面のポテンシャル障壁が低下し、アノード電極33からカソード電極34へ電流が流れる。
- [0086] 一方、アノード電極33とカソード電極34との間に逆方向の電圧（アノード電極23側が負電位）を印加したときは、ショットキー障壁により、電流が流れない。また、このとき、ガードリング構造及びフィールドプレート

構造により、アノード電極 33 の端部への電界集中が緩和され、リーク電流が抑制される。

[0087] n 型半導体基板 30 は、ドナーとしての Si、Sn 等の IV 族元素を含む n 型の Ga_2O_3 系単結晶からなる。n 型半導体基板 30 のドナー濃度は、例えば、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上かつ $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下である n 型半導体基板 30 の厚さは、例えば、 $10 \mu\text{m}$ 以上かつ $600 \mu\text{m}$ 以下である。

[0088] n 型半導体層 31 は、ドナーとしての Si、Sn 等の IV 族元素を含む n 型の Ga_2O_3 系単結晶からなる。n 型半導体層 31 のドナー濃度は、n 型半導体基板 20 のドナー濃度よりも低い。

[0089] なお、n 型半導体基板 30 と n 型半導体層 31 との間に、高濃度のドナーを含む高ドナー濃度層を形成してもよい。すなわち、高ドナー濃度層を介して n 型半導体層 21 を n 型半導体基板 30 上に積層してもよい。高ドナー濃度層の濃度は、例えば、n 型半導体層 21 よりも高い濃度に設定され、より好ましくは、n 型半導体基板 20 よりも高い濃度に設定される。

[0090] n 型半導体層 31 のドナー濃度が増加するほど、ショットキーバリアダイオード 3 の各部の電界強度が増加する。n 型半導体層 31 中のアノード電極 33 直下の領域中の最大電界強度及び n 型半導体層 31 中の最大電界強度を低く抑えるためには、n 型半導体層 31 のドナー濃度がおよそ $2.0 \times 10^{17} \text{ cm}^{-3}$ 以下であることが好ましい。一方、ドナー濃度が小さくなるほど n 型半導体層 31 の抵抗が大きくなり、順方向損失が増加してしまうため、例えば 1200 V 以下の耐圧を確保する場合には、 $6.0 \times 10^{15} \text{ cm}^{-3}$ 以上であることが好ましい。また、より高い耐圧を得るためには、ドナー濃度を例えば $1.0 \times 10^{15} \text{ cm}^{-3}$ 程度まで下げてもよい。

[0091] n 型半導体層 31 の厚さが増加するほど、n 型半導体層 31 中の最大電界強度が低減する。n 型半導体層 31 の厚さをおよそ $3 \mu\text{m}$ 以上にすることにより、n 型半導体層 31 中の最大電界強度を効果的に低減することができる。これらの電界強度の低減と、ショットキーバリアダイオード 3 の小型化の観点から、n 型半導体層 31 の厚さはおよそ $3 \mu\text{m}$ 以上かつ $15 \mu\text{m}$ 以下で

あることが好ましい。

[0092] p型半導体層32は、非晶質部分の体積が結晶質部分の体積よりも多いp型のp型半導体からなる。NiO、SnO、Cu₂Oはドーパントを添加しなくてもp型の導電性を示すが、Li等のアクセプター不純物を含んでもよい。

[0093] NiO、SnO、Cu₂Oのうち、NiOは熱力学的に安定であり、かつ安定してp型のものが得られるため、p型半導体層32の材料として最も好ましい。SnOは、SnOよりも熱力学的に安定であるSn₂Oが存在するため、形成が困難である。なお、Sn₂Oは導電型が不安定であり、p型に制御することが難しい。また、Cu₂Oも導電型が不安定であり、p型に制御することが難しい。

[0094] 非晶質部分を含むp型半導体膜は、全体が結晶質のp型半導体膜よりも低温で成膜できるため、低コストかつ容易に製造することができる。特に、トレンチ35の内面にはGa₂O₃系単結晶の様々な方位の面が露出しているため、結晶性のp型半導体膜を埋め込むことは困難であるが、非晶質部分を含むp型半導体膜を埋め込むことは比較的容易である。また、非晶質部分を含むp型半導体膜をp型半導体層32として用いることにより、全体が結晶質のp型半導体膜を用いる場合よりも、リーク電流の発生を抑えることができる。

[0095] アノード電極33は、アノード電極33のn型半導体層31と接触する部分がn型半導体層31とショットキー接触する材料からなる。すなわち、アノード電極33が単層構造を有する場合はその全体がn型半導体層31とショットキー接触する材料からなり、多層構造を有する場合は少なくともn型半導体層31と接触する層がn型半導体層31とショットキー接触する材料からなる。

[0096] ショットキーバリアダイオード3の立ち上がり電圧を小さくするためには、アノード電極33のn型半導体層31と接触する部分がFe（鉄）、Cu（銅）、Mo（モリブデン）、又はW（タングステン）からなることが好ま

しい。

[0097] アノード電極 33 の n 型半導体層 31 と接触する部分が Mo 又は W からなる場合、ショットキーバリアダイオード 3 の立ち上がり電圧は 0.4 V 以上かつ 0.6 V 以下となる。アノード電極 33 の n 型半導体層 31 と接触する部分が Fe からなる場合は、ショットキーバリアダイオード 3 の立ち上がり電圧は 0.4 V 以上かつ 0.7 V 以下となる。また、アノード電極 33 の n 型半導体層 31 と接触する部分が Cu からなる場合、ショットキーバリアダイオード 3 の立ち上がり電圧は 0.6 V 以上かつ 0.9 V 以下となる。

[0098] カソード電極 34 は、n 型半導体基板 30 とオーミック接触する。カソード電極 34 は、Ti 等の金属からなる。カソード電極 34 は、異なる金属膜を積層した多層構造、例えば、Ti / Au 又は Ti / Al、を有してもよい。カソード電極 34 と n 型半導体基板 30 を確実にオーミック接触させるため、カソード電極 34 の n 型半導体基板 30 と接触する層が Ti からなることが好ましい。

[0099] (実施の形態の効果)

上記第 1 ～ 3 の実施の形態によれば、低コストで容易に製造することのできる、ヘテロ pn 接合を利用した Ga_2O_3 系のダイオードである、pn 接合ダイオード 1、トレンチ型 JBS ダイオード 2、及びガードリング構造を有するショットキーバリアダイオード 3 を提供することができる。

実施例 1

[0100] 実施例 1 においては、第 1 の実施の形態に係る pn 接合ダイオード 1 を製造し、順方向特性及び逆方向特性を測定した。

[0101] 本実施例においては、n 型半導体基板 10 として、ドナーが Sn、ドナー濃度がおよそ 10^{18} cm^{-3} 、厚さがおよそ $600 \mu\text{m}$ 、主面の面方位が (001) の、EFG 法を用いて作製した n 型 Ga_2O_3 基板を用いた。

[0102] また、n 型半導体層 11 として、ドナーが Si、ドナー濃度がおよそ $6 \times 10^{16} \text{ cm}^{-3}$ 、厚さがおよそ $3.2 \mu\text{m}$ の、HVPE 法により成長させた n 型 Ga_2O_3 膜を用いた。

- [0103] また、p型半導体層12として、厚さがおよそ100nmのアンドープ（アクセプターを意図的に添加していない）の、高周波スパッタリングにより形成されたp型NiO膜を用いた。高周波スパッタリングの条件は、基板温度が300℃、プラズマ出力が50W、圧力が0.35Pa、ガス種がO₂、ガス流量が10sccm、ターゲットが純度99.5%のNiO、堆積時間が1時間であった。
- [0104] また、アノード電極13として、直径が200μmの円形のNi電極を電子ビーム蒸着により形成した。
- [0105] また、カソード電極14として、Ti/Au積層構造を有する電極を電子ビーム蒸着によりn型半導体基板10の裏面の全面に形成した。アノード電極13とカソード電極14を形成した後、アノード電極13をマスクとしてドライエッチング処理を行い、n型半導体層11の上側の一部及びp型半導体層12を図1に示したようなメサ形状にパターニングした。
- [0106] 図6A、図6Bは、それぞれ実施例1に係るpn接合ダイオード1の順方向特性、逆方向特性を示すグラフである。
- [0107] 図6A、図6Bによれば、実施例1に係るpn接合ダイオード1がpn接合ダイオードとして正常に動作している。このことは、n型Ga₂O₃膜であるn型半導体層11とp型NiO膜であるp型半導体層12がpn接合を形成していることを示している。

実施例 2

- [0108] 実施例2においては、NiO膜の特性の成膜条件依存性を調べた。
- [0109] 本実施例においては、高周波スパッタリングによりNiO膜を形成した。高周波スパッタリングの条件は、基板温度が25～400℃、プラズマ出力が50～300W、圧力が0.35Pa、ガス種がO₂、ガス流量が10sccm、ターゲットがNiO、堆積時間が1時間とした。
- [0110] 図7Aは、実施例2に係るNiO膜の抵抗率の基板温度依存性を示すグラフである。図7Aに係るNiO膜は、プラズマ出力を300Wに固定して成膜した。

- [0111] 図7Aは、基板温度が低いほど、NiO膜の抵抗率が低下することを示している。この結果から、抵抗率を小さくするためには、NiO膜を高周波スパッタリングにより成膜する際の基板温度が25℃以上かつ400℃以下であることが好ましいといえる。しかしながら、これはアンドープのNiOターゲットを用いた場合の結果であり、アクセプターをドーピングすることで400℃より高い温度で低抵抗率の膜を得ることができる。
- [0112] 図7Bは、実施例2に係るNiO膜の抵抗率のプラズマ出力依存性を示すグラフである。図7Bに係るNiO膜は、基板温度を200℃に固定して成膜した。
- [0113] 図7Bは、プラズマ出力が低いほど、NiO膜の抵抗率が低下することを示している。この結果から、抵抗率を小さくするためには、NiO膜を高周波スパッタリングにより成膜する際のプラズマ出力が50W以上かつ300W以下であることが好ましいといえる。
- [0114] 図7Cは、実施例2に係るNiO膜とPt電極のコンタクト抵抗の基板温度依存性を示すグラフである。図7Cに係るNiO膜は、プラズマ出力を300Wに固定して成膜した。
- [0115] 図7Cは、基板温度が高いほど、コンタクト抵抗が減少することを示している。この結果から、電極とのコンタクト抵抗を小さくするためには、NiO膜を高周波スパッタリングにより成膜する際の基板温度が100℃以上であることが好ましいといえる。

実施例 3

- [0116] 実施例3においては、ショットキーバリアダイオードにおけるアノード電極の材料ごとの特性を調べた。
- [0117] 図8は、実施例3に係るショットキーバリアダイオード4の垂直断面図である。ショットキーバリアダイオード4は、半導体基板40と、半導体基板40の一方の面に接続され、半導体基板40とショットキー接合を形成するアノード電極41と、半導体基板40の他方の面に接続され、半導体基板40とオーミック接合を形成するカソード電極42とを備える。

- [0118] 半導体基板40として、ドナー濃度がおよそ $1.0 \times 10^{17} \text{ cm}^{-3}$ 、厚さがおよそ $650 \mu\text{m}$ のアンダーの Ga_2O_3 基板を用いた。
- [0119] また、アノード電極41として、直径が $200 \mu\text{m}$ の円形の電極を電子ビーム蒸着により形成した。アノード電極41の蒸着前には、半導体基板40の表面を硫酸過水で処理した。アノード電極41の材料としては、Al、Ti、Mo、W、Fe、Cu、Ni、Pt、Pdを用いた。
- [0120] また、カソード電極42として、厚さ 50 nm のTi膜と厚さ 200 nm のAu膜が積層されたTi/Au積層構造を有する電極を電子ビーム蒸着により半導体基板40の裏面の一部に形成した。
- [0121] 図9は、実施例3に係るショットキーバリアダイオード4の順方向特性を示すグラフである。
- [0122] 図9は、アノード電極の材料がAl、Ti、Mo、W、Fe、Cu、Ni、Pt、Pdのときのショットキーバリアダイオードの立ち上がり電圧がそれぞれおよそ 0 V 、 0.05 V 、 0.35 V 、 0.4 V 、 0.55 V 、 0.65 V 、 0.85 V 、 0.95 V 、 0.95 V であることを示している。
- [0123] これらの材料のうち、Fe、Cu、Mo、及びWをアノード電極の材料として用いた場合、公知の電極材料であるTiとNiの間の立ち上がり電圧が得られるため、Fe、Cu、Mo、及びWは、新しいショットキー電極の材料として有用である。
- [0124] なお、Fe、Cu、Mo、及びWよりも立ち上がり電圧の低い材料としてAgがあるが、複数回の試験を実施した結果、立ち上がり電圧の繰り返し再現性がきわめて低く、ショットキーバリアダイオードの電極材料には適していないことが確認された。

実施例 4

- [0125] 実施例4においては、第2の実施の形態に係るトレンチ型JBSダイオード2を製造し、その特性を評価した。
- [0126] 本実施例においては、n型半導体基板20として、ドナーがSn、ドナー濃度がおよそ $2.5 \times 10^{18} \text{ cm}^{-3}$ 、厚さがおよそ $350 \mu\text{m}$ 、主面の面方

位が(001)の、EFG法を用いて作製したn型Ga₂O₃基板を用いた。

[0127] また、n型半導体層21として、ドナーがSi、ドナー濃度がおよそ $6 \times 10^{16} \text{ cm}^{-3}$ 、厚さがおよそ6.5 μm の、HVPE法により成長させたn型Ga₂O₃膜を用いた。

[0128] n型半導体層21のトレンチ25の深さD_tはおよそ2 μm 、トレンチ25の幅W_tはおよそ4.8 μm 、メサ形状部分の幅W_mはおよそ1.2 μm とした。

[0129] カソード電極24として、Ti/Au積層構造を有する電極を電子ビーム蒸着によりn型半導体基板20の裏面の全面に形成した。カソード電極24の形成後、窒素雰囲気中で450℃1分の加熱処理を行い、カソード電極24とn型半導体基板20の間のコンタクト抵抗を減少させた。

[0130] また、p型半導体層22として、アンドープの、高周波スパッタリングにより形成されたp型NiO膜を用いた。高周波スパッタリングの条件は、基板温度が200℃、プラズマ出力が300W、圧力が0.35 Pa、ガス種がO₂、ガス流量が10 sccm、ターゲットがNiO、堆積時間が4時間であり、およそ3 μm のNiO膜を形成した。NiO膜のトレンチ25の外側の部分はCMPにより除去した。

[0131] また、アノード電極23として、直径が300 μm の円形のMo/Au積層構造等を有する電極を電子ビーム蒸着及びリフトオフにより形成した。

[0132] 図10A、図10Bは、それぞれ実施例4に係るトレンチ型JBSダイオード2の順方向特性、逆方向特性を示すグラフである。

[0133] 図10A、図10B中の「JBS」はトレンチ型JBSダイオード2の特性であり、「SBD」は、比較例としての、JBS構造を有しない通常のショットキーバリアダイオードの特性である。また、図10(b)中の「TFE」は熱電子電界放出理論に基づく計算結果（ポテンシャル障壁の高さを0.8 eV、ショットキー電極とショットキー接合を形成する半導体のドナー濃度を $6 \times 10^{16} \text{ cm}^{-3}$ として計算した）である。

[0134] 図10A、図10Bによれば、実施例4に係るトレンチ型JBSダイオード

ド2がショットキーバリアダイオードとして正常に動作している。このことは、 n 型 Ga_2O_3 膜である n 型半導体層21と p 型 NiO 膜である p 型半導体層22が pn 接合を形成していることを示している。

[0135] また、図10Bは、 $JB S$ 構造を有しない通常のショットキーバリアダイオードが熱電子電界放出理論に近い非常に大きなリーク電流を有しているのに対して、トレンチ型 $JB S$ ダイオード2は通常のショットキーバリアダイオードよりもリーク電流が数桁小さい。これは、 $JB S$ 構造を設けることによってショットキー接合部の電界強度が下がり、熱電子電界放出(TFE)によるリーク電流を抑制できたことによる。

[0136] なお、非晶質部分の体積が結晶質部分の体積よりも多い NiO からなる p 型半導体層22 p 型の代わりに、結晶質の NiO 膜を用いた場合、リーク特性が熱電子電界放出理論に従うリーク特性よりも悪くなるおそれがある。

[0137] 以上、本発明の実施の形態、実施例を説明したが、本発明は、上記実施の形態、実施例に限定されず、発明の主旨を逸脱しない範囲内において種々変形実施が可能である。

[0138] また、上記に記載した実施の形態、実施例は特許請求の範囲に係る発明を限定するものではない。また、実施の形態、実施例の中で説明した特徴の組合せの全てが発明の課題を解決するための手段に必須であるとは限らない点に留意すべきである。

産業上利用可能性

[0139] 低コストで容易に製造することのできる、ヘテロ pn 接合を利用した Ga_2O_3 系のダイオードを提供する。

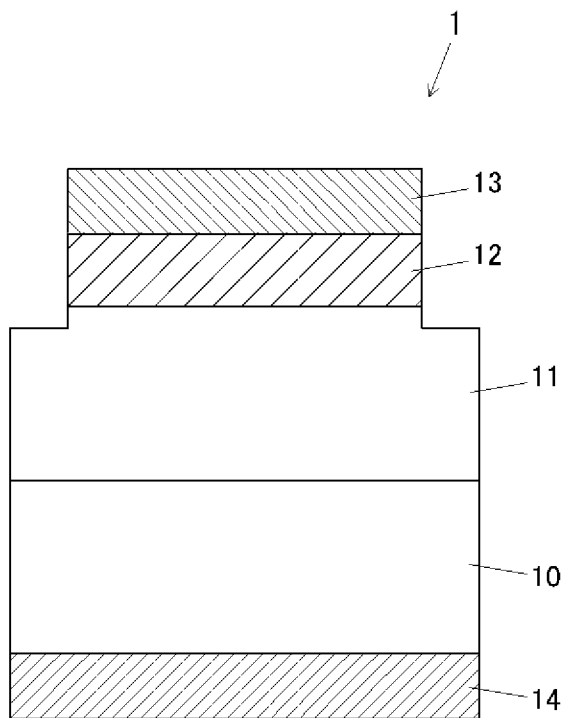
符号の説明

[0140] 1… pn 接合ダイオード、 2…トレンチ型 $JB S$ ダイオード、 3…ショットキーバリアダイオード、 10、20、30… n 型半導体基板、 11、21、31… n 型半導体層、 12、22、32… p 型半導体層、 13、23、33…アノード電極、 14、24、34…カソード電極、 25、35…トレンチ

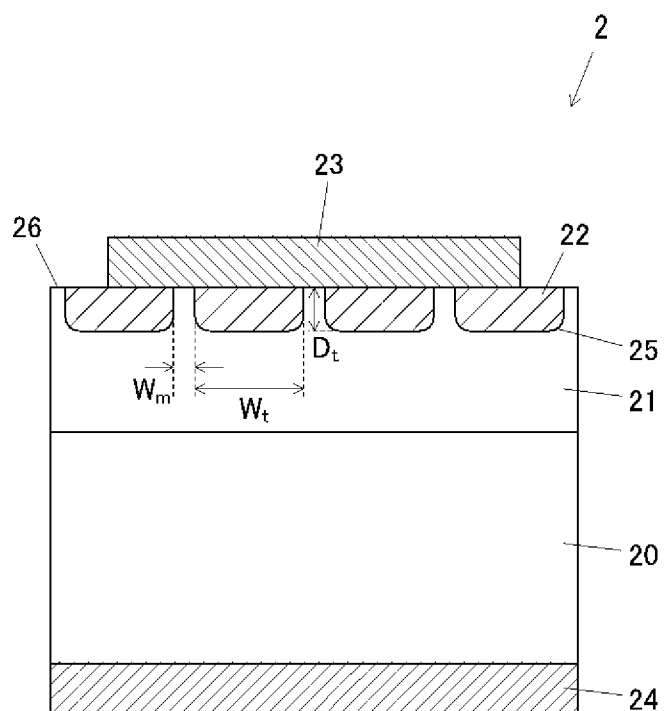
請求の範囲

- [請求項1] n型Ga₂O₃系単結晶からなるn型半導体層と、
非晶質部分の体積が結晶質部分の体積よりも多いp型半導体からなるp型半導体層と、を備え、
前記n型半導体層と前記p型半導体層とがpn接合を形成する、
ダイオード。
- [請求項2] 前記p型半導体がNiOである、
請求項1に記載のダイオード。
- [請求項3] 前記pn接合の整流性を利用したpn接合ダイオードである、
請求項1又は2に記載のダイオード。
- [請求項4] n型半導体層とショットキー接合を形成するアノード電極を備え、
前記ショットキー接合の整流性を利用するショットキーバリアダイオードである、
請求項1又は2に記載のダイオード。
- [請求項5] トレンチ型ジャンクションバリアショットキー構造又はガードリング構造を有する、
請求項4に記載のダイオード。
- [請求項6] 前記アノード電極の前記n型半導体層と接触する部分がFe、Cu、Mo、又はWからなる、
請求項4又は5に記載のダイオード。

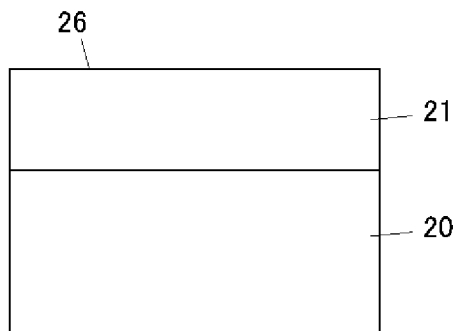
[図1]



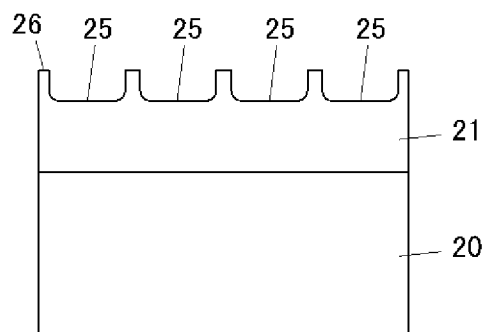
[図2]



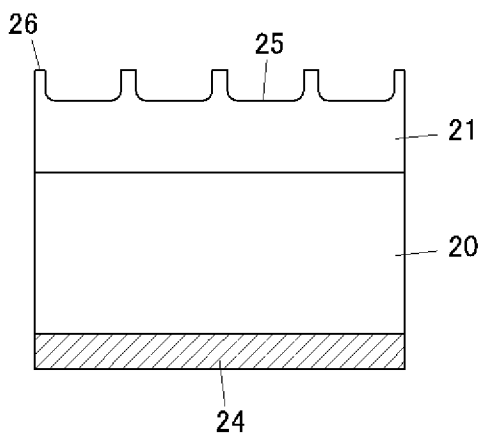
[図3A]



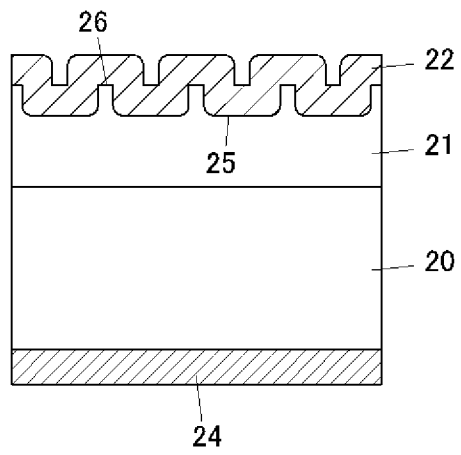
[図3B]



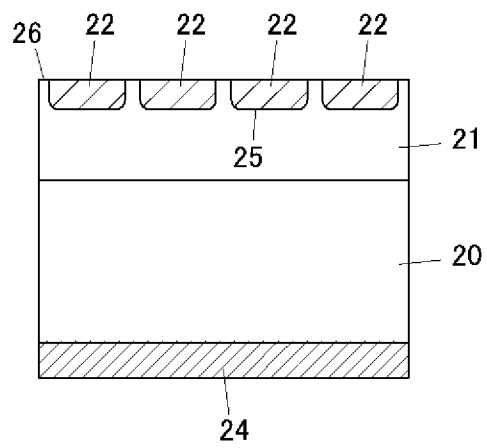
[図3C]



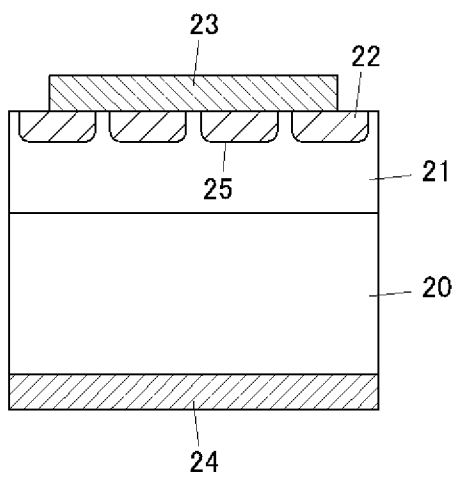
[図4A]



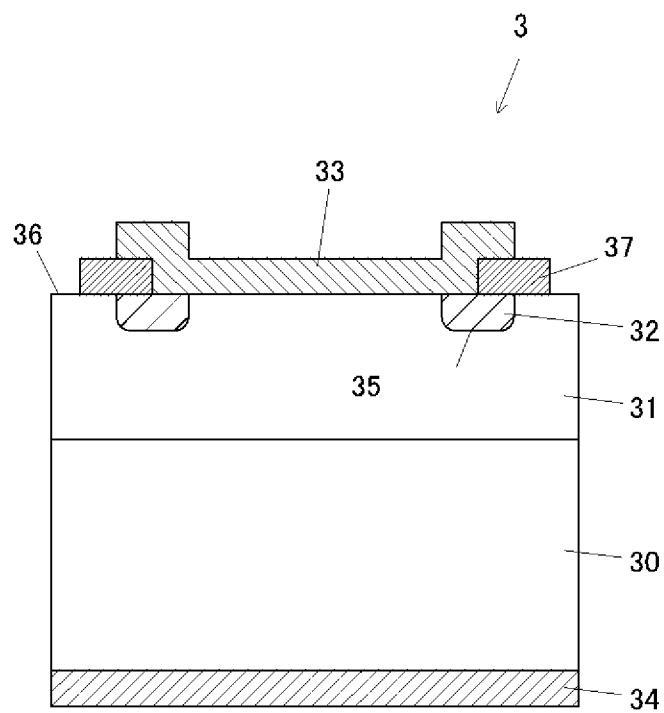
[図4B]



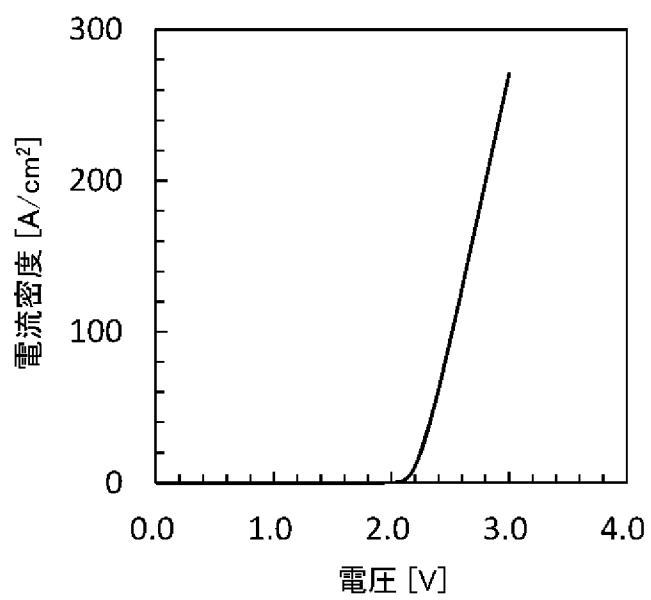
[図4C]



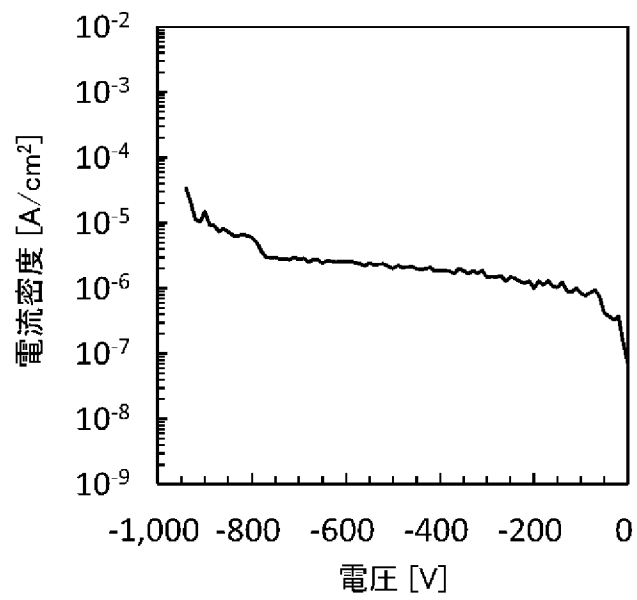
[図5]



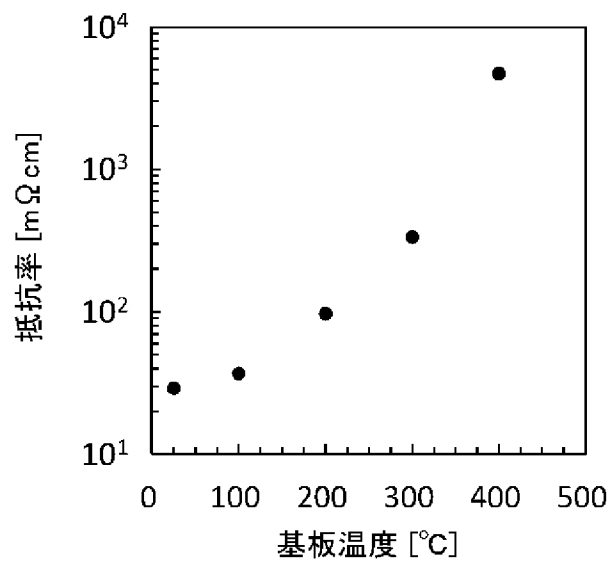
[図6A]



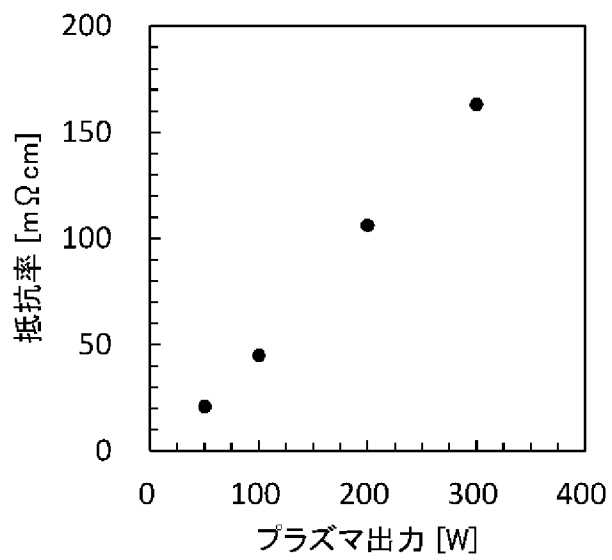
[図6B]



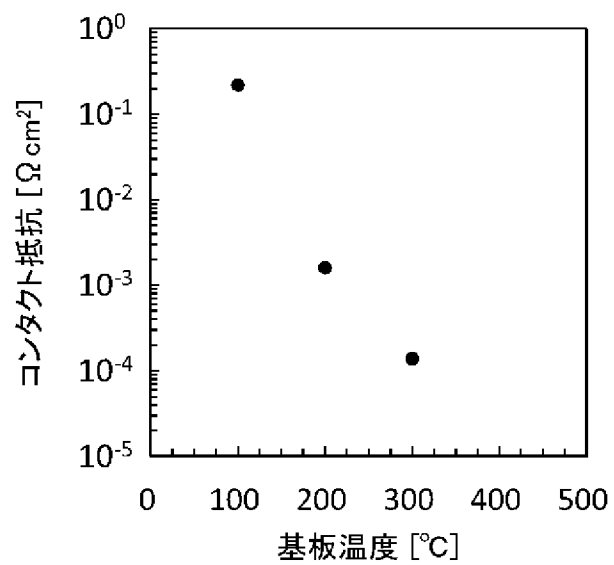
[図7A]

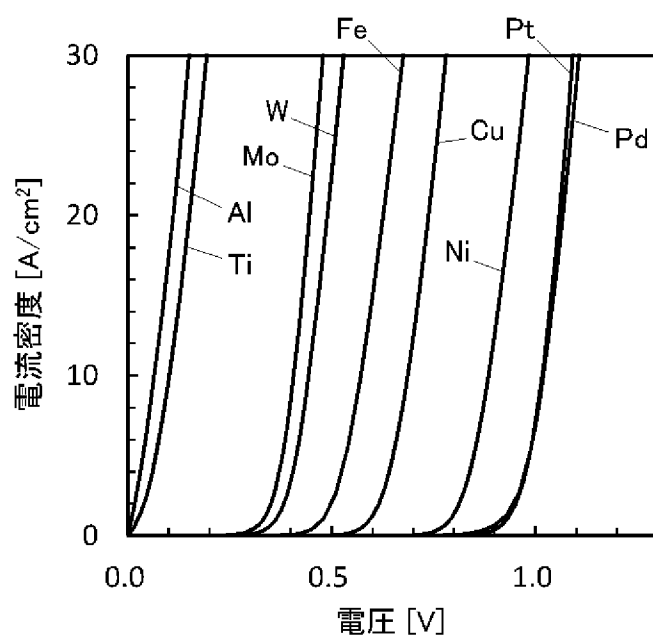


[図7B]

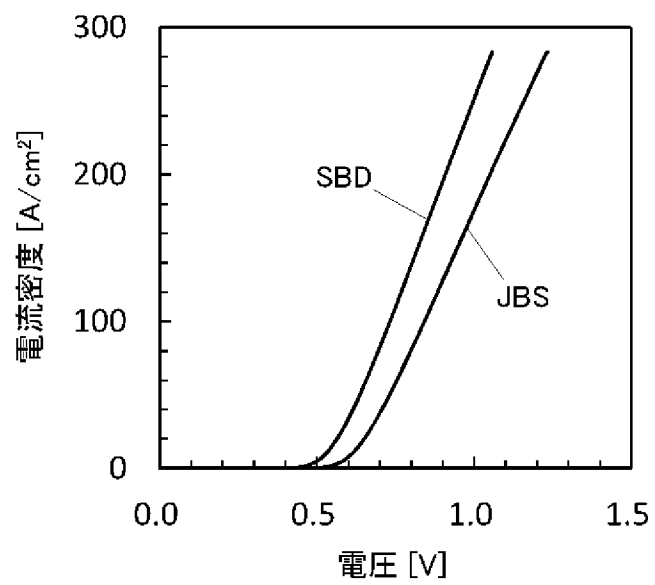


[図7C]

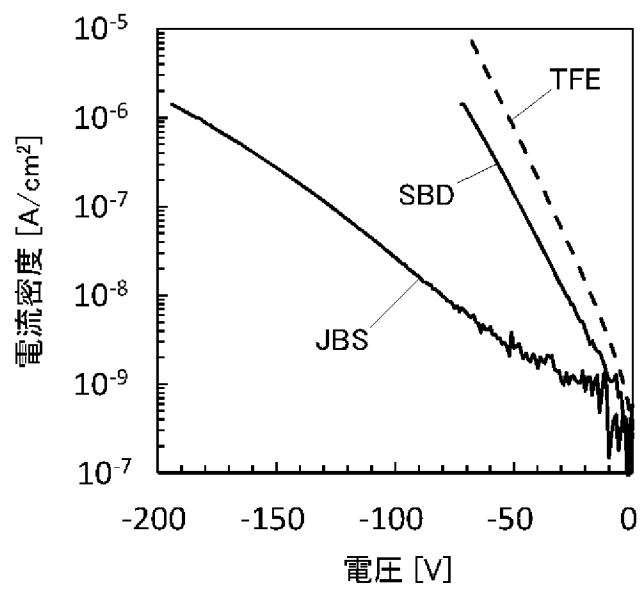




[図10A]



[図10B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/027416

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/861(2006.01)i, C30B25/00(2006.01)i, C30B29/16(2006.01)i, H01L29/06(2006.01)i, H01L29/24(2006.01)i, H01L29/47(2006.01)i, H01L29/868(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/861, C30B25/00, C30B29/16, H01L29/06, H01L29/24, H01L29/47, H01L29/868, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-143841 A (NATIONAL INSTITUTE OF INFORMATION	1, 3
Y	AND COMMUNICATIONS TECHNOLOGY) 08 August 2016,	2-3
A	paragraphs [0006]-[0014], [0016]-[0020], fig. 2	4-6
	(Family: none)	
Y	JP 2013-115114 A (PANASONIC CORPORATION) 10 June 2013,	2-3
A	paragraph [0008]	4-6
	(Family: none)	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05.09.2018

Date of mailing of the international search report
18.09.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/027416

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2017/111173 A1 (IDEMITSU KOSAN CO., LTD.) 29 June 2017, paragraphs [0025], [0032], [0035]-[0081], fig. 1, 4, 6, 7, 10, 12 & TW 201735357 A	1-6
A	JP 2015-227279 A (FLOSFIA INC.) 17 December 2015, paragraphs [0053]-[0061], [0081], fig. 7, 8, 16 & US 2015/0325660 A1, paragraphs [0094]-[0102], [0124], fig. 7, 8, 16 & EP 2942804 A1 & CN 105097896 A & TW 201543547 A	1-6
A	JP 2013-102081 A (TAMURA SEISAKUSHO KK) 23 May 2013, paragraphs [0014]-[0029], [0059]-[0064], fig. 8 & US 2014/0332823 A1, paragraphs [0014]-[0029], [0059]-[0064], fig. 8 & WO 2013/069728 A1 & EP 2779242 A1 & CN 103918082 A & KR 10-2014-0095080 A	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/861(2006.01)i, C30B25/00(2006.01)i, C30B29/16(2006.01)i, H01L29/06(2006.01)i,
H01L29/24(2006.01)i, H01L29/47(2006.01)i, H01L29/868(2006.01)i, H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/861, C30B25/00, C30B29/16, H01L29/06, H01L29/24, H01L29/47, H01L29/868, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2016-143841 A (国立研究開発法人情報通信研究機構) 2016.08.08, 段落[0006]-[0014], [0016]-[0020], 図2 (ファミリーなし)	1, 3 2-3 4-6
Y A	JP 2013-115114 A (パナソニック株式会社) 2013.06.10, 段落[0008] (ファミリーなし)	2-3 4-6

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

05.09.2018

国際調査報告の発送日

18.09.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

杉山 芳弘

5 F

6311

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2017/111173 A1 (出光興産株式会社) 2017. 06. 29, 段落 [0025], [0032], [0035]-[0081], 図 1, 4, 6-7, 10, 12 & TW 201735357 A	1-6
A	JP 2015-227279 A (株式会社 F L O S F I A) 2015. 12. 17, 段落 [0053]-[0061], [0081], 図 7-8, 16 & US 2015/0325660 A1, 段落 [0094]-[0102], [0124], 図 7-8, 16 & EP 2942804 A1 & CN 105097896 A & TW 201543547 A	1-6
A	JP 2013-102081 A (株式会社タムラ製作所) 2013. 05. 23, 段落 [0014]-[0029], [0059]-[0064], 図 8 & US 2014/0332823 A1, 段落 [0014]-[0029], [0059]-[0064], 図 8 & WO 2013/069728 A1 & EP 2779242 A1 & CN 103918082 A & KR 10-2014-0095080 A	1-6