

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 21/00

H01L 21/20 H01L 21/324

[12] 发明专利申请公开说明书

[21] 申请号 99122410.8

[43]公开日 2000 年 4 月 19 日

[11]公开号 CN 1250945A

[22]申请日 1999.9.3 [21]申请号 99122410.8

[30]优先权

[32]1998.9.4 [33]JP [31]251270/1998

[71]申请人 佳能株式会社

地址 日本东京

[72]发明人 佐藤信彦

[74]专利代理机构 中国国际贸易促进委员会专利商标事
务所

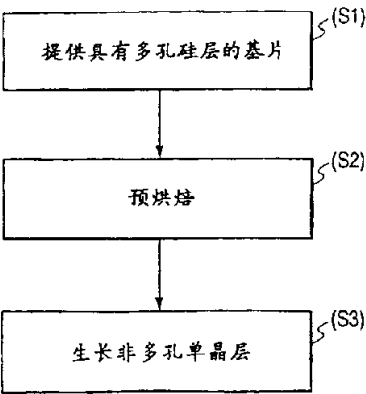
代理人 王以平

权利要求书 4 页 说明书 36 页 附图页数 10 页

[54]发明名称 半导体基片及其制造方法

[57]摘要

公开了一种具有非多孔单晶层的多孔硅层的晶体缺陷减少的半导体基片,及形成该基片的方法。该形成方法包括下列步骤:在不包含非多孔单晶层的源气体的气氛中对多孔硅层进行热处理,以及在多孔硅层上生长非多孔单晶层,其中的热处理步骤在一定条件下进行,使得蚀去的硅厚度为 2 纳米或更小,且由(热处理后的表面孔密度)/(热处理前的表面孔密度)定义的多孔硅层的表面孔密度的变化率 r 满足关系式 $(1/10000) \leq r \leq 1$ 。



ISSN 1008-4274

权 利 要 求 书

1、一种制造半导体基片的方法，包括下列步骤：

提供一包含多孔硅层的基片的步骤；

对多孔硅层进行热处理的热处理步骤；以及

在多孔硅层上生长非多孔单晶层的生长步骤，

其中热处理步骤在不包含非多孔单晶层的源气体的气氛中进行，使得因热处理而蚀去的硅厚度不大于2纳米，且由（热处理后的表面孔密度）/（热处理前的表面孔密度）定义的多孔硅层的表面孔密度的变化率 r 满足关系式 $(1/10000) \leq r \leq 1$ 。

2、一种制造半导体基片的方法，包括下列步骤：

提供一个包含多孔硅层的第一基片的步骤；

对多孔硅层进行热处理的热处理步骤；

在多孔硅层上生长非多孔单晶层的生长步骤，以及

将在第一基片上的非多孔单晶层转移到第二基片上的步骤；

其中热处理步骤在不包含非多孔单晶层的源气体的气氛中进行，使得因热处理而蚀去的硅厚度不大于2纳米，且由（热处理后的表面孔密度）/（热处理前的表面孔密度）定义的多孔硅层的表面孔密度的变化率 r 满足关系式 $(1/10000) \leq r \leq 1$ 。

3、根据权利要求1或2所述的制造半导体基片的方法，其中所说的非多孔单晶层是以20纳米/分或更小的生长速度生长的。

4、根据权利要求1或2所述的制造半导体基片的方法，其中所说的非多孔单晶层是以10纳米/分或更小的生长速度生长的。

5、根据权利要求1或2所述的制造半导体基片的方法，其中所说的非多孔单晶层是以2纳米/分或更小的生长速度生长的。

6、根据权利要求1或2所述的制造半导体基片的方法，其中所说的变化率 r 为 $(1/100) \leq r \leq 1$ 。

7、根据权利要求1或2所述的制造半导体基片的方法，其中所说的被蚀去的厚度为1纳米或更小。

8、根据权利要求1或2所述的制造半导体基片的方法，其中所说的非多孔

单晶层是非多孔单晶硅层。

9、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的非多孔单晶层是 SiGe、SiC 或一种化合物半导体。

10、根据权利要求 2 所述的制造半导体基片的方法，其中所说的将非多孔单晶层转移到第二基片上的步骤包括下列步骤：

将第一基片和第二基片彼此结合，并使非多孔单晶层位于里面；以及
除去多孔硅层。

11、根据权利要求 2 所述的制造半导体基片的方法，其中所说的将非多孔单晶层转移到第二基片上的步骤包括下列步骤：

将第一基片和第二基片彼此结合，并使非多孔单晶层位于里面；以及
在多孔硅层处分开该结合的元件。

12、根据权利要求 2 所述的制造半导体基片的方法，其中所说的将非多孔单晶层转移到第二基片上的步骤包括下列步骤：

将第一基片和第二基片以其间夹有一绝缘层的方式彼此结合。

13、根据权利要求 12 所述的制造半导体基片的方法，其中该绝缘层形成在非多孔单晶层和第二基片的至少其中之一上。

14、根据权利要求 2 所述的制造半导体基片的方法，其中所说的第二基片是一单晶硅基片。

15、根据权利要求 2 所述的制造半导体基片的方法，其中所说的第二基片是一石英晶片。

16、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中的热处理步骤包括：提高温度和除去本征的氧化物膜的步骤，其中除去本征的氧化物膜的步骤是在不低于 850℃ 和不高于 1000℃ 的温度下实现的。

17、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的热处理步骤包括：提高温度和除去本征的氧化物膜的步骤，其中除去本征的氧化物膜的步骤是在 200 秒或更短的处理时间内实现的。

18、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中在所说的热处理步骤之前还包括：在多孔硅层的孔壁上形成保护膜的步骤。

19、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中在所说的热处理步骤之前还包括除去在多孔硅层的表面上形成的氧化膜的步骤。

20、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的生长步骤先以第一生长速度生长然后以大于第一生长速度的第二生长速度生长。

21、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的加热步骤和生长步骤是在装有加载锁存小室的反应容器中实现的。

22、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的加热步骤是在比生长步骤时的压力更高的压力下进行的。

23、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的多孔硅层通过使非多孔单晶硅的至少一部分阳极化而得到的。

24、根据权利要求 23 所述的制造半导体基片的方法，其中所说的阳极化是用包含氢氟酸、水和乙醇的溶液实现的。

25、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的包含有多孔硅层的基片以简并的能级掺有杂质。

26、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的热处理步骤是在含氢的非氧化性气氛中进行的。

27、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的热处理步骤是在含氢气的还原性气氛、氮气气氛或惰性气体气氛中进行的。

28、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的热处理步骤是在超高真空中进行的。

29、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的热处理步骤是在温度不低于 870℃ 不高于 970℃ 的条件下进行的。

30、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的热处理步骤包含除去在多孔硅层上的氧化物。

31、根据权利要求 1 或 2 所述的制造半导体基片的方法，其中所说的热处理步骤蚀去厚度是为了在设定温度下进行热处理而进行的加热过程中达到的蚀去量。

32、一种半导体基片，包含在多孔单晶硅层上的非多孔单晶硅层，其中非多孔单晶硅层的堆垛层错缺陷的密度为 100/平方厘米或其以下，且在形成多孔单晶硅层的过程中形成的孔不是中断的。

33、根据权利要求 1 或 2 所述的方法制造的半导体基片。

34、一种形成集成电路的方法，包括：用根据权利要求 32 所述的半导体基

10-100

片来形成集成电路。

说明书

半导体基片及其制造方法

本发明一般涉及半导体基片及其制造方法,更具体地说,涉及在多孔的半导体层上形成的非多孔的半导体层及其形成方法。

本发明还涉及用作为一主要采用 MOSFETs 和双极性晶体管的集成电路基本部分的半导体基片及其形成方法。

在关于以硅为基底的半导体器件的集成电路 (IC) 技术方面,已进行了各种,致力于硅-在-绝缘层上的形式的 (SOI) 结构的研究,其中,单晶硅膜沉积在绝缘层上,因为该结构降低了寄生电容并增强元件绝缘,因此,提高了晶体管的工作速度,降低了功率消耗,提高了集成密度,降低了总成本。

为了形成 SOI 结构,在 1970 年代到 1980 年代初已有由 Imai (K. Imai, 固态电子学 24 (1981), p. 159) 提出的“完全隔绝多孔硅法”(the Fully Isolation by Porous Silicon (FIPOS))。FIPOS 法利用多孔硅的加速氧化现象¹形成 SOI 结构,但是存在问题在于,其仅固有地以小岛形状形成表面硅层。

近年来引起世界注意的其中一种 SOI 形成技术是晶片结合技术,围绕该技术,已经提出各种不同的方法,因为 SOI 结构使得在表面硅层和掩蔽的氧化硅层的厚度方面以及表面硅层的充分结晶度方面存在随机性。

虽然最初由 Nakamura 等人提出该结合方法(利用该方法不需用粘接剂或任何其他中间层就可结合各晶片),自从 1984 年当 J. B. Lasky 等人提出使两结合的晶片中之一变薄和在其上制作 MOS 晶体管的操作时,对它的研究已大范围地进行,(J. B. Lasky, S. R. Stiffler, F. R. White, 和 J. R. Abernathey, 国际电子的器件会议技术汇编(IEEE, 纽约, 1985), p. 684)。

利用 Lasky 等人的方法,作为单晶硅晶片的第一晶片掺有高浓度的硼和在其上形成有低浓度的或 n-型外延硅层和在 n-型外延硅层表面上形成一具有氧化物膜的第二晶片(如果需要),然后使之彼此紧密接触,使得由于范德瓦耳力使二晶片彼此结合。对二晶片进行热处理以便在其间形成共价键结合,因此使结合强度增加到这样一种程度,即不会影响器件的制造。然后,利用氢氟酸、硝酸、乙酸的混合液体对第一晶片在它的背侧进行蚀刻,以便选择性地除去 p+硅晶片,

使得仅外延硅层保留在第二晶片上，该方法还被称为单蚀刻终止法。然而，每次对 p+硅的蚀刻率与对外延硅(p-或 n 型)的蚀刻率的比低至几十，因此需要更进一步改进，以便使在整个晶片表面上保留的外延硅层厚度均匀。

由此，已设计出能够进行两次选择性的蚀刻的方法。即，当第一晶片形成低-杂质-浓度硅晶片基片（在其表面上层积一 p++型 Si 层和一低杂质浓度层）时，然后将该第一晶片结合到如上所述的第二晶片上。然后，通过研磨、抛光或任何其它机械方法在它的背侧使第一晶片薄化。接着对第一晶片进行选择性的蚀刻，直到掩埋在第一晶片中的 p++硅层的整个表面被暴露。在这样的情况下，该选择性的蚀刻由于基片的杂质-浓度的差别由于使用碱性液体比如乙二胺邻苯二酚（ethylene diamine pyrocatechol）、氢氧化钾等而受影响。然后，利用氢氟酸、硝酸、乙酸的混合液体进行选择性的蚀刻，以便选择性地除去暴露的 p++硅层，正如利用上述 Lasky 法的情况一样，使得仅上述低-杂质-浓度单晶硅层转移到第二晶片（该方法还被称为单蚀刻（终止）法）。这种方法通过多次进行选择性的蚀刻，改善整体的蚀刻选择性，使得在 SOI 中的表面硅层的厚度更均匀。

然而，可以预料利用上述基片的杂质-浓度或成分的差别的选择性的蚀刻来薄化一些层，将受到该杂质-浓度的深度分布特性的影响。即，如果晶片在结合后在高的温度下进行热处理，以便增加结合强度，在掩蔽层中的杂质扩散，引起降低膜厚的均一性，以致选择性的蚀刻效果下降。因此，结合后必须在 800° C 或更低的温度下进行热处理。而且，因为数次蚀刻中的每一次将具有低的蚀刻选择性，在大量生产的时候得设法解决可控性的问题。

与上述方法（其中蚀刻选择性取决于杂质-浓度或成分的差别）相对比，公开的日文专利申请第 5-21338 号利用结构差别以保证选择性。即，由于每单位体积的表面面积（例如 200 m²/cm³）的多孔硅结构和非多孔硅之间的差别，这种方法实现了高达 100,000 的蚀刻选择性，该方法被称为利用多孔硅利用结构差别的选择性蚀刻法。利用这种方法，将指定为第一晶片的单晶硅用晶片的表面阳极化（anodized）以形成多孔硅，在此之后在其上外延生长一非多孔单晶硅层以便提供第一晶片。然后，其结合到第一晶片和按照要求对其进行热处理，以便提高结合强度。接着进行研磨、抛光或类似操作，除去第一晶片的背侧，因此暴露多孔硅层的全部表面。接着，通过蚀刻选择性地除去多孔硅，导致上述非多孔单晶硅层转移到第二晶片上。由于可达到多达 100,000 的高蚀刻选择性，在这种

外延生长的过程中通过蚀刻、映射单晶硅层的均匀度,使所达到的 SOI 层厚度的均匀度受到小的损害。即,正像在利用可商用得到的 CVD 外延生长装置的情况一样,这种方法例如对于 SOI-Si 层达到 1.5% -3%或更低的晶片内的均匀度。这种方法使用多孔硅(作为选择性蚀刻的材料)作为在 FXPOS 方法中的选择性氧化的材料。因此,这种方法并不局限于约 56%的孔隙度,但比较可取的是更低的数值约 20%的孔隙度。这里应指出,该用于形成 SOI 结构的方法公开在上述公开的日本专利申请 No. 5-21338 中,由 T. Yonehara 等人提出,被命名为 ELTRAN (商标)(T. Yonehara, K. Sakaguchi, N. Sato, Appl. Phys. Lett. 64 (1994), p. 2108)。

此外,由于多孔硅未变成最终产品的结构元件,多孔硅的结构变化和粗化而未损害蚀刻选择性。

Sato 等人(即本发明的发明人)在 1040℃ 下进行外延生长前的热处理和在 900-950℃ 温度下外延生长的过程中,利用 SiH_2Cl_2 气体作为源气体的化学气相淀积(CVD)法在多孔物质上进行外延生长(N. Sato, K. Yamagata, Y. Fujiyama, and T. Yonehara, Proc. of the Seventh Int. Symp. on Silicon mater. Sci. and Tech., Semiconductor silicon, (Pennington, Electrochem. Soc. Inc 1994), p. 443)。

为避免在高温热处理的过程中多孔硅明显的结构粗化, Sato 等人在外延生长步骤之前加入预氧化步骤,在多孔硅的壁上形成保护膜,以便几乎完全抑制在热处理过程中发生的多孔硅层结构粗化。例如,在 400℃ 下在氧气环境中实行预氧化。

利用这种方法的关键因素是如何减少在多孔硅上外延生长非多孔单晶硅的过程中产生的缺陷。因此制作的 SOI 晶片存在有堆垛层错(stacking Fault)作为主缺陷,据报道,在多孔硅上的外延硅层中堆垛层错密度为 10^3 - $10^4/\text{cm}^2$ 。

通常应指出,层错缺陷可能降低氧化膜的绝缘强度。这考虑是因为当金属杂质沉积在围绕层错缺陷的位错, p-n 结的泄漏电流将增加,因此降低少数载体的寿命。关于在多孔物质上外延生长的另一些报告没有涉及由于较低检测(能力)的限制在揭示蚀刻缺陷后通过利用光学显微镜观察结晶缺陷密度小于 $10^3/\text{cm}^2$ 的情况。虽然与大的硅基片相比较,处在 $1\mu\text{m}^2$ 的门控(gate)区域的 10^3 - $10^4/\text{cm}^2$ 的堆垛层错缺陷的可能性低至 0.0001-0.00001,该缺陷密度仍然是高的,希望

在制造 IC 的生产过程中使其降低。为了能实际应用利用上述方法得到的 SOI 晶片，必须将堆垛层错密度至少降低至 $1000/\text{cm}^2$ 。

本发明的第一目的是提供一种在多孔硅层上具有结晶缺陷减小的非多孔单晶硅层的半导体基片以及一种用于制造该基片的方法。

本发明的第二目的是提供一种在绝缘（隔离）层上具有结晶缺陷减少的非多孔单晶硅层的半导体基片，以及一种用于制造该基片的方法。

根据本发明的第一方面，提供一种用于制造半导体基片的方法，包含的步骤有：提供一包含多孔硅层的基片，对该多孔硅层进行热处理，以及在多孔硅层上生长非多孔单晶硅层，其中，该热处理步骤在不包含非多孔单晶硅层的源气体的气氛中实施，使得因热处理蚀刻除去硅的厚度（下文称之为蚀去厚度）不大于 2nm ，且关于多孔硅层的表面孔密度的变化率 r （由（在热处理后的表面孔密度）/（在热处理前的表面孔密度）定义的）满足关系式 $(1/10000) \leq r \leq 1$ 。

根据本发明的第二方面，提供一种用于制造半导体基片的方法，包含的步骤有：提供一包含多孔硅层的第一基片，对该多孔硅层进行热处理，以及在多孔硅层上生长非多孔单晶硅层，以及使生长在第一基片上的非多孔单晶硅层转移到第二基片上，其中，该热处理步骤在不包含非多孔单晶硅层的源气体的气氛中实施，使得因热处理蚀刻除去硅的厚度不大于 2nm ，以及关于多孔硅层的表面孔密度的变化率 r （由（在热处理后的表面孔密度）/（在热处理前的表面孔密度）定义的）满足关系式 $(1/10000) \leq r \leq 1$ 。

此外，本发明特征在于，上述变化率 r 满足关系式 $(1/100) \leq r \leq 1$ 。

此外，本发明特征在于，热处理步骤包含除去多孔硅层表面上的氧化物。

图 1 是说明在多孔硅层上生长非多孔单晶硅层的步骤的流程图；

图 2 是说明具有加载锁存小室的外延生长设备的一个实例的示意图；

图 3A, 3B 和 3C 是一多孔元件表面中的孔的 SEM 照片；

图 4A, 4B 和 4C 是表示多孔元件表面中的孔的状态的示意图；

图 5 是解释热处理时间和剩余的表面孔密度之间关系的曲线图；

图 6 是解释剩余的表面孔密度和层错缺陷密度之间关系的曲线图；

图 7 是解释热处理温度和堆垛层错缺陷密度之间关系的曲线图；

图 8 是解释热处理时间和蚀刻厚度之间关系的曲线图；

图 9A, 9B, 9C, 9D 和 9E 说明根据本发明的步骤的示意图;

图 10A, 10B, 10c, 10D 和 10E 是说明根据本发明制造 SQ1 基片的步骤的示意图;

图 11 是解释添加轻微数量的 SiH_4 时的热处理时间和层错缺陷密度之间关系的曲线图;

图 12 是解释热处理温度和层错缺陷密度之间关系的曲线图;以及

图 13 流程是解释热处理时间和层错缺陷密度之间关系的曲线图;

参照图 1 的流程图解释用于形成在多孔硅层上的非多孔单晶硅层(外延生长层)的方法。

首先, 提供一具有多孔硅层 (S1) 的基片。接着, 在生长非多孔单晶硅层之前, 在不包含非多孔单晶硅层的源气体的气氛中进行对多孔硅层的热处理。

这种热处理被称为预-烘焙步骤 (S2), 利用这一步骤将例如形成在多孔硅层的表面上本征的氧化物膜除去。

这里应指出, 上述的“在不包含非多孔单晶硅层的源气体的气氛中”的热处理具体是指, 在包含氢气的还原性气氛中、包含惰性气体例如 He、Ar、Ne 等的气氛, 或者超高真空。

在上述的预烘焙步骤后, 将源气体引入以便生长非多孔单晶硅层(S3)。这样, 在多孔硅层上生长非多孔单晶硅层。

下面介绍导致本发明的技术研究结果。

(实验 1)

为了详细检查预烘焙步骤如何影响在多孔硅层上引起的单晶硅堆垛层错缺陷, 本发明人观测了在预烘焙后在多孔硅层表面中的孔密度如何变化。

这里应指出, 本发明人小心地不使水或氧进入到用于预烘焙步骤的装置中, 以便在预烘焙步骤过程中使其对孔直径和孔密度的影响最小化。

具体地说, 如下面详细介绍的, 设有一加载锁存小室以便使晶片能进出该小室而不会使反应室直接暴露于大气环境中。

从反应室泄漏的数量 20 mTorr/min (毫托/分) 或更少为好, 10 mTorr/min (毫托/分) 或更少更好。

此外, 由气体供给系统的气体控制装置的泄漏数量 0.5 磅/平方英寸/24 小时 (0.5psi/24h) 为好, 0.2 磅/平方英寸/24 小时 (0.2psi/24h) 更好。

再者,作为供应气体,高纯净气体是较好的。具体地说,例如,当实行预烘焙步骤应用 H_2 气体时,使用通过气体提纯器的 H_2 气体,该提纯器位于在距该装置约 20 米内处较好,约 10 米内处更好。作为提纯器最好使用一种使气体通过加热的钯扩散小室或具有吸收剂的过滤器类型的提纯器。

图 2 是表示处理装置示意图,其中标号的 21 表示反应小室(处理小室),标号 22 表示加载锁存小室,标号 32 表示运送小室(传送小室),标号 23 表示一闸阀,其设有一个在反应小室 21 和运送小室 32 之间的间隔;标号 24 表示一闸阀,其设有一个在运送小室 32 和加载锁存小室 22 之间的间隔。标号 25 表示加热器比如为加热基片 W 的灯,标号 26 表示托衬器(susceptor),在其上支撑基片 W,标号 27, 28, 和 33 表示抽气系统用于分别抽空反应小室 21、加载锁存小室 22、运送小室 32;标号 29 表示供气系统,用于将处理用气体输入到反应小室 21;标号 30 和 34 表示供气系统,用于将气体分别输入到运送小室 32 和加载锁存小室 22,以便吹洗其里面或将其增压。标号 31 表示运送臂,用于将基片 W 运送进出反应小室 21。标号 35 表示晶片盒。此外,可以采用这样一种改型方案,其使加载锁存小室 22 和运送小室 32 结合以容纳运送臂,而不是使其与运送小室 32 和闸阀 24 分开。

这里应指出,为方便,将利用这样一种具有加载-锁存小室的处理装置进行的热处理称之为“在系统 A 中的热处理”。

在系统 A 中,反应小室中的加热器可以预先起动以便将托衬器等预加热到 $600 - 1000^\circ\text{C}$ 。

利用这种方法,可以在约 10 秒内将放入反应小室的晶片温度增加到 $600 - 1000^\circ\text{C}$,因此能够减少温度上升时间并且抑制由于这种热处理引起的在多孔硅层孔状态变化的进程。

在对基片仅利用装备有装载锁存小室的装置进行热处理(预烘焙步骤)形成多孔硅层后,从反应小室将其取出和利用高分辨率的扫描电子显微镜(HR-SEM)来观测。

通过在 $HF-C_2H_5OH-H_2O$ 的混合溶液中进行阳极化处理制取多孔硅,然后在氧环境气体中在 400°C 下进行热处理持续一小时(预氧化步骤)。然后将其浸渍在 1.25%HF 水溶液中持续 25 秒(HF 浸渍步骤),漂洗、干燥,然后置于在一个外延生长设备中。附图 3A 表示刚刚在置于该外延生长设备之前的多孔硅层表面的

SEM 图像。可以观察到孔直径约十纳米 (nm)，形成的密度为 $10^{11}/\text{cm}^2$ 。

附图 3B 表示在氢环境中刚刚在经受在 950°C 、600 毛下长 2 秒钟的热处理之后的多孔硅层表面的 SEM 图像。孔密度稍微降低但是仍然处在 $10^{10}/\text{cm}^2$ 的数量级。孔直径几乎未变化仍为十纳米或者附近。

另一方面，观测在氢环境气体中在 1100°C 下长 2 秒时处理的另一个多孔硅层表面，其孔密度明显降低到约 $10^6/\text{cm}^2$ 。剩余的孔如在附图 3C 中所表示的，其其中的某些直径增加达到 40 纳米。这些的孔直径增加被认为是由于剩余的氧和基片的氧化扩大、蚀刻或者表面扩散或者相邻近的孔的合并的结果。

在附图 3B 所示的情况下，在多孔硅层表面上的非多孔单晶硅引起的层错缺陷的密度为 $1 \times 10^2/\text{cm}^2$ ，而在图 3C 所示的情况下，密度为 $2 \times 10^4/\text{cm}^2$ 。

关于预烘焙步骤，如在公开的 9-100197 号日本专利申请中所公开的，据分析孔被阻隔是由于 Si 原子的迁移导致的层错缺陷密度的下降。

虽然与其它参数例如预烘焙温度、时间、在有关预烘焙装置中的气氛有关，但这一实验仍表明孔被阻隔，同时，产生具有较大直径的残留孔，虽然数量较少。已发现预烘焙步骤降低了孔密度但增加了层错缺陷密度，如在图 3C 中所表示的。

关于预烘焙步骤，如在公开的 9-100197 号日本专利申请中所公开的，已发现孔被阻隔是由于 Si 原子的迁移，导致层错缺陷密度的下降。

然而，N. Sato 等人在 Jpn. J. Appl. Phys. 35973(1966)中指出，虽然整个表面上的大多数孔由于预烘焙步骤被封闭，残留孔虽然数量较少，但仍然是存在的，它们引起层错缺陷。

例如，表面孔的残留密度为 $10^{11}/\text{cm}^2$ – $10^4/\text{cm}^2$ 意味着表面孔的 99.99999% 是封闭的，而孔密度维持为 $10^4/\text{cm}^2$ 。

这一实验表明，在图 3C 中所示的实例（由于预烘焙步骤孔密度下降较大）中层错缺陷密度要比在图 3B 中所示的实例（孔密度下降较小）中要大。

这意味着，预烘焙步骤降低了近于非多孔硅表面的多孔硅层上的孔密度，而同时，残留孔的直径增加，导致不可能预期层错缺陷密度下降。

即，已发现预烘焙步骤降低了多孔表面的孔密度，而同时，增加了某些孔的直径。图 4A、4B 和 4C 是分别示意表示图 3A、3B 和 3C 中的 SEM 图像。此外，图 5 表示在该实验中利用具有加载锁存小室的上述装置得到的多孔硅层表面的残留孔密度和热处理时间之间的关系。按照该热处理条件，采用的温度为 950°C ，

压力为 600 托，和采用氢气氛。

已经发现，随着热处理时间推移，残留孔密度逐渐降低，并在 200 秒内，在多孔层表面的孔密度变成约 $10^7/\text{cm}^2$ ，而对比起来在热处理之前为 $10^{11}/\text{cm}^2$ 。当然，当孔密度变成 $10^7/\text{cm}^2$ 时，产生具有较大直径的残留孔，虽然数量少。

(实验 2)

本发明人进一步检查了在预烘焙步骤之后的残留孔密度和层错缺陷密度之间的关系。其结果表示在图 6 中。

利用具有加载锁存小室的上述装置实施预烘焙步骤，以避免受在这一步骤中使用的装置中的水和氧的影响。即这是在系统 A 中的热处理。

由于在多孔层表面的孔密度为 $10^{11}/\text{cm}^2$ ，由图 6 中可以发现，当在预烘焙步骤之后的残留孔密度为 $10^7/\text{cm}^2$ 或者更高时，层错缺陷密度可以明显地降低。即，当在预烘焙步骤之前和之后的残留孔密度的变化率 r ($r = (\text{在预烘焙步骤之后的残留孔密度}) / (\text{在预烘焙步骤之前的残留孔密度})$) 满足关系式 $(1/10000) \leq r \leq 1$ (最好 $(1/100) \leq r \leq 1$) 时，层错缺陷密度可以降低。特别是当 $(1/100) \leq r \leq 1$ 时，层错缺陷密度可以明显降低。

这里应指出，接着通过利用显微镜观测揭示蚀刻的缺陷，可以确定层错缺陷密度。具体地说，利用 $\text{K}_2\text{Cr}_2\text{O}_7$ (0.15M) 和 49% HF 的 2:1 混合物的溶液作为蚀刻剂 (其通常在 Secco 蚀刻中使用)，用纯水稀释以便降低蚀刻速度，利用 Nomarski 差分干涉式显微镜揭示和观测在晶片表面的非多孔单晶硅层中引起的结晶缺陷，以确定层错缺陷密度。

已经发现，在预烘焙步骤之后的多孔硅层表面的孔密度的很大变化影响在多孔硅层上的非多孔单晶硅层的层错缺陷密度。

特别是，已经发现，当引入硅源气体和开始沉积非多孔单晶硅时，在由于硅的表面扩散使表面上的孔变形以及因此孔密度明显下降之前，层错缺陷降低。

即，本发明人已首先发现，通过控制在预烘焙步骤中形成的孔密度下降在 4 位数之内，最好在 2 位数或其以下，结晶缺陷密度可以下降至约 $10^2/\text{cm}^2$ 。

顺便指出，由于热处理 (预烘焙步骤) 的结果，一种张应力施加在多孔硅层上，因此与单晶硅比较晶格常数变大。由于这一点，在多孔硅层表面上的残留孔的周边，这种张应力集中，使晶格常数更变大，从而由于晶格失配更易引起结晶缺陷。

当孔密度为 $10^{11}/\text{cm}^2$ 时, 多孔硅层表面中的平均孔间距离约为 30 纳米。与孔的尺寸 10-20 纳米相比较, 这一距离, 不是足够大的, 一些孔彼此影响使得在孔的周边的应力集中减轻。在孔密度为 $10^{10}/\text{cm}^2$ 时平均孔间距离约为 100 纳米以及在孔密度为 $10^9/\text{cm}^2$ 时平均孔间距离约为 300 纳米。人们认为, 这些距离与孔直径相比较是足够大的, 使得由于孔间影响在孔的周边的应力集中减轻作用几乎消除, 因此导致在残留孔部分易引起结晶缺陷。

(实验3)

本发明人进一步检查了层错缺陷密度和预烘焙温度之间的关系。在图 7 中表示了该结果, “A” 表示关于在系统 A 中实施的预烘焙步骤的数据。其时的压力为 600 毛。下面介绍 “B-1” 和 “B-2” 的数据。

在超过 1000°C 的高温下层错缺陷密度处在 $10^4/\text{cm}^2$ 的数量级。已经发现, 然而, 当温度降低时, 层错缺陷密度的最小值约出现在 950°C 下, 该密度降低到约 $10^2/\text{cm}^2$ 。即, 比较可取的预烘焙温度不大于 1000°C 为宜, 不小于 880°C 和不大于 1000°C 更好, 不小于 870°C 和不大于 970°C 尤其好, 不小于 900°C 和不大于 950°C 最好。

这里应指出, 预烘焙温度和层错缺陷密度之间的关系并不总是如在图 7 中由 “A” 表示的。与系统 A 相对比, 利用具有开放反应型小室 (未装设加载锁存小室) 的装置 (下文将利用这种装置进行的热处理称之为系统 “B” 中的热处理) 在 760 毛的压力下进行相似的实验表明, 当预烘焙温度升高时, 层错缺陷密度降低 (系统 B-1)。这里应指出, 在系统 B-2 中, 在生长的起始阶段硅源气体的供应速度降低, 以便明显抑制生长速度。与系统 B-1 相对比, 在系统 B-2 中, 层错缺陷密度降低到约 $1/3$, 与温度无关, 不过与系统 B-1 相似, 仅在热处理温度升高时才能降低层错缺陷密度。关于系统 B 参照由 Sato 等人提出的报告 (N. Sato 等人, Jpn. Appl. Phys. 35(1966)973)。

为何层错缺陷密度可以在更高的热处理温度下降低的原因如下。在系统 B-1 和系统 B-2 中, 在该装置中出现的较多的氧和水, 因此当温度升高时, 由于剩余的氧和水的作用在硅表面上形成氧化硅。

在较低的温度 (1050°C 或更低) 下, 因此形成的氧化硅不能完全除去, 使得缺陷密度是高的。然而在足够高的温度下, 以及持续充分长的保存时间, 因此形成的氧化硅能完全除去, 缺陷密度自然开始降低。

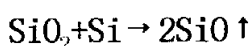
根据上述可以发现，预烘焙温度和层错缺陷密度之间的关系随环境例如氧以及水的量而变化。

(实验4)

本发明人为了确定在每个系统 A 和 B 中的反应小室内出现的氧以及水等的数量差别，检测在热处理（预烘焙步骤）过程中蚀去多少硅。其结果表示在图 8 中。

据 F.W.Smith 等人在 J. Electrochem. Soc. 129, 1300(1982) 和 G. Ghidini 等人在 J. Electrochem. Soc. 131, 2924(1984) 提出的报告，当在系统中出现微量的氧以及水时，以及其浓度低时蚀去硅。

另一方面，当水等浓度高时，硅被氧化形成氧化硅。当温度升高时由此形成的氧化硅与相邻的硅反应，因此被蚀去。即发生下述反应。



总之，在系统中维持的氧或水在温度升高的过程中有助于蚀去硅，使得通过检测在反应小室中残留的氧和水的数量可以估算蚀去的数量。

图 8 表示（由于蚀刻在每个系统 A 和 B 中的非多孔单晶硅）厚度下降的数量与时间的关系。在系统 A 中，在 1100℃ 和 600 毛下进行热处理，而在系统 B 中，在 1050℃ 和 760 毛下进行热处理，对于两个系统热处理环境气体均为氢气。通过利用 SOI 结构和测量 SOI 层（即单晶硅层）厚度降低的数量确定蚀去的厚度。这里应指出，为何在系统 A 和 B 之间温度和压力多少有些不同，其原因是，在各个装置之间最佳条件是不同的。

在系统 B 中，即使按照为零的热处理时间（曲线上的截距），蚀去的厚度也多达 7 纳米或其以上。这是指当要处理的基片被加热到设置温度后立即冷却时的蚀去的厚度。这意味着，仅由于温度升高，硅膜厚度降低多达约 7 纳米。另一方面，在系统 A 中，即使热处理 10 分钟，蚀去的厚度小于 2 纳米。

顺便指出，众所周知，在系统 A 中，在 1100℃ 而不是在 1050℃ 的设置温度下蚀去的厚度随热处理时间的推移而加大。

因此，根据由于蚀刻使硅氧化形成的硅氧化物的膜厚降低量可以知道在反应小室内的氧和水的含量差别。

即，在系统 A 中，在该装置中仅有很少数量的氧和水，使得在温度升高的过程中没有很多的硅被氧化成硅氧化物，导致蚀去的厚度少。

另一方面，在系统 B 中，在该装置中有大量的氧和水，使得蚀去的厚度多。

利用供应的气体的纯度、在供应管线中水的吸收量、微小的泄漏量、反应小室本身的气密封度以及当将基片输送到其中时反应小室的防染来确定在反应小室中的氧和水的数量。将基片输送到其中时反应小室按照氧和水的污染度很大程度上受如下引入方式的影响，即基片是通过加载锁存小室引入反应小室（系统 A）还是直接引入开放于大气的反应小室。然而即使在系统 B 的情况下（基片输送到开放于大气的反应小室），直到小室中的气体被充分地置换而无温度升高，残留的氧和水的数量降低，不过效率对于批量生产来说是不够的。此外，蚀去厚度受温度上升到设置温度所需要的时间的影响。当基片承载在具有小的热容量的基片夹持座上时，温度升高的速度可以增加。

此外在系统 A 中，如在图 7 中所示，在约 900-950℃ 下，层错缺陷密度取最小值，在温度高于该值时，预烘焙降低残留孔密度并如上所述增加层错缺陷密度。

另一方面，在 850℃（其低于该最小值）下，氢预烘焙步骤使层错缺陷密度为 $10^5/\text{cm}^2$ 。在这些条件下，利用 HR-SEM 观测在预烘焙步骤之后的多孔硅表面表明，与图 3A 相比较残留孔的状态变化很小。即孔密度没有降低。据分析层错缺陷密度高至为 $10^5/\text{cm}^2$ 是因为硅氧化物例如本征的氧化物膜维持在多孔硅层的表面上。

上述的实验 1-4 表明，在这样一种系统中（上述的实验 1-4 中的系统 A），其中在反应小室内的氧和水的数量在用于预烘焙的温度上升步骤时以及预烘焙步骤中降低，通过控制残留孔密度（由于预烘焙、预烘焙温度、预烘焙时间引起的）变化，可以降低层错缺陷密度。

下面将介绍本发明的各实施例。

（实施例 1）

图 9A-9E 表示根据本发明形成半导体基片的方法。

如在图 9A 中所示，提供一基片 1，至少在其一自由表面上具有多孔硅层 90。

接着如果需要，如在图 9B 中所示一薄的保护膜 4 形成在多孔单晶硅层（预氧化）中的孔壁 3 上。

由于该预氧化步骤使保护膜 5 例如硅氧化物膜形成在多孔硅层表面上，将这一基片浸入到低浓度 HF 的水溶液中以便除去在多孔硅层表面上的保护膜（下

文称为“HF 浸渍”)。图 9C 示意表示被除去后的状态的断面图。

接着, 将其中形成有多孔单晶硅基片置于在外延生长装置中并按图 9D 中所示进行热处理(预烘焙), 然后在其上形成非多孔单晶硅层 6, 如图 9E 中所示。

在预烘焙的过程中的条件是这样的, 它们应满足两个条件即条件 1 和条件 2, 在条件 1 下, 在用于预烘焙的温度升高步骤中, 多孔硅层的厚度(t)变化即多孔硅层的厚度(t)降低(蚀去厚度 t_e)为 2 纳米或更小, 最好为 1 纳米或更小; 在条件 2 下, 在多孔硅层的表面孔密度的变化率(r)为 $(1/10000) \leq r \leq 1$, 最好 $(1/100) \leq r \leq 1$ 。关于条件 1, 蚀去厚度小于 2 纳米或其以下也是优选的, 在用于预烘焙的温度升高步骤中和预烘焙步骤中小于 1 纳米或其以下是优选的。

蚀去厚度 t_e 可以表达为 $t_e = t_0 - t_1$, 其中 t_0 是在开始预烘焙之前的多孔硅层的层厚, t_1 是在完成预烘焙之后的多孔硅层的层厚。表面孔密度的变化率(r)可以表达为如下:

$$r = d_1 / d_0$$

其中 d_0 是在预烘焙之前的表面孔密度, d_1 是在预烘焙之后的表面孔密度。

此外, 用于这种热处理的环境气体比较可取的是一种: 不含有以硅为基的气体、更可取的是一种包含氢气或氮气的还原性环境气体、惰性环境气体或者是超高真空。下面介绍热处理。

(1) 置入装置中

将其表面具有多孔硅层的基片置入反应小室(未表示), 在该反应小室中抑制残留的氧和水的数量。在本发明中采用的热处理依据功能划分为两个步骤即温度升高步骤和除去本征的氧化膜的步骤。这里应指出, 本征的氧化膜这里指按非预期方式在接着 HF 浸渍步骤的各步骤的过程中形成在多孔硅层表面上的硅氧化物膜, 或者在 HF 浸渍步骤的过程中未除去的氧化膜。

在温度升高步骤和除去本征的氧化膜的步骤(预烘焙步骤)中, 通过控制在反应小室内的氧和水的数量实现抑制蚀去厚度。抑制在反应小室内的氧和水的数量, 通过抑制包含在供气系统内的氧和水的数量和进一步通过加载锁存小室输送基片进出反应小室, 因此防止反应小室的里面与大气环境直接接触, 可以有效地实现抑制在反应小室内的氧和水的数量。

此外, 有时按照需要设置一位于该装置附近的用于氢气(作为运载气体)的提纯器也是有效的。此外, 希望改进供气管线和该小室的气密封性。如上所述,

在两个步骤即温度升高步骤和除去本征的氧化膜的步骤中，通过控制这些因素，可以控制多孔硅层的蚀去厚度达到 2 纳米或其以下，最好 1 纳米或其以下。

然而，用于抑制蚀去厚度的方法并不局限于上述的方法。

(2) 温度上升步骤

将其表面形成有多孔硅层的基片在置入反应小室后进行加热。当反应小室由能透射的材料例如石英制成时，通过在反应小室外侧利用红外灯照射加热基片。除了利用红外灯照射之外，可以采用射频、电阻加热等输入热量。此防除了石英之外，反应小室可以由不锈钢、SiC 或类似材料制成。温度升高速度越大，氧化/蚀刻就更有效，这是因为可以抑制残留的氧和水。温度升高速度为 1℃/秒或更大为宜，5℃/秒或更大更为可取。

当没经过加载锁存小室将基片输送到反应小室时，在输送之后，要充分吹洗，在除去掺入到反应小室的氧和水之后，将基片加热进行升温。总之，希望在超高真空或非氧化气氛中进行这种处理。

(3) 除去本征的氧化物膜的步骤

接着温度升高步骤，实施除去本征的氧化物膜的步骤。即通过在氢气气氛中、含氢的还原性气体中或超高真空中进行热处理除去本征的氧化物膜。在这个实例中，多孔硅层上的表面孔密度的变化率 r 为 1/10000 或其以上为宜，1/100 或其以上更好。这里应指出， r 的数值不大于 1。

为了实现上述条件，在热处理的过程中可达到的温度即预烘焙温度不小于 850℃ 不大于 1000℃ 为宜，不小于 870℃ 不大于 970℃ 更好。

压力虽不加特别限制，一般为大气压力或其以下，700 托或其以下为宜，100 托或其以下更好。

除了温度升高步骤以外，热处理时间即预烘焙时间为 200 秒或其以下，100 秒或其以下为宜，60 秒或其以下更好，10 秒或其以下尤其好，并且最好在已经过该时间之后立即降低温度。总之，预烘焙时间应尽可能地短到只要能够除去本征的氧化物膜即可。

由于利用 $\text{SiO}_2 + \text{Si} \rightarrow 2 \text{SiO} \uparrow$ 反应将本征的氧化物膜消除变为气相，如果本征的氧化物膜厚度太大，在多孔硅层表面中或其附近的硅被蚀去。

在 HF 浸渍步骤之后，在漂洗过程中，直到在漂洗和干燥之后被置入到外延生长装置中之前、在被置入到外延生长装置的过程中和在温度升高步骤的过程中

在空气中形成本征的氧化物膜。实际上，如果在温度升高步骤的过程中仍然含有氧和水，由于温度上升硅被氧化形成硅氧化物膜。结果，因此形成的硅氧化物与邻近的硅彼此反应，而蚀去硅。

此外，在温度升高的过程中，形成的硅氧化物膜越厚，为完全除去形成的硅氧化物膜所需的热处理时间越长。如果因此使热处理时间延长，多孔硅层表面的结构变化将继续下去正如下面将介绍的这是不希望发生的。

根据本发明，蚀去厚度应当为 2 纳米或其以下，1 纳米或其以下更好。蚀去厚度越小意味着在装置中硅氧化的程度越小。

如果这种热处理持续下去，发生表面原子的迁移，从而平缓了多孔硅层表面的微小的不均匀度，因此降低了表面能量，从而消除了大多数表面孔。然而正如由上述实验可以看出的，孔密度大的变化极大地增加了残留孔的孔直径，望因此希望将孔密度的变化控制在 4 位数字或其以下。

由于作用在多孔硅层和非多孔单晶硅层表面之间的应力，在多孔硅层表面中的结晶晶格畸变；因此认为，如果表面孔密度降低，这种畸变集中在维持的残留孔的周边部分，使得残留孔部分易于引起可能结晶缺陷。

根据本发明，通过由于热处理在孔密度降低 4 位数字或其以上（最好 2 位数字或其以上）之前开始将用于非多孔薄膜的源气体提供到多孔硅层表面，防止了由于孔密度降低使畸变集中到残留孔部分，由此抑制了层错缺陷的产生。这种方法在这样一种环境气体中是有效的，即在装置中的氧和水的数量降低到这样一种程度以满足在热处理过程中蚀去厚度的条件（小至 2 纳米或其以下）。

只要将蚀去厚度限制在上述范围，使用 HF 气体在其它步骤可以除去本征的氧化物膜。

（4）外延生长

在热处理步骤之后，供应源气体以便隔离（seal）该多孔元件中的孔和形成非多孔单晶层达到预期的膜厚。因此可以形成在多孔硅层上的具有降低的层错缺陷密度的非多孔单晶层。当非多孔单晶层是单晶硅时，源气体包含： SiH_4 （硅烷）、 SiH_2Cl_2 （二氯代硅烷）、 SiHCl_3 （三氯代硅烷）、 SiCl_4 （四氯硅烷）、 Si_2H_6 （二硅烷）等。

非多孔单晶硅层可以是均相外延生长的硅、异质外延生长的硅锗、碳化硅、砷化镓、铟磷等。

(多孔硅层)

在本发明中使用的多孔硅基本上与迄今为止所研究的(自从1964年由Uhler等人公开的并利用阳极化法制取的)多孔硅相同,不过在基片杂质、表面取向、制取方法等方面并不局限于此,只要其为多孔硅即可。

当利用阳极化法形成多孔硅层时,阳极化溶液是一种包含氢氟酸作为主要成分的水溶液。由于在阳极化的过程中气体通常趋于附着到电极或硅的表面,使得多孔层变得不均匀,通常添加例如乙醇或丙醇的醇类,以便扩大接触角,因此增强对附着的气泡的清除,从而使阳极化能均匀地进行。当然,即使没有醇类也能形成多孔物质。当将根据本发明的多孔硅用于FIPOS法时,大约56%的孔隙度是适宜的,如用于结合(bonding)法时,为50%或其以下(优选30%或其以下)较低的孔隙度是适宜的,但并不局限于此。

由于利用上述的蚀刻形成多孔硅层,除了孔透入多孔物质的深度之外,该相应的表面具有这样一些浅层的孔,为了表现这种浅层的不均匀性,可以利用场发射型扫描电子显微镜(FESEM)来观测。

多孔硅的孔隙度(%)越小会使多孔物质的层错缺陷密度越小。例如通过增加浓度、降低电流密度、或在进行阳极化时提高温度,可以形成低孔隙度的多孔硅。具体地说,术语“低孔隙度”是指数值为10%-30%。

此外,通过仅使硅基片的主表面层或者整个硅基片成为多孔层可以形成多孔单晶硅层。

(预氧化)

在本发明中,按照某些需要,在多孔硅层的孔壁上形成保护膜。由于在多孔硅层中相邻孔之间的壁是极薄的达到几纳米到几十纳米,在外延生长的过程中或外延生长层的热氧化过程中或在结合之后,在多孔硅层中相邻的孔由于热处理可能聚结、粗化或者甚至中断。多孔硅层中的孔的聚结、粗化可能导致选择性蚀刻率的下降和蚀刻选择性的恶化。在FIPOS的情况下,孔壁厚度的增加和孔的中断抑制多孔层氧化的继续进行,因此,使得难于完全氧化多孔硅层。为了防止这一点,在多孔硅层形成后实施热氧化法或类似方法,此便在此前的孔壁上形成薄的保护膜,因此抑制孔的聚结和粗化。当形成保护膜时,特别在利用氧化的情况下,主要是在孔内壁侧留下单晶硅区。因此足以保证几纳米的膜厚。除了硅氧化物膜之外,可以为氮化硅膜。

这里应指出, 如当利用结合 (bonding) 法制成 SOI 基片时, 在结合后, 接续热处理的后续步骤在充分低的温度下实施, 以抑制多孔物质的结构变化, 这一步骤可以省略。

(HF 浸渍)

对经过上述预氧化的多孔硅层可以进行 HF 浸渍处理。

关于 HF 浸渍处理, Sato (N. Sato, K. Sakaguchi, K. Yamagata, Y. Fujiyama, and T. Yonehara, Proc. of the Seventh Int. Symp. on silicon Mater. Sci. and Tech., Semiconductor Silicon, (Pennington, The Electrochem. Soc. Inc., 1994), p. 443)) 指出, 通过延长 HF 浸渍处理时间, 堆垛层错缺陷密度可以降低到约 $10^3/\text{cm}^2$ 。由本发明人进行的另外的实验表明, 在 HF 浸渍处理的某些情况下, 氢氟酸溶液局部地深入到多孔硅内部, 以便除去由于在侧孔壁上预氧化形成的很薄的氧化膜。有时这会导致在多孔硅层中局部使结构粗化, 使得即使利用选择性蚀刻也不能除去多孔硅, 而是以小岛形状遗留下来。即, 已发现, 在超过 (该为了除去在表面上的本征的氧化物膜至少所需要的) 时间或浓度时并不总是能优化实施 HF 浸渍处理。

此外, 当长时间进行 HF 浸渍处理时, 在结合之后采用的某些温度退火可能使多孔层的粗化继续下去, 因此, 在多孔硅蚀刻之后但留下某些部分未被蚀刻 (蚀刻剩余部分), 从而希望将 HF 浸渍时间控制在适当范围之内。

在 HF 浸渍处理之后, 可以进行漂洗和干燥, 以便降低在多孔物质的孔中残留的 HF 浓度。 (通过提供微量的源气体阻塞孔)。

根据本发明, 希望在阻塞 (sealing) 多孔物质表面的孔的初始生长阶段使用以硅为基的气体例如 SiH_2Cl_2 、 SiH_4 、 SiHCl_3 、 SiCl_4 等, 以及希望按照这样一种方式设定源气体的流量, 以便形成 20 纳米/分或其以下的生长速度, 10 纳米/分或其以下较好, 2 纳米/分或其以下更好。这样进一步降低了结晶缺陷。在采用 MBE 法或类似方法的情况下, 其中由硅源 (气体) 提供硅, 基片温度低至 800 °C 或其以下生长速度最好为 0.1 纳米/分。在利用提供微量源气体的步骤 (还被称为“预注入步骤”) 实现阻塞孔之后, 生长速度不特别限定。可以按照与普通体积的硅生长相同的条件实施。关于这一点, 在预注入步骤中的阻塞部分是多孔层中的表面部分。另外, 可以按照与提供微量源气体的上述步骤相同的生长速度继续生长, 或者可以改变气体种类, 这并不脱离本发明的范围。此外, 接着提

供微量源气体的步骤的步骤可以是一次中断供应源气体，然后所需的源气体以便继续生长。在 Sato 等人的报告 (Jpn. J. Appl. Phys. 35(1996)973) 中指出，与常规的方法相比较，通过在生长的起始阶段降低提供微量源气体 SiH_2Cl_2 的速度可以降低层错缺陷密度。然而这种方法与常规的方法相同方面在于，通过在外延生长之前增加预烘焙温度来降低层错缺陷密度，并且与上述方法一样由于多孔层结构粗化有时导致蚀刻残留物增加。本发明则使其能够在生长之前在 $900\text{--}950^\circ\text{C}$ 下（低于常规的温度）进行热处理，因此抑制了多孔层结构粗化。

根据本发明，能够避免采用在常规方法中的高温进行热处理，是利用一在装置中具有多孔硅层的基片（其中在热处理过程中已蚀去较少数量的硅）以便控制在生长之前的热处理时间。由于这一点，结晶缺陷密度可以降低，因此能抑制多孔层结构粗化和中断孔。

此外，由于能够独立地控制上述生长起始阶段的生长温度、压力、气体流量等，可以降低处理温度，从而抑制多孔层结构粗化，由于多孔硅自身掺有例如硼、磷等这样一些杂质，或者固相扩散，或者可以增加生长温度和硅源气体的流量，以便加速生长速度，因此在短的持续时间内形成厚的非多孔单晶硅层。

此外，要生长的非多孔单晶层如前所述并不局限于硅，而是可以是 IV 族类型的异质外延材料例如 SiGe、SiC 等或者这样一种化合物半导体如以 GaAs 为代表的。此外，在提供微量源气体的上述步骤中，使用以硅为基的气体并且然后使用另一种气体实现异质外延生长也处于本发明的范围之内。

此外，最好在阻塞多孔层表面中的孔的步骤（即预烘焙/预注入步骤）之后和在所需膜的生长之前，在高于预烘焙/预注入温度下，在不包含半导体膜的源气体的气氛（例如包含氢的还原性气体）中，对基片进行热处理。这种热处理称之为“内部烘焙”。

（实施例 2）

下面参照附图介绍制造半导体基片的一个实例，该基片具有一在多孔单晶硅层上的低的层错缺陷密度的非多孔单晶硅层。

具有多孔硅层 11 的基片 10 是通过使单晶硅基底元件（图 10A）的至少一侧表面整体地或局部地形成多孔状制成的。图 10A 表示使硅基底元件局部地形成多孔状的一个实例。

进行与在实施例 1 中限定的热处理几乎相同的热处理，即在用于预烘焙的

温度升高步骤和预烘焙步骤中蚀去硅多达 2 纳米或其以下（最好 1 纳米或其以下），以及多孔硅层表面孔密度的变化率 r 为 $1/10000$ 或者更大（最好 $1/100$ 或者更大）（图 10B）。然后在多孔单晶硅层上形成非多孔单晶硅层 12（图 10C）。

在这个实例中，可以在热处理之前进行上述预氧化或 HF 浸渍。此外希望在热处理之后提供微量的源气体以便实施孔阻塞步骤即预注入步骤。

接着，按照这样一种方式利用结合法来制造 SOI 基片，首先在非多孔单晶硅和第二基片的至少其中之一的主表面上形成一绝缘（隔离）层，使它们彼此结合，将非多孔单晶层定位在里面，因此形成多层结构元件（图 10D）。然后按照某些需要，进行热处理以便增强结合强度，再通过实施选择性的蚀刻多孔硅之类的除去步骤（图 10E），以便将在多孔硅上的外延生长层转移到第二基片，因此得到 SOI 结构。

这里应指出，该绝缘层可以是通过将非多孔单晶层表面氧化形成的氧化物膜，或者是形成在第二基片表面上的氧化物膜。

此外，氧化物膜可以形成在非多孔单晶层表面和第二基片表面上。

更进一步，形成在多孔硅层上的非多孔单晶层（除了非多孔单晶硅层以外）可以是异质外延层表面。

如果第二基片本身为光可透射的绝缘材料例如石英、石英玻璃、塑料或类似物，可以略去绝缘层 14。

如果因此达到的绝缘强度强到足以经受后面的步骤，则过程继续进行到后面的步骤。实施一种例如研磨的机械方法或例如蚀刻的化学方法，除去已经形成有多孔层的基片背侧，以露出多孔层。一种可替换方式为，可以将多孔层内的基片背侧部分分开，以露出多孔层。可以按机械方法通过由边沿表面插入一个楔到基片中等或者在注入水时喷施液体实现该分开，或者可以利用超声波或热应力来实现。希望能够通过在多孔层中预先局部形成具有较低机械强度的高孔隙的副层，从而易于分开该部分。例如，多孔层可以由孔隙度为 10-30% 的第一多孔层、第二多孔层（形成在第一多孔层上和具有孔隙度为 30-70%）和非多孔单晶层（形成在第二多孔层上）构成。

（对多孔物质的选择性蚀刻）

通过选择性蚀刻除去非多孔单晶层 12 上遗留下的多孔层。最好选择性蚀刻剂是 HF、 H_2O_2 和 H_2O 的液体混合物。为了除去在反应过程中产生的气泡，可以将

乙醇、异丙或表面活性剂添加到该混合液体中。

本方法抑制多孔层的结构变化和粗化以及孔的中断，因此降低了在选择性蚀刻中的选择性恶化。

这里应指出，对于第二基片（形成在多孔硅层上的非多孔单晶硅层结合到其上）没有特别的限制，只要其具有这样一种光滑度，即其能与非多孔单晶硅层的表面或其上形成的膜紧密结合。例如，可以使用硅晶片、其上形成有热氧化的硅膜的硅晶片、例如为石英晶片、蓝宝石晶片或类似的透明基片。当欲结合到一绝缘基片上时，可以略去绝缘层 14。

此外，非多孔单晶硅层本身可以结合到第二基片上，或者另外可以首先在其上形成一层膜，然后结合到第二基片上。该欲形成的一层膜可以是硅氧化物或硅氮化物膜，或者是 SiGe、SiC 的单晶膜，或者是 III-V 族化合物 InP、GaAs、InGaAsP、GaAsAl，或者是 II-VI 族化合物，或者可以是它们的叠层。

最好在结合之前彻底地漂洗该结合表面。漂洗步骤可以是在常规半导体加工处理时采用的在先技术。此外，在结合之前可以通过利用氮等离子体等照射提高结合强度。

在结合之后最好进行热处理，以便提高结合强度。

（氮退火处理）

在除去多孔硅之后，非多孔单晶层 12 具有的不平整度反映了出现在表面上的在孔和多孔硅的侧壁之间的（分布）周期。这种表面对应于在非多孔单晶硅和多孔硅之间的界面，这两者均为单晶硅，差别仅在于，具有孔还是不具有孔。通过利用化学机械抛光（CMP）为代表的抛光方法可以消除表面上的不平整度，以及当在含氢的还原性气氛中进行热处理（称为氢气退火处理）时，可以基本上消除而没有降低非多孔单晶硅膜的厚度。可以在大气压力、高压、减压或轻微的状态下实现氢气退火处理。此外，温度为由 800℃ 至单晶硅的熔点，最好为 900-1350℃。

（硼浓度控制）

另一方面，虽然在多孔硅层上的外延层上的结晶生长在形成 p^+Si ($\sim 0.01\Omega\text{cm}$ 掺硼的) 的情况下要比在使 p^-Si ($\sim 0.01\Omega\text{cm}$ 掺硼的) 阳极化的情况下要好得多，存在这样一种情况其中在外延生长的过程中高浓的硼自身掺杂到或固相扩散到外延的硅层中。扩散到外延的硅层中的硼在多孔硅除去之后仍保留下来，使

得在控制在 SOI 的活性层中的杂质浓度方面遇到麻烦。为了解决这个问题, Sato 等人提出这样一种方法 (N.Sato 和 T.Yonehara, Appl. phys. 65 (1994), p. 1924), 按 SOI 结构完成的基片在氢气中退火以便按照低的硼扩散速度除去在 SOI 层表面上的本征的氧化物膜, 以及在 SOI 层中的硼向外扩散, 以便达到低的浓度。然而, 硼向外延硅层的扩散可能引起使硼包含到隐藏的氧化物膜中, 以及使氢退火处理时间加长, 因此使制造成本增加, 或者降低对在隐藏的氧化物膜中硼浓度的控制能力。为了解放这一问题, 在较低的温度下形成外延层硅对抑制硼的扩散是有效的。根据本发明, 能够设定用于形成外延硅层的适当条件, 这是因为它们可以独立于孔的阻塞来设定。

(FIPOS 法)

此外, 取代结合法, 可以利用 FIPOS 法来局部除去外延生长层, 然后通过氧化处理选择性地氧化多孔硅, 因此形成 SOI 结构。本发明的方法抑制了多孔硅层的结构变化和粗化以及孔的中断, 因此降低了选择性氧化过程中的选择性的恶化。

(异质外延)

关于多孔硅层, 除了硅以外, 由 GaAs 或另一种化合物半导体或者 IV 族类型材料例如 SiC、SiGe 等形成的非多孔单晶硅层可以按异质外延方式生长。在异质外延过程中, 多孔硅用作应力减轻材料, 因此减轻由于晶格失配引起的应力, 此外, 降低了非多孔单晶硅层的结晶缺陷密度, 还降低了按异质外延方式的生长层的缺陷密度。本方法抑制了多孔硅层的结构变化和粗化以及孔的中断, 因此降低了应力减轻作用的恶化。

(其它应用)

由于多孔硅在处理过程中具有除气作用, 通过不是形成上述的 SOI 结构而是在利用本发明制成的非多孔单晶硅层中直接形成晶体管和双极型晶体管, 可以制成对金属杂质等具有高掺杂容许度的多孔基片。

由于本方法与常规方法相比较, 可以降低热处理温度 (特别是在阻塞孔之前), 故能够抑制在多孔层中孔的聚结、膨胀或中断, 因此防止在结合步骤的后续步骤中在选择性地蚀刻多孔层时选择性的恶化。提高非多孔单晶硅层的结晶度, 而在除去多孔层时不会有蚀刻残留物。此外 FIPOS 法不会降低选择性氧化多孔层的速度。

下面介绍本发明的一些具体的实施例。

(实例 1: 950℃, 600 毛, 预烘焙 (2 秒, 120 秒), 预注入, Epi-2 微米)

1) 添加作为 p 型杂质的硼, 以便提供具有电阻率为 $0.015\Omega\text{ cm} \pm 0.005\Omega\text{ cm}$ 的 CZ6-英寸 (100) 的硅晶片。

2) 将上述硅晶片作为阳极和 6 英寸直径的铂片作为阴极 (在硅晶片对面) 配置在一种溶液中, 该溶液是将 49%HF 和乙醇按 2:1 的比例混合成的。形成的硅晶片的背侧在另一 p⁺硅晶片的对面, 其间为同一溶液, 因此使晶片面向该 6 英寸的直径铂片容许最大距离。在各晶片之间的各种溶液是彼此分开的, 因此防止其间导电。在上述硅晶片和铂片之间按照 $10\text{mA}/\text{cm}^2$ 的电流密度流过电流持续 12 分钟, 以便使硅晶片阳极化, 因此在每一表面上形成厚度为 12 微米的多孔硅层。

3) 接着, 在 400℃ 下在氧环境气体中持续 1 小时, 使其上具有由此形成有多孔硅层的每一晶片氧化。由于这种氧化处理仅形成厚度约 50 埃或其以下的氧化物膜, 硅氧化物膜仅形成在多孔硅层表面和孔侧壁上, 在晶片里面留有单晶硅区。

4) 将上述晶片浸渍在稀释到 1.25% 的 HF 水溶液中持续 30 秒, 然后浸入纯水中持续 10 分钟, 进行溢流漂洗以便除去形成在多孔层表面上的超薄硅氧化物膜。

5) 上述晶片当置于晶片载体上时, 再置入叶片型外延 CVD 生长装置中的加载锁存小室中, 在该装置中用于将晶片设置在晶片载体上的加载锁存小室、具有晶片输送机械手的输送小室和处理小室连接起来。利用干式泵对加载锁存小室抽气由大气压降到 1 毛或其以下并且将 N_2 气注入其中使压力达到 80 毛。通过引入预先注入的 N_2 气使小室压力保持在 80 毛。将一托衬器置入处理小室, 该托衬器由涂布有 CVD-SiC 的碳制成用于固定晶片。预先利用 IR 灯将托衬器加热到约 750℃。经过长约 10 米内部抛光的不锈钢管利用加热的钨合金的氢提纯器将经提纯的氢气提供到处理小室。

利用输送机械手输送晶片由加载锁存小室经过输送小室到处理小室并置于在托衬器上。

6) 在将处理小室置于 600 毛的压力之后, 利用 IR 灯对输送到托衬器上的晶片进行加热, 按照 $100^\circ\text{C}/\text{分}$ 的速度上升直到 950℃ 并保持在该温度下持续 2 秒, 然后冷却到 750℃, 并利用输送机械手再次取出经过输送小室输送到加载锁存小室。另一个晶片保持在 950℃ 持续 120 秒然后另外进行如上所述相同的处理再返回到加载锁存小室。

7) 将加载锁存小室敞开于大气并将晶片取出。利用 HR-SEM 观测多孔层表面表明, 经 2 秒处理的晶片中的多孔层的表示孔密度为 $6.8 \times 10^{10}/\text{cm}^2$ 而经 120 秒处理的晶片中的多孔层的表示孔密度为 $3.0 \times 10^9/\text{cm}^2$ 。由于该试样在置入外延生长装置之前的孔密度为 $9.8 \times 10^{10}/\text{cm}^2$, 变化率分别为 7/10 和 3/100。即它们满足条件 2。

8) 此外, 将预先提供的 SOI 基片浸入到 HF 溶液中, 然后用水清洗并干燥, 利用光学干涉型膜厚测定计测量 SOI 层的膜厚再进行 5) 和 6) 中的处理, 由加载锁存小室取出。再次测量 SOI 层的膜厚, 以便求出在两个试样中仅降低小于 1 纳米的膜厚。即它们满足条件 1。

9) 将经过上述 4) 处理的晶片按照与 5) 相同的方式输送到外延生长装置的处理小室。

10) 在将处理小室置于 600 托的压力之后, 利用 IR 灯对输送到托衬器上的晶片进行加热, 按照 $100^\circ\text{C}/\text{分}$ 的速度上升并对进行热处理 (预烘焙处理) 保持在 950°C 并持续 2 秒, 然后将 SiH_4 添加到氢载气中以便使浓度为 28ppm (百万分率), 因此处理该晶片持续 200 秒并停止添加 SiH_4 。然后将压力下降到 80 托, 温度降低到 900°C , 添加 SiH_2Cl_2 , 使浓度为 0.5% (摩尔计), 由此形成厚度为 2 微米的非多孔硅单晶硅膜。然后在氢气氛中将温度降低到 750°C , 利用输送机械手再次将晶片取出经过输送小室输送到加载锁存小室。对另一晶片在 950°C 在氢气氛中持续 120 秒进行预烘焙处理, 并且另外进行与上述相同的处理再返回到加载锁存小室。这里应指出, 当将 SiH_4 添加使浓度为 28ppm 时, 生长速度为 3.3 纳米/分。此外应指出, 1% (摩尔计) = 10^4ppm 。

11) 为了揭示缺陷对完成上述处理 10) 所得的晶片进行蚀刻, 从而揭示在非多孔单晶硅层中引起的结晶缺陷, 然后利用 Nomarski 差分式干涉显微镜观测。因此观测的缺陷的层错缺陷百分率为 99% 或其以上。层错缺陷密度对于 2 秒预烘焙为 $84/\text{cm}^2$, 对于 120 秒预烘焙为 $260/\text{cm}^2$, 因此与在 1100°C 下 120 秒预烘焙处理的层错缺陷密度 $1.5 \times 10^4/\text{cm}^2$ 相比明显地降低。在较低的缺陷密度的实例中, 特别是对于在 950°C 下持续 2 秒的实例, 层错缺陷密度已达到小于 $100/\text{cm}^2$ 。

(实例 2: 950°C , 600 托, 预烘焙持续 2 秒, 预注入, Epi-0.32 微米)

1) 添加作为 p 型杂质的硼, 以便提供具有电阻率为 $0.015\Omega\text{cm} \pm 0.005\Omega\text{cm}$ 的 CZ8-英寸 (100) p^+ 的硅晶片。

2) 将上述硅晶片作为阳极和 6 英寸直径的铂片作为阴极 (在硅晶片对面) 配置在一种溶液中, 该溶液是将 49%HF 和乙醇按 2:1 的比例混合成的。形成的硅晶片的背侧在另一 p⁺硅晶片的对面, 其间为同一溶液, 因此使晶片面向该 6 英寸的直径铂片形成最大距离。在各晶片之间的各种溶液是彼此分开的, 因此防止其间导电。在上述硅晶片和铂片之间按照 10mA/cm² 的电流密度流过电流持续 12 分钟, 以便使硅晶片阳极化, 因此在每一表面上形成厚度为 12 微米的多孔硅层。

3) 接着, 在 400℃ 下在氧环境气体中氧化持续 1 小时, 使其上因此形成有多孔硅层的每一晶片氧化。由于这种氧化处理仅形成厚度约 50 埃或其以下的氧化物膜, 硅氧化物膜仅形成在多孔硅层表面和孔侧壁上, 在晶片里面留有单晶硅区。

4) 将上述晶片浸渍在稀释到 1.25% 的 HF 水溶液中持续 30 秒, 然后浸入纯水中持续 10 分钟, 进行溢流漂洗以便除去形成在多孔层表面上的超薄硅氧化物膜。

5) 上述晶片当置于一晶片载体上, 再置入叶片型外延 CVD 生长装置中的加载锁存小室中, 在该装置中用于将晶片设置在晶片载体上的加载锁存小室、具有晶片输送机械手的输送小室和处理小室连接起来。利用干式泵对加载锁存小室抽气由大气压降到 1 毛或其以下并且将 N₂ 气注入其中使压力达到 80 毛。通过预先将 N₂ 气注入输送小室使压力保持在 80 毛。将一托衬器置入处理小室, 该托衬器由涂布有 CVD-SiC 的碳制成以用于固定晶片。预先利用 IR 灯将托衬器加热到约 750℃。通过长约 10 米内部抛光的不锈钢管利用加热的钯合金的氢提纯器将经提纯的氢气提供到处理小室中。

利用输送机械手输送晶片由加载锁存小室经过输送小室输送到处理小室并置于在托衬器上。

6) 利用 IR 灯对输送到托衬器上的晶片进行加热, 按照 100℃/分的速度上升并进行预烘焙保持在 950℃ 并持续 2 秒。这时的状态是蚀去厚度小于纳米及表面孔密度变化率 r 为 7/10, 两者都满足在本发明中规定的条件 1 和 2。

接着将 SiH₂Cl₂ 添加到氢载气中以便使浓度为 28ppm (百万分率), 并处理该晶片持续 200 秒 (生长速度为 2.6 纳米/分) 然后将温度降低到 900℃; 再添加 SiH₂Cl₂ 使浓度为 0.5% (以摩尔计), 以便形成厚度为 0.32 微米的非多孔单晶硅层; 然后在氢气氛中将温度降低到 750℃, 再次利用输送机械手取出该晶片经过输送小室输送到加载锁存小室。因此形成平均厚度为 0.32 微米的非多孔硅单晶硅膜, 以及其最大值-最小值=8 纳米。

7) 将每一其上已外延生长非多孔单晶硅层的晶片置入在立式加热炉中并在 1000℃ 下在混合气体 (通过燃烧氧和氢形成的水蒸汽和剩余氧的混合气体) 中进行热处理, 以便使非多孔单晶硅层表面氧化, 因此形成厚度为 208 纳米的硅氧化物膜。

8) 在硅半导体生产过程中的清洗作业线中将每一个上述的晶片和第二晶片进行清洗, 然后使它们彼此缓慢地使主表面相互面对悬挂起来, 并在它们的中部加压使之成一整体。

9) 接着将成一整体的二晶片置入在立式加热炉中并在 1100℃ 下在氧气氛中进行热处理持续 1 小时。

10) 将其上形成有多孔硅的每一晶片的背侧研磨以便露出在整个晶片表面上的多孔硅。

11) 将因此露出的多孔硅层浸入到 HF 和过氧化氢水溶液的混合溶液中, 以便在约 2 小时之内除去所有的多孔硅, 呈现由于非多孔单晶硅层和热氧化的硅膜引起的在整个晶片表面上的干涉颜色。

12) 将按照上述处理步骤 11) 完成的晶片在通常用在硅半导体器材生产的清洗作业线中进行清洗并置于在立式氢退火处理加热炉中并在 100% 氢气气氛中和在 1100℃ 下持续 4 小时进行热处理。使用的氢气是往可市售的利用钯合金连接到该装置的氢提纯器 (经过长约 7 米内部抛光的不锈钢管) 经提纯的氢气。

13) 因此制得 SOI 结构晶片, 其中硅氧化物层的厚度为 200 纳米, 层叠在第二硅晶片上的单晶硅层的厚度为 200 纳米。

153 该单晶硅层的平均厚度为 201 纳米, 最大值-最小值=8 纳米。

14) 对完成上述处理步骤 13) 的晶片进行揭示缺陷的蚀刻, 以便除去厚度为 130 纳米的单晶硅层, 然后浸入到 49%HF 的溶液中持续 3 小时。结果, 由于 HF 通过在单晶硅层 (经过揭示缺陷蚀刻已蚀刻的) 中遗留的结晶缺陷部分蚀去隐蔽的氧化物膜, 利用 Nomarski 差分式干涉显微镜可以易于确定缺陷密度。由此所观测的缺陷密度为 $64/\text{cm}^2$ 。发现由于氢退火处理降低了在非多孔单晶硅层中引起的层错缺陷。因此, 得到均匀膜厚的和的缺陷密度为 $100/\text{cm}^2$ 的薄膜 SOI 层。

(实例 3: 950℃, 600 毛, 预烘焙持续 2 秒、120 秒无预注入, Epi-0.32 微米)

1) 添加作为 p 型杂质的硼, 以便提供具有电阻率为 $0.015\Omega\text{cm} \pm 0.005\Omega\text{cm}$ 的 CZ6-英寸 (100) p⁺ 的硅晶片。

2)将上述硅晶片作为阳极和 6 英寸直径的铂片作为阴极（在硅晶片对面）配置在一种溶液中，该溶液是将 49%HF 和乙醇按 2:1 的比例混合成的。形成的硅晶片的背侧在另一 p⁺硅晶片的对面，其间为同一溶液，因此使晶片面向该 6 英寸的直径铂片形成最大距离。在各晶片之间的各种溶液是彼此分开的，因此防止其间导电。在上述硅晶片和铂片之间按照 10mA/cm² 的电流密度流过电流持续 12 分钟，以便使硅晶片阳极化，因此在每一表面上形成厚度为 12 微米的多孔硅层。

3)接着，在 400℃ 下在氧环境气体中持续氧化 1 小时，使其上因此形成有多孔硅层的每一晶片氧化。由于这种氧化处理仅形成厚度约 50 埃或其以下的氧化物膜，硅氧化物膜仅形成在多孔硅层表面和孔侧壁上，在晶片内侧留有单晶硅区。

4)将上述晶片浸渍在稀释到 1.25% 的 HF 水溶液中持续 30 秒，然后浸入纯水中持续 10 分钟，进行溢流漂洗以便除去形成在多孔层表面上的超薄硅氧化物膜。

5)上述晶片当置于一晶片载体上，再置入外延 CVD 生长装置中的加载锁存小室，在该装置中用于将晶片设置在晶片载体上的加载锁存小室、具有晶片输送机械手的输送小室和处理小室连接起来。利用干式泵对加载锁存小室抽气由大气压降到 1 毛或其以下并且将 N₂ 气注入其中使压力达到 80 毛。通过预先将 N₂ 气注入输送小室使压力保持在 80 毛。将一托衬器置入处理小室，该托衬器由涂布有 CVD-SiC 的碳制成用于固定晶片。预先利用 IR 灯将托衬器加热到约 750℃。通过长约 10 米内部抛光的不锈钢管利用加热的钯合金的氢提纯器将经提纯的氢气提供到处理小室中。

利用输送机械手输送晶片由加载锁存小室经过输送小室输送到处理小室并置于托衬器上。

6)在将处理小室置于 600 毛的压力下之后，利用 IR 灯对输送到托衬器上的晶片进行加热，按照 100℃/分的速度上升并保持在 950℃ 并持续 2 秒然后冷却到 750℃，并利用输送机械手再次取出经过输送小室输送到加载锁存小室。另一个晶片保持在 950℃ 持续 120 秒然后另外进行如上所述相同的处理再返回到加载锁存小室。

7)将加载锁存小室敞开于大气并将晶片取出。利用 HR-SEM 观测多孔层表面表明，经 2 秒处理的晶片中的多孔层的孔密度为 $6.8 \times 10^{10}/\text{cm}^2$ 而经 120 秒处理的晶片中的多孔层的孔密度为 $3.0 \times 10^9/\text{cm}^2$ 。由于该试样在置入外延生长装置之前的孔密度为 $9.8 \times 10^{10}/\text{cm}^2$ ，变化率 γ 分别为 7/10 和 3/100。即它们满足条件 2。

8)此外,将预先提供的 SOI 基片浸入到 HF 溶液中,然后用水清洗并干燥,利用光学干涉型膜厚测定计测量 SOI 层的膜厚再进行 5)和 6)中的处理,由加载锁存小室取出。再次测量 SOI 层的膜厚,以便求出在两个试样中仅降低小于 1 纳米的膜厚。即它们满足条件 1。

9)将经过上述 4)处理的晶片按照与 5)相同的方式输送到外延生长装置中的处理小室。

10)在将处理小室置于 600 托的压力之后,利用 IR 灯按照 $100^{\circ}\text{C}/\text{分}$ 的速度上升对输送到托衬器上的晶片进行加热,并进行热处理(预烘焙处理)以保持在 950°C 并持续 2 秒,然后将压力降低到 80 托,温度降低到 900°C ,添加 SiH_2Cl_2 ,使浓度为 0.5% (摩尔计),因此形成厚度为 2 微米的非多孔单晶硅膜。然后将温度降低到 750°C ,并利用输送机械手再次取出该晶片经过输送小室输送到加载锁存小室。另一个晶片在 950°C 下在氢气气氛环境中持续 120 秒进行预烘焙处理,并且另外进行如上所述相同的处理后再返回到加载锁存小室。

11)为了揭示缺陷对完成上述处理 10)的晶片进行蚀刻,从而揭示在非多孔单晶硅层中引起的结晶缺陷,然后利用 Nomarski 差分式干涉显微镜观测。因此观测的缺陷的层错缺陷百分率为 99%或其以上。层错缺陷密度对于 2 秒预烘焙为 $170/\text{cm}^2$,对于 120 秒预烘焙为 $2600/\text{cm}^2$,因此与在 1100°C 下 120 秒预烘焙处理的层错缺陷密度 $1.5 \times 10^4/\text{cm}^2$ 相比明显地降低。

(实例 4: 950°C , 450 托, 预烘焙持续 2 秒、120 秒, 预注入, Epi-2 微米)

1)添加作为 p 型杂质的硼,以便提供具有的电阻率为 $0.015\Omega\text{cm} \pm 0.005\Omega\text{cm}$ 的 CZ6-英寸 (100) p^+ 的硅晶片。

2)将上述硅晶片作为阳极和 6 英寸直径的铂片作为阴极(在硅晶片对面)配置在一种溶液中,该溶液是将 49%HF 和乙醇按 2:1 的比例混合成的。形成的硅晶片的背侧在另一 p^+ 硅晶片的对面,其间为同一溶液,因此使晶片面向该 6 英寸的直径铂片形成最大距离。在各晶片之间的各种溶液是彼此分开的,因此防止其间导电。在上述硅晶片和铂片之间按照 $10\text{mA}/\text{cm}^2$ 的电流密度流过电流持续 12 分钟,以便使硅晶片阳极化,因此在每一表面上形成厚度为 12 微米的多孔硅层。

3)接着,在 400°C 下在氧环境气体中持续氧化 1 小时,使其上因此形成有多孔硅层的每一晶片氧化。由于这种氧化处理仅形成厚度约 50 埃或其以下的氧化物膜,硅氧化物膜仅形成在多孔硅层表面和孔侧壁上,在晶片内侧留有单晶硅区。

4) 将上述晶片浸渍在稀释到 1.25% 的 HF 水溶液中持续 30 秒, 然后浸入纯水中持续 10 分钟, 进行溢流漂洗以便除去形成在多孔层表面上的超薄硅氧化物膜。

5) 上述晶片当置于一晶片载体上时, 再置入外延 CVD 生长装置中的加载锁存小室, 在该装置中用于将晶片设置在晶片载体上的加载锁存小室、具有晶片输送机械手的输送小室和处理小室连接起来。利用干式泵对加载锁存小室抽气由大气压降到 1 毛或其以下并且将 N_2 气注入其中使压力达到 80 毛。通过预先将 N_2 气注入输送小室使压力保持在 80 毛。将一托衬器置入处理小室, 该托衬器由涂布有 CVD-SiC 的碳制成用于固定晶片。预先利用 IR 灯将托衬器加热到约 750°C 。通过长约 10 米内部抛光的不锈钢管利用加热的钼合金的氢提纯器将经提纯的氢气提供到处理小室中。

利用输送机械手输送晶片由加载锁存小室经过输送小室输送到处理小室并置于在托衬器上。

6) 在将处理小室置于 450 毛的压力下之后, 利用 IR 灯对输送到托衬器上的晶片进行加热, 按照 $100^\circ\text{C}/\text{分}$ 的速度上升并保持在 900°C 并持续 2 秒然后冷却到 750°C , 并利用输送机械手再次取出经过输送小室输送到加载锁存小室。另一个晶片保持在 900°C 持续 120 秒然后另外进行如上所述相同的处理再返回到加载锁存小室。

7) 将加载锁存小室敞开于大气并将晶片取出。利用 HR-SEM 观测多孔层表面表明, 经 2 秒处理的晶片中的多孔层的孔密度为 $7.8 \times 10^{10}/\text{cm}^2$ 而经 120 秒处理的晶片中的多孔层的孔密度为 $3.0 \times 10^{10}/\text{cm}^2$ 。由于该试样在置入外延生长装置之前的孔密度为 $9.8 \times 10^{10}/\text{cm}^2$, 变化率 γ 分别为 8/10 和 3/100。即它们满足条件 2。

8) 此外, 将预先提供的 SOI 基片浸入到 HF 溶液中, 然后用水清洗并干燥, 利用光学干涉型膜厚测定计测量 SOI 层的膜厚再进行 5) 和 6) 中的处理, 由加载锁存小室取出。再次测量 SOI 层的膜厚, 以便求出在两个试样中仅降低小于 1 纳米的膜厚。即它们满足条件 1。

9) 将经过上述 4) 处理的晶片按照与 5) 相同的方式输送到外延生长装置中的处理小室。

10) 在将处理小室置于 450 毛的压力之后, 利用 IR 灯将输送到托衬器上的晶片按照 $100^\circ\text{C}/\text{分}$ 的速度上升进行加热, 并进行热处理 (预烘焙处理) 以保持在 900°C 并持续 2 秒, 然后将 SiH_4 添加到氢载气中以便使浓度为 28ppm (百万分率),

由此处理该晶片持续 200 秒并停止添加 SiH_4 。然后将压力下降到 80 托，温度降低到 900°C ，添加 SiH_2Cl_2 ，使浓度为 0.7%（以摩尔计），因此形成厚度为 2 微米的非多孔硅单晶硅膜。然后在氢气氛中将温度降低到 750°C ，利用输送机械手再次将晶片取出经过输送小室输送到加载锁存小室。对另一晶片在 900°C 在氢气氛中持续 120 秒进行预烘焙处理，并且另外进行与上述相同的处理再返回到加载锁存小室。

11) 为了揭示缺陷对完成上述处理步骤 10 的晶片进行蚀刻，从而揭示在非多孔单晶硅层中引起的结晶缺陷，然后利用 Nomarski 差分式干涉显微镜观测。因此观测的缺陷的堆垛层错缺陷百分率为 99%或其以上。堆垛层错缺陷密度对于 2 秒预烘焙为 $490/\text{cm}^2$ ，对于 120 秒预烘焙为 $350/\text{cm}^2$ ，因此与在 1100°C 下 120 秒预烘焙处理的堆垛层错缺陷密度 $1.5 \times 10^4/\text{cm}^2$ 相比明显地降低，使得层错缺陷密度已达到小于 $1000/\text{cm}^2$ 。

（实例 5: 870°C ，80 托，预烘焙持续 5 秒、60 秒，预注入，Epi-2 微米）

1) 添加作为 p 型杂质的硼，以便提供具有的电阻率为 $0.015\Omega\text{cm} \pm 0.005\Omega\text{cm}$ 的 CZ6-英寸（100） p^+ 的硅晶片。

2) 将上述硅晶片作为阳极和 6 英寸直径的铂片作为阴极（在硅晶片对面）配置在一种溶液中，该溶液是将 49%HF 和乙醇按 2.1:1 的比例混合成的。形成的硅晶片的背侧在另一 p^+ 硅晶片的对面，其间为同一溶液，因此使晶片面向该 6 英寸的直径铂片形成最大距离。在各晶片之间的各种溶液是彼此分开的，因此防止其间导电。在上述硅晶片和铂片之间按照 $10\text{mA}/\text{cm}^2$ 的电流密度流过电流持续 12 分钟，以便使硅晶片阳极化，因此在每一表面上形成厚度为 12 微米的多孔硅层。

3) 接着，在 400°C 下在氧环境气体中持续氧化 1 小时，使其上因此形成有多孔硅层的每一晶片氧化。由于这种氧化处理仅形成厚度约 50 埃或其以下的氧化物膜，硅氧化物膜仅形成在多孔硅层表面和孔侧壁上，在晶片里面留有单晶硅区。

4) 将上述晶片浸渍在稀释到 1.3% 的 HF 水溶液中持续 30 秒，然后浸入纯水中持续 10 分钟，进行溢流漂洗以便除去形成在多孔层表面上的超薄硅氧化物膜。

5) 上述晶片当置于一晶片载体上时，再置入外延 CVD 生长装置中的加载锁存小室，在该装置中用于将晶片设置在晶片载体上的加载锁存小室、具有晶片输送机械手的输送小室和处理小室连接起来。利用干式泵对加载锁存小室抽气由大气压降到 1 托或其以下并且将 N_2 气注入其中使压力达到 80 托。通过预先将 N_2 气注入

输送小室使压力保持在 80 毛。将一托衬器置入处理小室，该托衬器由涂布有 CVD-SiC 的碳制成用于固定基片。预先利用 IR 灯将托衬器加热到约 750℃。通过长约 10 米内部抛光的不锈钢管利用加热的钨合金的氢提纯器将经提纯的氢气提供到处理小室中。

利用输送机械手输送晶片由加载锁存小室经过输送小室输送到处理小室并置于托衬器上。

6) 在将处理小室置于 80 毛的压力下之后，利用 IR 灯对输送到悬挂器上的晶片进行加热，按照 100℃/分的速度上升到 870℃并保持在 870℃并持续 5 秒然后冷却到 750℃，并利用输送机械手再次取出经过输送小室输送到加载锁存小室。另一个晶片保持在 870℃持续 60 秒然后另外进行如上所述相同的处理再返回到加载锁存小室。

7) 将加载锁存小室敞开于大气并将晶片取出。利用 HR-SEM 观测多孔层表面表明，经 5 秒处理的晶片中的多孔层的孔密度为 $4.1 \times 10^{10}/\text{cm}^2$ 而经 60 秒处理的晶片中的多孔层的孔密度为 $1.1 \times 10^{10}/\text{cm}^2$ 。由于该试样在置入外延生长装置之前的孔密度为 $9.8 \times 10^{10}/\text{cm}^2$ ，变化率 γ 分别为 4/10 和 1.1/10。即它们满足条件 2。

8) 此外，将预先提供的 SOI 基片浸入到 HF 溶液中，然后用水清洗并干燥，利用光学干涉型膜厚测定计测量 SOI 层的膜厚再进行 5) 和 6) 中的处理，由加载锁存小室取出。再次测量 SOI 层的膜厚，以便求出在两个试样中仅降低小于 1 纳米的膜厚。即它们满足条件 1。

9) 将经过上述 4) 处理的晶片按照与 5) 相同的方式输送到外延生长装置中的处理小室。

10) 在将处理小室设置为 80 毛的压力之后，利用 IR 灯按照 100℃/分的速度上升对输送到悬挂器上的基片进行加热，并进行热处理（预烘焙处理）以保持在 900℃并持续 2 秒，然后将 SiH_4 添加到氢载气中以便使浓度为 35ppm(百万分率)，由此处理该晶片持续 150 秒并停止添加 SiH_4 。然后添加 SiH_2Cl_2 ，使浓度为 1%(以摩尔计)，因此形成厚度为 2 微米的非多孔硅单晶硅膜。然后在氢气氛中将温度降低到 750℃，利用输送机械手再次将该晶片取出经过输送小室输送到加载锁存小室。对另一晶片进行预烘焙处理持续 60 秒，并且另外进行与上述相同的处理再返回到加载锁存小室。这里应指出，当添加 SiH_4 使浓度为 35ppm(百万分率)时，生长速度为 4.3 纳米/分。

11) 为了揭示缺陷对完成上述处理 10) 的晶片进行蚀刻, 从而揭示在非多孔单晶硅层中引起的结晶缺陷, 然后利用 Nomarski 差分式干涉显微镜观测。因此观测的缺陷的堆垛层错缺陷百分率为 99% 或其以上。层错缺陷密度对于 5 秒预烘焙为 $350/\text{cm}^2$, 对于 60 秒预烘焙为 $630/\text{cm}^2$, 因此与在 1100°C 下 120 秒预烘焙处理的层错缺陷密度 $1.5 \times 10^4/\text{cm}^2$ 相比明显地降低, 使得层积缺陷密度已达到小于 $1000/\text{cm}^2$ 。

(实例 6: 950°C , 80 毛, 预烘焙持续 2 秒, 预注入, Epi-0.32 微米, 再循环)

1) 提供通过添加作为 p 型杂质的硼得到, 具有电阻率为 $0.015\Omega\text{cm}+/-0.01\Omega\text{cm}$ 的 CZ8-英寸 (100) p^+ 的硅晶片。

2) 在 HF 溶液中将第一单晶硅晶片的表面层阳极化。第一阳极化的条件如下:

电流密度: $7\text{ma}/\text{cm}^2$

阳极化溶液 HF: H_2O : $\text{C}_2\text{H}_5\text{OH}=1: 1: 1$

时间: t (分)

多孔硅层厚度: $\times$ (微米)

其它条件如下:

电流密度: $50\text{ma}/\text{cm}^2$

阳极化溶液 HF: H_2O : $\text{C}_2\text{H}_5\text{OH}=1: 1: 1$

时间: 10 (秒)

多孔硅层厚度: ~ 0.2 (微米)

第一阳极化时间变到 5 分钟, 第一低孔隙度多孔层厚度 $\times$ 变化到 5 微米。

通过这种阳极化, 由于电流密度为 $50\text{ma}/\text{cm}^2$ 多孔层孔隙度增加, 因此形成结构上易碎的高孔隙度多孔层。

3) 接着, 在 400°C 下在氧环境气体中持续氧化 1 小时, 使其上已形成有多孔硅层的每一晶片氧化。由于这种氧化处理仅形成厚度约 50 埃或其以下的氧化物膜, 硅氧化物膜仅形成在多孔硅层表面和孔侧壁上, 在晶片里面留有单晶硅区。

4) 将上述晶片浸渍在稀释到 1.25% 的 HF 水溶液中持续 30 秒, 然后浸入纯水中持续 10 分钟, 进行溢流漂洗以便除去形成在多孔层表面上的超薄硅氧化物膜。

5) 上述晶片当置于在晶片载体上时, 再置入外延 CVD 生长装置中的加载锁存小室, 在该装置中用于将晶片设置在晶片载体上的加载锁存小室、具有晶片输送机手的输送小室和处理小室连接起来。利用干式泵对加载锁存小室抽气由大气压

降到 1 毛或其以下并且将 N_2 气注入其中使压力达到 80 毛。通过预先将 N_2 气注入输送小室使压力保持在 80 毛。将一托衬器置入处理小室，该托衬器由涂布有 CVD-SiC 的碳制成用于固定晶片。预先利用 IR 灯将托衬器加热到约 750°C 。通过长约 10 米内部抛光的不锈钢管利用加热的钼合金的氢提纯器将经提纯的氢气提供到处理小室中。

利用输送机械手输送晶片由加载锁存小室经过输送小室输送到处理小室并置于在托衬器上。

6) 利用 IR 灯对输送到托衬器上的晶片进行加热，按照 $100^\circ\text{C}/\text{分}$ 的速度上升并进行预烘焙保持在 950°C 并持续 2 秒。接着将 SiH_4 添加到氢载气中以便使浓度为 28ppm(百万分率)，因此处理该晶片持续 200 秒并终止添加 SiH_4 。然后将温度降低到 900°C ；再添加 SiH_2Cl_2 使浓度为使浓度为 0.5% (摩尔计)，以便形成厚度为 0.32 微米的非多孔单晶硅层。然后在氢气氛中将温度降低到 750°C ，再次利用输送机械手取出经过输送小室输送到加载锁存小室。由此形成的平均厚度为 0.32 微米的非多孔硅单晶硅层具有平均厚度为 0.32 微米，以及其最大值-最小值=8 纳米。在 950°C 下经上述的 2 秒钟的热处理之后，表面孔密度为 $7.5 \times 10^{10}/\text{cm}^2$ 在 (在热处理前为 $9.5 \times 10^{10}/\text{cm}^2$)，满足了在本发明中规定的条件 2。

7) 将每一其上已外延生长非多孔单晶硅层的晶片置入在立式加热炉中并在 1000°C 下在混合气体 (通过燃烧氧和氢形成的水蒸汽和剩余氧的混合气体) 中，以便使非多孔单晶硅层表面氧化，因此形成厚度为 208 纳米的硅氧化物膜。

8) 在硅半导体生产过程中的清洗作业线中将每一个上述的晶片和第二晶片进行清洗然后使它们彼此缓慢地令主表面相互面对悬挂起来，并在它们的中部加压使之成一体。

9) 接着将成一整体的二晶片置入在立式加热炉中并在 1100°C 下在氧气氛中进行热处理并持续 1 小时。

10) 利用水喷嘴喷射因此成的一整体的二晶片 (在其欲分开的侧面上在高孔密度多孔层处)。该分开方法除了注水以外还包含施加压力、施加拉力、施加剪力、楔入和其它外部施加压力的方法、应用超声波、加热、氧化，以便由周边使多孔硅膨胀在其中施加内部压力，采用脉冲的形式加热以施加热应力和使之软化。这些方法都能实现分开。

11) 将因此露出的多孔硅层浸入到 HF 和过氧化氢水溶液的混合溶液中，以便在

约 2 小时之内除去所有的多孔硅，由于非多孔单晶硅层和热氧化的硅膜引起的在整个晶片表面上呈现干涉颜色。

12) 将按照上述处理步骤 11) 完成的晶片在通常用在硅半导体器材生产的清洗作业线中进行清洗并置于在立式氢退火处理加热炉中并在 100% 氢气氛中和在 1100℃ 下持续 4 小时进行热处理。使用的氢气是经利用钼合金经过长约 7 米内部抛光的不锈钢管连接到该装置) 的市售氢提纯器提纯的氢气。

13) 因此制得 SOI 结构晶片，其中硅氧化物层的厚度为 200 纳米，层叠在第二硅晶片上的单晶硅层的厚度为 200 纳米。

该单晶硅层的平均厚度为 201 纳米，最大值-最小值=8 纳米。

14) 对完成上述处理步骤 13) 的晶片进行揭示缺陷的蚀刻，以便除去厚度为 130 纳米的单晶硅层，然后浸入到 49%HF 的溶液中持续 3 小时。结果，由于 HF 通过在 (经过揭示缺陷的蚀刻已蚀刻的) 单晶硅层中遗留的结晶缺陷部分蚀去隐藏的氧化物膜，利用 Nomarski 差分式干涉显微镜可以易于确定缺陷密度。由此所观测的缺陷密度为 64/cm²。发现由于氢退火处理降低了在非多孔单晶硅层中引起的层错缺陷。因此，得到均匀膜厚的和缺陷密度为 100/cm² 的薄膜 SOI 层。

顺便指出，将预先形成的 SOI 结构浸入到 HF 溶液中，然后用水清洗和干燥，再利用光学干涉型膜厚测量计测量 SOI 层的膜厚，并经处理步骤 5) 进行处理和仅进行在步骤 6) 中的预烘焙处理，再由加载锁存小室内取出。再次测量 SOI 层的膜厚，发现在两个试样中膜厚仅降低小于 1 纳米。即它们满足条件 1。

(实例 7: 950℃, 80 毛, 预烘焙持续 2 秒, 预注入, Epi-0.32 微米, 异质外延)

在用醇类稀释的溶液中，使厚度为 615 微米电阻率为 0.01Ω cm 的 4 个 p 型或 n 型 6 直径英寸 (100) 单晶硅基片阳极化，因此形成在主表面上的多孔硅层，作为每个基片的镜面。

阳极化的条件如下:

电流密度: 7ma/cm²

阳极化溶液 HF: H₂O: C₂H₅OH=1: 1: 1

时间: 12 (分)

多孔硅层厚度: 10 (微米)

孔隙度: 20%

3)接着, 在 400℃ 下在氧环境气体中持续 1 小时, 使其上已形成有多孔硅层的每一晶片氧化。由于这种氧化处理仅形成厚度约 50 埃或其以下的氧化物膜, 硅氧化物膜仅形成在多孔硅层表面和孔侧壁上, 在晶片内侧留有单晶硅区。

4) 将上述晶片浸渍在稀释到 1.25% 的 HF 水溶液中持续 30 秒, 然后浸入纯水中持续 10 分钟, 进行溢流漂洗以便除去形成在多孔层表面上的超薄硅氧化物膜。

5)上述晶片当置于在晶片载体上时, 再置入外延 CVD 生长装置中的加载锁存小室, 在该装置中用于将晶片设置在晶片载体上的加载锁存小室、具有晶片输送机械手的输送小室和处理小室连接起来。利用干式泵对加载锁存小室抽气由大气压降到 1 毛或其以下并且将 N_2 气注入其中使压力达到 80 毛。通过预先 N_2 气注入输送小室使压力保持在 80 毛。将一托衬器置入处理小室, 该托衬器由涂布有 CVD-SiC 的碳制成用于固定晶片。预先利用 IR 灯将托衬器加热到约 750℃。经过长约 10 米内部抛光的不锈钢管将应用加热的钨合金的氢提纯器提纯的氢气提供到处理小室中。

利用输送机械手输送晶片由加载锁存小室经过输送小室输送到处理小室并置于在托衬器上。

6) 利用 IR 灯按照 100℃/分的速度上升对输送到托衬器上的晶片进行加热, 并保持在 950℃ 进行预烘焙并持续 2 秒。接着将 SiH_4 添加到氢载气中以便使浓度为 28ppm(百万分率), 由此处理该晶片持续 200 秒并终止添加 SiH_4 。然后在氢气氛中将温度降低到 750℃, 将该晶片再次利用输送机械手取出经过输送小室输送到加载锁存小室。因此形成平均厚度为 0.03 微米的非多孔硅单晶硅层。在热处理之后, 表面孔密度为 $5.9 \times 10^{10}/cm^2$ 在 (在热处理前为 $8.9 \times 10^{10}/cm^2$), 满足了在本发明中规定的条件 2。

利用 MOCVD (金属有机气相沉积) 法, 在这一多孔硅上 1 微米厚度内按外延生单晶 GaAs。生长条件如下:

源气体: TMG/ AsH_3 / H_2

气体压力: 80 毛

温度: 700℃

利用透射型电子显微镜观测的断面的结果确认, 没有引起 GaAs 层结晶缺陷, 形成具有良好结晶度的 GaAs 层。同时, 还确认, 在它的表面上在 GaAs 层和多孔硅层之间由硅封闭的形成极为突变的界面。

此外, 进行揭示缺陷的蚀刻, 利用光学显微镜对揭示的缺陷密度进行计数, 确定缺陷密度约为 $10000/\text{cm}^2$ 。

顺便指出, 将预先形成的 SOI 基片浸入到 HF 溶液中, 然后用水清洗和干燥, 再利用光学干涉型膜厚测量计测量 SOI 层的膜厚, 并经处理步骤 5) 进行处理和仅进行在步骤 6) 中的预烘焙处理, 再从加载锁存小室内取出。再次测量 SOI 层的膜厚, 发现在两个试样中膜厚仅降低小于 1 纳米。即它们满足条件 1。

(实例 8)

正如在公开的 9-100197 号日本专利申请中所公开的, 根据本发明的降低结晶缺陷的效果能够通过在外延层生长的起始阶段提供微量的硅原子或硅源气体进一步提高。将其上形成有多孔硅层的一些基片置于在一保持在 750°C 的氢气氛中的托衬器上 (该托衬器由 CVD-SiC 的碳制成), 氢气是按照 43 升/分的流量在 600 毛的压力下经过加载锁存小室提供的, 按照 $100^\circ\text{C}/\text{分}$ 的速度上升到 950°C 并在这一温度持续 2 秒。在此之后, 添加微量的 SiH_4 使浓度为 28ppm (百万分率), 持续一段时间, 在此之后, 增加硅源气体的流量, 以便形成具有预期厚度的非多孔单晶硅膜。图 11 表示堆垛层错缺陷密度和用于添加微量的 SiH_4 的处理时间的依存关系。通过添加微量的 SiH_4 使结晶缺陷密度可以有效地降低。

在 HF、 $\text{C}_2\text{H}_5\text{OH}$ 和 H_2O 的混合溶液中通过阳极化形成多孔硅, 然后在 400°C 下的氧气氛中持续 1 小时对基片进行热处理。然后将基片浸渍在 1.25% 的 HF 水溶液中持续约 25 秒, 并用水清洗和干燥, 再置入外延生长装置中。

172 提供微量的原子构成的膜或源气体也具有这样一种作用即, 促进除去氧化物因此抑制了由于氧化物引起的缺陷的产生。

(实例 9)

在加载锁存型 CVD 外延生长装置的反应容器中, 将由涂布有 CVD-SiC 的碳制成的托衬器预先加热到 750°C , 将其上形成有多孔硅层的每个硅晶片经过加载锁存小室置于到该容器中。然后在 600 毛的压力下, 按照 43 升/分的流量提供氢气, 使温度按照 $100^\circ\text{C}/\text{分}$ 的速度上升到 1100°C 并在此温度持续 2 秒, 然后, 按照 $100^\circ\text{C}/\text{分}$ 的速度降低到 750°C 。经过加载锁存小室将晶片取出。平均直径约 10 纳米的表面孔的密度由热处理前的 $10^{11}/\text{cm}^2$ 降低为 $10^6/\text{cm}^2$, 孔直径增加到 20-40 纳米。在这些状态下, 接着进行上述的热处理, 将硅源气体添加到氢气中, 以便影响单晶硅层的外延生长, 因此形成的层积缺陷密度为 $10^1/\text{cm}^2$ 。另一方面, 在

这种情况下，将晶片加热到不是在 1100℃ 的而是在 950℃，并在此温度下持续 2 秒钟，在热处理之后孔密度的降低其数量级最大为一位数字。此外孔直径几乎不再降低。在这种热处理之后，将硅气体添加到氢气中以便影响单晶硅层的外延生长，结果层积缺陷密度明显降低到 $10^2/\text{cm}^2$ ，其数值为在下 1100℃ 热处理时的 1/100。

(实例 10)

接着本发明人检查了预烘焙压力对于层错缺陷密度的影响。

结果发现，压力对于硅原子的表面扩散和在多孔硅层表面的孔结构变化有严重的影响，其按照这样一种方式即，压力越低，出现层错缺陷密度的最小值的温度越低（图 12）。

作为实例，采用（100）掺有硼的硅基片，其具有的电阻率为 0.013-0.017 Ωcm 。在一种溶液（该溶液是将 49%HF 和醇类按 1:1 的比例混合成的）中按照电流密度 $8\text{mA}/\text{cm}^2$ 持续 11 分，将每个基片阳极化，以便形成多孔硅层。孔隙度约为 20%。然后将基片浸入到 1.25%HF 的溶液中 25 秒并用水清洗和干燥。然后在氧气氛中在 400℃ 下持续 1 小时进行热处理，再浸入到 1.25%HF 的溶液中持续这样一段时间，以便蚀去例如约 5 纳米的硅氧化物膜，然后用水清洗和干燥。

在装有加载锁存小室的反应容器中实现外延生长指在如上所述的系统 A 中的热处理。该热处理在氢气氛中在 80 毛的压力和在 600℃ 下持续 120 秒进行。将 SiH_4 添加到氢载气中以便使浓度为 28ppm（百万分率），因此处理该晶片持续 200 秒并终止添加 SiH_4 。然后将温度降低到 900℃ 压力降低到 80 毛；因此形成厚度为 2 微米的外延层；然后确定每次热处理后的层积缺陷密度。

(实例 11)

图 13 表示层积缺陷密度与预生长热处理时间的依存关系，是在利用与实例 10 相同的工艺流程制得的试样时在 600 毛压力下在氢气氛中 950℃ 温度下形成的。由持续 60 秒到持续超过 120 秒层积缺陷密度增加两倍。

如上所述，根据本发明，通过在这些条件下实行热处理，蚀去的单晶硅厚度是很小的，多孔硅层表面的孔密度最大降低 4 位数字，优选最大降低 2 位数字，可以使形成在多孔层上的非多孔单晶层的层积缺陷密度降低到 $1000/\text{cm}^2$ ，甚至降低到 $100/\text{cm}^2$ 。

因此，当将本发明应用于结合法时，可以得到均匀膜厚的和极少结晶缺陷的

SOI 层。

换句话说，本发明抑制了形成在外延生长装置中的多孔表面上的本征的氧化物膜的数量，因此抑制了孔直径的扩大还降低了用于除去本征的氧化物膜所需的热处理时间与温度，使得非多孔单晶层的形成可以在由于多孔表面中的原子扩散明显阻塞表面孔之前开始，因此得到在多孔硅上堆垛层错缺陷密度小于的 $1000/\text{cm}^2$ 的外延层。

说明书附图

图 1

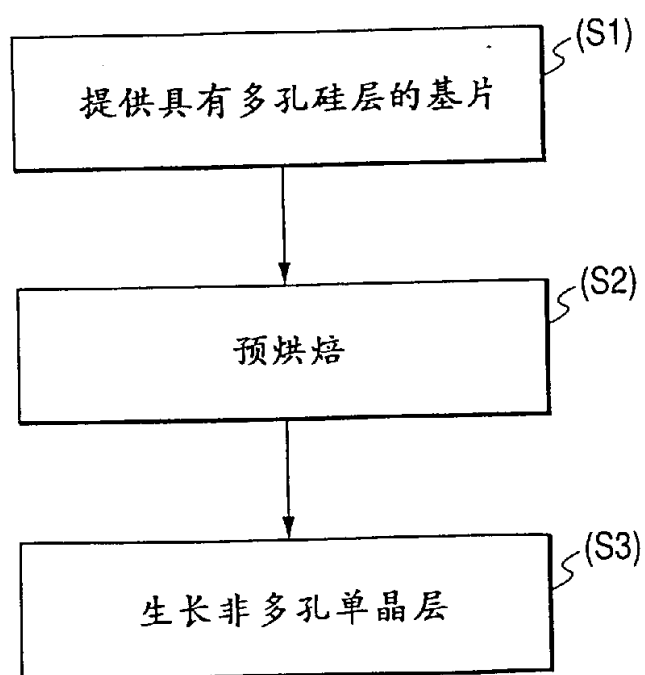


图 2

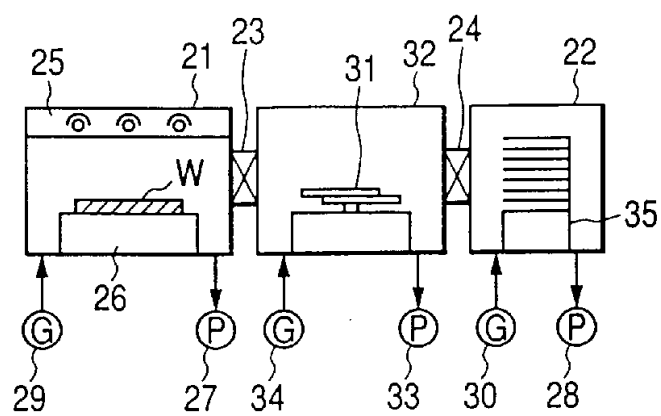


图 4A

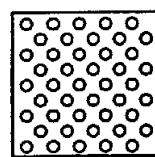


图 4B

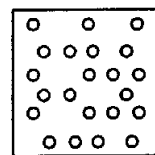


图 4C

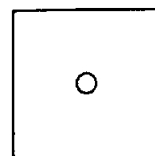


图 3A

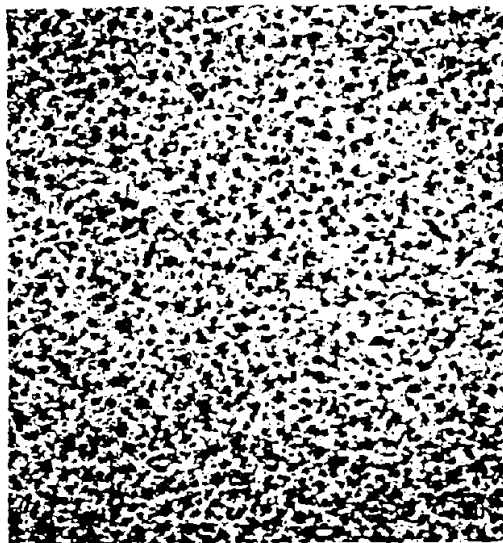


图 3B

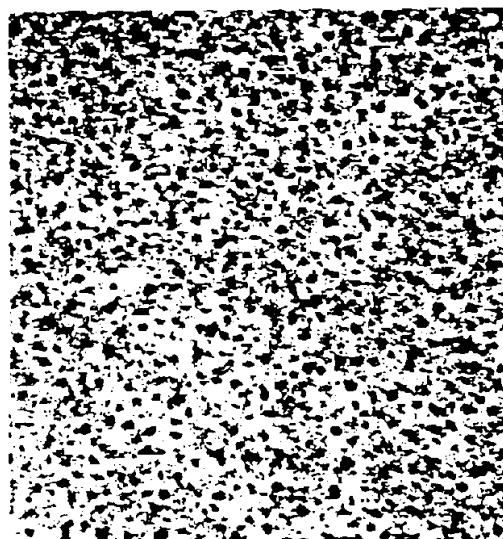


图 3C



图 5

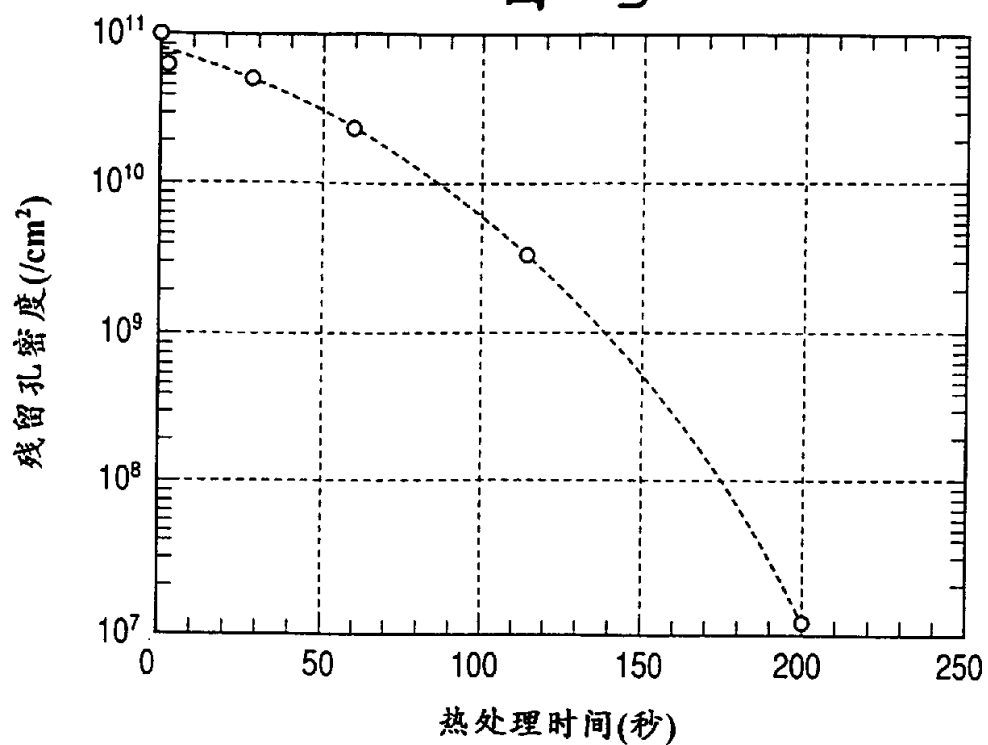


图 6

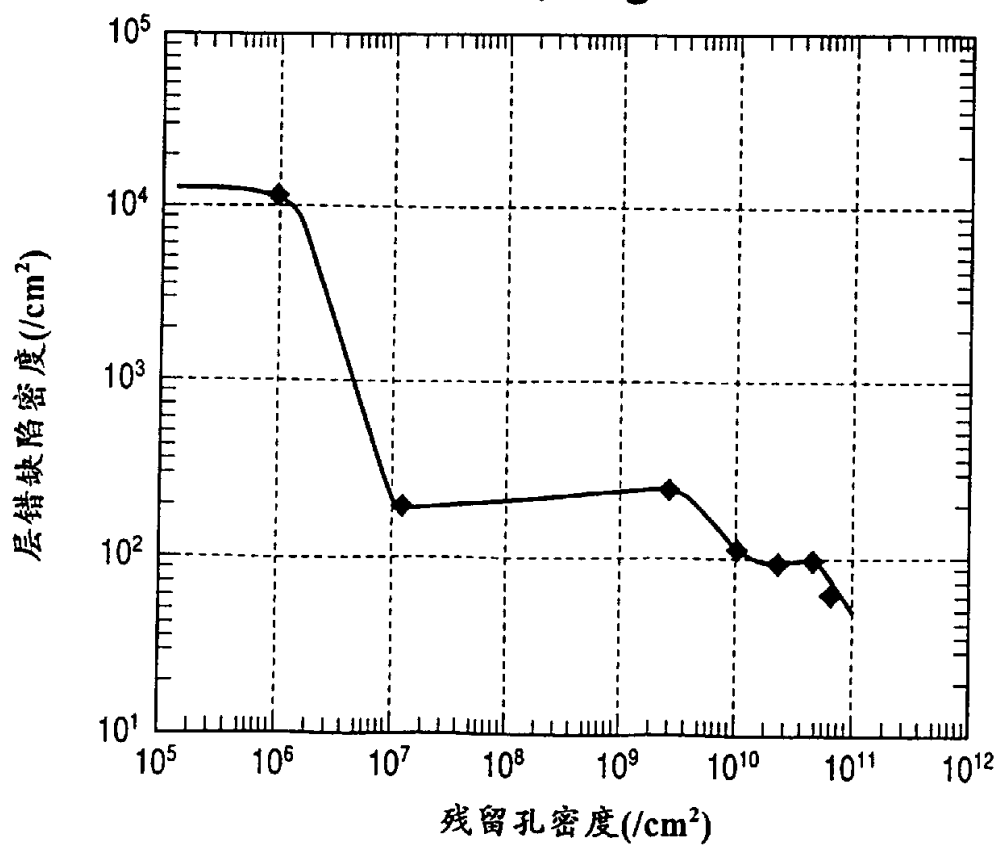


图 7

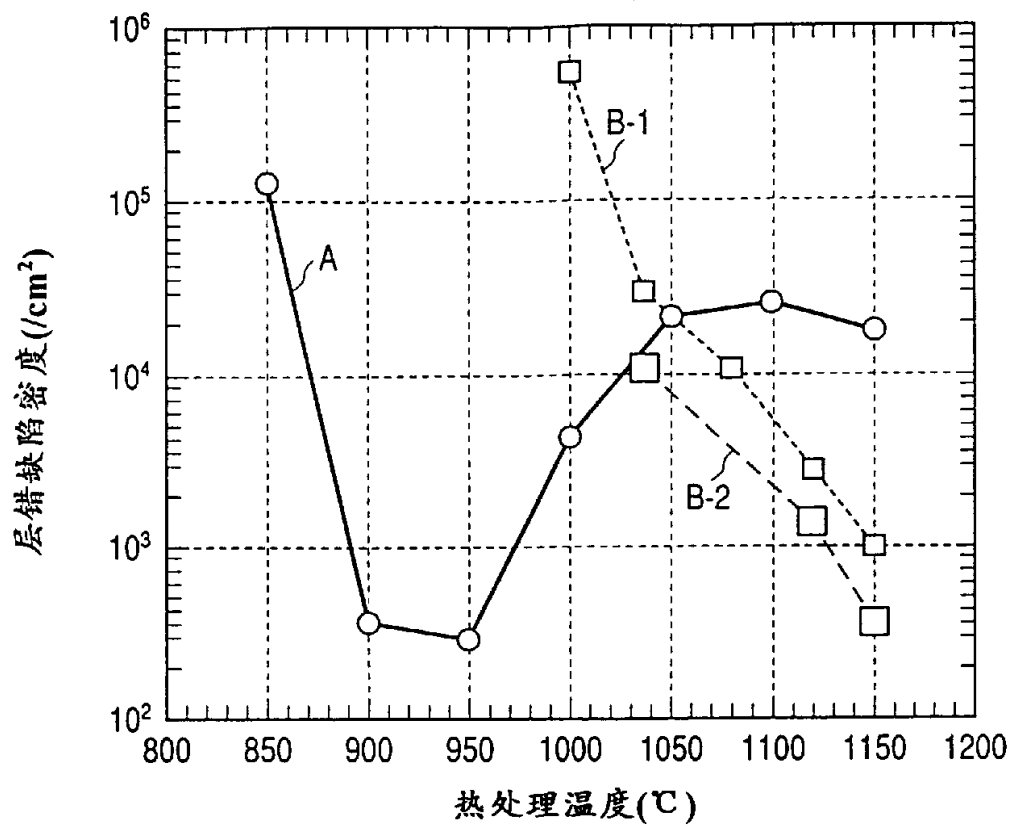


图 8

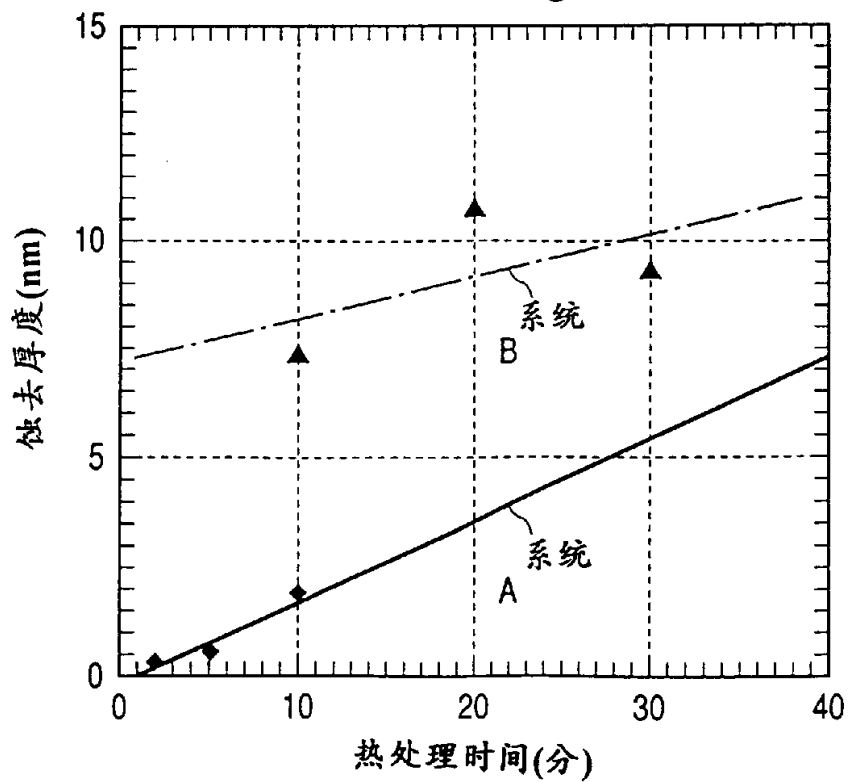


图 9A

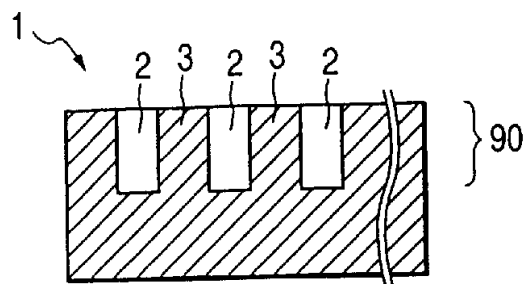


图 9B

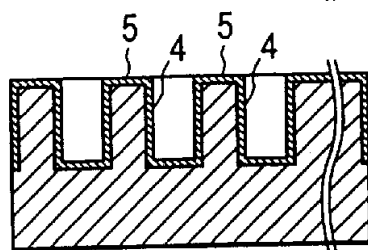


图 9C

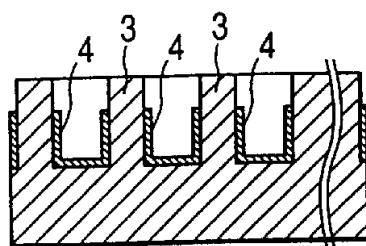


图 9D

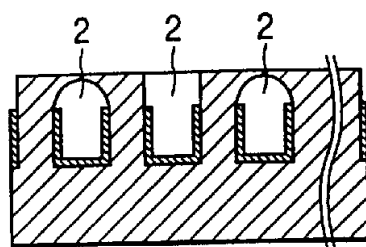
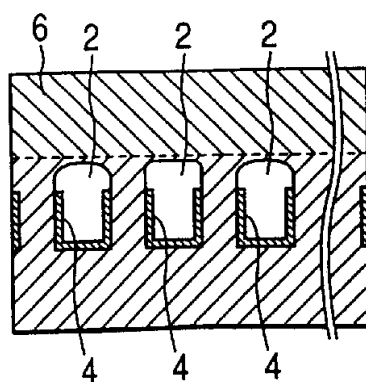
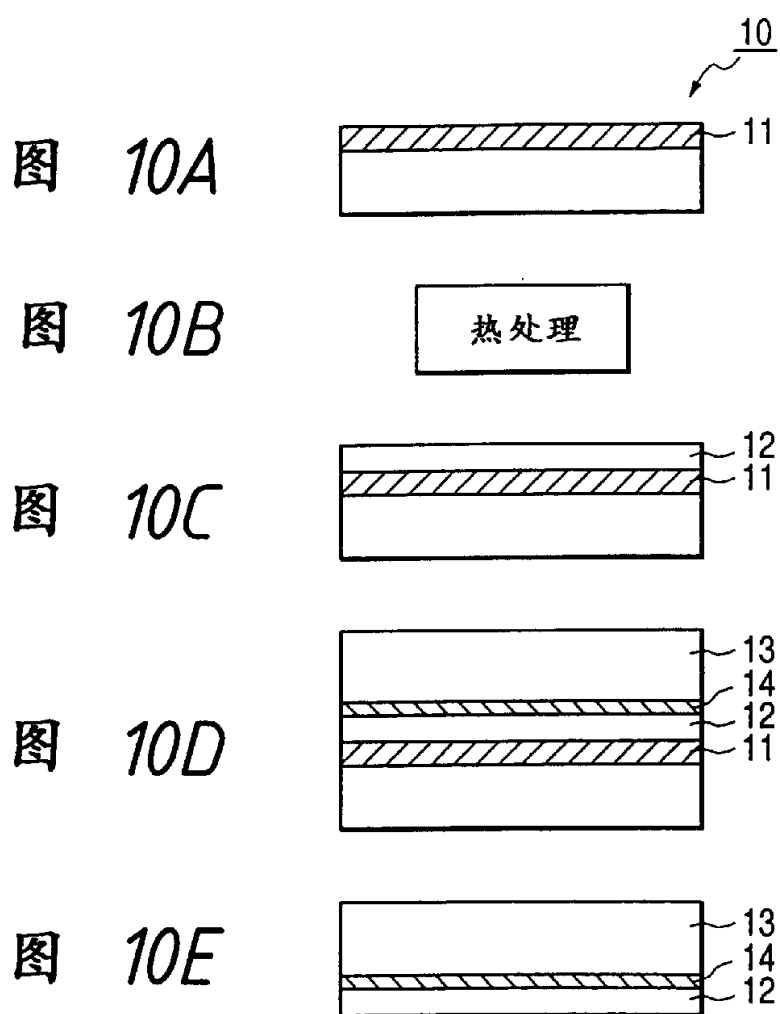


图 9E





99.10.02

图 11

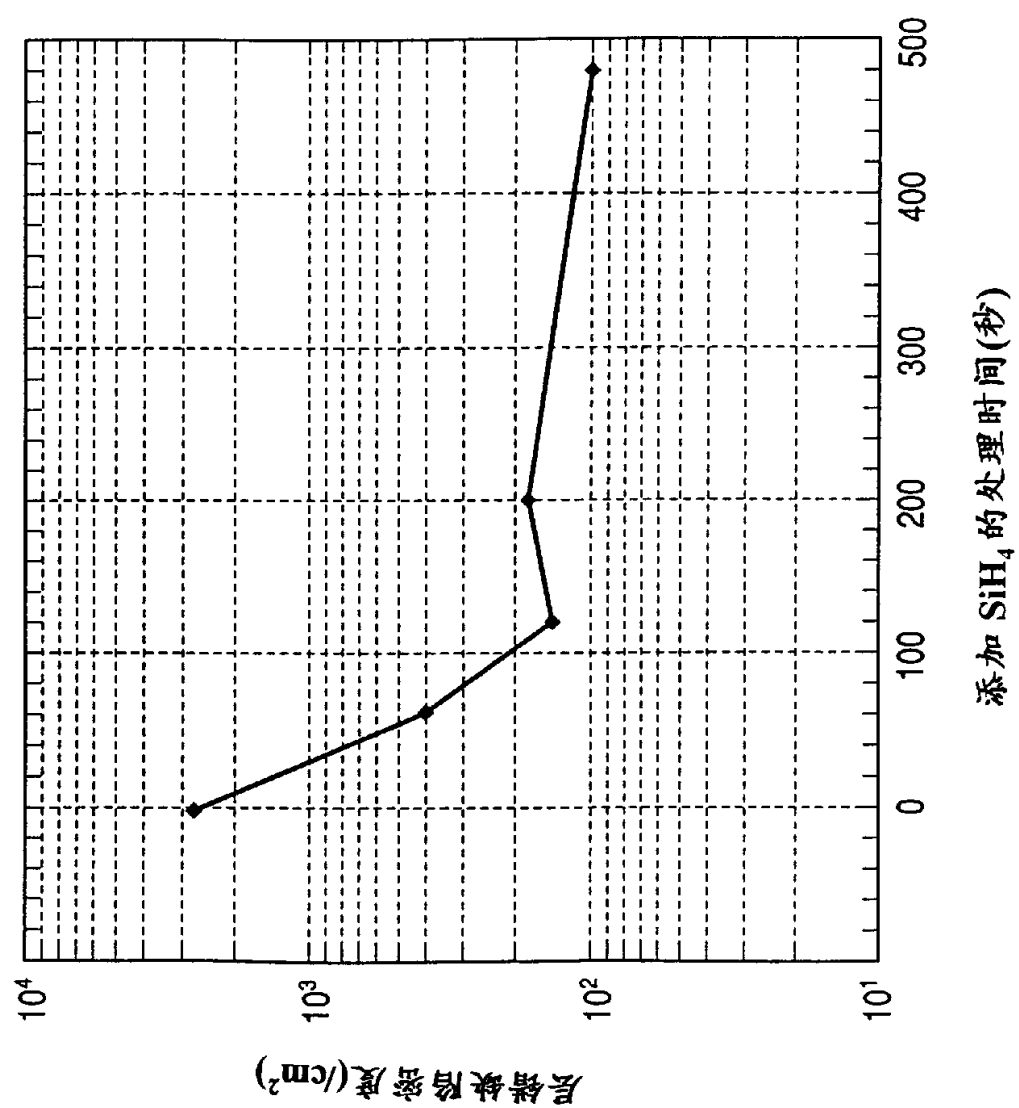
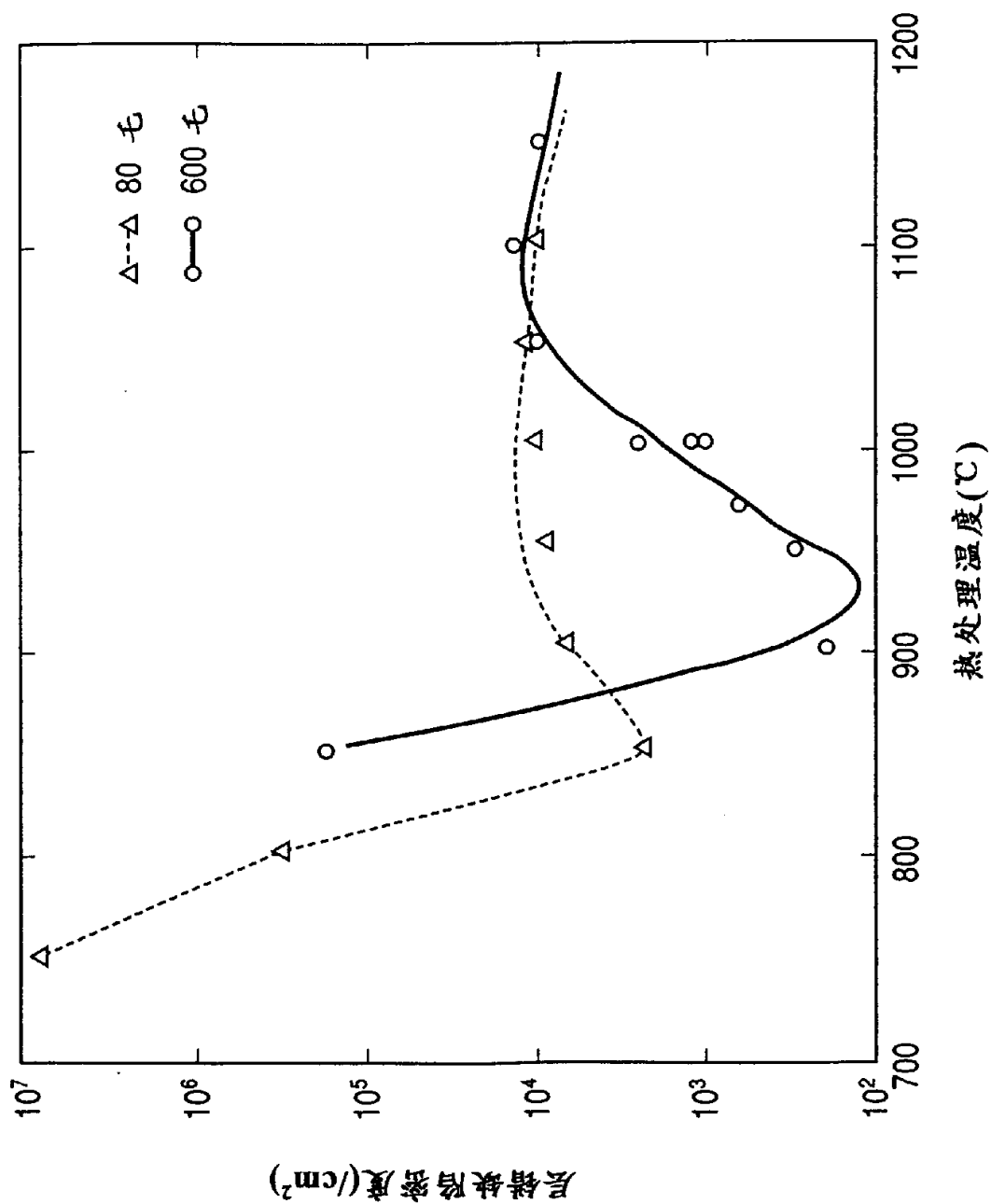


图 12



99-10-02

图 13

