

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月10日(10.12.2020)

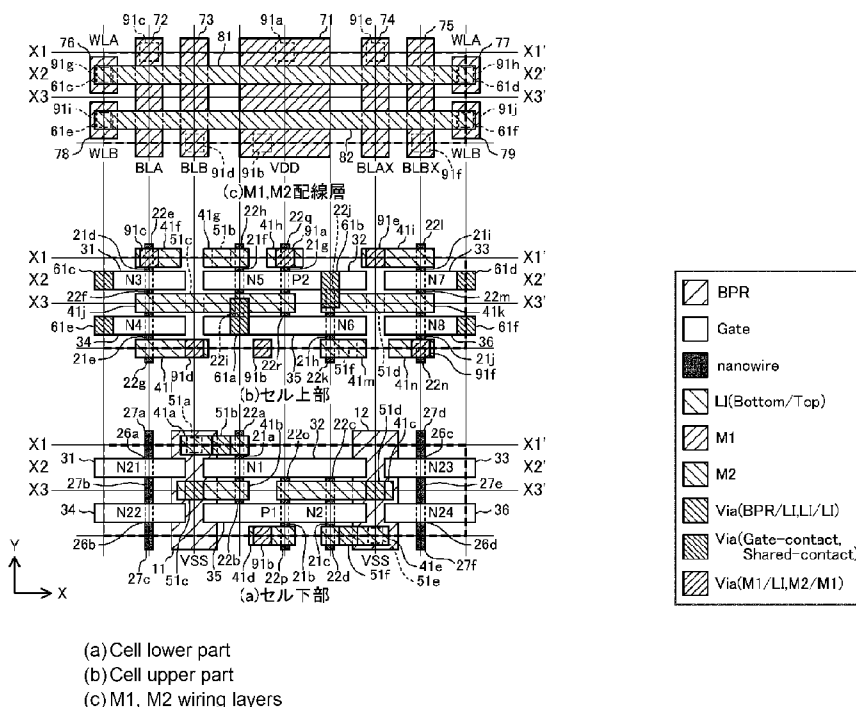


(10) 国際公開番号
WO 2020/246344 A1

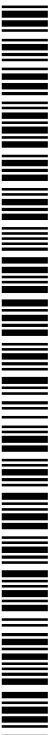
- (51) 国際特許分類:
H01L 21/8238 (2006.01) H01L 27/11 (2006.01)
H01L 27/092 (2006.01) G11C 11/412 (2006.01)
H01L 21/8244 (2006.01)
- (72) 発明者: 森脇 真一 (MORIWAKI Shinichi);
〒2220033 神奈川県横浜市港北区新横浜
二丁目10番23 株式会社ソシオネク
スト内 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2020/020975
- (74) 代理人: 特許業務法人前田特許事務所
(MAEDA & PARTNERS); 〒5300004 大阪府大
阪市北区堂島浜1丁目2番1号 新ダ
イビル23階 Osaka (JP).
- (22) 国際出願日: 2020年5月27日(27.05.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-103722 2019年6月3日(03.06.2019) JP
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
- (71) 出願人: 株式会社ソシオネクスト (SOCIONEXT
INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北
区新横浜二丁目10番23 Kanagawa (JP).

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: Transistors (N1, N5) that correspond to a drive transistor (PD1) are respectively formed at a cell upper part and a cell lower part. Transistors (N2, N6) that correspond to a drive transistor (PD2) are respectively formed at the cell upper part and the cell lower part. A transistor (P1) that corresponds to a load transistor (PU2) is formed at the cell lower part. A transistor (P2) that corresponds to a load transistor (PU1) is formed at the cell upper part.



WO 2020/246344 A1

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

(57) 要約：ドライブトランジスタ (PD 1) に相当するトランジスタ (N 1, N 5) が、セル上部およびセル下部にそれぞれ形成されている。ドライブトランジスタ (PD 2) に相当するトランジスタ (N 2, N 6) が、セル上部およびセル下部にそれぞれ形成されている。ロードトランジスタ (PU 2) に相当するトランジスタ (P 1) が、セル下部に形成されている。ロードトランジスタ (PU 1) に相当するトランジスタ (P 2) が、セル上部に形成されている。

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本開示は、立体構造トランジスタを備えた半導体記憶装置に関し、特に立体構造トランジスタを用いた2ポートSRAM (Static Random Access Memory) セルのレイアウト構造に関する。

背景技術

[0002] SRAMは半導体集積回路において広く用いられている。SRAMにはデータの読み書き用ポートが2つ備えられた2ポートSRAMが知られている（例えば、特許文献1）。

[0003] また、LSIの基本構成要素であるトランジスタは、ゲート長の縮小（スケーリング）により、集積度の向上、動作電圧の低減、および動作速度の向上を実現してきた。しかし近年、過度なスケーリングによるオフ電流と、それによる消費電力の著しい増大が問題となっている。この問題を解決するため、トランジスタ構造を従来の平面型から立体型に変更した立体構造トランジスタが盛んに研究されている。

[0004] 非特許文献1, 2では、新規デバイスとして、立体構造のP型FETとN型FETを基板に対して垂直方向に積層した立体構造デバイスと、これを用いたSRAMセル（以下、単に、セルともいう）が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：米国特許第9362292号（図1）

非特許文献

[0006] 非特許文献1：Ryckaert J. et al., "The Complementary FET (CFET) for CMOS scaling beyond N3", 2018 Symposium on VLSI Technology Digest of Technical Papers

非特許文献2：A. Mocuta et al., "Enabling CMOS Scaling Towards 3nm and

Beyond”, 2018 Symposium on VLSI Technology Digest of Technical Papers

発明の概要

発明が解決しようとする課題

- [0007] 本明細書では、立体構造のP型FETとN型FETを基板に対して垂直方向に積層した立体構造デバイスのことを、非特許文献1の記載にならない、CFET (Complementary FET) と呼ぶことにする。また、基板に対して垂直をなす方向のことを、深さ方向と呼ぶ。
- [0008] しかし、これまでに、CFETを用いた2ポートSRAMセルのレイアウトに関して、具体的な検討はまだなされていない。
- [0009] 本開示は、CFETを用いた2ポートSRAMセルのレイアウト構造を提供することを目的とする。

課題を解決するための手段

- [0010] 本開示の第1態様では、2ポートSRAMセルを含む半導体記憶装置であって、前記2ポートSRAMセルは、一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接続された第5トランジスタと、一方のノードが前記第1ビット線と第1相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタと、一方のノードが第3ビット線に、他方のノードが前記第1ノードに、ゲートが第2ワード線にそれ

ぞれ接続された第7トランジスタと、一方のノードが前記第3ビット線と第2相補ビット線対を構成する第4ビット線に、他方のノードが前記第2ノードに、ゲートが前記第2ワード線にそれぞれ接続された第8トランジスタとを備える。前記第3および第4トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタである、第1立体構造トランジスタと、前記第1層と異なる第2層に形成された前記第1導電型の立体構造トランジスタである、第2立体構造トランジスタとからなる。前記第1トランジスタは、前記第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタからなる。前記第2トランジスタは、前記第1層に形成された前記第2導電型の立体構造トランジスタからなる。前記第5～第8トランジスタは、それぞれ、前記第1および第2層の少なくともいずれか一方に形成された前記第1導電型の立体構造トランジスタを含む。

[0011] 本開示によると、第1～第8トランジスタにより、2ポートSRAM回路が構成される。また、第3および第4トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタと第2層に形成された第1導電型の立体構造トランジスタとからなる。第1トランジスタは、第2層に形成された第2導電型の立体構造トランジスタからなる。第2トランジスタは、第1層に形成された第2導電型の立体構造トランジスタからなる。第5～第8トランジスタは、それぞれ、第1および第2層の少なくともいずれか一方に形成された第1導電型の立体構造トランジスタを含む。すなわち、2ポートSRAM回路を構成する第1～第8トランジスタは、それぞれ、立体構造トランジスタにより構成される。これにより、CFETを用いた2ポートSRAMセルを実現することができる。

[0012] 本開示の第2態様では、2ポートSRAMセルを含む半導体記憶装置であって、前記2ポートSRAMセルは、一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2

トランジスタと、一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接続された第5トランジスタと、一方のノードが前記第1ビット線と第1相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタと、一方のノードが第3ビット線に、他方のノードが前記第1ノードに、ゲートが第2ワード線にそれぞれ接続された第7トランジスタと、一方のノードが前記第3ビット線と第2相補ビット線対を構成する第4ビット線に、他方のノードが前記第2ノードに、ゲートが前記第2ワード線にそれぞれ接続された第8トランジスタとを備える。前記第3および第4トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタである、第1立体構造トランジスタと、前記第1層と異なる第2層に形成された前記第1導電型の立体構造トランジスタである、第2立体構造トランジスタとからなる。前記第1および第2トランジスタは、それぞれ、前記第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタからなる。前記第5～第8トランジスタは、それぞれ、前記第1および第2層の少なくともいずれか一方に形成された前記第1導電型の立体構造トランジスタを含む。

[0013] 本開示によると、第1～第8トランジスタにより、2ポートSRAM回路が構成される。また、第3および第4トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタと第2層に形成された第1導電型の立体構造トランジスタとからなる。第1および第2トランジスタは、それぞれ、第2層に形成された第2導電型の立体構造トランジスタからなる。第5～第8トランジスタは、それぞれ、第1および第2層の少なくともいずれか一方に形成された第1導電型の立体構造トランジスタを含む。すなわ

ち、2ポートSRAM回路を構成する第1～第8トランジスタは、それぞれ、立体構造トランジスタにより構成される。これにより、CFETを用いた2ポートSRAMセルを実現することができる。

[0014] 本開示の第3態様では、2ポートSRAMセルを含む半導体記憶装置であって、前記2ポートSRAMセルは、一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接続された第5トランジスタと、一方のノードが前記第1ビット線と第1相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタと、一方のノードが第3ビット線に、他方のノードが前記第1ノードに、ゲートが第2ワード線にそれぞれ接続された第7トランジスタと、一方のノードが前記第3ビット線と第2相補ビット線対を構成する第4ビット線に、他方のノードが前記第2ノードに、ゲートが前記第2ワード線にそれぞれ接続された第8トランジスタとを備える。前記第3および第4トランジスタは、それぞれ、第1層に形成された複数の第1導電型の立体構造トランジスタである、複数の第1立体構造トランジスタからなる。前記複数の第1立体構造トランジスタは、前記第1～第8トランジスタのチャネル部が延びる方向である第1方向と垂直をなす第2方向に並んで形成されている。前記第1および第2トランジスタは、それぞれ、前記第1層と異なる第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタを含み、かつ、少なくとも一部が前記第3

および第4トランジスタとそれぞれ平面視で重なっている。前記第5～第8トランジスタは、それぞれ、前記第1および第2層の少なくともいずれか一方に形成された前記第1導電型の立体構造トランジスタを含む。

[0015] 本開示によると、第1～第8トランジスタにより、2ポートSRAM回路が構成される。また、第3および第4トランジスタは、それぞれ、第1層に形成され、かつ、第2方向に並んで形成された複数の第1導電型の立体構造トランジスタからなる。第1および第2トランジスタは、それぞれ、第2層に形成された第2導電型の立体構造トランジスタからなる。第5～第8トランジスタは、それぞれ、第1および第2層の少なくともいずれか一方に形成された第1導電型の立体構造トランジスタを含む。すなわち、2ポートSRAM回路を構成する第1～第8トランジスタは、それぞれ、立体構造トランジスタにより構成される。これにより、CFETを用いた2ポートSRAMセルを実現することができる。

[0016] また、第1および第2トランジスタは、少なくとも一部が第3および第4トランジスタとそれぞれ平面視で重なっている。すなわち、第1および第2トランジスタは、第3および第4トランジスタとそれぞれ積層される。これにより、2ポートSRAMセルの小面積化を図ることができる。

[0017] したがって、CFETを用いた2ポートSRAMセルを実現できるとともに、2ポートSRAMセルの小面積化を図ることができる。

[0018] 本開示の第4態様では、第1および第2の2ポートSRAMセルを含む半導体記憶装置であって、前記第1および第2の2ポートSRAMセルは、それぞれ、一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、一方のノードが前記第2ノードに、他方のノードが前記第2電

源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接続された第5トランジスタと、一方のノードが前記第1ビット線と第1相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタと、一方のノードが第3ビット線に、他方のノードが前記第1ノードに、ゲートが第2ワード線にそれぞれ接続された第7トランジスタと、一方のノードが前記第3ビット線と第2相補ビット線対を構成する第4ビット線に、他方のノードが前記第2ノードに、ゲートが前記第2ワード線にそれぞれ接続された第8トランジスタとを備える。前記第1および第2の2ポートSRAMセルは、前記第1～第8トランジスタのチャンネル部が延びる方向である第1方向と垂直をなす第2方向に隣接して配置されている。前記第1および第2の2ポートSRAMセルにおいて、前記第3および第4トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタを含み、前記第1トランジスタは、それぞれ、前記第1層と異なる第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタを含み、前記第2トランジスタは、それぞれ、前記第1および第2層の少なくとも一方に形成された前記第2導電型の立体構造トランジスタを含み、前記第5～第8トランジスタは、それぞれ、前記第1および第2層の少なくとも一方に形成された前記第1導電型の立体構造トランジスタを含む。前記第1の2ポートSRAMセルにおける前記第5および第7トランジスタは、少なくとも一部が、前記第2の2ポートSRAMセルにおける前記第6および第8トランジスタと、それぞれ平面視で重なっている。

[0019] 本開示によると、第1および第2の2ポートSRAMセルに、それぞれ備えられた第1～第8トランジスタにより、第1および第2の2ポートSRAMセルに、それぞれ、2ポートSRAM回路が構成される。また、第3および第4トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタを含む。第1トランジスタは、それぞれ、第2層に形成され

た第2導電型の立体構造トランジスタを含む。第2トランジスタは、それぞれ、第1および第2層の少なくとも一方に形成された第2導電型の立体構造トランジスタを含む。第5～第8トランジスタは、それぞれ、前記第1および第2層の少なくとも一方に形成された第1導電型の立体構造トランジスタを含む。すなわち、2ポートSRAM回路を構成する第1～第8トランジスタは、それぞれ、立体構造トランジスタにより構成される。これにより、CFETを用いた2ポートSRAMセルを実現することができる。

[0020] また、第1および第2の2ポートSRAMセルは、第2方向に隣接して配置されており、第1の2ポートSRAMセルにおける第5および第7トランジスタは、少なくとも一部が、第2の2ポートSRAMセルにおける第6および第8トランジスタと平面視で重なっている。すなわち、第1の2ポートSRAMセルにおける第5および第7トランジスタは、第2の2ポートSRAMセルにおける第6および第8トランジスタと積層されている。これにより、2ポートSRAMセルの小面積化を図ることができる。

[0021] したがって、CFETを用いた2ポートSRAMセルを実現できるとともに、2ポートSRAMセルの小面積化を図ることができる。

発明の効果

[0022] 本開示によると、CFETを用いた2ポートSRAMセルを実現することができる。

図面の簡単な説明

[0023] [図1]第1実施形態に係る2ポートSRAMセルのレイアウト構造の例を示す平面図。

[図2]第1実施形態に係る2ポートSRAMセルのレイアウト構造の例を示す断面図。

[図3]第1実施形態に係る2ポートSRAMセルの構成を示す回路図。

[図4]第1実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図5]第1実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を

示す平面図。

[図6]第1実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図7]第1実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図8]第2実施形態に係る2ポートSRAMセルのレイアウト構造の例を示す平面図。

[図9]第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図10]第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図11]第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図12]第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図13]第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図14]第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図15]第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図16]第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図。

[図17]CFETを備えた半導体装置の構造を示す断面図。

[図18]CFETを備えた半導体装置の構造を示す断面図。

[図19]CFETを備えた半導体装置の構造を示す断面図。

[図20]CFETを備えた半導体装置の構造を示す断面図。

発明を実施するための形態

- [0024] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体記憶装置は複数のSRAMセル（本明細書では、適宜、単にセルという）を備えており、この複数のSRAMセルのうち少なくとも一部は、CFET、すなわち、立体構造のP型FETとN型FETを基板に対して垂直方向に積層した立体構造デバイスを備えるものとする。
- [0025] まず、CFETの基本構造について説明する。図17～図20はCFETを備えた半導体装置の構造を示す図であり、図17はX方向における断面図、図18はY方向におけるゲート部分の断面図、図19はY方向におけるソース・ドレイン部分の断面図、図20は平面図である。なお、X方向はナノワイヤが延びる方向、Y方向はゲートが延びる方向、Z方向は基板面と垂直をなす方向としている。また、図17～図20は概略図であり、各部の寸法や位置等は必ずしも整合していない。
- [0026] この半導体装置では、シリコン（Si）基板等の半導体基板301の表面に素子分離領域302が形成されており、素子分離領域302により、素子活性領域30aが画定されている。素子活性領域30aでは、P型FET上にN型FETが形成されている。
- [0027] 素子活性領域30aでは、半導体基板301上に積層トランジスタ構造390aが形成されている。積層トランジスタ構造390aは、半導体基板301上に形成されたゲート構造391を含む。ゲート構造391は、ゲート電極356、複数のナノワイヤ358、ゲート絶縁膜355、絶縁膜357を含む。ゲート電極356は、Y方向に延び、Z方向に立ち上がる。ナノワイヤ358は、X方向でゲート電極356を貫通し、Y方向及びZ方向に配列されている。ゲート絶縁膜355は、ゲート電極356とナノワイヤ358との間に形成されている。ゲート電極356及びゲート絶縁膜355は、X方向において、ナノワイヤ358の両端から後退した位置に形成されており、この後退した部分に絶縁膜357が形成されている。半導体基板301上に、絶縁膜357の両脇において、絶縁膜316が形成されている。321、322は層間絶縁膜である。

[0028] また、図18に示すように、ゲート電極356は、開口部375に設けられたビア385によって、上層の配線と接続される。

[0029] 例えば、ゲート電極356には、チタン、チタン窒化物又は多結晶シリコン等を用いることができる。例えば、ゲート絶縁膜355には、ハフニウム酸化物、アルミニウム酸化物又はハフニウム及びアルミニウムの酸化物等の高誘電率材料を用いることができる。例えば、ナノワイヤ358にはシリコン等を用いることができる。例えば、絶縁膜316、絶縁膜357には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0030] この半導体装置では、Z方向に配列するナノワイヤ358の本数は4であり、素子活性領域30aでは、半導体基板301側の2本のナノワイヤ358の各端部にP型半導体層331pが形成されている。P型半導体層331pに接する2つのローカル配線386がX方向でゲート構造391を挟むようにして形成されている。また、半導体基板101から離間する側の2本のナノワイヤ358の各端部にN型半導体層341nが形成されている。N型半導体層341nに接する2つのローカル配線388がX方向でゲート構造391を挟むようにして形成されている。ローカル配線386とローカル配線388との間に絶縁膜332が形成されている。ローカル配線388の上に絶縁膜389が形成されている。例えば、P型半導体層331pはP型SiGe層であり、N型半導体層341nはn型Si層である。例えば、絶縁膜332には、シリコン酸化物又はシリコン窒化物等を用いることができる。

[0031] また、図19に示すように、ローカル配線388は、ビア3071を介して、埋め込み配線3101と接続される。ローカル配線386は、ビア3072を介して、埋め込み配線3102と接続される。

[0032] このように、積層トランジスタ構造390aは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びP型半導体層331pを含むP型FETを有する。このP型FETでは、一方のP型半導体層331pがソース領域として機能し、他方のP型半導体層331pがドレイン領域として機能

し、ナノワイヤ358がチャンネルとして機能する。積層トランジスタ構造390aは、ゲート電極356、ナノワイヤ358、ゲート絶縁膜355及びN型半導体層341nを含むN型FETも有する。このN型FETでは、一方のN型半導体層341nがソース領域として機能し、他方のN型半導体層341nがドレイン領域として機能し、ナノワイヤ358がチャンネルとして機能する。

[0033] なお、積層トランジスタ構造より上層については、ビアおよび金属配線によりトランジスタ間の配線等が行われるが、これらは既知の配線プロセスによって実現が可能である。

[0034] なお、ここでは、P型FETおよびN型FETにおけるナノワイヤの本数は、それぞれ、Y方向に4本、Z方向に2本、計8本ずつであるものとしたが、ナノワイヤの本数はこれに限られるものではない。また、P型FETとN型FETのナノワイヤの本数は、異なってもかまわない。

[0035] また、本明細書では、ナノワイヤの両端に形成され、トランジスタのソースまたはドレインとなる端子を構成する半導体層部のことを「パッド」という。上述したCFETの基本構造例では、P型半導体層331pおよびN型半導体層341nが、パッドに相当する。

[0036] また、以降の実施形態における平面図および断面図においては、各絶縁膜等の記載は省略することがある。また、以降の実施形態における平面図および断面図については、ナノワイヤおよびその両側のパッドを、簡易化した直線状の形状で記載することがある。また、本明細書において、「同一サイズ」等のように、サイズ等が同じであることを意味する表現は、製造上のばらつき範囲を含んでいるものとする。

[0037] また、本明細書では、トランジスタのソースおよびドレインのことを、適宜、トランジスタの「ノード」と称する。すなわち、トランジスタの一方のノードとは、トランジスタのソースまたはドレインのことを指し、トランジスタの両方のノードとは、トランジスタのソースおよびドレインのことを指す。

[0038] また、本明細書では、P型FETとN型FETとが積層されていることを基本とするが、一部において、上層（または下層）のみに、P型FETまたはN型FETが形成される。その形成方法として、例えば、上層（または下層）のデバイスを形成した後に、上層（または下層）のデバイスを部分的に除去する（例えば、パッド部の除去、または、ゲート配線およびパッド部の除去）ことにより、上層（または下層）のみに、P型FETまたはN型FETを形成することができる。また、上層（または下層）のデバイスのパッド部のエピタキシャル成長による形成時に、上層（または下層）を部分的に非形成とすることにより、上層（または下層）のみに、P型FETまたはN型FETを形成することができる。

[0039] また、本明細書では、P型FETとN型FETとが積層されていることを基本とするが、一部において、上層および下層に、同一導電型のFET（P型FETまたはN型FET）が積層される。すなわち、上層および下層のうち少なくとも一方に、異なる導電型のFETが形成されることがある。その形成方法として、例えば、上層（または下層）の一部にN型FET（またはP型FET）を形成する場合、N型FET（またはP型FET）を形成する部分にマスクをして、他の部分をP導電型（またはN導電型）にドーピングする。その後、N型FETを形成する部分以外にマスクをして、N導電型（またはP導電型）にドーピングする。これにより、上層および下層のうち少なくとも一方に、異なる導電型のFETを形成できるため、同一導電型のFETを確実に積層することができる。

[0040] また、以下の実施形態では、「VDD」、「VSS」は、電圧または電源自体を示すために用いるとする。

[0041] また、以下の実施形態およびその変形例において、同様の部材等については、同じ符号を付して説明を省略することがある。

[0042] （第1実施形態）

図1および図2は第1実施形態に係る2ポートSRAMセルのレイアウト構造の例を示す図であり、図1（a）、（b）、（c）は平面図、図2（a

), (b), (c) は平面視横方向における断面図である。具体的には、図 1 (a) は下部、すなわち基板に近い側に形成された立体構造トランジスタを含む部分を示し、図 1 (b) は上部、すなわち基板から遠い側に形成された立体構造トランジスタを含む部分を示し、図 1 (c) は金属配線層である M1, M2 層を示す。図 2 (a) は X1-X1' の断面、図 2 (b) は X2-X2' の断面、図 2 (c) は X3-X3' の断面である。

[0043] 図 3 は第 1 実施形態に係る 2 ポート S R A M セルの構成を示す回路図である。図 3 に示すように、本実施形態に係る 2 ポート S R A M セルには、ロードトランジスタ P U 1, P U 2 と、ドライブトランジスタ P D 1, P D 2 と、アクセストランジスタ P G 1 ~ P G 4 とにより構成される 2 ポート S R A M 回路が構成されている。ロードトランジスタ P U 1, P U 2 は、P 型 F E T であり、ドライブトランジスタ P D 1, P D 2 およびアクセストランジスタ P G 1 ~ P G 4 は、N 型 F E T である。

[0044] ロードトランジスタ P U 1 は、電源 V D D と第 1 ノード N A との間に設けられており、ドライブトランジスタ P D 1 は、第 1 ノード N A と電源 V S S との間に設けられている。ロードトランジスタ P U 1 およびドライブトランジスタ P D 1 は、ゲートが第 2 ノード N B に接続されており、インバータ I N V 1 を構成している。ロードトランジスタ P U 2 は、電源 V D D と第 2 ノード N B との間に設けられており、ドライブトランジスタ P D 2 は、第 2 ノード N B と電源 V S S との間に設けられている。ロードトランジスタ P U 2 およびドライブトランジスタ P D 2 は、ゲートが第 1 ノード N A に接続されており、インバータ I N V 2 を構成している。すなわち、一方のインバータの出力は他方のインバータの入力に接続されており、これにより、ラッチが構成されている。

[0045] アクセストランジスタ P G 1 は、第 1 ビット線 B L A と第 1 ノード N A との間に設けられており、ゲートが第 1 ワード線 W L A に接続されている。アクセストランジスタ P G 2 は、第 2 ビット線 B L A X と第 2 ノード N B との間に設けられており、ゲートが第 1 ワード線 W L A に接続されている。アク

セストランジスタPG3は、第3ビット線BLBと第1ノードNAとの間に設けられており、ゲートが第2ワード線WLBに接続されている。アクセストランジスタPG4は、第4ビット線BLBXと第2ノードNBとの間に設けられており、ゲートが第2ワード線WLBに接続されている。なお、第1および第2ビット線BLA, BLAXは、第1相補ビット線対を構成し、第3および第4ビット線BLB, BLBXは、第2相補ビット線対を構成する。

[0046] 2ポートSRAMセル回路では、第1相補ビット線対を構成する第1および第2ビット線BLA, BLAXを、ハイレベルおよびローレベルにそれぞれ駆動し、第1ワード線WLAをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、第1および第2ビット線BLA, BLAXを、ローレベルおよびハイレベルにそれぞれ駆動し、第1ワード線WLAをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA, NBにデータがそれぞれ書き込まれている状態で、第1ワード線WLAをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA, NBに書き込まれているデータが保持される。

[0047] また、第1および第2ビット線BLA, BLAXを予めハイレベルにプリチャージしておき、第1ワード線WLAをハイレベルに駆動すると、第1および第2ノードNA, NBに書き込まれたデータに応じて第1および第2ビット線BLA, BLAXの状態が確定するため、SRAMセルからのデータの読み出しを行うことができる。具体的に、第1ノードNAがハイレベルであり、第2ノードNBがローレベルであれば、第1ビット線BLAはハイレベルを保持し、第2ビット線BLAXはローレベルにディスチャージされる。一方、第1ノードNAがローレベルであり、第2ノードNBがハイレベルであれば、第1ビット線BLAはローレベルにディスチャージされ、第2ビット線BLAXはハイレベルを保持する。

[0048] また、第2相補ビット線対を構成する第3および第4ビット線BLB、BLBXを、ハイレベルおよびローレベルにそれぞれ駆動し、第2ワード線WLBをハイレベルに駆動すると、第1ノードNAにハイレベルが書き込まれ、第2ノードNBにローレベルが書き込まれる。一方、第3および第4ビット線BLB、BLBXを、ローレベルおよびハイレベルにそれぞれ駆動し、第2ワード線WLBをハイレベルに駆動すると、第1ノードNAにローレベルが書き込まれ、第2ノードNBにハイレベルが書き込まれる。そして、第1および第2ノードNA、NBにデータがそれぞれ書き込まれている状態で、第2ワード線WLBをローレベルに駆動すると、ラッチ状態が確定し、第1および第2ノードNA、NBに書き込まれているデータが保持される。

[0049] また、第3および第4ビット線BLB、BLBXを予めハイレベルにプリチャージしておき、第2ワード線WLBをハイレベルに駆動すると、第1および第2ノードNA、NBに書き込まれたデータに応じて第3および第4ビット線BLB、BLBXの状態が確定するため、SRAMセルからのデータの読み出しを行うことができる。具体的に、第1ノードNAがハイレベルであり、第2ノードNBがローレベルであれば、第3ビット線BLBはハイレベルを保持し、第4ビット線BLBXはローレベルにディスチャージされる。一方、第1ノードNAがローレベルであり、第2ノードNBがハイレベルであれば、第3ビット線BLBはローレベルにディスチャージされ、第4ビット線BLBXはハイレベルを保持する。

[0050] 以上に説明したように、2ポートSRAMセルは、第1および第2ビット線BLA、BLAX、ならびに、第1ワード線WLAを制御することによって、SRAMセルへのデータ書き込み動作、データ保持およびSRAMセルからのデータ読み出し機能を有する。また、2ポートSRAMセルは、第3および第4ビット線BLB、BLBX、ならびに、第2ワード線WLBを制御することによって、SRAMセルへのデータ書き込み動作、データ保持およびSRAMセルからのデータ読み出し機能を有する。

[0051] なお、以下の説明では、図1等の平面図において、図面横方向をX方向、

図面縦方向をY方向、基板面に垂直な方向をZ方向としている。また、図1等の平面図において縦横に走る実線、および、図2等の断面図において縦に走る実線は、設計時に部品配置を行うために用いるグリッドを示す。グリッドは、X方向において等間隔に配置されており、またY方向において等間隔に配置されている。なお、グリッド間隔は、X方向とY方向とにおいて同じであってもよいし異なってもよい。また、グリッド間隔は、層ごとに異なってもかまわない。さらに、各部品は必ずしもグリッド上に配置される必要はない。ただし、製造ばらつきを抑制する観点から、部品はグリッド上に配置される方が好ましい。

[0052] また、図1等の平面図においてセルを取り囲むように表示された点線は、2ポートSRAMセルのセル枠（2ポートSRAMセルの外縁）を示す。2ポートSRAMセルは、セル枠が、X方向またはY方向に隣接するセルのセル枠と接するように配置される。

[0053] 図1(a)に示すように、セル下部において、Y方向に延びる電源配線11, 12がそれぞれ設けられている。電源配線11, 12はともに、埋め込み配線層に形成された埋め込み電源配線(BPR: Buried Power Rail)である。電源配線11, 12は、それぞれ、電圧VSSを供給する。なお、図1では、トランジスタP1, P2がロードトランジスタPU2, PU1にそれぞれ相当する。トランジスタN1, N5がドライブトランジスタPD1に相当する。トランジスタN2, N6がドライブトランジスタPD2に相当する。トランジスタN3, N4, N7, N8がアクセストランジスタPG1~PG4にそれぞれ相当する。

[0054] セル下部に、Y方向に延びるナノワイヤ(nanowire)21a~21c, 26a~26dが形成されており、セル上部には、Y方向に延びるナノワイヤ21d~21jが形成されている。

[0055] ナノワイヤ21a, 26a, 26cは、X方向に並んで形成されている。ナノワイヤ21b, 21c, 26b, 26dは、X方向に並んで形成されている。ナノワイヤ21d, 21f, 21g, 21iは、X方向に並んで形成

されている。ナノワイヤ21e, 21h, 21jは、X方向に並んで形成されている。

[0056] また、ナノワイヤ21d, 21i, 26a, 26cは、ナノワイヤ21e, 21j, 26b, 26dとそれぞれY方向に並んで形成されている。また、ナノワイヤ21b, 21gは、平面視において、X方向において同じ位置に形成されている。

[0057] また、ナノワイヤ21a, 21c, 26a~26dは、ナノワイヤ21f, 21h, 21d, 21e, 21i, 21jとそれぞれ平面視で重なっている。

[0058] ゲート配線 (Gate) 31~36は、セル下部からセル上部にかけて、Z方向に伸びており、かつ、X方向に伸びている。ゲート配線31~33は、X方向に並んで形成されており、ゲート配線34~36は、X方向に並んで形成されている。ゲート配線31は、トランジスタN3およびダミートランジスタN21のゲートとなる。ゲート配線32は、トランジスタN1, N5, P2のゲートとなる。ゲート配線33は、トランジスタN7およびダミートランジスタN23のゲートとなる。ゲート配線34は、トランジスタN4およびダミートランジスタN22のゲートとなる。ゲート配線35は、トランジスタN2, N6, P1のゲートとなる。ゲート配線36は、トランジスタN8およびダミートランジスタN24のゲートとなる。

[0059] ナノワイヤ21aの図面上端、ナノワイヤ21aの図面下端、ナノワイヤ21cの図面上端、ナノワイヤ21cの図面下端、ナノワイヤ21dの図面上端、ナノワイヤ21d, 21eの間、ナノワイヤ21eの図面下端、ナノワイヤ21fの図面上端、ナノワイヤ21fの図面下端、ナノワイヤ21hの図面上端、ナノワイヤ21hの図面下端、ナノワイヤ21iの図面上端、ナノワイヤ21i, 21jの間、および、ナノワイヤ21jの図面下端に、N型半導体がドーピングされたパッド22a~22nがそれぞれ形成されている。ナノワイヤ21a, 21c, 21d~21f, 21h~21jが、トランジスタN1~N8のチャネル部をそれぞれ構成する。パッド22a, 2

2 bが、トランジスタN1のノードを構成する。パッド22c, 22dが、トランジスタN2のノードを構成する。パッド22e, 22fが、トランジスタN3のノードを構成する。パッド22f, 22gが、トランジスタN4のノードを構成する。パッド22h, 22iが、トランジスタN5のノードを構成する。パッド22j, 22kが、トランジスタN6のノードを構成する。パッド22l, 22mが、トランジスタN7のノードを構成する。パッド22m, 22nが、トランジスタN8のノードを構成する。

[0060] すなわち、ナノワイヤ21a、ゲート配線32およびパッド22a, 22bによって、トランジスタN1が構成される。ナノワイヤ21c、ゲート配線35およびパッド22c, 22dによって、トランジスタN2が構成される。ナノワイヤ21d、ゲート配線31およびパッド22e, 22fによって、トランジスタN3が構成される。ナノワイヤ21e、ゲート配線34およびパッド22f, 22gによって、トランジスタN4が構成される。ナノワイヤ21f、ゲート配線32およびパッド22h, 22iによって、トランジスタN5が構成される。ナノワイヤ21h、ゲート配線35およびパッド22j, 22kによって、トランジスタN6が構成される。ナノワイヤ21i、ゲート配線33およびパッド22l, 22mによって、トランジスタN7が構成される。ナノワイヤ21j、ゲート配線36およびパッド22m, 22nによって、トランジスタN8が構成される。

[0061] ナノワイヤ21bの図面上端、ナノワイヤ21bの図面下端、ナノワイヤ21gの図面上端、および、ナノワイヤ21gの図面下端に、P型半導体がドーピングされたパッド22o~22rがそれぞれ形成されている。ナノワイヤ21b, 21gが、トランジスタP1, P2のチャネル部をそれぞれ構成する。パッド22o, 22pが、トランジスタP1のノードを構成する。パッド22q, 22rが、トランジスタP2のノードを構成する。

[0062] すなわち、ナノワイヤ21b、ゲート配線35およびパッド22o, 22pによって、トランジスタP1が構成される。ナノワイヤ21g、ゲート配線32およびパッド22q, 22rによって、トランジスタP2が構成され

る。

- [0063] ナノワイヤ26aの図面上端、ナノワイヤ26a, 26bの間、ナノワイヤ26bの図面下端、ナノワイヤ26cの図面上端、ナノワイヤ26c, 26dの間、ナノワイヤ26dの図面下端に、N型半導体がドーピングされたダミーパッド27a~27fがそれぞれ形成されている。ダミーパッド27a, 27bが、ダミートランジスタN21のノードを構成する。ダミーパッド27b, 27cが、ダミートランジスタN22のノードを構成する。ダミーパッド27d, 27eが、ダミートランジスタN23のノードを構成する。ダミーパッド27e, 27fが、ダミートランジスタN24のノードを構成する。ナノワイヤ26a~26dがダミートランジスタN21~N24のチャンネル部に相当する。
- [0064] なお、ダミートランジスタN21~N24は、論理機能を有さないトランジスタである。また、図3の回路図では、ダミートランジスタN21~N24を省略して図示している。なお、以降に説明する実施形態およびその変形例における2ポートSRAMセルには、ダミートランジスタが含まれるものがあるが、各ダミートランジスタは、2ポートSRAMセルの論理機能に影響しないため、回路図への図示は省略する。
- [0065] したがって、本実施形態に係る2ポートSRAMセルでは、トランジスタN3~N8が、ダミートランジスタN21, N22、トランジスタN1, N2、および、ダミートランジスタN23, N24とそれぞれ平面視において重なっている。
- [0066] また、トランジスタN1およびダミートランジスタN21, N23は、X方向に並んで形成されている。トランジスタN2, P1およびダミートランジスタN22, N24は、X方向に並んで形成されている。トランジスタN3, N5, N7, P2は、X方向に並んで形成されている。トランジスタN4, N6, N8は、X方向に並んで形成されている。
- [0067] また、トランジスタN3, N7およびダミートランジスタN21, N23は、トランジスタN4, N8およびダミートランジスタN22, N24とそ

れぞれY方向に並んで形成されている。また、トランジスタP1, P2は、平面視において、X方向において同じ位置に形成されている。

[0068] セル下部に、X方向に延びるローカル配線(LI: Local Interconnect) 41a~41eが形成されている。ローカル配線41aは、パッド22aと接続されている。ローカル配線41bは、パッド22bと接続されている。ローカル配線41cは、パッド22c, 22oと接続されている。ローカル配線41dは、パッド22pと接続されている。ローカル配線41eは、パッド22dと接続されている。

[0069] セル上部に、X方向に延びるローカル配線41f~41nが形成されている。ローカル配線41fは、パッド22eと接続されている。ローカル配線41gは、パッド22hと接続されている。ローカル配線41hは、パッド22qと接続されている。ローカル配線41iは、パッド22lと接続されている。ローカル配線41jは、パッド22f, 22i, 22rと接続されている。ローカル配線41kは、パッド22j, 22mと接続されている。ローカル配線41lは、パッド22gと接続されている。ローカル配線41mは、パッド22kと接続されている。ローカル配線41nは、パッド22nと接続されている。

[0070] ローカル配線41aは、コンタクト(via)51aを介して、電源配線11と接続されており、コンタクト51bを介して、ローカル配線41gと接続されている。ローカル配線41bは、コンタクト51cを介して、ローカル配線41jと接続されている。ローカル配線41cは、コンタクト51dを介して、ローカル配線41kと接続されている。ローカル配線41eは、コンタクト51eを介して、電源配線12と接続されており、コンタクト51fを介して、ローカル配線41mと接続されている。ローカル配線41jは、シェアードコンタクト(Shared-Contact)61aを介して、ゲート配線35と接続されている。ローカル配線41kは、シェアードコンタクト61bを介して、ゲート配線32と接続されている。

[0071] すなわち、トランジスタN1, N5は互いのパッド同士がローカル配線お

よびコンタクトにより接続されており、ゲート配線を共有している。トランジスタN2、N6は互いのパッド同士がローカル配線およびコンタクトにより接続されており、ゲート配線を共有している。また、トランジスタN1、N5がドライブトランジスタPD1に相当し、トランジスタN2、N6がドライブトランジスタPD2に相当する。したがって、本実施形態に係る2ポートSRAMセルにおいて、ドライブトランジスタPD1、PD2は、それぞれ、並列接続された2つのN型FETにより構成されている。

[0072] なお、ローカル配線41b、41j、コンタクト51c、シェアードコンタクト61aおよびゲート配線35が第1ノードNAに相当し、ローカル配線41c、41k、コンタクト51d、シェアードコンタクト61bおよびゲート配線32が第2ノードNBに相当する。

[0073] 図1(c)に示すように、金属配線層であるM1配線層に、セル上下両端にかけてY方向に延びる配線71~75が形成されている。また、配線76~79が形成されている。配線71は、電圧VDDを供給する。配線72~75が、第1ビット線BLA、第3ビット線BLB、第2ビット線BLAXおよび第4ビット線BLBXにそれぞれ相当する。

[0074] M1配線層の上層であるM2配線層に、セル左右両端にかけてX方向に延びる配線81、82が形成されている。配線81、82は、Y方向に並んで配置されている。なお、配線81、82が、第1ワード線WLAおよび第2ワード線WLBにそれぞれ相当する。

[0075] 配線71は、コンタクト91aを介して、ローカル配線41hと接続されており、コンタクト91bを介して、ローカル配線41dと接続されている。配線72は、コンタクト91cを介して、ローカル配線41fと接続されている。配線73は、コンタクト91dを介して、ローカル配線41lと接続されている。配線74は、コンタクト91eを介して、ローカル配線41iと接続されている。配線75は、コンタクト91fを介して、ローカル配線41nと接続されている。

[0076] また、配線76は、コンタクト(Gate-contact)61cを介して、ゲート

配線 3 1 と接続されており、コンタクト 9 1 g を介して、配線 8 1 と接続されている。配線 7 7 は、コンタクト 6 1 d を介して、ゲート配線 3 3 と接続されており、コンタクト 9 1 h を介して、配線 8 1 と接続されている。配線 7 8 は、コンタクト 6 1 e を介して、ゲート配線 3 4 と接続されており、コンタクト 9 1 i を介して、配線 8 2 と接続されている。配線 7 9 は、コンタクト 6 1 f を介して、ゲート配線 3 6 と接続されており、コンタクト 9 1 j を介して、配線 8 2 と接続されている。すなわち、配線 8 1 は、コンタクト 9 1 g、配線 7 6 およびコンタクト 6 1 c を介して、ゲート配線 3 1 と接続されており、コンタクト 9 1 h、配線 7 7 およびコンタクト 6 1 d を介して、ゲート配線 3 3 と接続されている。配線 8 2 は、コンタクト 9 1 i、配線 7 8 およびコンタクト 6 1 e を介して、ゲート配線 3 4 と接続されており、コンタクト 9 1 j、配線 7 9 およびコンタクト 6 1 f を介して、ゲート配線 3 6 と接続されている。

[0077] 以上の構成により、トランジスタ P 2 (ロードトランジスタ P U 1) は、パッド 2 2 q が電圧 V D D を供給する配線 7 1 に、パッド 2 2 r がローカル配線 4 1 j (第 1 ノード N A) に、ゲート配線 3 2 がシェアードコンタクト 6 1 b (第 2 ノード N B) にそれぞれ接続されている。トランジスタ P 1 (ロードトランジスタ P U 2) は、パッド 2 2 p が電圧 V D D を供給する配線 7 1 に、パッド 2 2 o がローカル配線 4 1 c (第 2 ノード N B) に、ゲート配線 3 5 がシェアードコンタクト 6 1 a (第 1 ノード N A) にそれぞれ接続されている。トランジスタ N 1, N 5 (ドライブトランジスタ P D 1) は、パッド 2 2 b, 2 2 i がローカル配線 4 1 b, 4 1 j (第 1 ノード N A) に、パッド 2 2 a, 2 2 h が電圧 V S S を供給する電源配線 1 1 に、ゲート配線 3 2 がシェアードコンタクト 6 1 b (第 2 ノード N B) にそれぞれ接続されている。トランジスタ N 2, N 6 (ドライブトランジスタ P D 2) は、パッド 2 2 c, 2 2 j がローカル配線 4 1 c, 4 1 k (第 2 ノード N B) に、パッド 2 2 d, 2 2 k が電圧 V S S を供給する電源配線 1 2 に、ゲート配線 3 5 がシェアードコンタクト 6 1 a (第 1 ノード N A) にそれぞれ接続され

ている。トランジスタN3（アクセストラジスタPG1）は、パッド22eが配線72（第1ビット線BLA）に、パッド22fがローカル配線41j（第1ノードNA）に、ゲート配線31が配線81（第1ワード線WLA）にそれぞれ接続されている。トランジスタN7（アクセストラジスタPG2）は、パッド22lが配線74（第2ビット線BLAX）に、パッド22mがローカル配線41k（第2ノードNB）に、ゲート配線33が配線81（第1ワード線WLA）にそれぞれ接続されている。トランジスタN4（アクセストラジスタPG3）は、パッド22gが配線73（第3ビット線BLB）に、パッド22fがローカル配線41j（第1ノードNA）に、ゲート配線34が配線82（第2ワード線WLB）にそれぞれ接続されている。トランジスタN8（アクセストラジスタPG4）は、パッド22nが配線75（第4ビット線BLBX）に、パッド22mがローカル配線41k（第2ノードNB）に、ゲート配線36が配線82（第2ワード線WLB）にそれぞれ接続されている。すなわち、トランジスタN1～N8，P1，P2により2ポートSRAM回路が構成される。また、セル下部に、トランジスタN1，N2，P1が形成されており、セル上部に、トランジスタN3～N8，P2が形成されている。トランジスタN1～N8，P1，P2は、それぞれ、立体構造トランジスタである。これにより、CFETを用いた2ポートSRAMセルを実現することができる。

[0078] また、トランジスタP1，P2は、平面視において、X方向において同じ位置に形成されている。これにより、2ポートSRAMセルの小面積化を図ることができる。

[0079] また、ドライブトランジスタPD1は、並列接続されたトランジスタN1，N5によって構成されており、ドライブトランジスタPD2は、並列接続されたトランジスタN2，N6によって構成されている。また、トランジスタN1，N2は、トランジスタN5，N6とそれぞれ平面視で重なっている。これにより、2ポートSRAMセルの駆動能力を向上させつつ、小面積化を図ることができる。

- [0080] なお、X方向に2ポートSRAMセルを隣接して配置する場合、X方向に反転させて配置してもよいし、X方向に反転させずに配置してもよい。また、Y方向に2ポートSRAMセルを隣接して配置する場合、Y方向に反転させて配置される。
- [0081] また、ダミートランジスタN21～N24の各ノードには、いずれもローカル配線が接続されていない。このため、ダミートランジスタN21～N24は、2ポートSRAMセルの論理機能に影響を与えない。また、ダミートランジスタN21～N24が形成されていなくてもよいが、ダミートランジスタN21～N24を形成した方が、半導体記憶装置の製造ばらつきの抑制、歩留まりの向上、信頼性の向上を図ることができる。
- [0082] また、ローカル配線41jとゲート配線35とを接続するシェアードコンタクト61a、および、ローカル配線41kとゲート配線32とを接続するシェアードコンタクト61bは、M1配線層に配置された配線とゲート配線とを接続するコンタクト61c～61fと同じプロセス工程において形成されてもよいし、別のプロセス工程において形成されてもよい。
- [0083] また、電圧VDDを供給する配線71をM1配線層に設けているが、電圧VDDを供給する配線を埋め込み配線層に設けてもよい。また、電圧VDDを供給する配線をM1配線層および埋め込み配線層の両方に設けてもよい。この場合、電圧VDDを供給する電源が強化されるため、電源の安定化を図ることができる。
- [0084] また、トランジスタN3、N4、N7、N8がセル上部に形成されているが、トランジスタN3、N4、N7、N8がセル下部に形成されてもよい。この場合、ダミートランジスタN21～N24に代えて、トランジスタN3、N4、N7、N8がセル下部に形成される。そして、2ポートSRAMセルに、上述した2ポートSRAM回路が構成されるように、ローカル配線およびコンタクトが形成される。
- [0085] (変形例1)

図4は第1実施形態に係る2ポートSRAMセルのレイアウト構造の他の

例を示す平面図である。具体的に、図4（a）はセル下部を示し、図4（b）はセル上部を示し、図4（c）はM1，M2配線層を示す。図4では、図1と対比すると、セル下部に、トランジスタN1，N2，P1に加えて、トランジスタN11～N14，N17，N18が形成されており、ダミートランジスタN21～N24が省かれている。また、セル上部に、トランジスタN3～N8，P2に加えて、トランジスタN15，N16が形成されている。

[0086] 具体的に、セル下部に、Y方向に延びるナノワイヤ23a，23c，23d，23e，23i，23jが形成されており、セル上部に、Y方向に延びるナノワイヤ23f，23hが形成されている。

[0087] ナノワイヤ23a，23d，23iは、ナノワイヤ21aとX方向に並んで形成されている。ナノワイヤ23c，23e，23jは、ナノワイヤ21b，21cとX方向に並んで形成されている。ナノワイヤ23fは、ナノワイヤ21d，21f，21g，21iとX方向に並んで形成されている。ナノワイヤ23hは、ナノワイヤ21e，21h，21jとX方向に並んで形成されている。

[0088] また、ナノワイヤ23d，23iは、ナノワイヤ23e，23jとそれぞれY方向に並んで形成されている。

[0089] また、ナノワイヤ23a，23c，23d，23e，23i，23jは、ナノワイヤ23f，23h，21d，21e，21i，21jとそれぞれ平面視において重なっている。

[0090] ゲート配線31は、トランジスタN13のゲートとなる。ゲート配線32は、トランジスタN11，N15のゲートとなる。ゲート配線33は、トランジスタN17のゲートとなる。ゲート配線34は、トランジスタN14のゲートとなる。ゲート配線35は、トランジスタN12，N16のゲートとなる。ゲート配線36は、トランジスタN18のゲートとなる。

[0091] ナノワイヤ23aの図面上端、ナノワイヤ23aの図面下端、ナノワイヤ23cの図面上端、ナノワイヤ23cの図面下端、ナノワイヤ23dの図面

上端、ナノワイヤ23 d, 23 eの間、ナノワイヤ23 eの図面下端、ナノワイヤ23 fの図面上端、ナノワイヤ23 fの図面下端、ナノワイヤ23 hの図面上端、ナノワイヤ23 hの図面下端、ナノワイヤ23 iの図面上端、ナノワイヤ23 i, 23 jの間、および、ナノワイヤ23 jの図面下端に、N型半導体がドーピングされたパッド24 a~24 nがそれぞれ形成されている。ナノワイヤ23 a, 23 c, 23 d, 23 e, 23 f, 23 h, 23 i, 23 jが、トランジスタN11~N18のチャネル部を構成する。パッド24 a, 24 bが、トランジスタN11のノードを構成する。パッド24 c, 24 dが、トランジスタN12のノードを構成する。パッド24 e, 24 fが、トランジスタN13のノードを構成する。パッド24 f, 24 gが、トランジスタN14のノードを構成する。パッド24 h, 24 iが、トランジスタN15のノードを構成する。パッド24 j, 24 kが、トランジスタN16のノードを構成する。パッド24 l, 24 mが、トランジスタN17のノードを構成する。パッド24 m, 24 nが、トランジスタN18のノードを構成する。

[0092] すなわち、ナノワイヤ23 a、ゲート配線32およびパッド24 a, 24 bによって、トランジスタN11が構成される。ナノワイヤ23 c、ゲート配線35およびパッド24 c, 24 dによって、トランジスタN12が構成される。ナノワイヤ23 d、ゲート配線31およびパッド24 e, 24 fによって、トランジスタN13が構成される。ナノワイヤ23 e、ゲート配線34およびパッド24 f, 24 gによって、トランジスタN14が構成される。ナノワイヤ23 f、ゲート配線32およびパッド24 h, 24 iによって、トランジスタN15が構成される。ナノワイヤ23 h、ゲート配線35およびパッド24 j, 24 kによって、トランジスタN16が構成される。ナノワイヤ23 i、ゲート配線33およびパッド24 l, 24 mによって、トランジスタN17が構成される。ナノワイヤ23 j、ゲート配線36およびパッド24 m, 24 nによって、トランジスタN18が構成される。

[0093] したがって、トランジスタN11~N14, N17, N18は、トランジ

スタN15, N16, N3, N4, N7, N8とそれぞれ平面視で重なっている。

[0094] また、トランジスタN11, N13, N17は、トランジスタN1とX方向に並んで形成されている。トランジスタN12, N14, N18は、トランジスタN2, P1とX方向に並んで形成されている。トランジスタN15は、トランジスタN3, N5, N7, P2とX方向に並んで形成されている。トランジスタN16は、トランジスタN4, N6, N8とX方向に並んで形成されている。

[0095] また、トランジスタN13, N17は、トランジスタN14, N18とそれぞれY方向に並んで形成されている。

[0096] セル下部に、X方向に延びるローカル配線42a~42dが形成されている。ローカル配線42aは、パッド24eと接続されている。ローカル配線42bは、パッド24lと接続されている。ローカル配線42cは、パッド24gと接続されている。ローカル配線42dは、パッド24nと接続されている。

[0097] セル下部において、ローカル配線41aは、パッド22a, 24aと接続されている。ローカル配線41bは、パッド22b, 24b, 24fと接続されている。ローカル配線41cは、パッド22c, 22o, 24c, 24mと接続されている。ローカル配線41eは、パッド22d, 24dと接続されている。

[0098] セル上部において、ローカル配線41gは、パッド22h, 24hと接続されている。ローカル配線41jは、パッド22f, 22i, 24iと接続されている。ローカル配線41kは、パッド22j, 22m, 22r, 24jと接続されている。ローカル配線41mは、パッド22k, 24kと接続されている。

[0099] ローカル配線42aは、コンタクト52aを介して、ローカル配線41fと接続されている。ローカル配線42bは、コンタクト52bを介して、ローカル配線41iと接続されている。ローカル配線42cは、コンタクト5

2cを介して、ローカル配線41lと接続されている。ローカル配線42dは、コンタクト52dを介して、ローカル配線41nと接続されている。

[0100] すなわち、トランジスタN1, N5, N11, N15は、互いのパッド同士がローカル配線およびコンタクトにより接続されており、ゲート配線を共有している。トランジスタN2, N6, N12, N16は、互いのパッド同士がローカル配線およびコンタクトにより接続されており、ゲート配線を共有している。トランジスタN3, N13は、互いのパッド同士がローカル配線およびコンタクトにより接続されており、ゲート配線を共有している。トランジスタN4, N14は、互いのパッド同士がローカル配線およびコンタクトにより接続されており、ゲート配線を共有している。トランジスタN7, N17は、互いのパッド同士がローカル配線およびコンタクトにより接続されており、ゲート配線を共有している。トランジスタN8, N18は、互いのパッド同士がローカル配線およびコンタクトにより接続されており、ゲート配線を共有している。なお、本変形例では、トランジスタN1, N5, N11, N15がドライブトランジスタPD1に相当し、トランジスタN2, N6, N12, N16がドライブトランジスタPD2に相当し、トランジスタN3, N13がアクセストランジスタPG1に相当し、トランジスタN7, N17がアクセストランジスタPG2に相当し、トランジスタN4, N14がアクセストランジスタPG3に相当し、トランジスタN8, N18がアクセストランジスタPG4に相当する。

[0101] したがって、本変形例では、ドライブトランジスタPD1, PD2が、それぞれ、並列接続された4つのN型FETによって構成され、アクセストランジスタPG1~PG4が、それぞれ、並列接続された2つのN型FETによって構成されている。また、ドライブトランジスタPD1, PD2に相当するトランジスタ、および、アクセストランジスタPG1~PG4に相当するトランジスタが、それぞれ積層されている。そして、本変形例により、第1実施形態に係る2ポートSRAMセルと同様の効果を得ることができる。

[0102] また、ドライブトランジスタPD1は、並列接続されたトランジスタN1

、N5、N11、N15によって構成され、ドライブトランジスタPD2は、並列接続されたトランジスタN2、N6、N12、N16によって構成され、アクセストランジスタPG1は、並列接続されたトランジスタN3、N13によって構成され、アクセストランジスタPG2は、並列接続されたトランジスタN7、N17によって構成され、アクセストランジスタPG3は、並列接続されたトランジスタN4、N14によって構成され、アクセストランジスタPG4は、並列接続されたトランジスタN8、N18によって構成されている。また、トランジスタN11～N14、N17、N18は、トランジスタN15、N16、N3、N4、N7、N8とそれぞれ平面視で重なっている。これにより、2ポートSRAMセルの駆動能力を向上させつつ、小面積化を図ることができる。

[0103] (変形例2)

図5は第1実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図5(a)はセル下部を示し、図5(b)はセル上部を示し、図5(c)はM1、M2配線層を示す。図5では、図1と対比すると、トランジスタP1が、セル上部に形成されている。また、ダミートランジスタN25、N26が、セル下部に形成されている。

[0104] 具体的に、セル上部に、ナノワイヤ21bが形成されている。セル下部に、Y方向に延びるナノワイヤ28a、28bが形成されている。

[0105] ナノワイヤ21bは、ナノワイヤ21e、21h、21jとX方向に並んで形成されている。ナノワイヤ28aは、ナノワイヤ21a、26a、26cとX方向に並んで形成されている。ナノワイヤ28bは、ナノワイヤ21c、26b、26dとX方向に並んで形成されている。

[0106] また、ナノワイヤ21g、21bは、ナノワイヤ28a、28bとそれぞれ平面視で重なっている。

[0107] ナノワイヤ28aの図面上端、ナノワイヤ28aの図面下端、ナノワイヤ28bの図面上端、および、ナノワイヤ28bの図面下端に、N型半導体がドーピングされたダミーパッド29a～29dがそれぞれ形成されている。

ナノワイヤ28a, 28bが、ダミートランジスタN25, N26のチャンネル部をそれぞれ構成する。ダミーパッド29a, 29bがダミートランジスタN25のノードを構成し、ダミーパッド29c, 29dがダミートランジスタN26のノードを構成する。なお、ダミートランジスタN25, N26は、論理機能を有さないトランジスタである。

[0108] したがって、トランジスタP2, P1は、ダミートランジスタN25, N26とそれぞれ平面視で重なっている。

[0109] また、トランジスタP1は、トランジスタN4, N6, N8とX方向に並んで形成されている。ダミートランジスタN25は、トランジスタN1およびダミートランジスタN21, N23とX方向に並んで形成されている。ダミートランジスタN26は、トランジスタN2およびダミートランジスタN22, N24とX方向に並んで形成されている。

[0110] セル下部において、ローカル配線41cは、パッド22cと接続されている。セル上部において、ローカル配線41kは、パッド22o, 22j, 22mと接続されている。

[0111] 本変形例では、ダミートランジスタを含む各トランジスタは、積層されている。また、セル下部に形成される、ダミートランジスタを含むトランジスタは、N型FETのみである。そして、本変形例により、第1実施形態に係る2ポートSRAMセルと同様の効果を得ることができる。

[0112] また、トランジスタN3~N8, P2, P1は、ダミートランジスタN21, N22、トランジスタN1, N2およびダミートランジスタN23~N26とそれぞれ平面視で重なっている。すなわち、ダミートランジスタを含む各トランジスタは、他のトランジスタと積層されている。これにより、一部のトランジスタの除去等を行う必要がないため、製造プロセスの複雑化を抑制することができる。

[0113] また、セル下部には、トランジスタN1, N2およびダミートランジスタN21~N26が形成されており、セル上部には、トランジスタP1, P2, N3~N8が形成されている。すなわち、セル下部には、N型FETのみ

が配置されており、セル上部に配置されるトランジスタの一部をN型FETに置き換えることで、上記構成を実現することができる。これにより、製造プロセスの複雑化を抑制することができる。

[0114] (変形例3)

図6は第1実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図6(a)はセル下部を示し、図6(b)はセル上部を示し、図6(c)はM1, M2配線層を示す。図6では、図1と対比すると、トランジスタN1, N2に加えて、トランジスタN11~N14, N17, N18およびダミートランジスタN25, N26が、セル下部に形成されており、ダミートランジスタN21~N24が省かれている。また、トランジスタN3~N8, P2に加えて、トランジスタN15, N16, P1が、セル上部に形成されている。

[0115] セル下部に、ローカル配線42a~42dが形成されている。セル上部において、ローカル配線41jは、パッド22f, 22i, 22r, 24iと接続されている。ローカル配線41kは、パッド22j, 22m, 22o, 24jと接続されている。

[0116] なお、本変形例では、トランジスタN1, N5, N11, N15がドライブトランジスタPD1に相当し、トランジスタN2, N6, N12, N16がドライブトランジスタPD2に相当し、トランジスタN3, N13がアクセストランジスタPG1に相当し、トランジスタN7, N17がアクセストランジスタPG2に相当し、トランジスタN4, N14がアクセストランジスタPG3に相当し、トランジスタN8, N18がアクセストランジスタPG4に相当する。

[0117] したがって、本変形例では、ドライブトランジスタPD1, PD2が、それぞれ、並列に接続された4つのN型FETによって構成され、アクセストランジスタPG1~PG4が、それぞれ、並列に接続された2つのN型FETによって構成されている。また、ダミートランジスタを含む各トランジスタは、積層されている。また、セル下部に形成される、ダミートランジスタ

を含むトランジスタは、N型FETのみである。そして、本変形例により、第1実施形態に係る2ポートSRAMセルと同様の効果を得ることができる。

[0118] また、ドライブトランジスタPD1は、並列接続されたトランジスタN1, N5, N11, N15によって構成され、ドライブトランジスタPD2は、並列接続されたトランジスタN2, N6, N12, N16によって構成され、アクセストランジスタPG1は、並列接続されたトランジスタN3, N13によって構成され、アクセストランジスタPG2は、並列接続されたトランジスタN7, N17によって構成され、アクセストランジスタPG3は、並列接続されたトランジスタN4, N14によって構成され、アクセストランジスタPG4は、並列接続されたトランジスタN8, N18によって構成されている。また、トランジスタN11~N14, N17, N18は、トランジスタN15, N16, N3, N4, N7, N8とそれぞれ平面視で重なっている。これにより、2ポートSRAMセルの駆動能力を向上させつつ、小面積化を図ることができる。

[0119] また、トランジスタN3~N8, N15, N16, P1, P2は、トランジスタN13, N14, N1, N2, N17, N18, N11, N12およびダミートランジスタN26, N25とそれぞれ平面視で重なっている。すなわち、ダミートランジスタを含む各トランジスタは、他のトランジスタと積層されている。これにより、一部のトランジスタの除去等を行う必要がないため、製造プロセスの複雑化を抑制することができる。

[0120] また、セル下部には、トランジスタN1, N2, N11~N14, N17, N18およびダミートランジスタN25, N26が形成されており、セル上部には、トランジスタN3~N8, N15, N16, P1, P2が形成されている。すなわち、セル下部には、N型FETのみが配置されており、セル上部に配置されるトランジスタの一部をN型FETに置き換えることで、上記構成を実現することができる。これにより、製造プロセスの複雑化を抑制することができる。

[0121] (変形例4)

図7は第1実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す平面図である。具体的に、図7(a)はセル下部を示し、図7(b)はセル上部を示し、図7(c)はM1, M2配線層を示す。図7では、図1と対比すると、トランジスタN1, N2およびダミートランジスタN21~N24に加えて、トランジスタN5, N6が、セル下部に形成されている。また、トランジスタN3, N4, N7, N8, P2に加えて、トランジスタP1およびダミートランジスタP21, P22が、セル上部に形成されている。

[0122] 具体的に、セル下部に、ナノワイヤ21f, 21hが形成されている。セル上部に、ナノワイヤ21b、および、Y方向に延びるナノワイヤ28c, 28dが形成されている。

[0123] ナノワイヤ21fは、ナノワイヤ21a, 26a, 26cとX方向に並んで形成されている。ナノワイヤ21hは、ナノワイヤ21c, 26b, 26dとX方向に並んで形成されている。ナノワイヤ28cは、ナノワイヤ21d, 21g, 21iとX方向に並んで形成されている。ナノワイヤ21b, 28dは、ナノワイヤ21e, 21jとX方向に並んで形成されている。

[0124] また、ナノワイヤ21a, 21f, 21c, 21hは、ナノワイヤ21g, 28c, 28d, 21bとそれぞれ平面視で重なっている。

[0125] ナノワイヤ28cの図面上端、ナノワイヤ28cの図面下端、ナノワイヤ28dの図面上端、および、ナノワイヤ28dの図面下端に、P型半導体がドーピングされたダミーパッド29e~29hがそれぞれ形成されている。ナノワイヤ28c, 28dが、ダミートランジスタP21, P22のチャネル部をそれぞれ構成する。ダミーパッド29e, 29fがダミートランジスタP21のノードを構成し、ダミーパッド29g, 29hがダミートランジスタP22のノードを構成する。なお、ダミートランジスタP21, P22は、論理機能を有さないトランジスタである。

[0126] したがって、トランジスタP1, P2およびダミートランジスタP21,

P 2 2 は、トランジスタ N 6, N 1, N 5, N 2 とそれぞれ平面視で重なっている。

[0127] また、トランジスタ N 5, N 6 は、トランジスタ N 1, N 2 とそれぞれ X 方向に並んで形成されている。

[0128] 図 7 (c) に示すように、M 1 配線層に、X 方向に延びる配線 7 1 a, 7 1 b が形成されている。配線 7 1 a, 7 1 b は、それぞれ、電圧 V D D を供給する。配線 7 1 a は、コンタクト 9 1 a を介して、ローカル配線 4 1 h と接続されている。配線 7 1 b は、コンタクト 9 1 b を介して、ローカル配線 4 1 d と接続されている。

[0129] 本変形例では、セル下部に、ドライブトランジスタ P D 1, P D 2 に相当するトランジスタが X 方向に並んで形成されている。また、セル上部に、ロードトランジスタ P U 1, P U 2 に相当するトランジスタが形成され、かつ、ドライブトランジスタ P D 1, P D 2 に相当するトランジスタと積層されている。そして、本変形例により、第 1 実施形態に係る 2 ポート S R A M セルと同様の効果を得ることができる。

[0130] また、トランジスタ N 1, N 2, N 5, N 6 およびダミートランジスタ N 2 1 ~ N 2 4 は、トランジスタ P 2、ダミートランジスタ P 2 2, P 2 1 およびトランジスタ P 1, N 3, N 4, N 7, N 8 とそれぞれ平面視で重なっている。すなわち、ダミートランジスタを含む各トランジスタは、他のトランジスタと積層されている。これにより、一部のトランジスタの除去等を行う必要がないため、製造プロセスの複雑化を抑制することができる。

[0131] また、セル下部には、トランジスタ N 1, N 2, N 5, N 6 およびダミートランジスタ N 2 1 ~ N 2 4 が形成されており、セル上部には、トランジスタ N 3, N 4, N 7, N 8, P 1, P 2 およびダミートランジスタ P 2 1, P 2 2 が形成されている。すなわち、セル下部には、N 型 F E T のみが配置されており、セル上部に配置されるトランジスタの一部を N 型 F E T に置き換えることで、上記構成を実現することができる。これにより、製造プロセスの複雑化を抑制することができる。

[0132] (第2実施形態)

図8は第2実施形態に係る2ポートSRAMセルのレイアウト構造の例を示す図である。具体的に、図8(a)はセル下部を示し、図8(b)はセル上部を示し、図8(c)はM1, M2配線層を示す。図8では、トランジスタN1, N2, N7, N8, N47, N48, P1が、セル下部に形成されており、トランジスタN3~N6, N43, N44, P2が、セル上部に形成されている。なお、図8では、本実施形態に係る2ポートSRAMセルに、他の2ポートSRAMセルがX方向に隣接して配置されている。具体的に、トランジスタN43, N44は、本実施形態に係る2ポートSRAMセルの図面右側に配置された2ポートSRAMセルに含まれるトランジスタである。また、トランジスタN47, N48が、本実施形態に係る2ポートSRAMセルの図面左側に配置された2ポートSRAMセルに含まれるトランジスタである。

[0133] より具体的に、セル下部に、ナノワイヤ21i, 21jが形成されている。また、セル下部における図面左端に、Y方向に延びるナノワイヤ121i, 121jが形成されており、セル上部における図面右端に、Y方向に延びるナノワイヤ121d, 121eが形成されている。

[0134] ナノワイヤ121dは、ナノワイヤ21d, 21f, 21gとX方向に並んで形成されている。ナノワイヤ121eは、ナノワイヤ21e, 21hとX方向に並んで形成されている。ナノワイヤ121iは、ナノワイヤ21a, 21iとX方向に並んで形成されている。ナノワイヤ121jは、ナノワイヤ21b, 21c, 21jとX方向に並んで形成されている。

[0135] また、ナノワイヤ121d, 121eは、Y方向に並んで形成されている。ナノワイヤ121i, 121jは、Y方向に並んで形成されている。

[0136] また、ナノワイヤ121d, 121e, 121i, 121jは、ナノワイヤ21i, 21j, 21d, 21eとそれぞれ平面視で重なっている。

[0137] ゲート配線33は、トランジスタN43のゲートとなる。ゲート配線36は、トランジスタN44のゲートとなる。ゲート配線31は、トランジスタ

N 4 7 のゲートとなる。ゲート配線 3 4 は、トランジスタ N 4 8 のゲートとなる。

[0138] すなわち、トランジスタ N 4 3, N 4 4 は、トランジスタ N 7, N 8 とそれぞれ平面視において重なっている。トランジスタ N 4 7, N 4 8 は、トランジスタ N 3, N 4 とそれぞれ平面視において重なっている。

[0139] また、トランジスタ N 4 3 は、トランジスタ N 3, N 5, P 2 と X 方向に並んで形成されている。トランジスタ N 4 4 は、トランジスタ N 4, N 6 と X 方向に並んで形成されている。トランジスタ N 4 7 は、トランジスタ N 1, N 7 と X 方向に並んで形成されている。トランジスタ N 4 8 は、トランジスタ N 2, N 8, P 1 と X 方向に並んで形成されている。

[0140] また、トランジスタ N 4 3, N 4 4 は、Y 方向に並んで形成されている。トランジスタ N 4 7, N 4 8 は、Y 方向に並んで形成されている。

[0141] セル下部において、ローカル配線 4 1 c は、パッド 2 2 c, 2 2 m, 2 2 o と接続されている。セル上部において、ローカル配線 4 1 k は、パッド 2 2 j と接続されている。

[0142] 以上の構成により、トランジスタ N 1 ~ N 8, P 1, P 2 により 2 ポート S R A M 回路が構成される。また、セル下部に、トランジスタ N 1, N 2, N 7, N 8, P 1 が形成されており、セル上部に、トランジスタ N 3 ~ N 6, P 2 が形成されている。トランジスタ N 1 ~ N 8, P 1, P 2 は、それぞれ、立体構造トランジスタである。これにより、C F E T を用いた 2 ポート S R A M セルを実現することができる。

[0143] また、トランジスタ P 1, P 2 は、平面視において、X 方向において同じ位置に形成されている。これにより、2 ポート S R A M セルの小面積化を図ることができる。

[0144] また、ドライブトランジスタ P D 1 は、並列接続されたトランジスタ N 1, N 5 によって構成されており、ドライブトランジスタ P D 2 は、並列接続されたトランジスタ N 2, N 6 によって構成されている。また、トランジスタ N 1, N 2 は、トランジスタ N 5, N 6 とそれぞれ平面視で重なっている

。これにより、2ポートSRAMセルの駆動能力を向上させつつ、小面積化を図ることができる。

[0145] また、トランジスタN43, N44が、本実施形態に係る2ポートSRAMセルの図面右側に配置された2ポートSRAMセルにおけるトランジスタN3, N4にそれぞれ相当する。また、トランジスタN47, N48が、本実施形態に係る2ポートSRAMセルの図面左側に配置された2ポートSRAMセルにおけるトランジスタN7, N8にそれぞれ相当する。また、トランジスタN43, N44は、トランジスタ, N7, N8とそれぞれ平面視で重なっており、トランジスタN47, N48は、トランジスタN3, N4とそれぞれ平面視において重なっている。すなわち、アクセストランジスタPG1に相当するトランジスタN3が、図面左側に隣接する2ポートSRAMセルのアクセストランジスタPG2に相当するトランジスタN47と積層される。アクセストランジスタPG2に相当するトランジスタN7が、図面右側に隣接する2ポートSRAMセルのアクセストランジスタPG1に相当するトランジスタN43と積層される。アクセストランジスタPG3に相当するトランジスタN4が、図面左側に隣接する2ポートSRAMセルのアクセストランジスタPG4に相当するトランジスタN48と積層される。アクセストランジスタPG4に相当するトランジスタN8が、図面右側に隣接する2ポートSRAMセルのアクセストランジスタPG3に相当するトランジスタN44と積層される。これにより、2ポートSRAMセルの小面積化を図ることができる。

[0146] なお、本実施形態では、X方向に隣接する2ポートSRAMセルは、X方向に反転させずに配置される。また、2ポートSRAMセルとY方向に隣接する2ポートSRAMセルは、Y方向に反転させて配置される。

[0147] また、セル下部に、トランジスタN3, N4, N43, N44を形成し、セル上部に、トランジスタN7, N8, N47, N48を形成してもよい。この場合、本実施形態に係る2ポートSRAMセルに、2ポートSRAMセル回路が形成されるように、ローカル配線およびコンタクトが形成される。

[0148] (変形例1)

図9は第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す図である。具体的に、図9(a)はセル下部を示し、図9(b)はセル上部を示し、図9(c)はM1, M2配線層を示す。図9では、図8と対比すると、トランジスタP1が、セル上部に形成されている。また、ダミートランジスタN25, N26が、セル下部に形成されている。

[0149] 具体的に、セル上部にナノワイヤ21bが形成されている。セル下部に、ナノワイヤ28a, 28bが形成されている。

[0150] ナノワイヤ21bは、ナノワイヤ21e, 21h, 121eとX方向に並んで形成されている。ナノワイヤ28aは、ナノワイヤ21a, 21i, 121iとX方向に並んで形成されている。ナノワイヤ28bは、ナノワイヤ21c, 21j, 121jとX方向に並んで形成されている。

[0151] また、ナノワイヤ21g, 21bは、ナノワイヤ28a, 28bとそれぞれ平面視で重なっている。

[0152] すなわち、トランジスタP2, P1は、ダミートランジスタN25, N26とそれぞれ平面視で重なっている。

[0153] また、トランジスタP1は、トランジスタN4, N6, N44とX方向に並んで形成されている。ダミートランジスタN25は、トランジスタN1, N7, N47とX方向に並んで形成されている。ダミートランジスタN26は、トランジスタN2, N8, N48とX方向に並んで形成されている。

[0154] また、セル下部において、ローカル配線41cは、パッド22c, 22mと接続されている。セル上部において、ローカル配線41kは、パッド22j, 22oと接続されている。

[0155] 本変形例では、ダミートランジスタを含む各トランジスタは、積層されている。また、セル下部に形成される、ダミートランジスタを含むトランジスタは、N型FETのみである。そして、本変形例では、第2実施形態に係るSRAMセルと同様の効果を得ることができる。

[0156] また、トランジスタN1, N2, N7, N8, N47, N48およびダミ

ートランジスタN25, N26は、トランジスタN5, N6, N43, N44, N3, N4, P2, P1とそれぞれ平面視で重なっている。すなわち、ダミートランジスタを含む各トランジスタは、他のトランジスタと積層されている。これにより、一部のトランジスタの除去等を行う必要がないため、製造プロセスの複雑化を抑制することができる。

[0157] また、セル下部に、トランジスタN1, N2, N7, N8, N47, N48およびダミートランジスタN25, N26が形成されており、セル上部に、トランジスタN3~N6, N43, N44, P1, P2が形成されている。すなわち、セル下部には、N型FETのみが配置されており、セル上部に配置されるトランジスタの一部をN型FETに置き換えることで、上記構成を実現することができる。これにより、製造プロセスの複雑化を抑制することができる。

[0158] (変形例2)

図10は第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す図である。具体的に、図10(a)はセル下部を示し、図10(b)はセル上部を示し、図10(c)はM1, M2配線層を示す。図10では、図8と対比すると、トランジスタN1, N2, N7, N8, N47, N48に加えて、トランジスタN5, N6が、セル下部に形成されている。また、トランジスタN3, N4, N43, N44, P2に加えて、トランジスタP1およびダミートランジスタP21, P22が、セル上部に形成されている。

[0159] 具体的に、セル下部に、ナノワイヤ21f, 21hが形成されている。セル上部に、ナノワイヤ21b, 28c, 28dが形成されている。

[0160] ナノワイヤ21fは、ナノワイヤ21a, 21i, 121iとX方向に並んで形成されている。ナノワイヤ21hは、ナノワイヤ21c, 21j, 121jとX方向に並んで形成されている。ナノワイヤ28cは、ナノワイヤ21d, 21g, 121dとX方向に並んで形成されている。ナノワイヤ21b, 28dは、ナノワイヤ21e, 121eとX方向に並んで形成されて

いる。

- [0161] また、ナノワイヤ21a, 21f, 21c, 21hは、ナノワイヤ21g, 28c, 28d, 21bとそれぞれ平面視で重なっている。
- [0162] すなわち、トランジスタP1, P2およびダミートランジスタP21, P22は、トランジスタN6, N1, N5, N2とそれぞれ平面視で重なっている。
- [0163] また、トランジスタN5は、トランジスタN1, N7, N47とX方向に並んで形成されている。トランジスタN6は、トランジスタN2, N6, N8, N48とX方向に並んで形成されている。
- [0164] また、セル下部において、ローカル配線41aは、パッド22a, 22hと接続されている。ローカル配線41bは、パッド22b, 22iと接続されている。ローカル配線41cは、パッド22c, 22j, 22mと接続されている。ローカル配線41eは、パッド22d, 22kと接続されている。セル上部において、ローカル配線41kは、パッド22oと接続されている。
- [0165] 本変形例では、セル下部に、ドライブトランジスタPD1, PD2に相当するトランジスタがX方向に並んで形成されている。また、セル上部に、ロードトランジスタPU1, PU2に相当するトランジスタが形成され、かつ、ドライブトランジスタPD1, PD2に相当するトランジスタと積層されている。そして、本変形例により、第2実施形態に係る2ポートSRAMセルと同様の効果を得ることができる。
- [0166] また、トランジスタN1, N2, N5~N8, N47, N48は、トランジスタP2、ダミートランジスタP22, P21およびトランジスタP1, N43, N44, N3, N4とそれぞれ平面視で重なっている。すなわち、ダミートランジスタを含む各トランジスタは、他のトランジスタと積層されている。これにより、一部のトランジスタの除去等を行う必要がないため、製造プロセスの複雑化を抑制することができる。
- [0167] また、セル下部には、トランジスタN1, N2, N5~N8, N47, N

4 8 が形成されており、セル上部には、トランジスタ N 3, N 4, N 4 3, N 4 4, P 1, P 2 およびダミートランジスタ P 2 1, P 2 2 が形成されている。すなわち、セル下部には、N 型 F E T のみが配置されており、セル上部に配置されるトランジスタの一部を N 型 F E T に置き換えることで、上記構成を実現することができる。これにより、製造プロセスの複雑化を抑制することができる。

[0168] (変形例 3)

図 1 1 および図 1 2 は第 2 実施形態に係る 2 ポート S R A M セルのレイアウト構造の他の例を示す図である。具体的に、図 1 1 (a) および図 1 2 (a) はセル下部を示し、図 1 1 (b) および図 1 2 (b) はセル上部を示し、図 1 1 (c) および図 1 2 (c) は M 1, M 2 配線層を示す。

[0169] 図 1 1 では、図 8 と対比すると、トランジスタ N 1, N 2, N 4 7, N 4 8, P 1 に加えて、トランジスタ N 4 3, N 4 4 が、セル下部に形成されている。また、トランジスタ N 3 ~ N 6, P 2 に加えて、トランジスタ N 7, N 8 が、セル上部に形成されている。図 1 2 では、図 8 と対比すると、トランジスタ N 1, N 2, N 7, N 8, P 1 に加えて、トランジスタ N 3, N 4 が、セル下部に形成されている。また、トランジスタ N 5, N 6, N 4 3, N 4 4, P 2 に加えて、トランジスタ N 4 7, N 4 8 が、セル上部に形成されている。

[0170] 本変形例では、図 1 1 および図 1 2 に示す 2 ポート S R A M セルが X 方向に隣接して交互に配置される。具体的に、図 1 1 では、トランジスタ N 4 3, N 4 4 は、図面右側に配置された図 1 2 に示す 2 ポート S R A M セルに含まれるトランジスタであり、トランジスタ N 4 7, N 4 8 は、図面左側に配置された図 1 2 に示す 2 ポート S R A M セルに含まれるトランジスタである。また、図 1 2 では、トランジスタ N 4 3, N 4 4 は、図面右側に配置された図 1 1 に示す 2 ポート S R A M セルに含まれるトランジスタであり、トランジスタ N 4 7, N 4 8 は、図面左側に配置された図 1 1 に示す 2 ポート S R A M セルに含まれるトランジスタである。

[0171] 図11および図12では、ナノワイヤ21d, 21e, 21i, 21jが、ナノワイヤ121i, 121j, 121d, 121eとそれぞれ平面視で重なっている。すなわち、トランジスタN3, N4, N7, N8が、トランジスタN47, N48, N43, N44とそれぞれ平面視で重なっている。

[0172] 具体的に、図11では、セル下部に、ナノワイヤ121d, 121e, 121i, 121jが形成されており、セル上部に、ナノワイヤ21d, 21e, 21i, 21jが形成されている。また、ナノワイヤ21a, 121d, 121iがX方向に並んで形成されている。ナノワイヤ21b, 21c, 121e, 121jがX方向に並んで形成されている。ナノワイヤ21d, 21f, 21g, 21iがX方向に並んで形成されている。ナノワイヤ21e, 21h, 21jがX方向に並んで形成されている。

[0173] すなわち、図11では、セル下部に、トランジスタN43, N44, N47, N48が形成されており、セル上部に、トランジスタN3, N4, N7, N8が形成されている。また、トランジスタN1, N43, N47がX方向に並んで形成されている。トランジスタN2, N44, N48, P1がX方向に並んで形成されている。トランジスタN3, N5, N7, P2がX方向に並んで形成されている。トランジスタN4, N6, N8がX方向に並んで形成されている。

[0174] 図12では、セル下部に、ナノワイヤ21d, 21e, 21i, 21jが形成されており、セル上部に、ナノワイヤ121d, 121e, 121i, 121jが形成されている。また、ナノワイヤ21a, 21d, 21iがX方向に並んで形成されている。ナノワイヤ21b, 21c, 21e, 21jがX方向に並んで形成されている。ナノワイヤ21f, 21g, 121d, 121iがX方向に並んで形成されている。ナノワイヤ21h, 121e, 121jがX方向に並んで形成されている。

[0175] すなわち、図12では、セル下部に、トランジスタN3, N4, N7, N8が形成されており、セル上部に、トランジスタN43, N44, N47, N48が形成されている。また、トランジスタN1, N3, N7がX方向に

並んで形成されている。トランジスタN2, N4, N8, P1がX方向に並んで形成されている。トランジスタN5, N43, N47, P2がX方向に並んで形成されている。トランジスタN6, N44, N48がX方向に並んで形成されている。

[0176] 本変形例では、セル上部およびセル下部のいずれか一方にのみ、アクセストランジスタPG1~PG4に相当するトランジスタが形成されている。また、ロードトランジスタに相当するトランジスタが、X方向において同じ位置に形成されている。また、ドライブトランジスタPD1, PD2に相当するトランジスタが、それぞれ積層されている。そして、本変形例により、第2実施形態に係る2ポートSRAMセルと同様の効果を得ることができる。

[0177] また、図11では、セル上部に、トランジスタN3, N4, N7, N8が形成されている。図12では、セル下部に、トランジスタN3, N4, N7, N8が形成されている。すなわち、図11および図12では、アクセストランジスタPG1~PG4に相当するトランジスタが、セル上部またはセル下部のいずれか一方のみに形成されている。すなわち、セル上部およびセル下部に形成されるトランジスタのデバイス特性が異なる場合であっても、アクセストランジスタPG1~PG4に相当するトランジスタが、同層（セル上部またはセル下部のいずれか一方）に形成されているため、第1および第2相補ビット線対間（第1および第2ビット線BLA, BLAXの間、ならびに、第3および第4ビット線BLB, BLBXの間）における特性のずれが生じない。これにより、第1および第2相補ビット線対間におけるトランジスタ性能のばらつきを抑えることができる。したがって、半導体記憶装置における、動作マージンの増大、動作の安定化が図られる。

[0178] また、図11および図12では、トランジスタP1, P2は、平面視において、X方向において同じ位置に形成されている。これにより、2ポートSRAMセルの小面積化を図ることができる。

[0179] また、図11および図12では、ドライブトランジスタPD1は、並列接続されたトランジスタN1, N5によって構成されており、ドライブラン

ジスタPD2は、並列接続されたトランジスタN2, N6によって構成されている。また、トランジスタN1, N2は、トランジスタN5, N6とそれぞれ平面視で重なっている。これにより、2ポートSRAMセルの駆動能力を向上させつつ、小面積化を図ることができる。

[0180] なお、図11および図12では、図11に示す2ポートSRAMセルに、図12に示す2ポートSRAMセルをX方向に反転させずに隣接して配置しているが、図12に示す2ポートSRAMセルをX方向に反転させて隣接して配置してもよい。この場合、例えば、図11において、トランジスタN43, N44は、図面右側に配置された図12に示す2ポートSRAMセルにおけるトランジスタN7, N8にそれぞれ相当する。また、トランジスタN47, N48は、図面左側に配置された図12に示す2ポートSRAMセルにおけるトランジスタN3, N4にそれぞれ相当する。

[0181] (変形例4)

図13および図14は第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す図である。具体的に、図13(a)および図14(a)はセル下部を示し、図13(b)および図14(b)はセル上部を示し、図13(c)および図14(c)はM1, M2配線層を示す。

[0182] 図13では、図8と対比すると、トランジスタN1, N2, N47, N48に加えて、トランジスタN43, N44およびダミートランジスタN25, N26が、セル下部に形成されている。また、トランジスタN3~N6, P2に加えて、トランジスタN7, N8, P1が、セル上部に形成されている。図14では、図8と対比すると、トランジスタN1, N2, N7, N8に加えて、トランジスタN3, N4およびダミートランジスタN25, 26が、セル下部に形成されている。また、トランジスタN5, N6, N43, N44, P2に加えて、トランジスタN47, N48, P1が、セル上部に形成されている。

[0183] 本変形例では、図13および図14に示す2ポートSRAMセルがX方向に隣接して交互に配置される。具体的に、図13では、トランジスタN43

、N44は、図面右側に配置された図14に示す2ポートSRAMセルに含まれるトランジスタであり、トランジスタN47、N48は、図面左側に配置された図14に示す2ポートSRAMセルに含まれるトランジスタである。また、図14では、トランジスタN43、N44は、図面右側に配置された図13に示す2ポートSRAMセルに含まれるトランジスタであり、トランジスタN47、N48は、図面左側に配置された図13に示す2ポートSRAMセルに含まれるトランジスタである。

[0184] 具体的に、図13および図14では、ナノワイヤ21d、21e、21i、21jが、ナノワイヤ121i、121j、121d、121eとそれぞれ平面視で重なっている。すなわち、トランジスタN3、N4、N7、N8が、トランジスタN47、N48、N43、N44とそれぞれ平面視で重なっている。

[0185] また、図13および図14では、セル上部にナノワイヤ21bが形成されており、セル下部にナノワイヤ28a、28bが形成されている。ナノワイヤ21g、21bは、ナノワイヤ28a、28bとそれぞれ平面視で重なっている。すなわち、トランジスタP2、P1は、ダミートランジスタN25、N26とそれぞれ平面視で重なっている。

[0186] 図13では、セル下部に、ナノワイヤ121d、121e、121i、121jが形成されており、セル上部に、ナノワイヤ21d、21e、21i、21jが形成されている。また、ナノワイヤ21a、28a、121d、121iがX方向に並んで形成されている。ナノワイヤ21c、28b、121e、121jがX方向に並んで形成されている。ナノワイヤ21d、21f、21g、21iがX方向に並んで形成されている。ナノワイヤ21b、21e、21h、21jがX方向に並んで形成されている。

[0187] すなわち、図13では、トランジスタN1、N43、N47およびダミートランジスタN25がX方向に並んで形成されている。トランジスタN2、N44、N48およびダミートランジスタN26がX方向に並んで形成されている。トランジスタN3、N5、N7、P2がX方向に並んで形成されて

いる。トランジスタN4, N6, N8, P1がX方向に並んで形成されている。

[0188] 図14では、セル下部に、ナノワイヤ21d, 21e, 21i, 21jが形成されており、セル上部に、ナノワイヤ121d, 121e, 121i, 121jが形成されている。また、ナノワイヤ21a, 21d, 21i, 28aがX方向に並んで形成されている。ナノワイヤ21c, 21e, 21j, 28bがX方向に並んで形成されている。ナノワイヤ21f, 21g, 121d, 121iがX方向に並んで形成されている。ナノワイヤ21b, 21h, 121e, 121jがX方向に並んで形成されている。

[0189] すなわち、図14では、トランジスタN1, N3, N7およびダミートランジスタN25がX方向に並んで形成されている。トランジスタN2, N4, N8およびダミートランジスタN26がX方向に並んで形成されている。トランジスタN5, N43, N47, P2がX方向に並んで形成されている。トランジスタN6, N44, N48, P1がX方向に並んで形成されている。

[0190] 本変形例では、セル上部およびセル下部のいずれか一方にのみ、アクセストランジスタPG1~PG4に相当するトランジスタが形成されている。また、ダミートランジスタを含む各トランジスタは、積層されている。また、セル下部に形成される、ダミートランジスタを含むトランジスタは、N型FETのみである。そして、本変形例により、第2実施形態に係る2ポートSRAMセルと同様の効果を得ることができる。

[0191] また、図13では、セル上部に、トランジスタN3, N4, N7, N8が形成されている。図14では、セル下部に、トランジスタN3, N4, N7, N8が形成されている。すなわち、図13および図14では、アクセストランジスタPG1~PG4に相当するトランジスタが、セル上部またはセル下部のいずれか一方のみに形成されている。すなわち、セル上部およびセル下部に形成されるトランジスタのデバイス特性が異なる場合であっても、アクセストランジスタPG1~PG4に相当するトランジスタが、同層（セル

上部またはセル下部のいずれか一方)に形成されているため、第1および第2相補ビット線対間(第1および第2ビット線BLA, BLAXの間、ならびに、第3および第4ビット線BLB, BLBXの間)における特性のずれが生じない。これにより、第1および第2相補ビット線対間におけるトランジスタ性能のばらつきを抑えることができる。したがって、半導体記憶装置における、動作マージンの増大、動作の安定化が図られる。

[0192] また、図13および図14では、トランジスタN1, N2, N43, N44, N47, N48およびダミートランジスタN25, N26が、トランジスタN5~N8, N3, N4, P2, P1とそれぞれ平面視で重なっている。すなわち、図13および図14では、ダミートランジスタを含む各トランジスタは、他のトランジスタと積層されている。これにより、一部のトランジスタの除去等を行う必要がないため、製造プロセスの複雑化を抑制することができる。

[0193] また、図13では、セル下部に、トランジスタN1, N2, N43, N44, N47, N48およびダミートランジスタN25, N26が形成されており、セル上部に、トランジスタN3~N8, P1, P2が形成されている。図14では、セル下部に、トランジスタN1~N4, N7, N8およびダミートランジスタN25, N26が形成されており、セル上部に、トランジスタN5, N6, N43, N44, N47, N48, P1, P2が形成されている。すなわち、図13および図14では、セル下部には、N型FETのみが配置されており、セル上部に配置されるトランジスタの一部をN型FETに置き換えることで、上記構成を実現することができる。これにより、製造プロセスの複雑化を抑制することができる。

[0194] なお、図13および図14では、図13に示す2ポートSRAMセルに、図14に示す2ポートSRAMセルをX方向に反転させずに隣接して配置しているが、図14に示す2ポートSRAMセルをX方向に反転させて隣接して配置してもよい。この場合、例えば、図13において、トランジスタN43, N44は、図面右側に配置された図14に示す2ポートSRAMセルに

おけるトランジスタN 7, N 8にそれぞれ相当する。また、トランジスタN 4 7, N 4 8は、図面左側に配置された図1 4に示す2ポートSRAMセルにおけるトランジスタN 3, N 4にそれぞれ相当する。

[0195] (変形例5)

図1 5および図1 6は第2実施形態に係る2ポートSRAMセルのレイアウト構造の他の例を示す図である。具体的に、図1 5(a)および図1 6(a)はセル下部を示し、図1 5(b)および図1 6(b)はセル上部を示し、図1 5(c)および図1 6(c)はM1, M2配線層を示す。

[0196] 図1 5では、図8と対比すると、トランジスタN 1, N 2, N 4 7, N 4 8に加えて、トランジスタN 5, N 6, N 4 3, N 4 4が、セル下部に形成されている。また、トランジスタN 3, N 4, P 2に加えて、トランジスタN 7, N 8, P 1およびダミートランジスタP 2 1, P 2 2が、セル上部に形成されている。図1 6では、図8と対比すると、トランジスタN 1, N 2, N 7, N 8に加えて、トランジスタN 3~N 6が、セル下部に形成されている。また、トランジスタN 4 3, N 4 4, P 2に加えて、トランジスタN 4 7, N 4 8, P 1およびダミートランジスタP 2 1, P 2 2が、セル上部に形成されている。

[0197] 本変形例では、図1 5および図1 6に示す2ポートSRAMセルがX方向に隣接して交互に配置される。具体的に、図1 5では、トランジスタN 4 3, N 4 4は、図面右側に配置された図1 6に示す2ポートSRAMセルに含まれるトランジスタであり、トランジスタN 4 7, N 4 8は、図面左側に配置された図1 6に示す2ポートSRAMセルに含まれるトランジスタである。また、図1 6では、トランジスタN 4 3, N 4 4が、図面右側に配置された図1 5に示す2ポートSRAMセルに含まれるトランジスタであり、トランジスタN 4 7, N 4 8が、図面左側に配置された図1 5に示す2ポートSRAMセルに含まれるトランジスタである。

[0198] 具体的に、図1 5および図1 6では、ナノワイヤ2 1 d, 2 1 e, 2 1 i, 2 1 jが、ナノワイヤ1 2 1 i, 1 2 1 j, 1 2 1 d, 1 2 1 eとそれぞれ

れ平面視で重なっている。すなわち、トランジスタN3, N4, N7, N8が、トランジスタN47, N48, N44, N47とそれぞれ平面視で重なっている。

[0199] また、図15および図16では、セル下部にナノワイヤ21f, 21hが形成されており、セル上部にナノワイヤ28c, 28dが形成されている。また、ナノワイヤ21a, 21f, 21c, 21hは、ナノワイヤ21g, 28c, 28d, 21bとそれぞれ平面視で重なっている。すなわち、トランジスタP1, P2およびダミートランジスタP21, P22は、トランジスタN6, N1, N5, N2とそれぞれ平面視で重なっている。

[0200] 図15では、セル下部に、ナノワイヤ121d, 121e, 121i, 121jが形成されており、セル上部に、ナノワイヤ21d, 21e, 21i, 21jが形成されている。また、ナノワイヤ21a, 21f, 121d, 121iがX方向に並んで形成されている。ナノワイヤ21c, 21h, 121e, 121jがX方向に並んで形成されている。ナノワイヤ21d, 21g, 21i, 28cがX方向に並んで形成されている。ナノワイヤ21b, 21e, 21j, 28dがX方向に並んで形成されている。

[0201] すなわち、図15では、トランジスタN1, N5, N43, N47がX方向に並んで形成されている。トランジスタN2, N6, N44, N48がX方向に並んで形成されている。トランジスタN3, N7, P2およびダミートランジスタP21がX方向に並んで形成されている。トランジスタN4, N8, P1およびダミートランジスタP22がX方向に並んで形成されている。

[0202] 図16では、セル下部に、ナノワイヤ21d, 21e, 21i, 21jが形成されており、セル上部に、ナノワイヤ121d, 121e, 121i, 121jが形成されている。また、ナノワイヤ21a, 21d, 21f, 21iがX方向に並んで形成されている。ナノワイヤ21c, 21e, 21h, 21jがX方向に並んで形成されている。ナノワイヤ21g, 28c, 121d, 121iがX方向に並んで形成されている。ナノワイヤ21b, 2

8 d, 1 2 1 e, 1 2 1 j がX方向に並んで形成されている。

[0203] すなわち、図16では、トランジスタN1, N3, N5, N7がX方向に並んで形成されている。トランジスタN2, N4, N6, N8がX方向に並んで形成されている。トランジスタN43, N47, P2およびダミートランジスタP21がX方向に並んで形成されている。トランジスタN44, N48, P1およびダミートランジスタP22がX方向に並んで形成されている。

[0204] 本変形例では、セル上部およびセル下部のいずれか一方にのみ、アクセストランジスタPG1~PG4に相当するトランジスタが形成されている。また、セル下部に、ドライブトランジスタPD1, PD2に相当するトランジスタがX方向に並んで形成されている。また、セル上部に、ロードトランジスタPU1, PU2に相当するトランジスタが形成され、かつ、ドライブトランジスタPD1, PD2に相当するトランジスタと積層されている。そして、本変形例により、第2実施形態に係る2ポートSRAMセルと同様の効果を得ることができる。

[0205] また、図15では、セル上部に、トランジスタN3, N4, N7, N8が形成されている。図16では、セル下部に、トランジスタN3, N4, N7, N8が形成されている。すなわち、図15および図16では、アクセストランジスタPG1~PG4に相当するトランジスタが、セル上部またはセル下部のいずれか一方のみに形成されている。すなわち、セル上部およびセル下部に形成されるトランジスタのデバイス特性が異なる場合であっても、アクセストランジスタPG1~PG4に相当するトランジスタが、同層（セル上部またはセル下部のいずれか一方）に形成されているため、第1および第2相補ビット線対間（第1および第2ビット線BLA, BLAXの間、ならびに、第3および第4ビット線BLB, BLBXの間）における特性のずれが生じない。これにより、第1および第2相補ビット線対間におけるトランジスタ性能のばらつきを抑えることができる。したがって、半導体記憶装置における、動作マージンの増大、動作の安定化が図られる。

[0206] また、図15および図16では、トランジスタN1, N2, N5, N6, N43, N44, N47, N48が、トランジスタP2、ダミートランジスタP22, P21およびトランジスタP1, N7, N8, N3, N4とそれぞれ平面視で重なっている。すなわち、図15および図16では、ダミートランジスタを含む各トランジスタは、他のトランジスタと積層されている。これにより、一部のトランジスタの除去等を行う必要がないため、製造プロセスの複雑化を抑制することができる。

[0207] また、図15では、セル下部に、トランジスタN1, N2, N5, N6, N43, N44, N47, N48が形成されており、セル上部に、トランジスタN3, N4, N7, N8, P1, P2およびダミートランジスタP21, P22が形成されている。図16では、セル下部に、トランジスタN1~N8が配置されており、セル上部に、トランジスタN43, N44, N47, N48, P1, P2およびダミートランジスタP21, P22が形成されている。すなわち、図15および図16では、セル下部には、N型FETのみが配置されており、セル上部に配置されるトランジスタの一部をN型FETに置き換えることで、上記構成を実現することができる。これにより、製造プロセスの複雑化を抑制することができる。

[0208] なお、図15および図16では、図15に示す2ポートSRAMセルに、図16に示す2ポートSRAMセルをX方向に反転させずに隣接して配置しているが、図15に示す2ポートSRAMセルをX方向に反転させて隣接して配置してもよい。この場合、例えば、図15において、トランジスタN43, N44は、図面右側に配置された図16示す2ポートSRAMセルにおけるトランジスタN7, N8にそれぞれ相当する。また、トランジスタN47, N48は、図面左側に配置された図16に示す2ポートSRAMセルにおけるトランジスタN3, N4に相当する。

[0209] なお、上述の各実施形態および変形例では、各トランジスタはそれぞれ1本のナノワイヤを備えるものとしたが、トランジスタの一部または全部は、複数本のナノワイヤを備えてもよい。この場合、平面視でX方向において複

数本のナノワイヤを設けてもよいし、Z方向において複数本のナノワイヤを設けてもよい。また、X方向およびZ方向の両方においてそれぞれ複数本のナノワイヤを設けてもよい。また、セルの上部と下部とにおいて、トランジスタが備えるナノワイヤの本数が異なってもよい。

[0210] また、上述の各実施形態では、各トランジスタを、並列接続された複数のトランジスタで構成してもよい。

[0211] また、上述の各実施形態では、ナノワイヤの断面形状はほぼ正方形としているが、これに限られるものではない。例えば、円形や長方形であってもよい。

[0212] また、上述の各実施形態では、立体構造トランジスタとしてナノワイヤFETを例にとって説明を行ったが、これに限られるものではない。例えば、セルの下部に形成されるトランジスタは、フィン型トランジスタであってもよい。

産業上の利用可能性

[0213] 本開示では、CFETを用いたSRAMセルを備えた半導体記憶装置に適用することができるので、CFETを用いた2ポートSRAMセルを実現することができるとともに、2ポートSRAMセルの小面積化を図ることができる。

符号の説明

[0214] 11, 12 電源配線
21a~21j, 23a, 23c~23f, 23h~23j ナノワイヤ
22a~22n, 24a~24n パッド
N1~N8, N11~N18, N43, N44, N47, N48, P1,
P2 トランジスタ
71~75, 81, 82 配線
PU1, PU2 ロードトランジスタ
PD1, PD2 ドライブトランジスタ
PG1~PG4 アクセストランジスタ

W L A 第1ワード線
W L B 第2ワード線
B L A 第1ビット線
B L A X 第2ビット線
B L B 第3ビット線
B L B X 第4ビット線

請求の範囲

[請求項1]

2ポートSRAMセルを含む半導体記憶装置であって、
前記2ポートSRAMセルは、
一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、
一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、
一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、
一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、
一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接続された第5トランジスタと、
一方のノードが前記第1ビット線と第1相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタと、
一方のノードが第3ビット線に、他方のノードが前記第1ノードに、ゲートが第2ワード線にそれぞれ接続された第7トランジスタと、
一方のノードが前記第3ビット線と第2相補ビット線対を構成する第4ビット線に、他方のノードが前記第2ノードに、ゲートが前記第2ワード線にそれぞれ接続された第8トランジスタと
を備え、
前記第3および第4トランジスタは、それぞれ、
第1層に形成された第1導電型の立体構造トランジスタである、

第1立体構造トランジスタと、

前記第1層と異なる第2層に形成された前記第1導電型の立体構造トランジスタである、第2立体構造トランジスタとからなり、

前記第1トランジスタは、前記第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタからなり、

前記第2トランジスタは、前記第1層に形成された前記第2導電型の立体構造トランジスタからなり、

前記第5～第8トランジスタは、それぞれ、前記第1および第2層の少なくともいずれか一方に形成された前記第1導電型の立体構造トランジスタを含む

ことを特徴とする半導体記憶装置。

[請求項2]

請求項1記載の半導体記憶装置において、

前記第1および第2トランジスタは、平面視において、前記第1～第8トランジスタのチャンネル部が延びる方向である第1方向と垂直をなす第2方向において同じ位置に形成されていることを特徴とする半導体記憶装置。

[請求項3]

請求項1記載の半導体記憶装置において、

前記第2立体構造トランジスタは、少なくとも一部が前記第1立体構造トランジスタと平面視で重なっていることを特徴とする半導体記憶装置。

[請求項4]

請求項1記載の半導体記憶装置において、

前記第1立体構造トランジスタは、複数の第1立体構造トランジスタを含み、

前記第2立体構造トランジスタは、複数の第2立体構造トランジスタを含み、

前記複数の第1立体構造トランジスタは、前記第1～第8トランジスタのチャンネル部が延びる方向である第1方向と垂直をなす第2方向に並んで形成されており、

前記複数の第2立体構造トランジスタは、前記第2方向に並んで形成されている

ことを特徴とする半導体記憶装置。

[請求項5]

請求項1記載の半導体記憶装置において、

前記第5～第8トランジスタは、それぞれ、

前記第1層に形成された第3立体構造トランジスタと、

少なくとも一部が前記第3立体構造トランジスタと平面視で重なるように、前記第2層に形成された第4立体構造トランジスタとを含むことを特徴とする半導体記憶装置。

[請求項6]

2ポートSRAMセルを含む半導体記憶装置であって、

前記2ポートSRAMセルは、

一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接続された第5トランジスタと、

一方のノードが前記第1ビット線と第1相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタと、

一方のノードが第3ビット線に、他方のノードが前記第1ノードに、ゲートが第2ワード線にそれぞれ接続された第7トランジスタと、一方のノードが前記第3ビット線と第2相補ビット線対を構成する第4ビット線に、他方のノードが前記第2ノードに、ゲートが前記第2ワード線にそれぞれ接続された第8トランジスタと

を備え、

前記第3および第4トランジスタは、それぞれ、

第1層に形成された第1導電型の立体構造トランジスタである、第1立体構造トランジスタと、

前記第1層と異なる第2層に形成された前記第1導電型の立体構造トランジスタである、第2立体構造トランジスタとからなり、

前記第1および第2トランジスタは、それぞれ、前記第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタからなり、

前記第5～第8トランジスタは、それぞれ、前記第1および第2層の少なくともいずれか一方に形成された前記第1導電型の立体構造トランジスタを含む

ことを特徴とする半導体記憶装置。

[請求項7] 請求項6記載の半導体記憶装置において、

前記第2立体構造トランジスタは、少なくとも一部が前記第1立体構造トランジスタと平面視で重なっていることを特徴とする半導体記憶装置。

[請求項8] 請求項6記載の半導体記憶装置において、

前記第1立体構造トランジスタは、複数の第1立体構造トランジスタを含み、

前記第2立体構造トランジスタは、複数の第2立体構造トランジスタを含む

前記複数の第1立体構造トランジスタは、前記第1～第8トランジ

スタのチャネル部が延びる方向である第1方向と垂直をなす第2方向に並んで形成されており、

前記複数の第2立体構造トランジスタは、前記第2方向に並んで形成されている

ことを特徴とする半導体記憶装置。

[請求項9]

請求項6記載の半導体記憶装置において、

前記第5～第8トランジスタは、それぞれ、

前記第1層に形成された第3立体構造トランジスタと、

少なくとも一部が前記第3立体構造トランジスタと平面視で重なるように、前記第2層に形成された第4立体構造トランジスタと

を含むことを特徴とする半導体記憶装置。

[請求項10]

2ポートSRAMセルを含む半導体記憶装置であって、

前記2ポートSRAMセルは、

一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと、

一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと、

一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接続された第5トランジスタと、一方のノードが前記第1ビット線と第1相補ビット線対を構成する

第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタと、

一方のノードが第3ビット線に、他方のノードが前記第1ノードに、ゲートが第2ワード線にそれぞれ接続された第7トランジスタと、

一方のノードが前記第3ビット線と第2相補ビット線対を構成する第4ビット線に、他方のノードが前記第2ノードに、ゲートが前記第2ワード線にそれぞれ接続された第8トランジスタと

を備え、

前記第3および第4トランジスタは、それぞれ、第1層に形成され、かつ、前記第1～第8トランジスタのチャンネル部が延びる方向である第1方向と垂直をなす第2方向に並んで形成された複数の第1導電型の立体構造トランジスタからなり、

前記第1および第2トランジスタは、それぞれ、前記第1層より上層の第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタを含み、かつ、少なくとも一部が前記第3および第4トランジスタとそれぞれ平面視で重なっており、

前記第5～第8トランジスタは、それぞれ、前記第1および第2層の少なくともいずれか一方に形成された前記第1導電型の立体構造トランジスタを含む

ことを特徴とする半導体記憶装置。

[請求項11]

第1および第2の2ポートSRAMセルを含む半導体記憶装置であって、

前記第1および第2の2ポートSRAMセルは、それぞれ、

一方のノードが第1電圧を供給する第1電源に、他方のノードが第1ノードに、ゲートが第2ノードにそれぞれ接続された第1トランジスタと、

一方のノードが前記第1電源に、他方のノードが前記第2ノードに、ゲートが前記第1ノードにそれぞれ接続された第2トランジスタと

、

一方のノードが前記第1ノードに、他方のノードが前記第1電圧と異なる第2電圧を供給する第2電源に、ゲートが前記第2ノードにそれぞれ接続された第3トランジスタと、

一方のノードが前記第2ノードに、他方のノードが前記第2電源に、ゲートが前記第1ノードにそれぞれ接続された第4トランジスタと

、

一方のノードが第1ビット線に、他方のノードが前記第1ノードに、ゲートが第1ワード線にそれぞれ接続された第5トランジスタと、

一方のノードが前記第1ビット線と第1相補ビット線対を構成する第2ビット線に、他方のノードが前記第2ノードに、ゲートが前記第1ワード線にそれぞれ接続された第6トランジスタと、

一方のノードが第3ビット線に、他方のノードが前記第1ノードに、ゲートが第2ワード線にそれぞれ接続された第7トランジスタと、

一方のノードが前記第3ビット線と第2相補ビット線対を構成する第4ビット線に、他方のノードが前記第2ノードに、ゲートが前記第2ワード線にそれぞれ接続された第8トランジスタと

を備え、

前記第1および第2の2ポートSRAMセルは、前記第1～第8トランジスタのチャンネル部が延びる方向である第1方向と垂直をなす第2方向に隣接して配置されており、

前記第1および第2の2ポートSRAMセルのそれぞれにおいて、

前記第3および第4トランジスタは、それぞれ、第1層に形成された第1導電型の立体構造トランジスタを含み、

前記第1トランジスタは、前記第1層と異なる第2層に形成された前記第1導電型と異なる第2導電型の立体構造トランジスタを含み、

前記第2トランジスタは、前記第1および第2層の少なくとも一方に形成された前記第2導電型の立体構造トランジスタを含み、

前記第5～第8トランジスタは、それぞれ、前記第1および第2層の少なくとも一方に形成された前記第1導電型の立体構造トランジスタを含み、

前記第1の2ポートSRAMセルにおける前記第5および第7トランジスタは、少なくとも一部が、前記第2の2ポートSRAMセルにおける前記第6および第8トランジスタと、それぞれ平面視で重なっている

ことを特徴とする半導体記憶装置。

[請求項12]

請求項1記載の半導体記憶装置において、

前記第1の2ポートSRAMセルが備える前記第5および第7トランジスタ、並びに、前記第2の2ポートSRAMセルが備える前記第5および第7トランジスタは、前記第1および第2層のうちの一方に形成されており、

前記第1の2ポートSRAMセルが備える前記第6および第8トランジスタ、並びに、前記第2の2ポートSRAMセルが備える前記第6および第8トランジスタは、前記第1および第2層のうちの他方に形成されている

ことを特徴とする半導体記憶装置。

[請求項13]

請求項1記載の半導体記憶装置において、

前記第2トランジスタは、前記第1層に形成されており、

前記第1および第2トランジスタは、平面視において、前記第2方向において同じ位置に形成されており、

前記第3および第4トランジスタは、それぞれ、

前記第1層に形成された第1立体構造トランジスタと、

少なくとも一部が前記第1立体構造トランジスタと平面視で重なるように、前記第2層に形成された第2立体構造トランジスタとを含む

ことを特徴とする半導体記憶装置。

- [請求項14] 請求項 1 2 記載の半導体記憶装置において、
前記第 2 トランジスタは、前記第 2 層に形成されており、
前記第 3 および第 4 トランジスタは、それぞれ、
前記第 1 層に形成された第 1 立体構造トランジスタと、
少なくとも一部が前記第 1 立体構造トランジスタと平面視で重なるように、前記第 2 層に形成された第 2 立体構造トランジスタとを含む
ことを特徴とする半導体記憶装置。
- [請求項15] 請求項 1 2 記載の半導体記憶装置において、
前記第 3 および第 4 トランジスタは、それぞれ、前記第 1 層に形成され、かつ、前記第 2 方向に並んで形成された複数の前記第 1 導電型の立体構造トランジスタを含み、
前記第 1 および第 2 トランジスタは、少なくとも一部が前記第 3 および第 4 トランジスタとそれぞれ平面視で重なるように、前記第 2 層に形成されている
ことを特徴とする半導体記憶装置。
- [請求項16] 請求項 1 1 記載の半導体記憶装置において、
前記第 1 の 2 ポート S R A Mセルが備える前記第 5 ～第 8 トランジスタは、前記第 1 および第 2 層のうち的一方に形成されており、前記第 2 の 2 ポート S R A Mセルが備える前記第 5 ～第 8 トランジスタは、前記第 1 および第 2 層のうち他方に形成されていることを特徴とする半導体記憶装置。
- [請求項17] 請求項 1 6 記載の半導体記憶装置において、
前記第 2 トランジスタは、前記第 1 層に形成されており、
前記第 1 および第 2 トランジスタは、平面視において、前記第 2 方向において同じ位置に形成されており、
前記第 3 および第 4 トランジスタは、それぞれ、
前記第 1 層に形成された第 1 立体構造トランジスタと、

少なくとも一部が前記第1立体構造トランジスタと平面視で重なるように、前記第2層に形成された第2立体構造トランジスタとを含む

ことを特徴とする半導体記憶装置。

[請求項18]

請求項16記載の半導体記憶装置において、

前記第2トランジスタは、前記第2層に形成されており、

前記第3および第4トランジスタは、それぞれ、

前記第1層に形成された第1立体構造トランジスタと、

少なくとも一部が前記第1立体構造トランジスタと平面視で重なるように、前記第2層に形成された第2立体構造トランジスタとを含む

ことを特徴とする半導体記憶装置。

[請求項19]

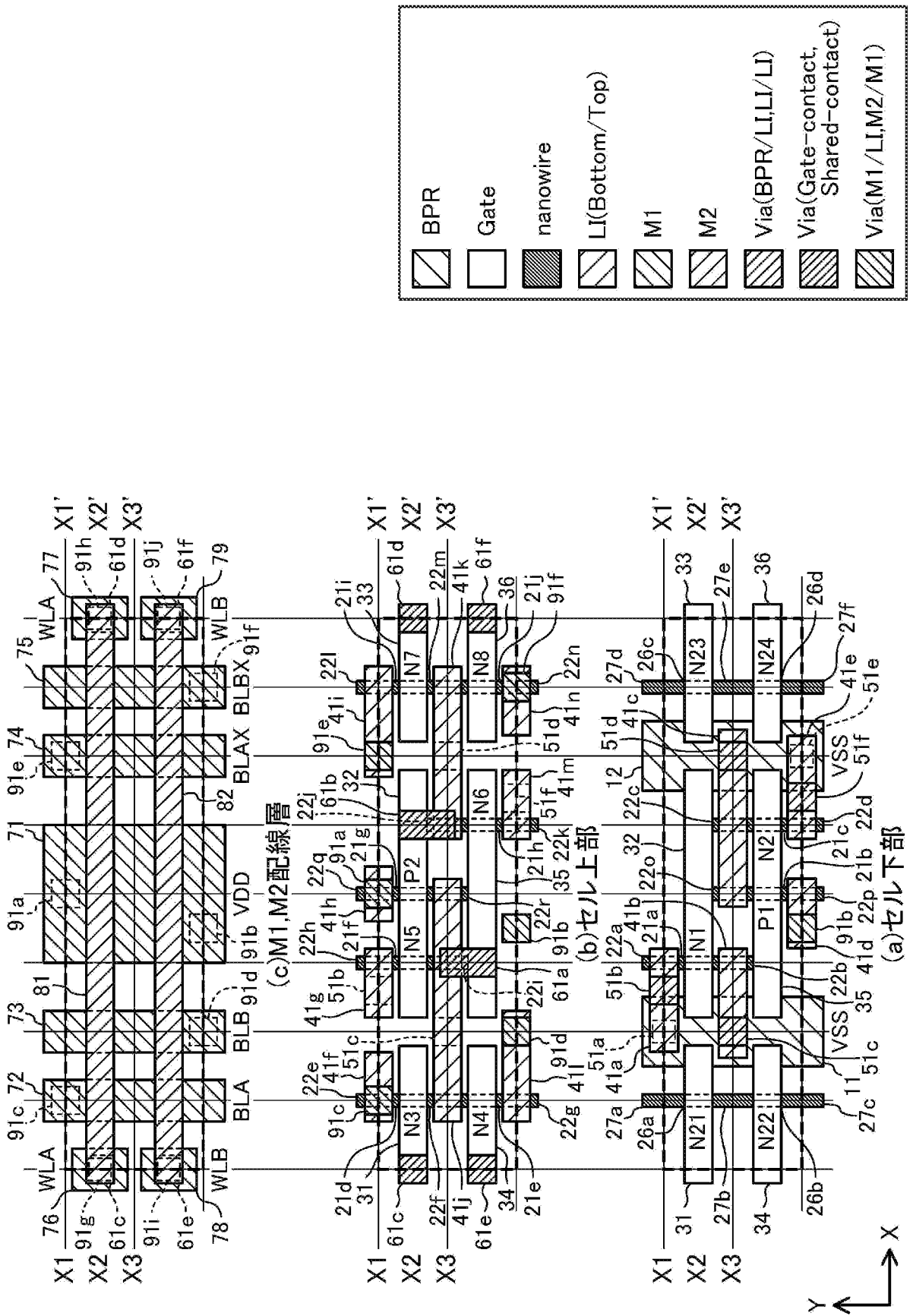
請求項16記載の半導体記憶装置において、

前記第3および第4トランジスタは、それぞれ、前記第1層に形成され、かつ、前記第2方向に並んで形成された複数の前記第1導電型の立体構造トランジスタを含み、

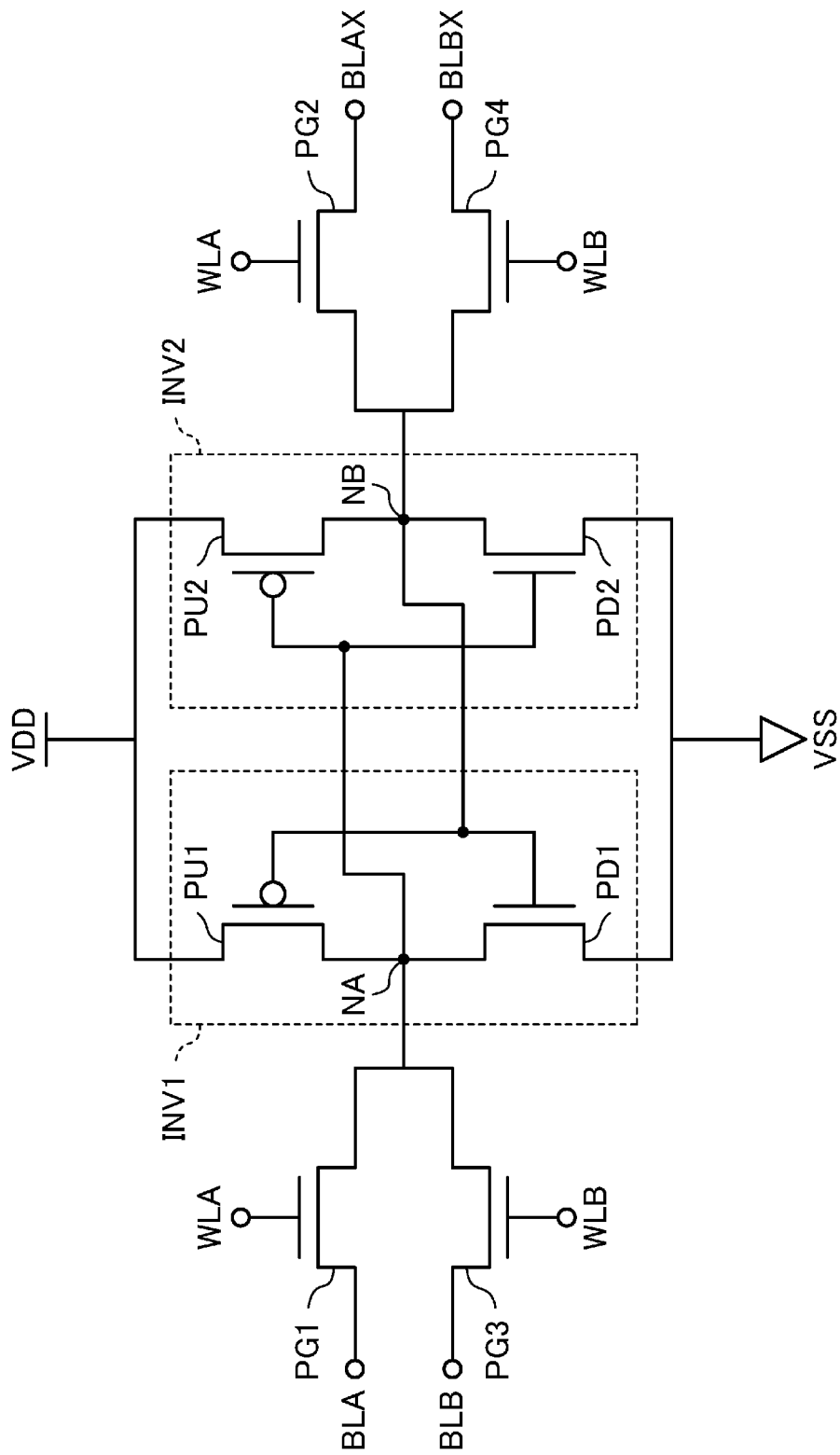
前記第1および第2トランジスタは、少なくとも一部が前記第3および第4トランジスタとそれぞれ平面視で重なるように、前記第2層に形成されている

ことを特徴とする半導体記憶装置。

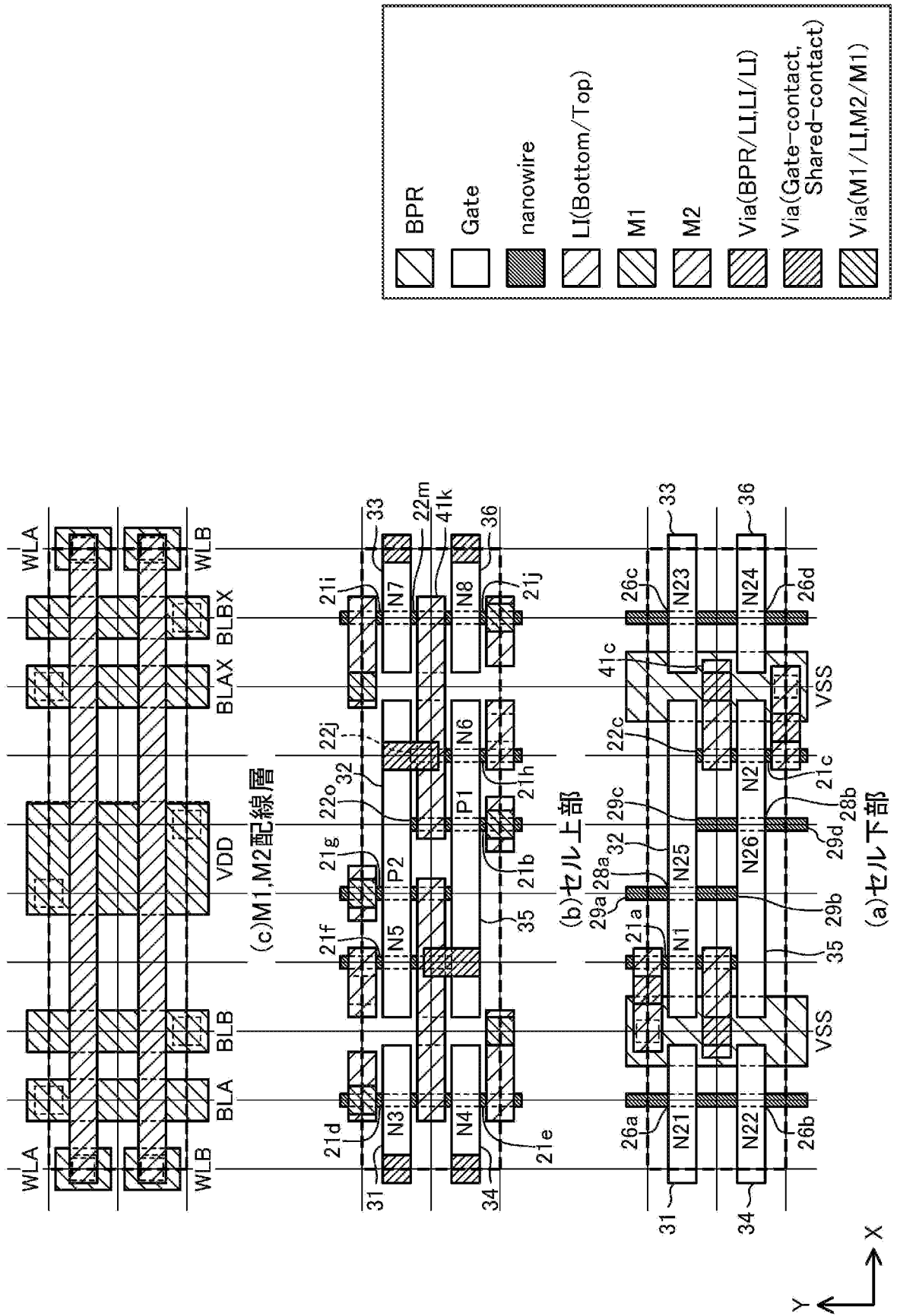
[図1]



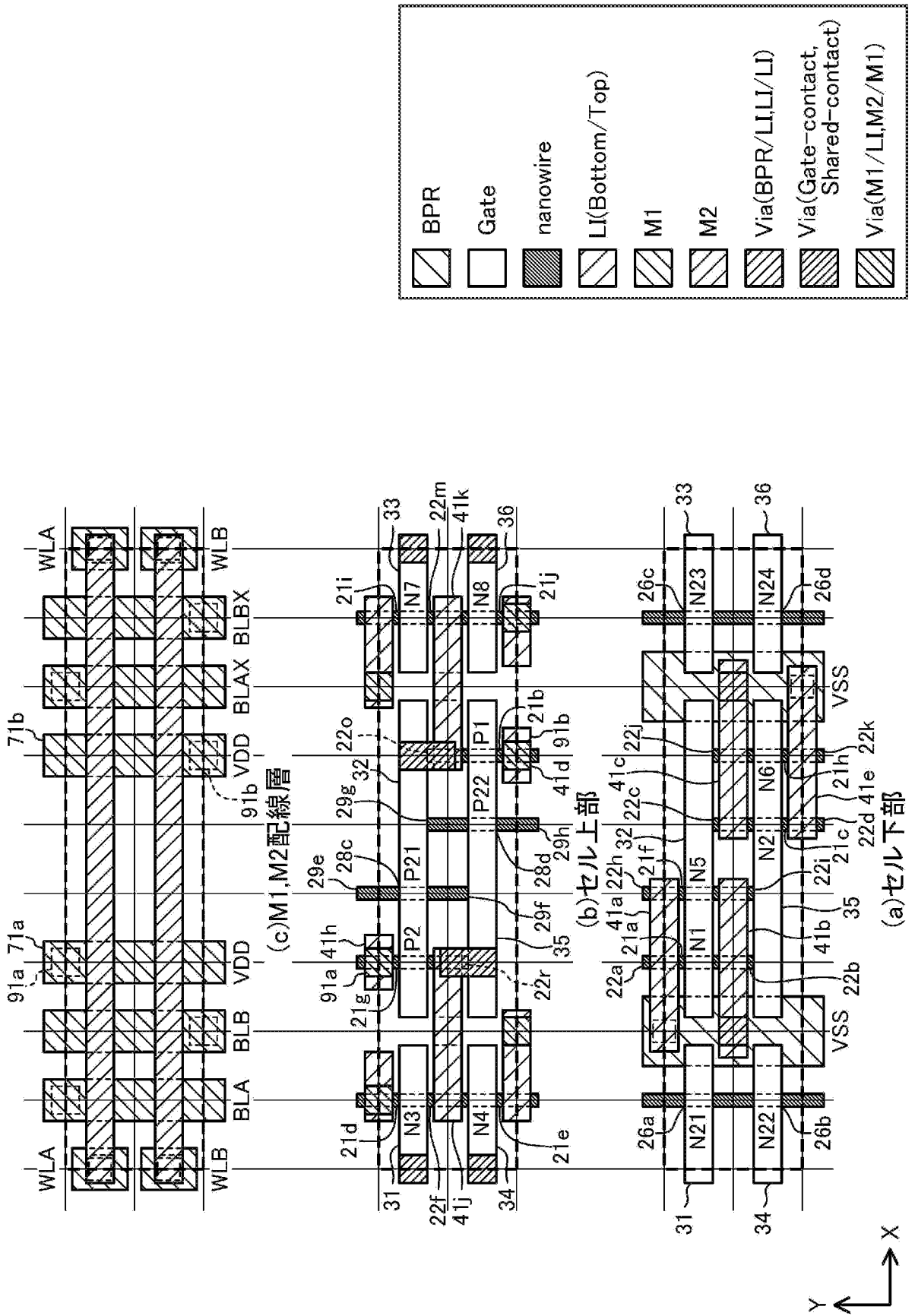
[図3]



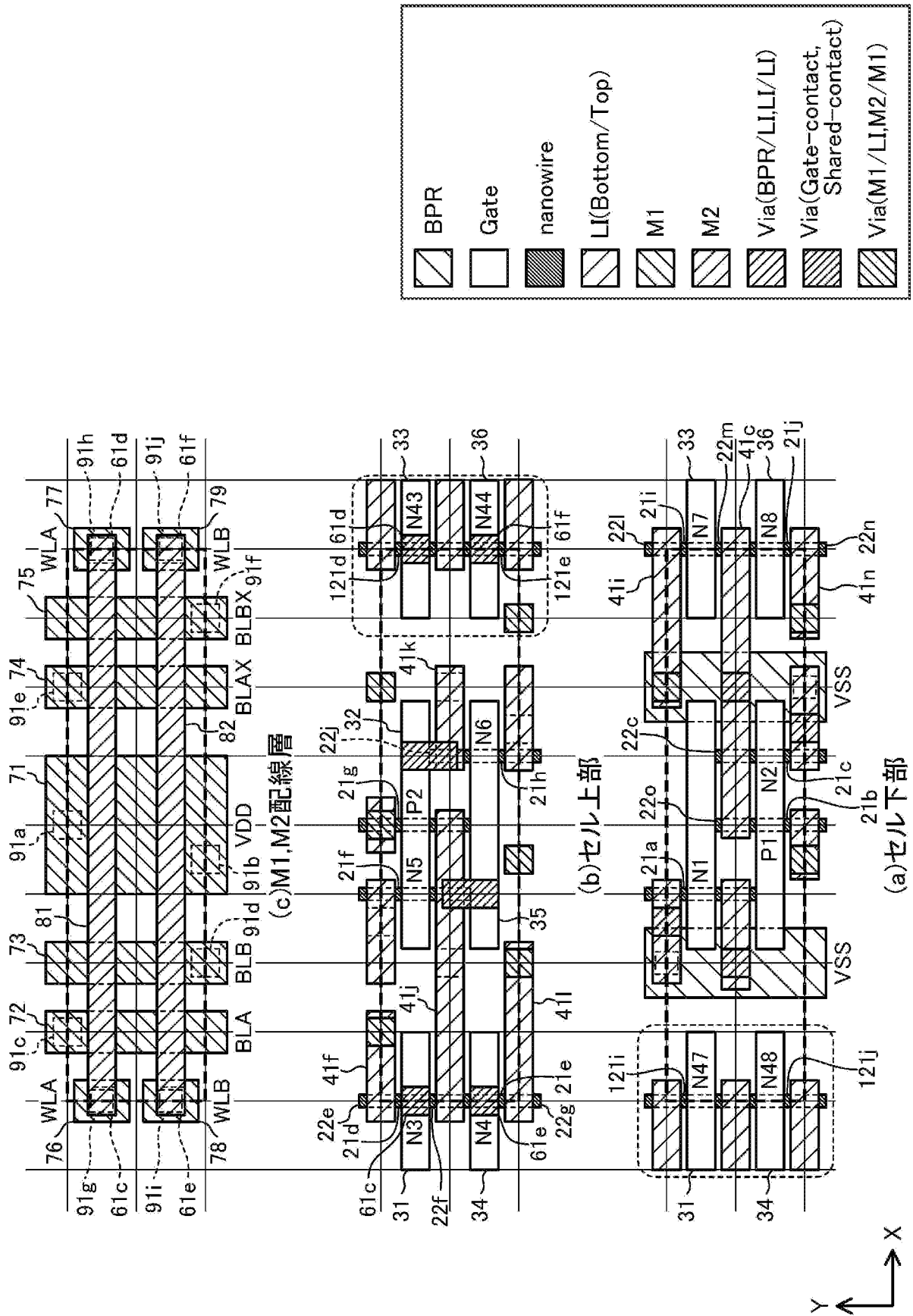
[図5]



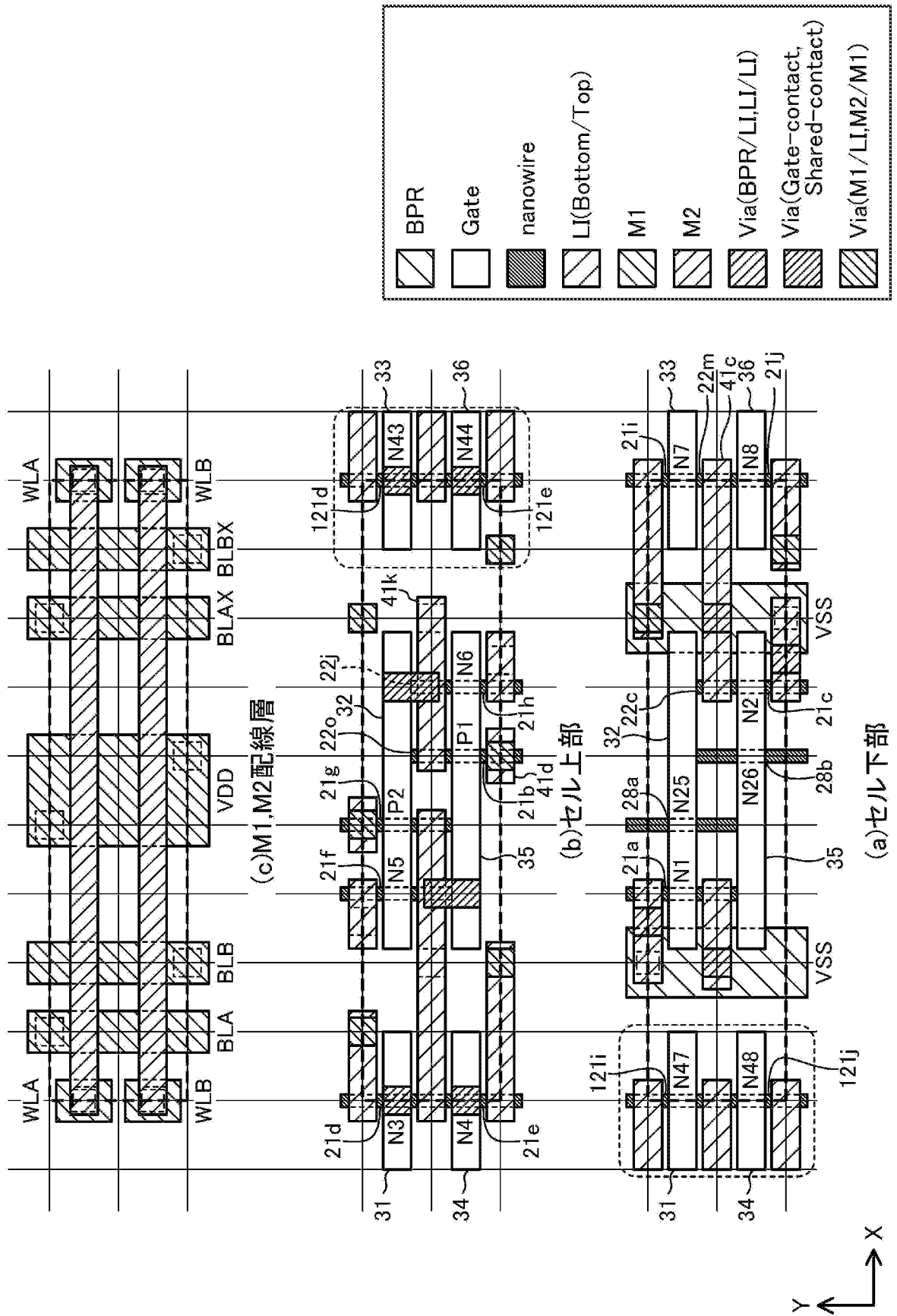
[図7]



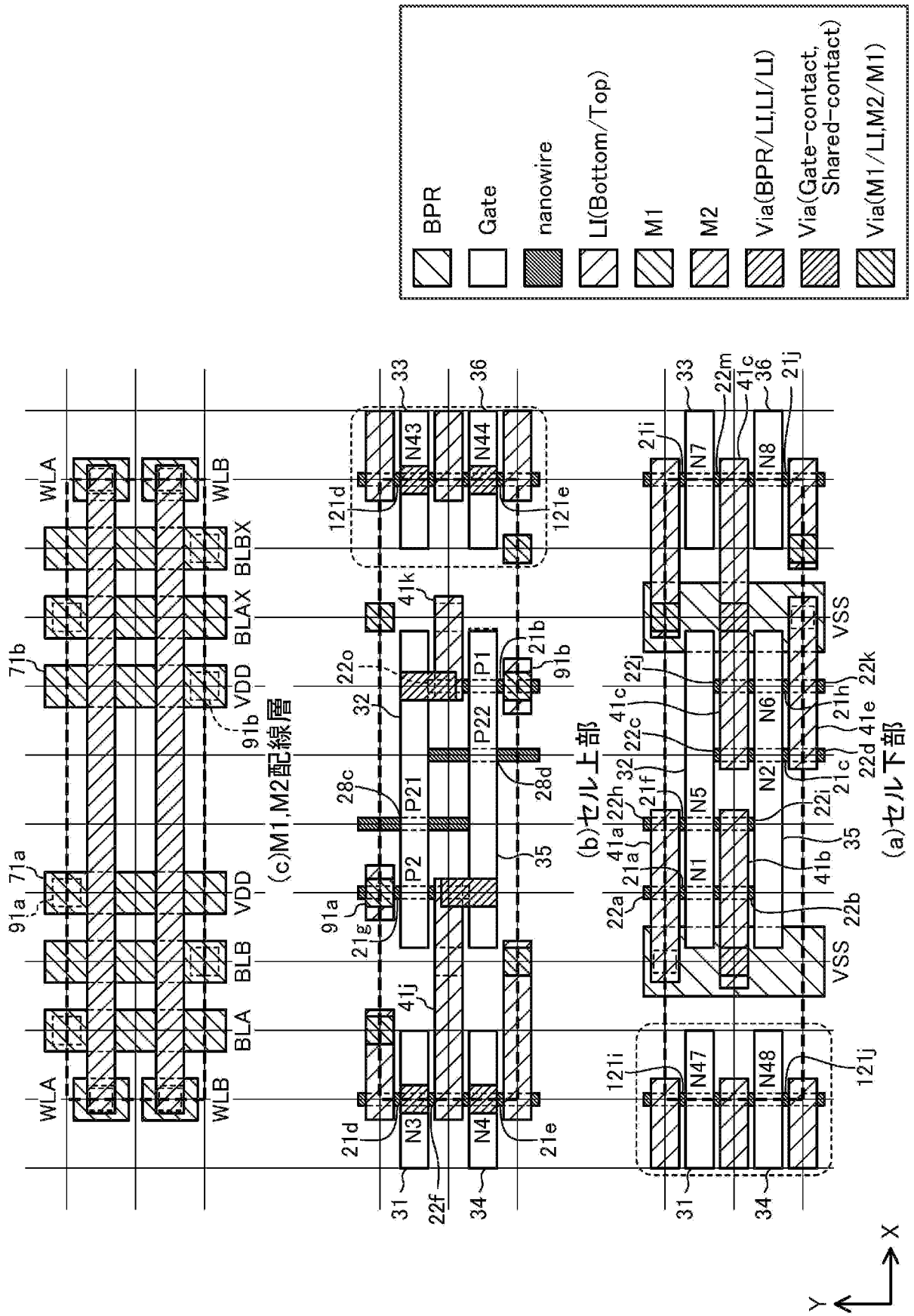
[図8]



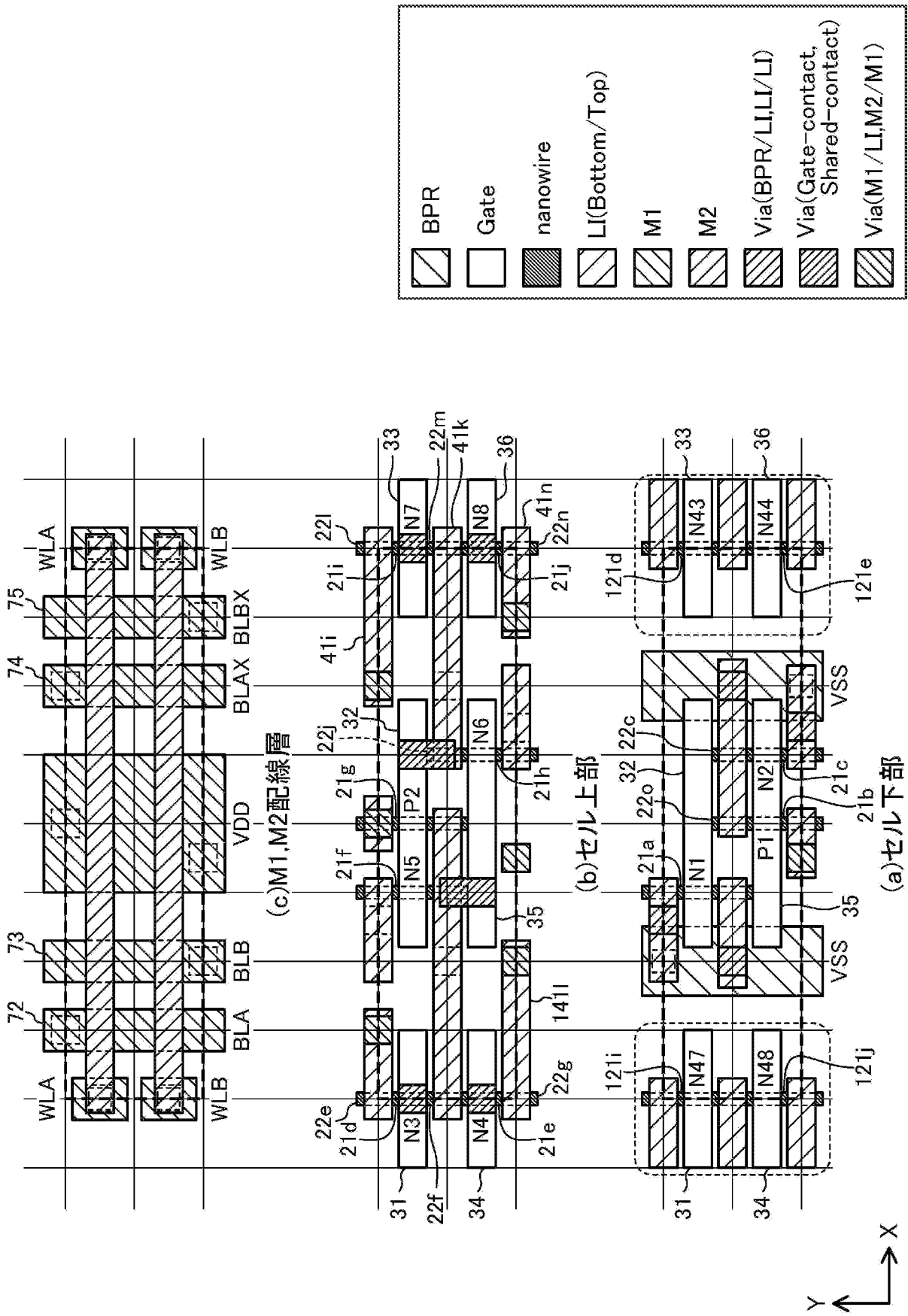
[図9]



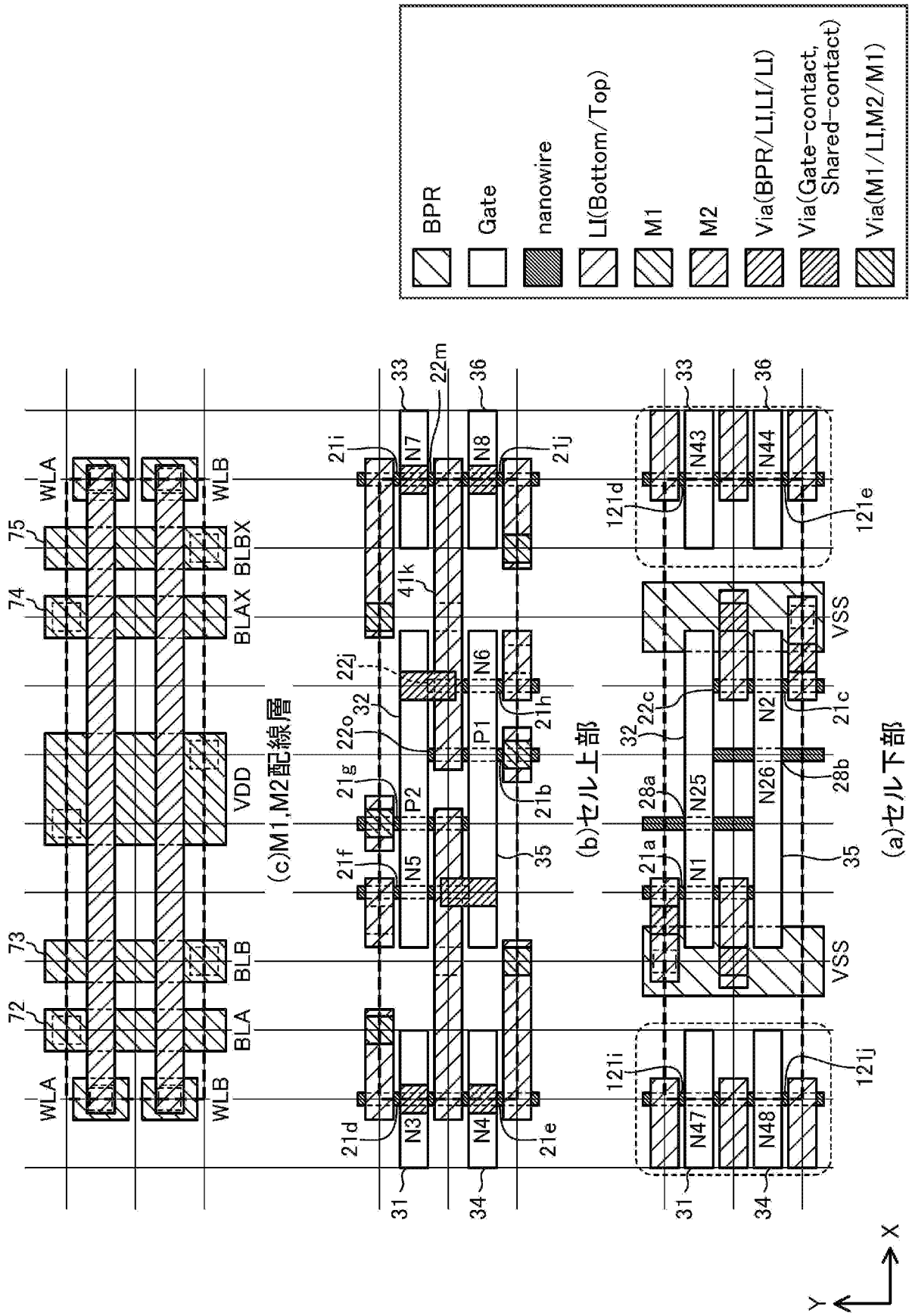
[図10]



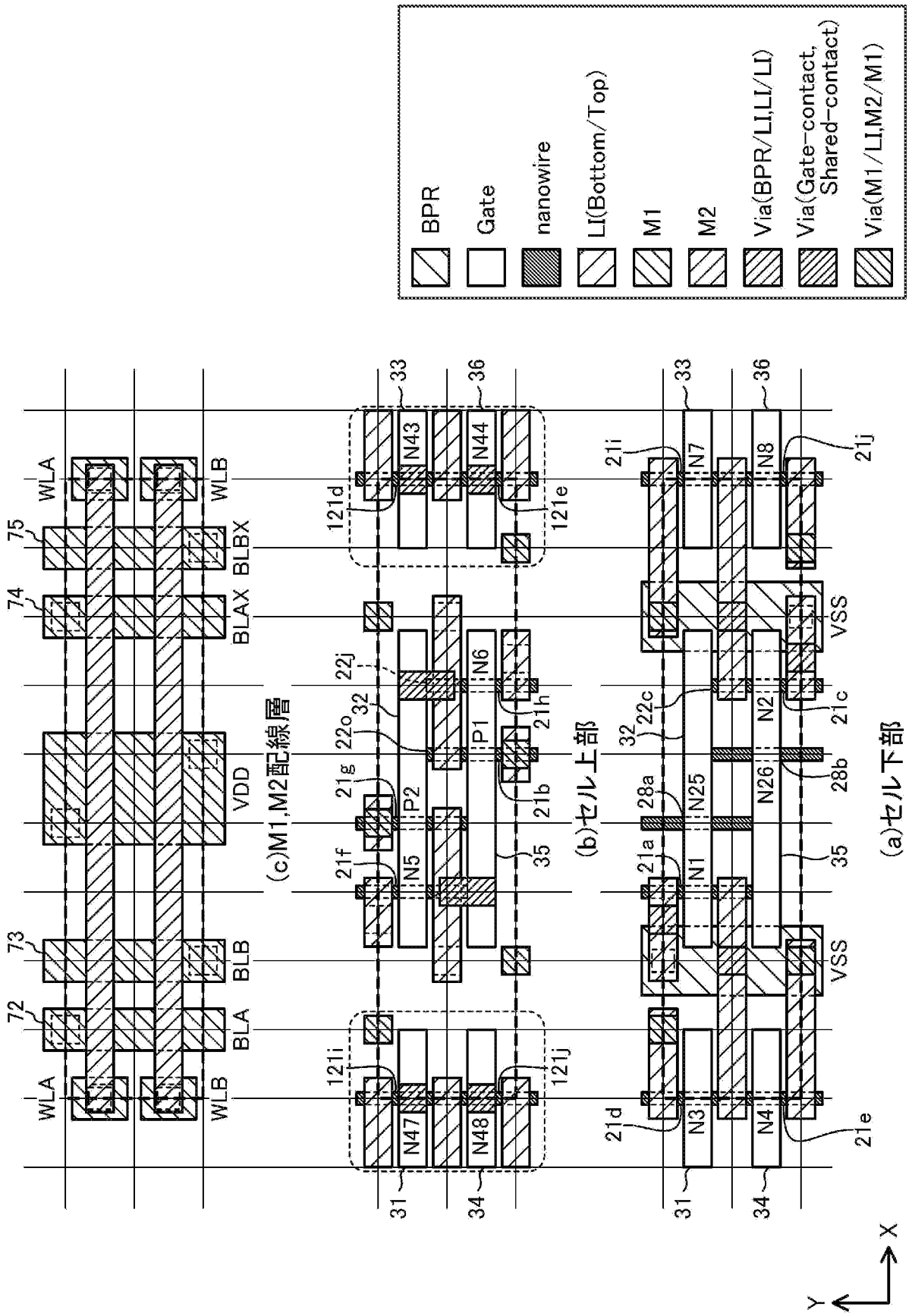
[図11]



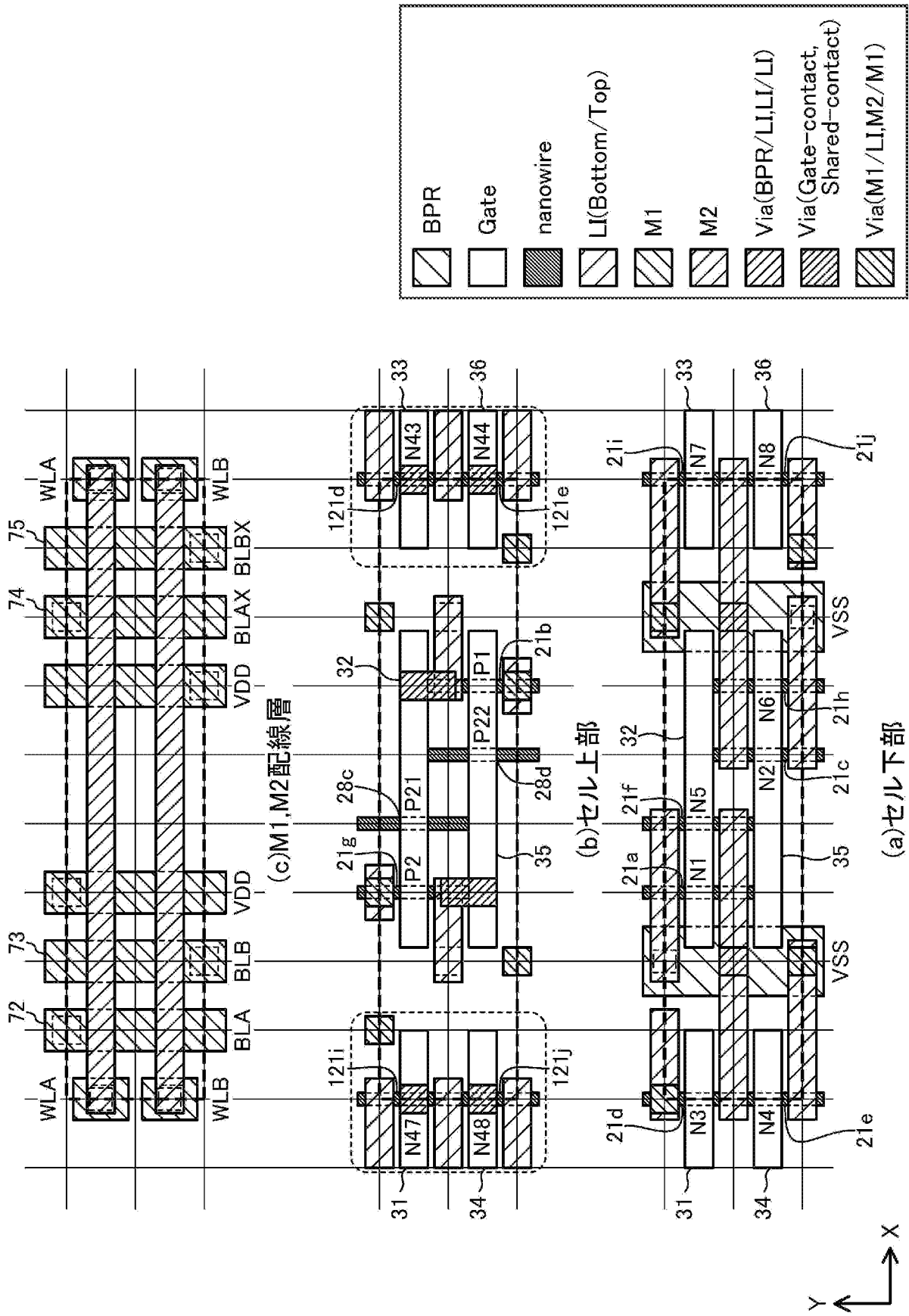
[図13]



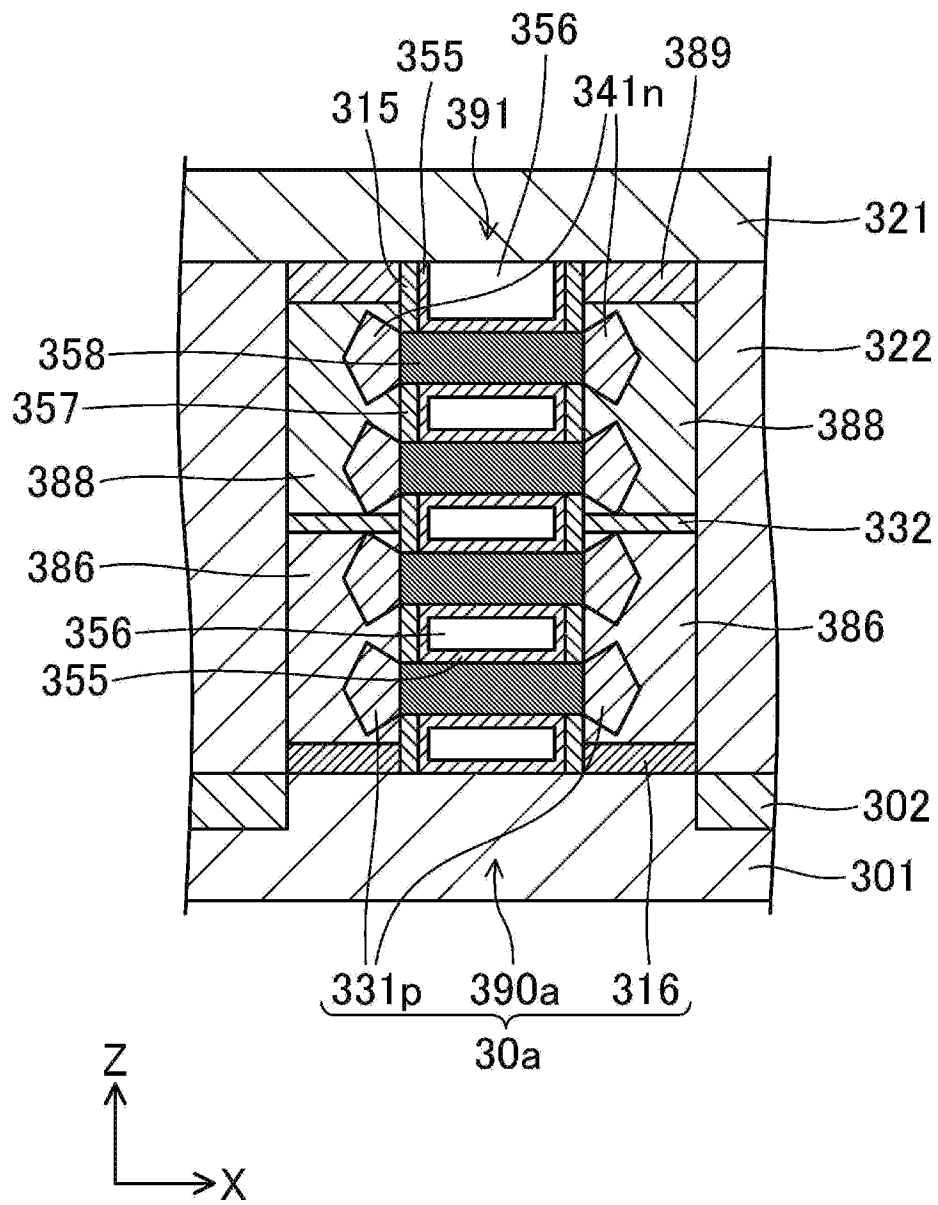
[図14]



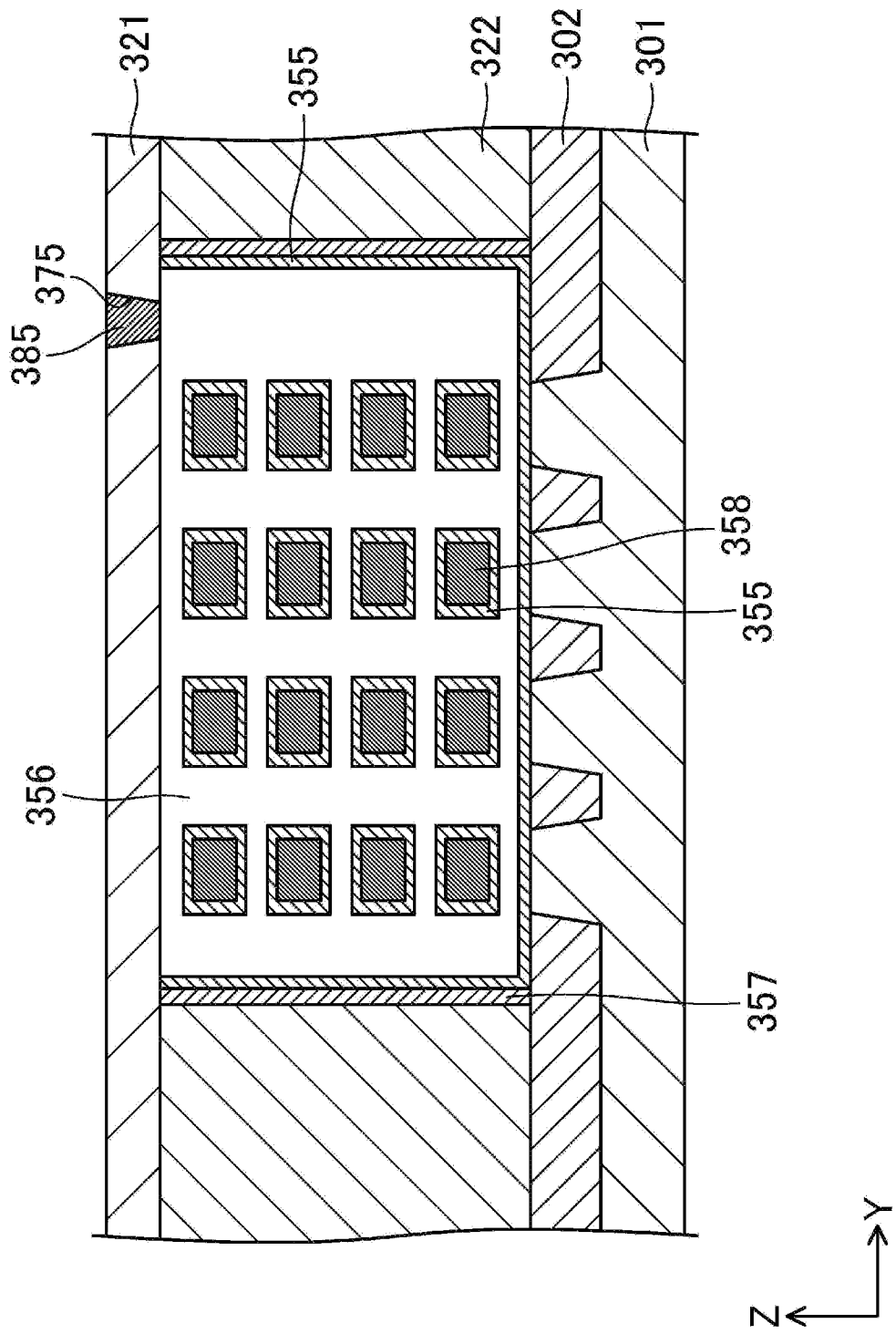
[図16]



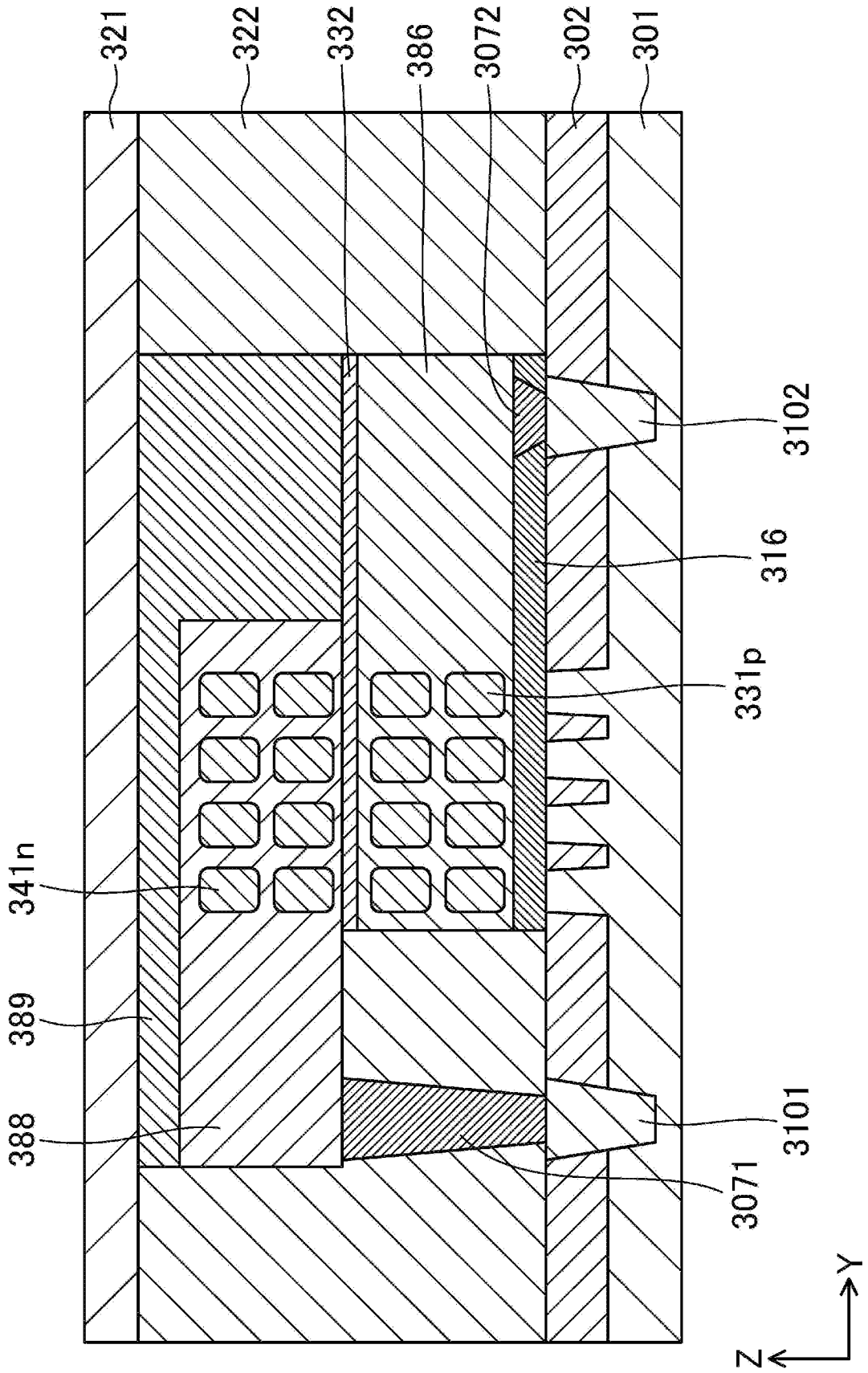
[図17]



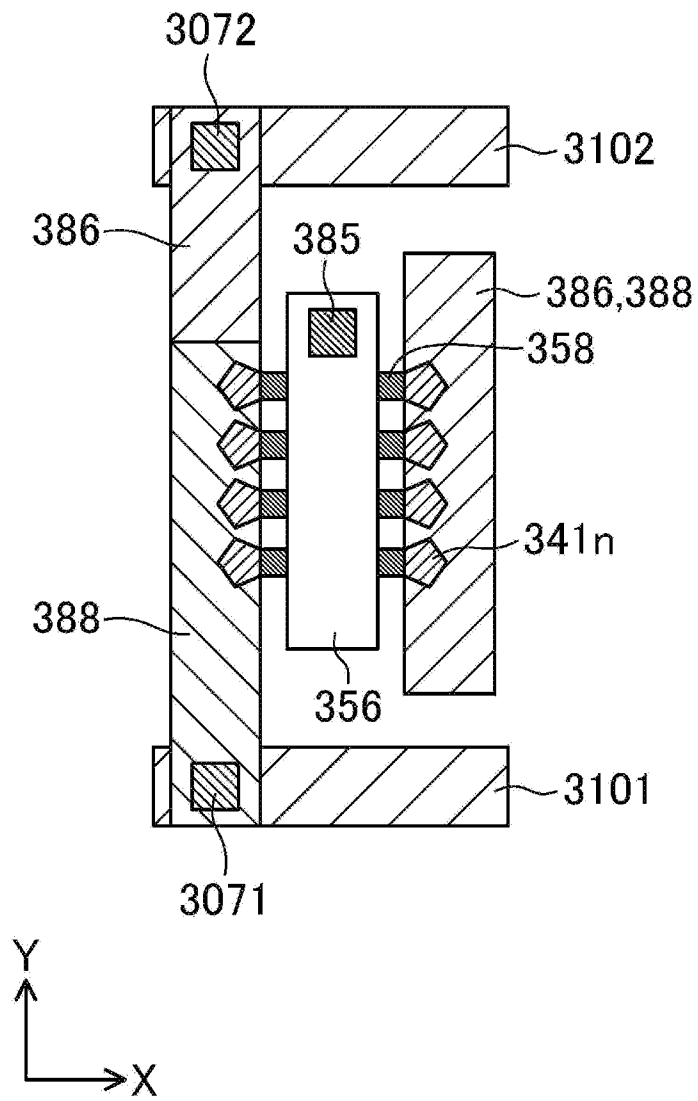
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/020975

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/8238(2006.01)i, H01L27/092(2006.01)i,
H01L21/8244(2006.01)i, H01L27/11(2006.01)i, G11C11/412(2006.01)i
FI: H01L27/11, G11C11/412, H01L27/092G, H01L27/092C, H01L27/092D
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/8238, H01L27/092, H01L21/8244, H01L27/11, G11C11/412

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2014/185085 A1 (TOSHIBA CORPORATION) 20.11.2014 (2014-11-20), paragraphs [0010]-[0154], fig. 1, 23	6-12, 15, 16, 19 1-5, 13, 14, 17, 18
Y	WO 2014/184933 A1 (UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.) 20.11.2014 (2014-11-20), paragraphs [0034]-[0041], fig. 1, 2	6-9
Y	JP 2009-295975 A (COMMISSARIAT A L'ENERGIE ATOMIQUE) 17.12.2009 (2009-12-17), paragraphs [0180]-[0195], fig. 9	6-12, 15, 16, 19
Y	JP 2013-143536 A (TOSHIBA CORPORATION) 22.07.2013 (2013-07-22), paragraphs [0008]-[0032], fig. 1	8, 15, 19
Y	JP 6-061452 A (MITSUBISHI ELECTRIC CORPORATION) 04.03.1994 (1994-03-04), paragraphs [0030]-[0076], fig. 1, 5, 24, 25	9, 11, 12, 15, 16, 19

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
20.07.2020

Date of mailing of the international search report
04.08.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/020975

WO 2014/185085 A1	20.11.2014	TW 201444027 A
WO 2014/184933 A1	20.11.2014	US 2015/0325444 A1 paragraphs [0089]-[0099], fig. 1, 2
JP 2009-295975 A	17.12.2009	US 2009/0294861 A1 paragraphs [0181]-[0195], fig. 9 EP 2131396 A1 FR 2932003 A
JP 2013-143536 A	22.07.2013	US 2013/0181274 A1 paragraphs [0037]-[0065], fig. 1
JP 6-061452 A	04.03.1994	US 5517038 A paragraphs [0068]-[0121], fig. 1, 5, 24, 25 DE 4326822 A1

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/8238(2006.01)i; H01L 27/092(2006.01)i; H01L 21/8244(2006.01)i; H01L 27/11(2006.01)i; G11C 11/412(2006.01)i FI: H01L27/11; G11C11/412; H01L27/092 G; H01L27/092 C; H01L27/092 D		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/8238; H01L27/092; H01L21/8244; H01L27/11; G11C11/412 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2014/185085 A1 (株式会社東芝) 20.11.2014 (2014 - 11 - 20) [0010]-[0154], 図1, 23	6-12, 15, 16, 19 1-5, 13, 14, 17, 18
Y	WO 2014/184933 A1 (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 20.11.2014 (2014 - 11 - 20) [0034]-[0041], 図1, 2	6-9
Y	JP 2009-295975 A (コムツサリア タ レネルジー アトミック) 17.12.2009 (2009 - 12 - 17) [0180]-[0195], 図9	6-12, 15, 16, 19
Y	JP 2013-143536 A (株式会社東芝) 22.07.2013 (2013 - 07 - 22) [0008]-[0032], 図1	8, 15, 19
Y	JP 6-061452 A (三菱電機株式会社) 04.03.1994 (1994 - 03 - 04) [0030]-[0076], 図1, 5, 24, 25	9, 11, 12, 15, 16, 19
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 20.07.2020	国際調査報告の発送日 04.08.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 加藤 俊哉 5F 9554 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2020/020975

引用文献			公表日	パテントファミリー文献			公表日
WO	2014/185085	A1	20.11.2014	TW	201444027	A	
WO	2014/184933	A1	20.11.2014	US	2015/0325444	A1	
					[0089]-[0099], FIGS. 1, 2		
JP	2009-295975	A	17.12.2009	US	2009/0294861	A1	
					[0181]-[0195], FIG. 9		
				EP	2131396	A1	
				FR	2932003	A	
JP	2013-143536	A	22.07.2013	US	2013/0181274	A1	
					[0037]-[0065], FIG. 1		
JP	6-061452	A	04.03.1994	US	5517038	A	
					[0068]-		
					[0121], FIGS. 1, 5, 24, 25		
				DE	4326822	A1	