

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4803228号
(P4803228)

(45) 発行日 平成23年10月26日(2011.10.26)

(24) 登録日 平成23年8月19日(2011.8.19)

(51) Int. Cl. F I
GO 1 R 19/00 (2006.01) GO 1 R 19/00 B
HO 1 M 10/48 (2006.01) HO 1 M 10/48 P

請求項の数 9 (全 33 頁)

(21) 出願番号	特願2008-226500 (P2008-226500)	(73) 特許権者	390020248
(22) 出願日	平成20年9月3日(2008.9.3)		日本テキサス・インスツルメンツ株式会社
(65) 公開番号	特開2010-60434 (P2010-60434A)		東京都新宿区西新宿六丁目24番1号
(43) 公開日	平成22年3月18日(2010.3.18)	(72) 発明者	田中 徹
審査請求日	平成20年9月3日(2008.9.3)		東京都新宿区西新宿六丁目24番1号 日 本テキサス・インスツルメンツ株式会社内
		(72) 発明者	小倉 暁生
			東京都新宿区西新宿六丁目24番1号 日 本テキサス・インスツルメンツ株式会社内
		(72) 発明者	大曲 一也
			東京都新宿区西新宿六丁目24番1号 日 本テキサス・インスツルメンツ株式会社内
		(72) 発明者	小笠原 成昭
			東京都新宿区西新宿六丁目24番1号 日 本テキサス・インスツルメンツ株式会社内 最終頁に続く

(54) 【発明の名称】 電圧検出装置

(57) 【特許請求の範囲】

【請求項1】

複数の電圧入力ノードと、
 一对の検出入力ノードと、

上記一对の検出入力ノードをそれぞれ基準電位に保つとともに、当該一对の検出入力ノードに入力される電流を異なる割合で合成し、当該合成電流に応じた第1検出信号を生成する第1検出信号生成部と、

上記複数の電圧入力ノードと上記一对の検出入力ノードとの接続をオン又はオフする複数のスイッチを備えたスイッチ部と、

上記複数の電圧入力ノードと上記スイッチ部との間の電流経路に設けられた複数の同等的な抵抗値を持つ入力抵抗と、

上記複数の電圧入力ノードから一对の電圧入力ノードを選択し、当該選択した一对の電圧入力ノードと上記一对の検出入力ノードとを極性が異なる2通りのパターンで接続するように上記スイッチ部を制御する制御部と、

上記2通りの接続パターンにおいて上記第1検出信号生成部により生成される2つの上記第1検出信号の差に応じた第2検出信号を生成する第2検出信号生成部と、

を有し、

上記第1検出信号生成部が、上記基準電位が印加される第1入力と一方の検出入力ノードの電圧が印加される第2入力とを有する第1演算増幅器と、上記第1演算増幅器の出力と上記第2入力との間に接続される第1抵抗と、上記基準電位が印加される第1入力と他

10

20

方の検出入力ノードの電圧が印加される第2入力とを有する第2演算増幅器と、上記第2演算増幅器の出力と上記第2演算増幅器の第2入力との間に接続される第2抵抗と、上記第1演算増幅器の出力と上記第2演算増幅器の第2入力との間に接続される第3抵抗とを含み、

上記第2検出信号が上記一对の検出入力ノードに接続された一对の電圧入力ノードに印加される電圧を示す、

電圧検出装置。

【請求項2】

複数の検出モジュールと、上記複数の検出モジュールから一つの検出モジュールを選択し、当該選択した検出モジュールから出力される第1検出信号を選択的に出力する選択部と、上記選択部から出力される2つの第1検出信号に応じた第2検出信号を生成する第2検出信号生成部とを有する電圧検出装置であって、

上記検出モジュールが、複数の電圧入力ノードと、一对の検出入力ノードと、上記一对の検出入力ノードをそれぞれ基準電位に保つとともに、当該一对の検出入力ノードに流入される電流を異なる割合で合成し、当該合成電流に応じた上記第1検出信号を生成する第1検出信号生成部と、上記複数の電圧入力ノードと上記一对の検出入力ノードとの接続をオン又はオフする複数のスイッチを備えたスイッチ部と、上記複数の電圧入力ノードと上記スイッチ部との間の電流経路に設けられた複数の同等な抵抗値を持つ入力抵抗と、上記複数の電圧入力ノードから一对の電圧入力ノードを選択し、当該選択した一对の電圧入力ノードと上記一对の検出入力ノードとを極性が異なる2通りのパターンで接続するように上記スイッチ部を制御する制御部とを有し、

上記第1検出信号生成部が、上記基準電位が印加される第1入力と一方の検出入力ノードの電圧が印加される第2入力とを有する第1演算増幅器と、上記第1演算増幅器の出力と上記第2入力との間に接続される第1抵抗と、上記基準電位が印加される第1入力と他方の検出入力ノードの電圧が印加される第2入力とを有する第2演算増幅器と、上記第2演算増幅器の出力と上記第2演算増幅器の第2入力との間に接続される第2抵抗と、上記第1演算増幅器の出力と上記第2演算増幅器の第2入力との間に接続される第3抵抗とを含み、

上記第2検出信号が、上記2通りの接続パターンにおいて上記第1検出信号生成部により生成される2つの上記第1検出信号の差に応じており、そして、上記第2検出信号が、

電圧検出装置。

【請求項3】

第1の検査モードにおいて、上記複数の入力抵抗が設けられた電流経路にそれぞれオフセット電流を供給する電流供給部と、

上記第1の検査モードにおいて、上記オフセット電流が供給されるときに生成される上記第2検出信号と、上記オフセット電流が供給されないときに生成される上記第2検出信号との差に基づいて、上記入力抵抗の異常の有無を判定する第1判定部と、

を更に有する、請求項1又は2に記載の電圧検出装置。

【請求項4】

上記入力抵抗は、直列接続された複数の抵抗を含んでおり、

上記電流供給部は、上記直列接続された複数の抵抗の中間接続ノードに上記オフセット電流を供給する、

請求項3に記載の電圧検出装置。

【請求項5】

上記複数の電圧入力ノードは、参照電圧を入力する一对の検査用ノードを含んでおり、

上記制御部は、第2の検査モードにおいて、上記一对の検査用ノードと上記一对の検出入力ノードとを極性が異なる2通りのパターンで接続するように上記スイッチ部を制御し、

上記第2の検査モードにおいて生成される上記第2検出信号と上記参照電圧に応じて設

10

20

30

40

50

定される基準値との差に基づいて、上記第 1 検出信号生成部の異常の有無を判定する第 2 判定部を有する、

請求項 3 又は 4 に記載の電圧検出装置。

【請求項 6】

上記第 1 検出信号並びに上記参照電圧をデジタルデータに変換するアナログ・デジタル変換部を更に有し、

上記第 2 判定部は、上記第 2 の検査モードにおいて上記第 1 検出信号生成部により生成される 2 つの上記第 1 検出信号をアナログ・デジタル変換して得られた 2 つのデジタルデータに応じて生成される上記第 2 検出信号と、上記参照電圧をアナログ・デジタル変換して得られたデジタルデータに対応する上記基準値との差に基づいて、上記第 1 検出信号生成部の異常の有無を判定する、

請求項 5 に記載の電圧検出装置。

【請求項 7】

直列接続される複数の電池の各接続ノードにそれぞれ接続される複数の電圧入力ノードと、

上記複数の電圧入力ノードの中から選択された 2 つの電圧入力ノードと第 1 及び第 2 のノードとをそれぞれ選択的に接続するためのスイッチ回路と、

上記複数の電圧入力ノードと上記第 1 及び第 2 のノードとの間に形成される複数の電流路にそれぞれ設けられる複数の同等の抵抗値を持つ入力抵抗と、

上記第 1 及び第 2 のノードに接続され、上記第 1 及び第 2 のノードに現れる電圧差を検出するための電圧検出回路と、

を含み、

上記電圧検出回路が、

上記第 1 のノードに負側入力端子が接続され、電圧供給端子に正側入力端子が接続される第 1 の演算増幅器と、

上記第 2 のノードに負側入力端子が接続され、上記電圧供給端子に正側入力端子が接続される第 2 の演算増幅器と、

上記第 1 の演算増幅器の出力端子と負側入力端子との間に接続される第 1 の抵抗と、

上記第 2 の演算増幅器の出力端子と負側入力端子との間に接続される第 2 の抵抗と、

上記第 1 の演算増幅器の出力端子と上記第 2 の演算増幅器の負側入力端子との間に接続される第 3 の抵抗と、

を有し、

上記複数の電圧入力ノードの中から選択された 2 つの電圧入力ノードの一方の電圧入力ノードと上記第 1 のノードとが接続され、上記選択された 2 つの電圧入力ノードの他方の電圧入力ノードと上記第 2 のノードとが接続されるときに、上記電圧検出回路が第 1 の検出電圧を出力し、

上記他方の電圧入力ノードと上記第 1 のノードとが接続され、上記一方の電圧入力ノードと上記第 2 のノードとが接続されるときに、上記電圧検出回路が第 2 の検出電圧を出力し、

上記第 1 の検出電圧と上記第 2 の検出電圧との差に基づいて、上記選択された上記 2 つの電圧入力ノードに印加されている電圧を検出する、

電圧検出装置。

【請求項 8】

所定の電流を供給するための複数の電流源回路を更に含み、

上記複数の入力抵抗が直列接続される第 4 及び第 5 の抵抗をそれぞれ有し、

上記電流源回路が上記第 4 及び第 5 の抵抗の接続中点に上記所定の電流を供給しているときに検出した上記選択された 2 つの電圧入力ノード間の検出電圧と、上記電流源回路が上記第 4 及び第 5 の抵抗の接続中点に上記所定の電流を供給していないときに検出した上記選択された 2 つの電圧入力ノード間の検出電圧とに基づいて、上記入力抵抗の検査を行なう、

10

20

30

40

50

請求項 7 に記載の電圧検出装置。

【請求項 9】

第 1 及び第 2 の検査用ノードと、

上記第 1 及び第 2 の検査用ノード間に所定の電圧を印加する電圧供給回路と、

上記第 1 及び第 2 の検査用ノードと上記第 1 及び第 2 のノードとを選択的に接続するためのスイッチ部と、

を更に含み、

上記第 1 及び第 2 の検査用ノードと上記第 1 及び第 2 のノードとの接続関係を切り替えることにより上記電圧検出回路を用いて検出した第 1 の電圧値と、上記所定の電圧に基づいた基準値とを比較して上記電圧検出回路の検査を行なう、

請求項 7 又は 8 に記載の電圧検出装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基準電位に対して電位差をもったノード間に印加される電圧を検出する電圧検出装置に係り、例えば直列接続された複数の 2 次電池セルにおける各セルの電圧を検出する電圧検出装置に関するものである。

【背景技術】

【0002】

ハイブリッド自動車などにおいて駆動系にエネルギーを供給するバッテリーは、一般に数百 V 程度の電圧が必要であり、リチウムイオン電池などの 2 次電池を多数直列に接続して構成されているものが多い。多数の 2 次電池を直列に接続した場合、個々の電池の特性が異なることから、電圧にばらつきが生じる。そうすると、例えば充電時において一部の電池の電圧が過大になり、破損や発火などの不具合を生じることがある。そのため一般的には、直列接続された各 2 次電池の電圧を検出して過電圧の発生を防止する回路が設けられている。

【0003】

特許文献 1 には、直列接続された複数の電池モジュールにおける各モジュールの電圧を検出する電圧検出装置が記載されている。例えば特許文献 1 の図 6 に記載される電圧検出装置は、直列接続された複数の電池モジュールの各接続ノードから 2 つのノードを選択するマルチプレクサと、マルチプレクサにより選択された 2 つのノードの電圧を検出する差動増幅型電圧検出回路と、差動増幅型電圧検出回路により検出された電圧を所定の補正式に基づいて補正するモジュール電圧補正部を備えている。

【0004】

特許文献 1 に記載される電圧検出装置では、まず、直列接続された複数の電池モジュールからマルチプレクサによって各電池モジュールのノードが選択され、選択された電池モジュールの電圧が差動増幅型電圧検出回路により検出される。検出値は、モジュール電圧補正部に随時記録される。そして、全ての電池モジュールの電圧検出値が取得されると、その検出結果を用いて、所定の補正式により各電池モジュールの正確な電圧が演算される。

【特許文献 1】特開 2001 - 264366 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

特許文献 1 に示す電圧検出装置では、モジュール電圧補正部において補正式に基づいた補正演算を行う際に使用する定数を、製品出荷の前に予め取得しておく必要がある。すなわち、出荷検査の際、電池モジュールの代わりに基準電圧源を接続してその電圧を検出し、得られた電圧検出値を基に所定のアルゴリズムによって必要な定数を算出する。従って、出荷検査の工数が増加するとともに、出荷後の装置交換時においても同様の作業が必要になるという問題がある。また、出荷の際に取得した定数を使用し続けることから、経時

10

20

30

40

50

変化等による誤差の増大を避けられないという問題もある。

【0006】

更に、特許文献1に示す電圧検出装置では、各電池モジュールの電圧値を得るために、全ての電池モジュールの電圧を検出する必要がある。モジュール電圧補正部における処理は比較的複雑であることから、特許文献1においてはこれをマイクロコンピュータによって実現している。そうすると、各電池モジュールの確定的な電圧値を取得するには、全ての電池モジュールの検出値をそれぞれアナログ・デジタル変換し、得られたデータをマイクロコンピュータに転送し、マイクロコンピュータにおいて転送されたデータをもとに補正演算を実行するという段階を経る必要がある。すなわち、電圧値の確定までに多くの時間を要するという問題がある。電池モジュールの電圧を監視して過電圧などの異常を判定する場合、そのような時間の遅れが安全性の面で問題になる可能性がある。また、マイクロコンピュータを使用することによって、回路面積や消費電力が増大する問題もある。

10

【0007】

本発明はかかる事情に鑑みてなされたものであり、その目的は、装置ごとに固有の補正定数を取得することなく精度の高い電圧を検出できる電圧検出装置を提供することにある。

【課題を解決するための手段】

【0008】

本発明の第1の観点に係る電圧検出装置は、複数の電圧入力ノードと、一对の検出入口ノードと、上記一对の検出入口ノードをそれぞれ基準電位に保つとともに、当該一对の検出入口ノードに入力される電流を異なる割合で合成し、当該合成電流に応じた第1検出信号を生成する第1検出信号生成部と、上記複数の電圧入力ノードと上記一对の検出入口ノードとの接続をオン又はオフする複数のスイッチを備えたスイッチ部と、上記複数の電圧入力ノードと上記スイッチ部との間の電流経路に設けられた複数の同等な抵抗値を持つ入力抵抗と、上記複数の電圧入力ノードから一对の電圧入力ノードを選択し、当該選択した一对の電圧入力ノードと上記一对の検出入口ノードとを極性が異なる2通りのパターンで接続するように上記スイッチ部を制御する制御部と、上記2通りの接続パターンにおいて上記第1検出信号生成部により生成される2つの上記第1検出信号の差に応じた第2検出信号を生成する第2検出信号生成部とを有する。

20

【0009】

上記電圧検出装置では、複数の電圧入力ノードからスイッチ部において一对の電圧入力ノード選択され、当該選択された一对の電圧入力ノードが上記一对の検出入口ノードに接続される。上記一对の検出入口ノードは、上記第1検出信号生成部によってそれぞれ上記基準電位に保たれているため、上記一对の電圧入力ノードと上記スイッチ部との間の電流経路に設けられた同等な抵抗値を持つ入力抵抗には、上記一对の電圧入力ノードの電圧に応じた電流がそれぞれ流れる。この2つの電流が、上記第1検出信号生成部において異なる割合で合成され、その合成電流に応じて上記第1検出信号が生成される。

30

一方、上記制御部の制御により、上記一对の電圧入力ノードと上記一对の検出入口ノードは極性の異なる2通りのパターンにより接続され、その2通りの接続パターンにおいて生成される2つの第1検出信号が上記第2検出信号生成部に入力される。上記第2検出信号生成部では、この2つの第1検出信号の差に応じて、上記一对の電圧入力ノードの電位差を示す上記第2検出信号が生成される。

40

ここで、上記一对の検出入口ノードの電圧は、上記第1検出信号生成部の入力オフセット電圧等の影響により、それぞれ上記基準電位から「ずれ」を生じている。しかしながら、上記複数の入力抵抗は同等な抵抗値を持っているので、一の検出入口ノードにおいて上記基準電位に対する「ずれ」が生じている場合、その「ずれ」の影響により上記入力抵抗に流れる誤差電流成分は、上記2通りの接続パターンにおいて上記入力抵抗が切り替わっても、ほぼ等しくなる。その結果、一方の接続パターンにおいて上記合成電流に含まれる誤差電流成分は、他方の接続パターンにおいて上記合成電流に含まれる誤差電流成分とほぼ等しくなる。従って、上記2通り接続パターンにおいて生成される2つの上記第1検出

50

信号の差に応じて生成された上記第2検出信号では、上記「ずれ」の影響による誤差成分がほぼキャンセルされ、極めて微小になる。

他方、上記第1検出信号生成部では、上記2つの電流が異なる割合で合成されることから、一方の接続パターンにおいて上記合成電流に含まれる上記2つの電流の割合と、他方の接続パターンにおいて上記合成電流に含まれる上記2つの電流の割合とが異なっている。そのため、上記2通りの接続パターンにおける2つの上記合成電流の差をとっても、上記2つの電流の成分はキャンセルされず、上記2つの電流の差に応じた成分が残る。従って、上記第1検出信号は、上記2つの電流の差に応じた信号となり、すなわち、上記一对の電圧入力ノードの差に応じた信号となる。

【0010】

好適に、上記第1検出信号生成部は、一方の検出入力ノードの電圧と上記基準電圧との差を増幅する第1増幅部と、上記第1増幅部の出力ノードと上記一方の検出入力ノードとを接続する第1抵抗と、他方の検出入力ノードの電圧と上記基準電圧との差を増幅する第2増幅部と、上記第2増幅部の出力ノードと上記他方の検出入力ノードとを接続する第2抵抗と、上記第1増幅部の出力ノードと上記他方の検出入力ノードとを接続する第3抵抗とを有する。

【0011】

また好適に、上記電圧検出装置は、上記複数の入力抵抗、上記スイッチ部、上記一对の検出入力ノード及び上記第1検出信号生成部をそれぞれ含んだ複数の検出モジュールと、上記複数の検出モジュールから一つの検出モジュールを選択し、当該選択した検出モジュールの上記第1検出信号生成部において生成される上記第1検出信号を上記第2検出信号生成部に入力する選択部とを有してよい。

【0012】

更に、上記電圧検出装置は、第1の検査モードにおいて、上記複数の入力抵抗が設けられた電流経路にそれぞれオフセット電流を供給する電流供給部と、上記第1の検査モードにおいて、上記オフセット電流が供給されるときに生成される上記第2検出信号と、上記オフセット電流が供給されないうちに生成される上記第2検出信号との差に基づいて、上記入力抵抗の異常の有無を判定する第1判定部とを有してよい。

この場合、上記入力抵抗は、直列接続された複数の抵抗を含んでよく、上記電流供給部は、上記直列接続された複数の抵抗の間接続ノードに上記オフセット電流を供給してよい。

【0013】

また、上記複数の電圧入力ノードは、参照電圧を入力する一对の検査用ノードを含んでよく、上記制御部は、第2の検査モードにおいて、上記一对の検査用ノードと上記一对の検出入力ノードとを極性が異なる2通りのパターンで接続するように上記スイッチ部を制御してよい。そして、上記電圧検出装置は、上記第2の検査モードにおいて生成される上記第2検出信号と上記参照電圧に応じて設定される基準値との差に基づいて、上記第1検出信号生成部の異常の有無を判定する第2判定部を有してよい。

この場合、上記第1検出信号並びに上記参照電圧をデジタルデータに変換するアナログ・デジタル変換部を有してよい。上記第2判定部は、上記第2の検査モードにおいて上記第1検出信号生成部により生成される2つの上記第1検出信号をアナログ・デジタル変換して得られたデジタルデータに応じて生成される上記第2検出信号と、上記参照電圧をアナログ・デジタル変換して得られたデジタルデータに対応する上記基準値との差に基づいて、上記第1検出信号生成部の異常の有無を判定してよい。

【0014】

また、本発明の第2の観点に係る電圧検出装置は、直列接続される複数の電池の各接続ノードにそれぞれ接続される複数の電圧入力ノードと、上記複数の電圧入力ノードの中から選択された2つの電圧入力ノードと第1及び第2のノードとをそれぞれ選択的に接続するためのスイッチ回路と、上記複数の電圧入力ノードと上記第1及び第2のノードとの間に形成される複数の電流路にそれぞれ設けられる複数の入力抵抗と、上記第1及び第2の

10

20

30

40

50

ノードに接続され、上記第1及び第2のノードに現れる電圧差を検出するための電圧検出回路とを含み、上記電圧検出回路が、上記第1のノードに負側入力端子が接続され、電圧供給端子に正側入力端子が接続される第1の演算増幅器と、上記第2のノードに負側入力端子が接続され、上記電圧供給端子に正側入力端子が接続される第2の演算増幅器と、上記第1の演算増幅器の出力端子と負側入力端子との間に接続される第1の抵抗と、上記第2の演算増幅器の出力端子と負側入力端子との間に接続される第2の抵抗と、上記第1の演算増幅器の出力端子と上記第2の演算増幅器の負側入力端子との間に接続される第3の抵抗とを有し、上記複数の電圧入力ノードの中から選択された2つの電圧入力ノードの一方の電圧入力ノードと上記第1のノードとが接続され、上記選択された2つの電圧入力ノードの他方の電圧入力ノードと上記第2のノードとが接続されるときに、上記電圧検出回路が第1の検出電圧を出力し、上記他方の電圧入力ノードと上記第1のノードとが接続され、上記一方の電圧入力ノードと上記第2のノードとが接続されるときに、上記電圧検出回路が第2の検出電圧を出力し、上記第1の検出電圧と上記第2の検出電圧との差に基づいて、上記選択された上記2つの電圧入力ノードに印加されている電圧を検出する。

10

【発明の効果】

【0015】

本発明によれば、装置ごとに固有の補正定数を取得することなく、入力オフセット電圧等に起因した誤差成分をキャンセルすることが可能であり、精度の高い電圧を検出できる。

【発明を実施するための最良の形態】

20

【0016】

<第1の実施形態>

図1は、本発明の第1の実施形態に係る電圧検出装置の構成の一例を示す図である。

図1に示す電圧検出装置は、直列接続された電池セル $C E L 1 \sim C E L n$ の各セル電圧を検出する装置であり、電圧入力ノード $N C 0 \sim N C n$ と、入力抵抗 $R I 0 \sim R I n$ と、スイッチ部10と、検出入力ノード $N A, N B$ と、電圧検出部20と、アナログ・デジタル変換部30と、検出データ処理部40と、制御部50を有する。スイッチ部10は、スイッチ $S A 0 \sim S A n$ 及び $S B 0 \sim S B n$ を有する。

電圧入力ノード $N C 0 \sim N C n$ は、本発明における複数の電圧入力ノードの一実施形態である。

30

検出入力ノード $N A, N B$ は、本発明における2つの検出入力ノードの一実施形態である。

スイッチ部10は、本発明におけるスイッチ部の一実施形態である。

電圧検出部20は、本発明における第1検出信号生成部の一実施形態である。

入力抵抗 $R I 0 \sim R I n$ は、本発明における複数の入力抵抗の一実施形態である。

制御部50は、本発明における制御部の一実施形態である。

検出データ処理部40は、本発明における第2検出信号生成部の一実施形態である。

【0017】

直列接続された電池セル $C E L 1 \sim C E L n$ の各端子の電圧は、それぞれ電圧入力ノード $N C 0 \sim N C n$ に供給される。電圧入力ノード $N C 0$ には、接地電位 $G N D$ に接続された電池セル $C E L 1$ の負極端子の電圧が印加され、電圧入力ノード $N C k$ (k は1から n までの整数を示す。)には、電池セル $C E L k$ の正極端子の電圧が印加される。

40

【0018】

スイッチ部10のスイッチ $S A 0 \sim S A n, S B 0 \sim S B n$ は、制御部50の制御に基づいて、電圧入力ノード $N C 0 \sim N C n$ と検出入力ノード $N A, N B$ との接続をオン又はオフする。スイッチ $S A j$ (j は0から n までの整数を示す。)は電圧入力ノード $N C j$ と電圧入力ノード $N A$ との接続をオン又はオフし、スイッチ $S B j$ は電圧入力ノード $N C j$ と検出入力ノード $N B$ との接続をオン又はオフする。

【0019】

入力抵抗 $R I 0 \sim R I n$ は、電圧入力ノード $N C 0 \sim N C n$ とスイッチ部10との間の

50

電流経路に設けらる。すなわち、入力抵抗 R_{Ij} ($j = 0 \sim n$) は、スイッチ S_{Aj} 及び S_{Bj} と電圧入力ノード NC_j との間の共通の電流経路に設けられる。

【0020】

電圧検出部 20 は、検出入力ノード NA 、 NB をそれぞれ基準電位 V_m に保つとともに、検出入力ノード NA 、 NB に入力される電流を異なる割合で合成し、当該合成電流に応じた電圧検出信号 S_{20} を生成する。

【0021】

図 2 は、電圧検出部 20 の構成の一例を示す部である。

図 2 に示す電圧検出部 20 は、演算増幅回路 A_1 及び A_2 と、抵抗 R_{f1} 、 R_{s2} 、 R_{f2} を有する。

演算増幅回路 A_1 は、本発明における第 1 増幅部の一実施形態である。

演算増幅回路 A_2 は、本発明における第 2 増幅部の一実施形態である。

抵抗 R_{f1} は、本発明における第 1 抵抗の一実施形態である。

抵抗 R_{f2} は、本発明における第 2 抵抗の一実施形態である。

抵抗 R_{s2} は、本発明における第 3 抵抗の一実施形態である。

【0022】

演算増幅回路 A_1 の負入力ノードは検出入力ノード NA に接続され、その正入力ノードは基準電位 V_m に接続され、その出力ノードは抵抗 R_{f1} を介して負入力ノードに接続される。抵抗 R_{s2} は、演算増幅回路 A_1 の出力ノードと演算増幅回路 A_2 の負入力ノードとの間に接続される。演算増幅回路 A_2 の負入力ノードは検出入力ノード NB に接続され、その正入力ノードは基準電位 V_m に接続され、その出力ノードは抵抗 R_{f2} を介して負入力ノードに接続される。抵抗 R_{f1} 、 R_{s2} 、 R_{f2} は、それぞれ、抵抗値 r_{f1} 、 r_{s2} 、 r_{f2} を有する。

【0023】

検出入力ノード NA に電流 I_{na} 、検出入力ノード NB に電流 I_{nb} がそれぞれ入力される場合の動作を説明する。

演算増幅回路 A_1 は、検出入力ノード NA を基準電圧 V_m に保つように出力ノードに電圧を発生する。検出入力ノード NA に電流 I_{na} が入力されると、演算増幅回路 A_1 は基準電位 V_m に対して「 $-r_{f1} \times I_{na}$ 」の電圧を出力ノードに発生する。他方、演算増幅回路 A_2 も、検出入力ノード NB を基準電圧 V_m に保つように出力ノードに電圧を発生する。検出入力ノード NB が基準電圧 V_m に保たれているため、抵抗 R_{s2} には電位差「 $-r_{f1} \times I_{na}$ 」が加わる。したがって、抵抗 R_{s2} には電流「 $-(r_{f1}/r_{s2}) \times I_{na}$ 」が流れる。この電流と、検出入力ノード NB に入力される電流 I_{nb} とが合成されて、抵抗 R_{f2} に流れる。

すなわち、電流 I_{na} と電流 I_{nb} は「 $-(r_{f1}/r_{s2}) : 1$ 」の割合で合成され、その合成電流 I_c が抵抗 R_{f2} に流れる。

演算増幅回路 A_2 は、基準電位 V_m に対して「 $-I_c \times r_{f2}$ 」の電圧を発生し、電圧検出信号 S_{20} として出力する。

【0024】

図 1 の説明に戻る。

アナログ・デジタル変換部 30 は、電圧検出部 20 から出力される電圧検出信号 S_{20} を所定ビット長のデジタルデータ S_{30} に変換する。

【0025】

制御部 50 は、電圧検出部 20 において各電池セル ($CEL_1 \sim CEL_n$) の電圧を検出するように、スイッチ部 10 を制御する。すなわち、制御部 50 は、電圧入力ノード $NC_0 \sim NC_n$ から 2 つの電圧入力ノードを選択し、当該選択した 2 つの電圧入力ノードと検出入力ノード NA 、 NB とを極性が異なる 2 通りのパターンで接続するようにスイッチ部 10 を制御する。

例えば制御部 50 は、電圧入力ノード NC_k 、 NC_{k-1} ($k = 1 \sim n$) を選択する場合、電圧入力ノード NC_k 及び検出入力ノード NA を接続し、電圧入力ノード NC_{k-1}

10

20

30

40

50

及び検出入力ノードNBを接続するパターン（以下、「順接続」と記す場合がある）と、電圧入力ノードNCk及び検出入力ノードNBを接続し、電圧入力ノードNCk-1及び検出入力ノードNAを接続するパターン（以下、「逆接続」と記す場合がある）の2通りの接続を行う。

【0026】

検出データ処理部40は、アナログ・デジタル変換部30より出力されるデジタルデータS30に基づいて、各電池セル(CEL1~CELn)の両端の電圧を示す電圧検出データS40を生成する。すなわち、検出データ処理部40は、制御部50により選択された一对の電圧入力ノードと検出入力ノードNA, NBとを上述した2通りのパターン（順接続、逆接続）で接続した場合に生成される2つのデジタルデータS30を取得し、取得した2つのデジタルデータS30の差に応じて、当該一对の電圧入力ノードに入力される電圧を示す電圧検出データS40を生成する。

10

【0027】

ここで、上述した構成を有する本実施形態に係る電圧検出装置の動作を説明する。

制御部50は、各電池セル(CEL1~CELn)から順次に一の電池セルを選択し、選択した電池セルの正負の電極に接続される一对の電圧入力ノードと検出入力ノードNA, NBとを2通りのパターン（順接続, 逆接続）で接続する。

【0028】

図3(A)は、電圧入力ノードNCk, NCk-1と検出入力ノードNA, NBとを順接続する場合を示し、図3(B)は、これらを逆接続する場合を示す。図3に示すように、制御部50は、順接続においてスイッチSAk, SBk-1をオン、他のスイッチをオフに設定し、逆接続においてスイッチSAk-1, SBkをオン、他のスイッチをオフに設定する。

20

【0029】

順接続時(図3(A))における電圧検出信号S20の電圧値を「X1」、逆接続時(図3(B))における電圧検出信号S20の電圧値を「X2」とすると、「X1」及び「X2」はそれぞれ次式で表わされる。

【0030】

【数1】

$$X1 = \frac{rf1 \cdot rf2}{rs1 \cdot rs2} \times Vp - \frac{rf2}{rs3} \times Vn - \frac{rf1 \cdot rf2}{rs1 \cdot rs2} \times Vof1 + \left(\frac{rf2}{rs2} + \frac{rf2}{rs3} \right) \times Vof2 \quad \dots (1)$$

$$X2 = \frac{rf1 \cdot rf2}{rs1 \cdot rs2} \times Vn - \frac{rf2}{rs3} \times Vp - \frac{rf1 \cdot rf2}{rs3 \cdot rs2} \times Vof1 + \left(\frac{rf2}{rs2} + \frac{rf2}{rs1} \right) \times Vof2 \quad \dots (2)$$

30

【0031】

式(1), (2)において、「Vp」は電圧入力ノードNCkの電圧、「Vn」は電圧入力ノードNCk-1の電圧、「rs1」は入力抵抗RIkの抵抗値、「rs3」は入力抵抗RIk-1の抵抗値、「Vof1」は演算増幅回路A1の入力オフセット電圧、「Vof2」は演算増幅回路A2の入力オフセット電圧をそれぞれ示す。

40

【0032】

検出データ処理部40は、式(1), (2)で示される「X1」, 「X2」のデジタルデータ(S30)をそれぞれ取得し、両者の差を電圧検出データS40として算出する。

入力抵抗RIk, RIk-1の抵抗値rs1, rs3がほぼ等しいものとする、「X1」及び「X2」の差「Xdif」は、次式で表わされる。

【0033】

【数 2】

$$X_{dif} = X_1 - X_2 = \left(\frac{rf1 \cdot rf2}{rs1 \cdot rs2} + \frac{rf2}{rs3} \right) \times (V_p - V_n) \quad \dots(3)$$

【0034】

式(3)から分かるように、検出データ処理部40において生成される電圧検出データS40(X_{dif})は、式(1)、(2)の右辺第3項、第4項における入力オフセット電圧の成分を含んでおらず、2つの電圧入力ノードの電圧($V_p - V_n$)に一定の比例定数を乗じた値を有している。

10

【0035】

以上説明したように、本実施形態に係る電圧検出装置では、 n 個の電圧入力ノードNC0~NCnからスイッチ部10において一对の電圧入力ノードNCk, NCk-1が選択され、選択された電圧入力ノードNCk, NCk-1が検出入力ノードNA, NBに接続される。電圧入力ノードNCk, NCk-1とスイッチ部10との間の電流経路には同等な抵抗値を持つ入力抵抗RIk, RIk-1が設けられており、検出入力ノードNA, NBは電圧検出部20によって基準電位Vmに保たれている。そのため、入力抵抗RIk, RIk-1には、電圧入力ノードNCk, NCk-1の電圧Vp, Vnに応じた電流Ina, Inbが流れる(図2)。この電流Ina, Inbが、電圧検出部20において異なる割合で合成され、その合成電流Icに応じた電圧検出信号S20が生成される。

20

一方、制御部50の制御により、電圧入力ノードNCk, NCk-1と検出入力ノードNA, NBは極性の異なる2通りのパターン(順接続、逆接続)により接続され、その2つの接続パターンにおいて生成される2つの電圧検出信号S20が検出データ処理部40に入力される。検出データ処理部40では、この2つの電圧検出信号S20の差に応じて、電圧入力ノードNCk及びNCk-1の電位差を示す電圧検出データS40が生成される。

ここで、検出入力ノードNA, NBの電圧は、電圧検出部20の入力オフセット電圧Vof1, Vof2の影響により、基準電位Vmからずれを生じている。しかしながら、入力抵抗RIk, RIk-1が同等な抵抗値を持っていることから、順接続において入力オフセット電圧Vof1の影響により入力抵抗RIkに流れる誤差電流成分と、逆接続において入力オフセット電圧Vof1の影響により入力抵抗RIk-1に流れる誤差電流成分はほぼ等しくなる。同様に、順接続において入力オフセット電圧Vof2の影響により入力抵抗RIkに流れる誤差電流成分と、逆接続において入力オフセット電圧Vof2の影響により入力抵抗RIk-1に流れる誤差電流成分もほぼ等しくなる。その結果、順接続において合成電流Icに含まれる入力オフセット電圧の誤差成分と、逆接続において合成電流Icに含まれる入力オフセット電圧の誤差成分はほぼ等しくなる。従って、順接続と逆接続において得られる2つの電圧検出信号S20の差に応じて生成された電圧検出データS40では、入力オフセット電圧の誤差成分がほぼキャンセルされており、極めて微小になっている。

30

他方、電圧検出部20では、電流Ina, Inbが異なる割合で合成されることから、順接続時の合成電流Icに含まれる電流Ina及びInbの成分と逆接続時の合成電流Icに含まれる電流Ina及びInbの成分とは異なっており、順接続時と逆接続時の合成電流Icの差を演算した場合、電流Ina及びInbの差の成分がキャンセルされずに残る。従って、電圧検出データS40は電流Ina及びInbの差に応じた信号となり、すなわち、電圧入力ノードNCk及びNCk-1の電位差に応じた信号となる。

40

【0036】

このように、本実施形態によれば、装置ごとに固有の補正定数を取得することなく、精度の高い電圧検出を実現できる。そのため、出荷検査の工数を削減できるとともに、出荷後の装置交換時においても面倒な校正作業が不要となる。また、特性の経時変化に伴って補正定数が適切な値からずれることに起因する誤差を生じないため、従来の装置に比べて

50

電圧検出精度を向上できる。

【0037】

また、本実施形態によれば、検出対象となる一对の電圧入力ノードについて2つの接続パターンによる2つのデータを取得してその差を算出するだけの簡易な処理で、当該一对の電圧入力ノードの電圧を検出できる。従って、全ノードの電圧を検出しなければ検出値を確定できない従来の装置に比べて、電圧検出に要する時間を大幅に短縮できる。その結果、直列接続された各電池セルの電圧を監視して過電圧などの異常を判定する場合でも、十分高速に判定結果を得ることが可能であり、信頼性を向上できる。

【0038】

更に、本実施形態によれば、2つのデータの差を算出するだけの簡易な処理で電圧検出結果を得ることができ、マイクロコンピュータなどを用いずとも、簡易なハードウェア構成で装置を実現可能である。その結果、従来の装置に比べて回路面積や消費電力を大幅に削減できる。

【0039】

しかも、本実施形態によれば、電圧入力ノード $NC_0 \sim NC_n$ とスイッチ部10との間の電流経路に入力抵抗 $RI_0 \sim RI_n$ が設けられていることから、スイッチ部10の各スイッチ($SA_0 \sim SA_n, SB_0 \sim SB_n$)を駆動する制御部50においては、基準電位 V_m を基準とした駆動信号を生成すればよい。

【0040】

図4は、スイッチ部10の各スイッチ($SA_0 \sim SA_n, SB_0 \sim SB_n$)をn型MOSトランジスタにより構成する例を示す図である。このn型MOSトランジスタは、ドレイン・エクステンデッド(Drain Extended)、ドレインのLOCOSオフセット(Offset)などと呼ばれる高耐圧用の構造を備える。この場合、スイッチ $SA_0 \sim SA_n, SB_0 \sim SB_n$ を構成するn型MOSトランジスタのソースは検出入力ノード NA, NB に接続され、ドレインは入力抵抗 $RI_0 \sim RI_n$ の一端に接続される。

n型MOSトランジスタは、電圧入力ノード $NC_0 \sim NC_n$ に印加される電圧に対して適当なドレイン耐圧を有する。検出入力ノード NA, NB は基準電位 V_m に保たれているので、制御部50からn型MOSトランジスタのゲートに供給する駆動信号のレベルは、例えば検出データ処理部40のロジック・レベルと同じでよい。

このように、本実施形態では、基準電位 V_m を基準としてスイッチの駆動信号を生成できることから、例えば各スイッチの駆動回路に電源を供給するための絶縁された電源回路を駆動回路ごとに設ける必要がなくなり、回路構成を簡易化できる。

【0041】

<第2の実施形態>

次に、本発明の第2の実施形態について説明する。

【0042】

図5は、第2の実施形態に係る電圧検出装置の構成の一例を示す図である。

図5に示す電圧検出装置は、電圧入力ノード $NC_0 \sim NC_n$ と、入力抵抗 $RI_{1_0} \sim RI_{1_p}$ 及び $RI_{2_0} \sim RI_{2_q}$ (「p」、「q」は、 $n = p + q$ を満たす整数を示す。)と、スイッチ部11-1及び11-2と、検出入力ノード NA_1, NB_1, NA_2, NB_2 と、電圧検出部20-1及び20-2と、アナログ・デジタル変換部30と、検出データ処理部40と、制御部51と、選択部61を有する。ただし、図1と図5の同一符号は同一の構成要素を示す。

入力抵抗 $RI_{1_0} \sim RI_{1_p}$, スwitch部11-1, 検出入力ノード NA_1, NB_1 及び電圧検出部20-1を含むユニット、並びに、入力抵抗 $RI_{2_0} \sim RI_{2_q}$, スwitch部11-2, 検出入力ノード NA_2, NB_2 及び電圧検出部20-2を含むユニットは、それぞれ本発明における検出モジュールの一実施形態である。

選択部61は、本発明における選択部の一実施形態である。

【0043】

スイッチ部11-1は、電圧入力ノード $NC_0 \sim NC_p$ と検出入力ノード NA_1, NB_1

10

20

30

40

50

1 との接続をオン又はオフする $p + 1$ 個のスイッチを備える。例えばスイッチ部 1 1 - 1 は、図 6 (A) に示すように、検出入力ノード $NA 1$ と電圧入力ノード $NC 0 \sim NC p$ との間の $p + 1$ 本の電流経路に設けられたスイッチ $SA 1 _0 \sim SA 1 _p$ 、及び、検出入力ノード $NB 1$ と電圧入力ノード $NC 0 \sim NC p$ との間の $p + 1$ 本の電流経路に設けられたスイッチ $SB 1 _0 \sim SB 1 _p$ を有する。スイッチ $SA 1 _t$ (t は 0 から p までの整数を示す。) は電圧入力ノード $NC t$ と電出入力ノード $NA 1$ との接続をオン又はオフし、スイッチ $SB 1 _t$ は電圧入力ノード $NC t$ と検出入力ノード $NB 1$ との接続をオン又はオフする。

入力抵抗 $RI 1 _0 \sim RI 1 _p$ は、電圧入力ノード $NC 0 \sim NC p$ とスイッチ部 1 1 - 1 との間の $p + 1$ 本の電流経路に設けられている。図 6 (A) の例において、入力抵抗 $RI 1 _t$ ($t = 0 \sim p$) は、スイッチ $SA 1 _t$ 及び $SB 1 _t$ と電圧入力ノード $NC t$ との間の共通の電流経路に設けられている。

【 0 0 4 4 】

スイッチ部 1 1 - 2 は、電圧入力ノード $NC p \sim NC n$ ($n = p + q$) と検出入力ノード $NA 2$ 、 $NB 2$ との接続をオン又はオフする $q + 1$ 個のスイッチを備える。例えばスイッチ部 1 1 - 2 は、図 6 (B) に示すように、検出入力ノード $NA 2$ と電圧入力ノード $NC p \sim NC n$ との間の $q + 1$ 本の電流経路に設けられたスイッチ $SA 2 _0 \sim SA 2 _q$ 、及び、検出入力ノード $NB 2$ と電圧入力ノード $NC q \sim NC n$ との間の $q + 1$ 本の電流経路に設けられたスイッチ $SB 2 _0 \sim SB 2 _q$ を有する。スイッチ $SA 2 _u$ (u は 0 から q までの整数を示す。) は電圧入力ノード $NC p + u$ と電出入力ノード $NA 2$ との接続をオン又はオフし、スイッチ $SB 2 _u$ は電圧入力ノード $NC p + u$ と検出入力ノード $NB 2$ との接続をオン又はオフする。

入力抵抗 $RI 2 _0 \sim RI 2 _q$ は、電圧入力ノード $NC q \sim NC n$ とスイッチ部 1 1 - 2 との間の $q + 1$ 本電流経路に設けられている。図 6 (B) の例において、入力抵抗 $RI 2 _u$ ($u = 0 \sim q$) は、スイッチ $SA 1 _u$ 及び $SB 1 _u$ と電圧入力ノード $NC p + u$ との間の共通の電流経路に設けられている。

【 0 0 4 5 】

スイッチ部 1 1 - 1、1 1 - 2 の各スイッチは、図 4 に示すように、 n 型 MOS トランジスタで構成可能である。この場合、 n 型 MOS トランジスタのソースは検出入力ノード ($NA 1$ 、 $NB 1$ 、 $NA 2$ 、 $NB 2$) に接続され、ドレインは入力抵抗 ($RI 1 _0 \sim RI 1 _p$ 、 $RI 2 _0 \sim RI 2 _q$) の一端に接続される。

【 0 0 4 6 】

電圧検出部 2 0 - 1 は、検出入力ノード $NA 1$ 、 $NB 1$ をそれぞれ基準電位 V_m に保つとともに、検出入力ノード $NA 1$ 、 $NB 1$ に入力される電流を異なる割合で合成し、当該合成電流に応じた電圧検出信号 $S 2 0 - 1$ を生成する。

電圧検出部 2 0 - 2 は、検出入力ノード $NA 2$ 、 $NB 2$ をそれぞれ基準電位 V_m に保つとともに、検出入力ノード $NA 2$ 、 $NB 2$ に入力される電流を異なる割合で合成し、当該合成電流に応じた電圧検出信号 $S 2 0 - 2$ を生成する。

電圧検出部 2 0 - 1、2 0 - 2 は、例えば図 2 に示す電圧検出部 2 0 と同様な構成を有する。

【 0 0 4 7 】

選択部 6 1 は、電圧検出部 2 0 - 1 において生成される電圧検出信号 $S 2 0 - 1$ 及び電圧検出部 2 0 - 2 において生成される電圧検出信号 $S 2 0 - 2$ の一方を選択し、当該選択結果を電圧検出信号 $S 2 0$ としてアナログ・デジタル変換部 3 0 に入力する。

【 0 0 4 8 】

制御部 5 1 は、電圧検出部 2 0 - 1 において電池セル $CEL 1 \sim CEL p$ の電圧を検出するようにスイッチ部 1 1 - 1 を制御するとともに、電圧検出部 2 0 - 2 において電池セル $CEL p \sim CEL n$ の電圧を検出するようにスイッチ部 1 1 - 2 を制御する。

スイッチ部 1 1 - 1、1 1 - 2 の制御は、先に説明した制御部 5 0 によるスイッチ部 1 0 の制御と同様である。すなわち、制御部 5 1 は、電圧入力ノード $NC 0 \sim NC q$ から 2

10

20

30

40

50

つの電圧入力ノードを選択し、当該選択した2つの電圧入力ノードと検出入力ノードNA1, NB1とを極性が異なる2通りのパターン(順接続, 逆接続)で接続するようにスイッチ部11-1を制御する。また、制御部51は、電圧入力ノードNCq~NCnから2つの電圧入力ノードを選択し、当該選択した2つの電圧入力ノードと検出入力ノードNA2, NB2とを極性が異なる2通りのパターン(順接続, 逆接続)で接続するようにスイッチ部11-2を制御する。

【0049】

更に制御部51は、各電池セル(CEL1~CELn)の電圧検出信号(S20-1又はS20-2)がアナログ・デジタル変換部30においてデジタルデータS30へ変換されるように、選択部61における電圧検出信号の選択を制御する。

10

【0050】

アナログ・デジタル変換部30及び検出データ処理部40については、図1における同一符号の構成要素と同じなので説明を割愛する。

【0051】

ここで、図5に示す電圧検出装置の動作を説明する。

制御部51は、選択部61によって電圧検出信号S20-1又はS20-2の一方を選択する。電圧検出信号S20-1を選択した場合、制御部51は、電池セルCEL1~CElpから順次に一の電池セルを選択し、選択した電池セルの正負の電極に接続される一対の電圧入力ノードと検出入力ノードNA1, NB1とを2通りのパターン(順接続, 逆接続)で接続する。他方、電圧検出信号S20-2を選択した場合、制御部51は、電池セルCELp+1~CELnから順次に一の電池セルを選択し、選択した電池セルの正負の電極に接続される一対の電圧入力ノードと検出入力ノードNA2, NB2とを2通りのパターン(順接続, 逆接続)で接続する。

20

検出データ処理部40は、制御部51の制御によって一の電池セルが選択される度に、2通りの接続パターンで生成される電圧検出信号S20-1のデジタルデータS30をそれぞれ取得し、取得したデジタルデータS30の差を当該電池セルの電圧検出データS40として算出する。

【0052】

本実施形態に係る電圧検出装置においても、先に述べた図1に示す電圧検出装置と同様に、電圧検出部(20-1, 20-2)の入力バイアス電圧に起因する誤差成分がキャンセルされた精度の高い電圧検出データS40を得ることが可能であり、図1に示す電圧検出装置と同様な効果を奏する。

30

【0053】

また、図5に示す電圧検出装置では、一の電圧検出部とそれに接続される入力抵抗及びスイッチ部を含んだ一群の回路(以下、「検出モジュール」と記す場合がある)が複数設けられており、電圧入力ノードから電圧検出部へ至る電流経路が検出モジュールごとに分離されていることから、入力抵抗の抵抗値を検出モジュールごとに異なる値に設定できる。例えば、基準電位Vmに対する電位差が低い電池セルほど、これに接続される入力抵抗の抵抗値を低く設定できる。これにより、抵抗値を低くした検出モジュールでは入力抵抗に流れる電流が増大し、電圧検出部における電圧検出信号の生成速度が向上するため、電圧検出時間を短縮できる。

40

【0054】

更に、複数の検出モジュールを設けることによって、スイッチ部の切り換えに起因する電圧検出信号の生成時間の遅延を緩和することも可能である。

例えば、一対の電圧入力ノードについて一の電圧検出信号(S20-1, S20-2)若しくは一の電圧検出データS40を生成する度に、選択部61が検出モジュールを切り換えるようにする。そして、選択部61による切り換えを行う前に、切り換えられるべき次の検出モジュールにおいて一対の電圧入力ノードと一対の検出入力ノードとの接続が完了しているように、制御部51が当該検出モジュールのスイッチ部(11-1, 11-2)を制御する。すなわち、選択部61によって次の検出モジュールに切り換える前に、当

50

該検出モジュールにおいてスイッチ部(11-1, 11-2)の切り換えを完了し、電圧検出部(20-1, 20-2)による電圧検出信号(S20-1, S20-2)の生成の開始時刻を早める。これにより、電圧検出部(20-1, 20-2)における電圧検出信号(S20-1, S20-2)の立ち上がりが早まり、アナログ・デジタル変換部30において入力信号(S20)の安定化のために設けられる変換待ち時間を短縮できるため、電圧検出データS40の取得に要する時間を短くできる。

【0055】

<第3の実施形態>

次に、本発明の第3の実施形態について説明する。

図7は、第3の実施形態に係る電圧検出装置の構成の一例を示す図である。

図7に示す電圧検出装置は、電圧入力ノードNC0~NCnと、検出モジュールM1~Mnと、選択部62と、アナログ・デジタル変換部30と、検出データ処理部40と、制御部52とを有する。ただし、図1と図7の同一符号は同一の構成要素を示す。

検出モジュールM1~Mnは、それぞれ本発明における検出モジュールの一実施形態である。

選択部62は、本発明における選択部の一実施形態である。

【0056】

検出モジュールMk(k=1~n)は、一对の電圧入力ノードNCk及びNCk-1に印加される電池セルCELkの電圧に応じた電圧検出信号SMkを生成する回路であり、例えば図8に示すように、入力抵抗Rs1及びRs3と、スイッチ部12と、一对の検出入力ノードNAk及びNAk-1と、電圧検出部20とを有する。

スイッチ部12は、一对の電圧入力ノードNCk及びNCk-1と一对の検出入力ノードNAk及びNBkとの接続をオン又はオフする4つのスイッチSW1~SW4を備える。スイッチSW1は電圧入力ノードNCkと検出入力ノードNAkとの接続をオンオフし、スイッチSW2は電圧入力ノードNCkと検出入力ノードNBkとの接続をオンオフし、スイッチSW3は電圧入力ノードNCk-1と検出入力ノードNAkとの接続をオンオフし、スイッチSW4は電圧入力ノードNCk-1と検出入力ノードNBkとの接続をオンオフする。

入力抵抗Rs1は、スイッチSW1及びSW2と電圧入力ノードNCkとの間の共通の電流経路に設けられる。入力抵抗Rs2は、スイッチSW3及びSW4と電圧入力ノードNCk-1との間の共通の電流経路に設けられる。

電圧検出部20は、図2に示す同一符号の電圧検出部と同様の構成を有しており、検出入力ノードNAk及びNAk-1に入力される電流の合成電流に応じた電圧検出信号SMkを生成する。

【0057】

選択部62は、検出モジュールM1~Mnから一の検出モジュールを選択し、当該選択した検出モジュールにより生成される電圧検出信号をアナログ・デジタル変換部30に入力する。

【0058】

制御部52は、検出モジュールM1~Mnから順次に一の検出モジュールが選択されるように選択部62を制御する。そして、選択部62により選択された検出モジュールにおいて、一对の電圧入力ノードと一对の検出入力ノードとを極性が異なる2通りのパターン(順接続, 逆接続)で接続するように、当該検出モジュールのスイッチ部12を制御する。

【0059】

本実施形態に係る電圧検出装置においても、先に述べた図1に示す電圧検出装置と同様に、各検出モジュール(M1~Mn)において順接続と逆接続による電圧検出信号が生成されることから、検出データ処理部40において精度の高い電圧検出データS40を得ることが可能であり、図1に示す電圧検出装置と同様な効果を奏する。

また、複数の検出モジュールを備えることによって、図5に示す電圧検出装置と同様な

10

20

30

40

50

方法により、電圧検出時間の短縮を図ることも可能である。

【0060】

<第4の実施形態>

次に、本発明の第4の実施形態について説明する。

本実施形態に係る電圧検出装置は、入力抵抗に関する検査モードを備える。

【0061】

図9は、第4の実施形態に係る電圧検出装置の構成の一例を示す図である。図9に示す電圧検出装置は、図1に示す電圧検出装置と同様な構成を有するとともに、電流供給部70と判定部80を有する。

電流供給部70は、本発明における電流供給部の一実施形態である。

10

判定部80は、本発明における第1判定部の一実施形態である。

【0062】

電流供給部70は、入力抵抗 $R_{I0} \sim R_{In}$ の検査を行う検査モード(第1の検査モード)において、入力抵抗 $R_{I0} \sim R_{In}$ が設けられた $n+1$ 本の電流経路にそれぞれオフセット電流を供給する。

【0063】

例えば電流供給部70は、上記 $n+1$ 本の電流経路にオフセット電流を供給する $n+1$ 個の電流源 $C_{M0} \sim C_{Mn}$ を有する。電流源 C_{Mj} ($j=0 \sim n$)は、入力抵抗 R_{Ij} が設けられた電流経路にオフセット電流を供給する。

【0064】

20

各入力抵抗($R_{I0} \sim R_{In}$)は、例えば図10に示すように、2つの直列接続された抵抗によって構成されており、その直列接続された抵抗の間接続ノードに電流源($C_{M0} \sim C_{Mn}$)のオフセット電流が供給される。

図10の例において、入力抵抗 R_{Ik} ($k=1 \sim n$)は、直列接続された抵抗 R_{s11} 及び R_{s12} を含む。抵抗 R_{s11} は電圧入力ノード NC_k に接続され、抵抗 R_{s12} はスイッチ部10のスイッチ SA_k , SB_k に接続される。抵抗 R_{s11} 及び R_{s12} の間接続ノードに電流源 C_{Mk} のオフセット電流 I_a が供給される。

他方、入力抵抗 R_{Ik-1} は、直列接続された抵抗 R_{s31} 及び R_{s32} を含む。抵抗 R_{s31} は電圧入力ノード NC_{k-1} に接続され、抵抗 R_{s32} はスイッチ部10のスイッチ SA_{k-1} , SB_{k-1} に接続される。抵抗 R_{s31} , R_{s32} の間接続ノードに電流源 C_{Mk-1} のオフセット電流 I_b が供給される。

30

【0065】

図11(A), (B)は、電流供給部70の電流源 C_{Mj} の構成例を示す図である。

図11(A)は、高電位側から電流を流し込む場合の電流源 C_{Mj} の構成を示す。図11(A)に示す電流源 C_{Mj} は、接地電位 GND 側においてカレントミラー回路を構成する n 型のMOSトランジスタ Q_1 及び Q_2 と、接地電位 GND より高い電位 V_h 側においてカレントミラー回路を構成する p 型のMOSトランジスタ Q_4 及び Q_5 と、オフセット電流のオンオフを制御するための n 型のMOSトランジスタ Q_3 とを有する。

MOSトランジスタ Q_1 は、そのゲートとドレインが接続され、ソースが接地電位 GND に接続され、ドレインに基準電流 I_{ref} が入力される。MOSトランジスタ Q_2 は、そのゲートがMOSトランジスタ Q_1 のゲートに接続され、ソースが接地電位 GND に接続され、ドレインがMOSトランジスタ Q_4 のドレインに接続される。MOSトランジスタ Q_4 は、そのゲートとドレインが接続され、ソースが電位 V_h に接続され、ドレインにMOSトランジスタ Q_2 のドレイン電流が入力される。MOSトランジスタ Q_5 は、そのゲートがMOSトランジスタ Q_4 のゲートに接続され、ソースが電位 V_h に接続され、ドレインからオフセット電流 I_a (I_b)を出力する。MOSトランジスタ Q_3 は、MOSトランジスタ Q_2 のゲートと接地電位 GND との間に接続されており、ゲートに入力される制御信号 S_c に応じてオン又はオフする。

40

【0066】

図11(A)に示す電流源 C_{Mj} では、MOSトランジスタ Q_3 のオン又はオフを制御

50

することにより、オフセット電流 I_a (I_b) の発生を制御する。

MOSトランジスタQ3がオフのとき、MOSトランジスタQ1に基準電流 I_{ref} が流れ、MOSトランジスタQ1と同じゲート電圧を入力するMOSトランジスタQ2にも基準電流 I_{ref} に比例した電流が流れる。MOSトランジスタQ4には、MOSトランジスタQ2と同じドレイン電流が流れる。MOSトランジスタQ4と同じゲート電圧を入力するMOSトランジスタQ5にも、MOSトランジスタQ4のドレイン電流に比例した電流が流れ、これがオフセット電流 I_a (I_b) として出力される。従って、電流源 CM_j は、基準電流 I_{ref} に比例した電流を高電位側から入力抵抗に流し込む。

MOSトランジスタQ3がオンすると、MOSトランジスタQ1, Q2のゲートとソースが短絡され、トランジスタQ1, Q2の電流がゼロになり、これによりMOSトランジスタQ4, Q5の電流もゼロになる。従って、電流源 CM_j のオフセット電流 I_a (I_b) が流れなくなる。

10

【0067】

図11(A)に示す電流源 CM_j が接続される電位 V_h は、オフセット電流を流し込むノードより適当に高い電位であればよく、例えば、電池セル CEL_j の正極や、この正極より更に電位が高い電池セルの端子を電位 V_h として使用してよい。

【0068】

他方、図11(B)は、接地電位 GND 側へ電流を引き込む場合の電流源 CM_j の構成を示す。図11(B)に示す電流源 CM_j は、図11(A)に示す回路において高電位側のカレントミラー回路(MOSトランジスタQ4, Q5)を省略したものであり、MOSトランジスタQ2のドレイン電流がオフセット電流 I_a (I_b) となる。

20

以上が、電流供給部70の説明である。

【0069】

判定部80は、第1の検査モードにおいて、電流供給部70による電流供給をオンしたときに生成される電圧検出データ S_{40} と、当該電流供給をオフしたときに生成される電圧検出データ S_{40} との差に基づいて、入力抵抗 ($R_{I0} \sim R_{In}$) の異常の有無を判定する。すなわち、判定部80は、オフセット電流 I_a, I_b が供給されるときに生成される電圧検出データ S_{40} と、オフセット電流 I_a, I_b が供給されないときに生成される電圧検出データ S_{40} との差に基づいて、入力抵抗 ($R_{I0} \sim R_{In}$) の異常の有無を判定する。

30

【0070】

第1の検査モードにおいて、入力抵抗 R_{Ik}, R_{Ik-1} にそれぞれオフセット電流 I_a, I_b を供給した状態で、順接続時に出力される電圧検出信号 S_{20} と逆接続時に出力される電圧検出信号 S_{20} との差に応じて得られる電圧検出データ S_{40} を「 X_{chk} 」とする。第1の検査モードで得られる電圧検出データ「 X_{chk} 」と、通常モードで得られる電圧検出データ「 X_{dif} 」(式(3))との差をとり、その絶対値を誤差「 E_1 」とすると、誤差「 E_1 」は次式のように表わされる。

【0071】

【数3】

$$E_1 = |X_{chk} - X_{dif}| = \left| \left(\frac{rf1 \cdot rf2}{rs1 \cdot rs2} + \frac{rf2}{rs1} \right) \times rs_{11} \cdot I_a - \left(\frac{rf1 \cdot rf2}{rs3 \cdot rs2} + \frac{rf2}{rs3} \right) \times rs_{31} \cdot I_b \right| \dots(4)$$

40

$$rs1=rs3, rs11=rs31 \rightarrow E_1 = |X_{chk} - X_{dif}| = 0 \dots(5)$$

【0072】

式(4)において、「 rs_{11} 」は抵抗 R_{s11} の抵抗値、「 rs_{12} 」は抵抗 R_{s12} の抵抗値、「 rs_{31} 」は抵抗 R_{s31} の抵抗値、「 rs_{32} 」は抵抗 R_{s32} の抵抗値をそれぞれ示す。

50

ここで、オフセット電流 I_a , I_b が等しく、抵抗 R_{s1} (R_{s11} , R_{s12}) 及び R_{s2} (R_{s31} , R_{s32}) の抵抗値が等しく、かつ、入力抵抗 R_{Ik} 及び R_{Ik-1} における抵抗の分割比が等しい (すなわち「 r_{s11} 」と「 r_{s13} 」が等しい) ものすると、誤差 E_1 はゼロになる (式 (5))。

従って、判定部 80 は、例えば誤差 E_1 が所定の標準値より大きい場合、入力抵抗 R_{Ik} 及び R_{Ik-1} の一方または両方に異常があると判定する。

【0073】

以上説明したように、本実施形態によれば、入力抵抗 $R_{I0} \sim R_{In}$ に異常があるかどうかを製品の出荷後においても随時検査することができるため、電圧検出結果の信頼性を向上できる。また、電圧検出結果に基づいて電池セルの過電圧を判定する場合には、その判定の信頼性が向上するので、電池セルが組み込まれた機器の信頼性・安全性を高めることができる。

【0074】

< 第5の実施形態 >

次に、本発明の第5の実施形態について説明する。

本実施形態に係る電圧検出装置は、電圧検出部に関する検査モードを備える。

【0075】

図12は、第5の実施形態に係る電圧検出装置の構成の一例を示す図である。図12に示す電圧検出装置は、図1に示す電圧検出装置のスイッチ部10をスイッチ部13に置換し、制御部50を制御部53に置換するとともに、参照電圧 V_{ref} を入力する検査用ノード N_{V0} , N_{V1} と、入力抵抗 R_{V0} , R_{V1} と、選択部90と、判定部100とを設けたものであり、他の構成要素は図1に示す電圧検出装置と同様である。

検査用ノード N_{V0} , N_{V1} は、本発明における一対の検査用ノードの一実施形態である。

判定部100は、本発明における第2判定部の一実施形態である。

【0076】

スイッチ部13は、図1におけるスイッチ部10に検査用のスイッチ S_{VA0} , S_{VA1} , S_{VB0} , S_{VB1} を追加したものである。スイッチ S_{VA1} は検査用ノード N_{V1} と検出入力ノード N_A との接続をオンオフし、スイッチ S_{VB1} は検査用ノード N_{V1} と検出入力ノード N_B との接続をオンオフし、スイッチ S_{VA0} は検査用ノード N_{V0} と検出入力ノード N_A との接続をオンオフし、スイッチ S_{VB0} は検査用ノード N_{V0} と検出入力ノード N_B との接続をオンオフする。

【0077】

制御部53は、通常のモードにおいて、図1における制御部50と同様にスイッチ $S_{A0} \sim S_{An}$ 及び $S_{B0} \sim S_{Bn}$ の制御を行い、電圧検出部20の検査を行う検査モード (第2の検査モード) においては、スイッチ S_{VA0} , S_{VA1} , S_{VB0} , S_{VB1} の制御を行う。すなわち制御部53は、第2の検査モードにおいて、検査用ノード N_{V0} , N_{V1} と検出入力ノード N_A , N_B とを極性が異なる2通りのパターン (順接続, 逆接続) で接続するようにスイッチ S_{VA0} , S_{VA1} , S_{VB0} , S_{VB1} を制御する。

【0078】

選択部90は、電圧検出部20において生成される電圧検出信号 S_{20} 又は検査用ノード N_{V0} , N_{V1} に入力される参照電圧 V_{ref} の一方を選択してアナログ・デジタル変換部30に入力する。

【0079】

判定部100は、第2の検査モードにおいて、電圧検出部20から出力される2つの電圧検出信号 S_{20} に基づいて生成される電圧検出データ S_{40} と、参照電圧 V_{ref} に基づく基準値との差に基づいて、電圧検出部30の異常の有無を判定する。すなわち、判定部100は、第2の検査モードにおいて、電圧検出部20を用いて検出した参照電圧 V_{ref} に対応する電圧検出データ S_{40} と、参照電圧 V_{ref} を直接アナログ・デジタル変換部30により変換したデジタルデータ S_{30} に対応する基準値との差に基づいて、電

10

20

30

40

50

圧検出部 30 に異常があるか否かを判定する。

【0080】

第2の検査モードにおいて、検査用ノードNV0, NV1と検出入力ノードNA, NBとを極性が異なる2通りのパターン(順接続, 逆接続)で接続し、その2通りのパターンにおいて生成される電圧検出信号S20の差に応じて得られる電圧検出データS40を「Xvrf」とすると、「Xvrf」は次式のように表わされる。

【0081】

【数4】

$$X_{vrf} = \left(\frac{rf1 \cdot rf2}{rv1 \cdot rs2} + \frac{rf2}{rv0} \right) \times V_{ref} = G \times V_{ref} \quad \dots(6)$$

10

$$G = \frac{rf1 \cdot rf2}{rv1 \cdot rs2} + \frac{rf2}{rv0} \quad \dots(7)$$

【0082】

式(6), (7)において、「rv0」は抵抗RV0の抵抗値、「rv1」は抵抗RV1の抵抗値、「G」は電圧ゲインをそれぞれ示す。他の記号は式(3)と同じである。

20

「Xvrf」を電圧ゲインGで除したものと基準電圧Vrefとの差をとり、その絶対値を誤差「E2」とすると、「E2」は下記のように表わされる。

【0083】

【数5】

$$E2 = \left| \frac{X_{vrf}}{G} - V_{ref} \right| = 0 \quad \dots(8)$$

【0084】

式(8)に示すように、誤差「E2」は理想的にはゼロになる。従って、判定部100は、例えば誤差「E2」が所定の上限值より大きい場合、電圧検出部20に異常があると判定する。

30

【0085】

以上説明したように、本実施形態によれば、電圧検出部20に異常があるかどうかを製品の出荷後においても随時検査することができるため、電圧検出結果の信頼性を向上できる。また、電圧検出結果に基づいて電池セルの過電圧を判定する場合には、その判定の信頼性が向上するので、電池セルが組み込まれた機器の信頼性・安全性を高めることができる。

【0086】

更に、参照電圧Vrefをアナログ・デジタル変換部30においてデジタルデータ(S30)に変換し、このデジタルデータに応じて設定された基準値と、参照電圧Vrefを電圧検出部20により検出した2つの電圧検出信号S20に応じて生成される電圧検出データS40との差に応じて、電圧検出部20の異常の有無を判定することから、参照電圧Vrefのレベルが経時的に変化しても、基準値と電圧検出データS40との相対的な差はあまり変化せず、判定の確度の低下が抑制される。従って、製品の出荷後において安定に電圧検出部20を検査できる。

40

【0087】

なお、式(7)に示す電圧ゲインGが「1」になるように入力抵抗RV0, RV1の抵抗値を設定すれば、式(8)に示すような「Xref」と電圧ゲインGとの演算を省略で

50

きるので、判定部 100 における判定処理をより簡易化できる。

【0088】

以上、本発明の幾つかの実施形態について説明したが、本発明は上述した実施形態のみに限定されるものではなく、種々のバリエーションを含んでいる。

【0089】

上述の実施形態では各電池セルの電圧を検出する例が挙げられているが、本発明はこれに限定されない。例えば図 1, 図 5 に示す電圧検出装置においては、3 以上の電圧入力ノードから任意の一对の電圧入力ノードを選択して一对の検出入力ノードに接続できるので、直列接続された一群の電池セルの電圧を検出することも可能である。

【0090】

また、図 10 に示す電流供給部 70 の電流源 CM_k , CM_{k-1} は、直列接続された抵抗の中間接続ノードにオフセット電流を供給しているが、本発明はこれに限定されない。例えば、入力抵抗の一方の端（電圧入力ノード側または検出入力ノード側）においてオフセット電流を供給してもよい。

ただし、式 (4) に示すように、抵抗 Rs_{11} , Rs_{31} が大きくなるほどオフセット電流 I_a , I_b のばらつきに対する誤差 E_1 の感度が高くなるので、抵抗 Rs_{11} , Rs_{31} が適当に小さな値となるように、抵抗 Rs_{12} , Rs_{32} を設ける方が好ましい場合もある。

【0091】

電流供給部 70 の電流源 ($CM_0 \sim CM_n$) は、全てを図 10 (A) 及び (B) に示す回路構成の一方に統一してもよいし、この 2 種類の回路構成が混在するようにしてもよい。例えば入力抵抗 $RI_0 \sim RI_n$ を高電位と低電位の 2 グループに分けて、高電位グループの入力抵抗には図 10 (B) に示す電流源を用い、低電位グループの入力抵抗には図 10 (A) に示す電流源を用いるようにしてもよい。この場合、両グループに属する入力抵抗には、図 10 (A) 及び図 10 (B) に示す電流源によりそれぞれオフセット電流を供給可能にすればよい。

【図面の簡単な説明】

【0092】

【図 1】第 1 の実施形態に係る電圧検出装置の構成の一例を示す図である。

【図 2】電圧検出部の構成の一例を示す部である。

【図 3】一对の電圧入力ノードと一对の検出入力ノードとを接続する際の 2 つの接続パターンについて説明するための図である。

【図 4】スイッチ部の各スイッチを n 型 MOS トランジスタにより構成する例を示す図である。

【図 5】第 2 の実施形態に係る電圧検出装置の構成の一例を示す図である。

【図 6】図 5 に示す電圧検出装置におけるスイッチ部の構成の一例を示す図である。

【図 7】第 3 の実施形態に係る電圧検出装置の構成の一例を示す図である。

【図 8】図 7 に示す電圧検出装置における検出モジュールの構成の一例を示す図である。

【図 9】第 4 の実施形態に係る電圧検出装置の構成の一例を示す図である。

【図 10】図 9 に示す電圧検出装置における電流供給部の構成の一例を示す図である。

【図 11】電流供給部が備える電流源の構成例を示す図である。

【図 12】第 5 の実施形態に係る電圧検出装置の構成の一例を示す図である。

【符号の説明】

【0093】

10, 11-1, 11-2, 12, 13...スイッチ部、20, 20-1, 20-2...電圧検出部、30...アナログ・デジタル変換部、40...検出データ処理部、50, 51, 53...制御部、61, 62...選択部、70...電流供給部、A1, A2...演算増幅回路、CEL1~CELn...電池セル、80, 100...判定部、 $CM_0 \sim CM_n$...電流源、M1~Mn...検出モジュール、NC0~NCn...電圧入力ノード、NA, NB, NA1~NAn, NB1~NBn...検出入力ノード、 Rf_1 , Rs_2 , Rf_2 ...抵抗、 $RI_0 \sim RI_n$, R

10

20

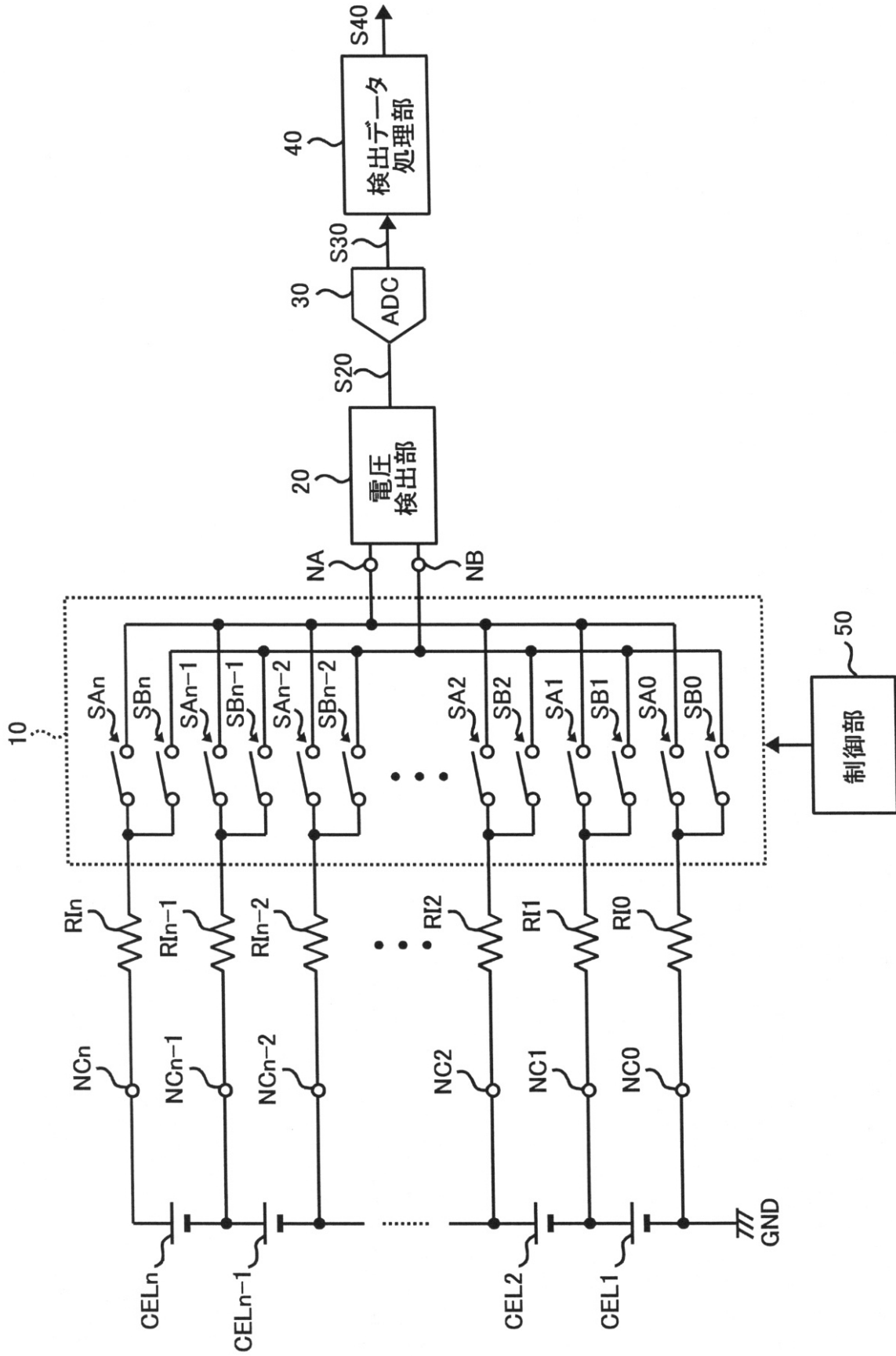
30

40

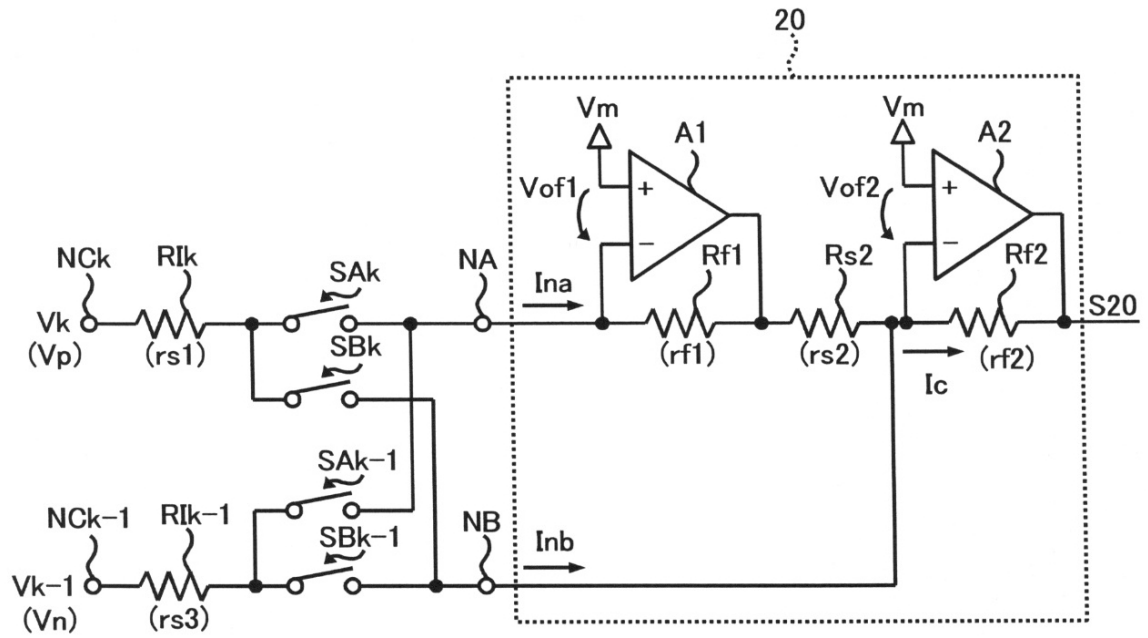
50

V 0 , R V 1 ... 入力抵抗、 S A 0 ~ S A n , S B 0 ~ S B n ... スイッチ

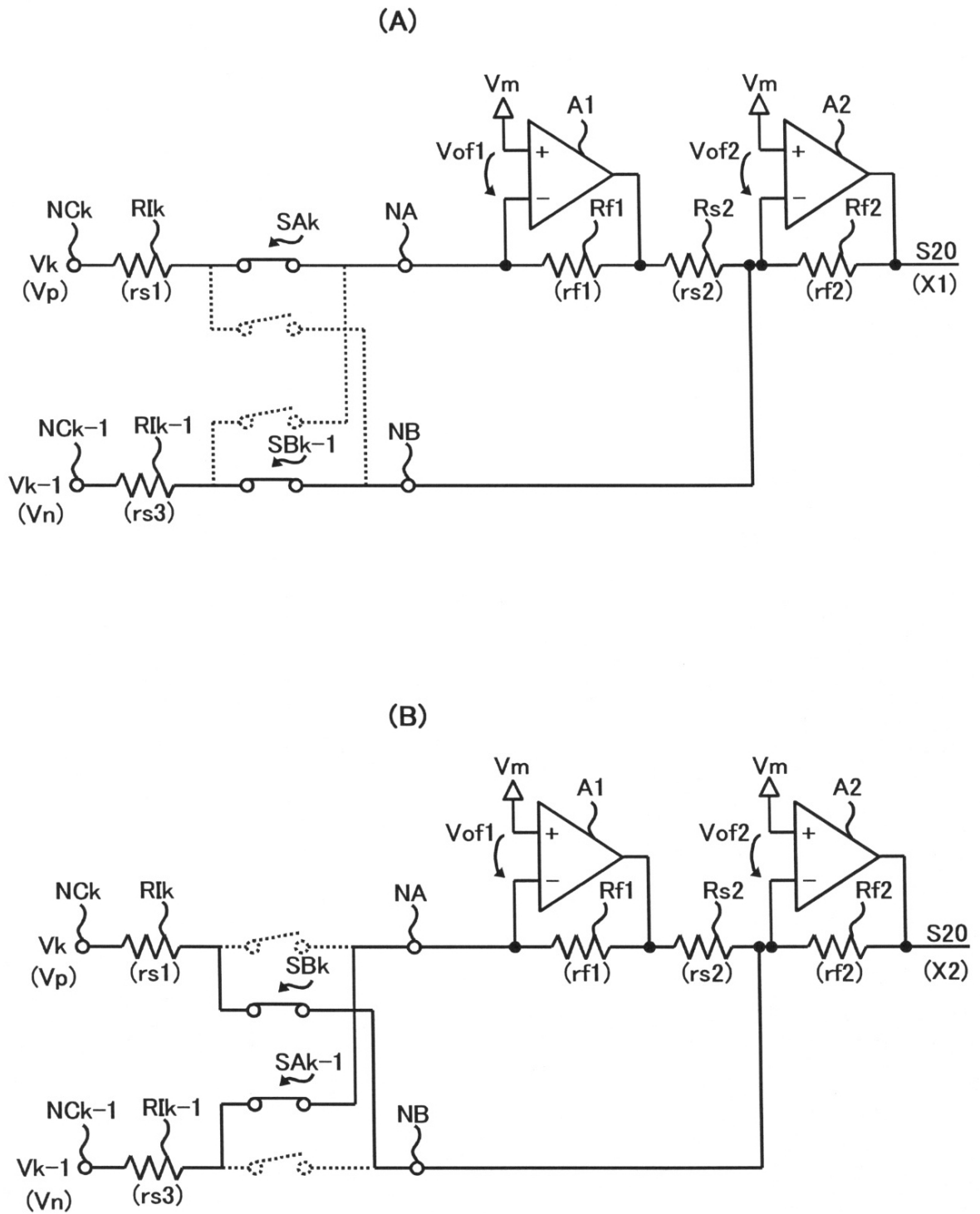
【図1】



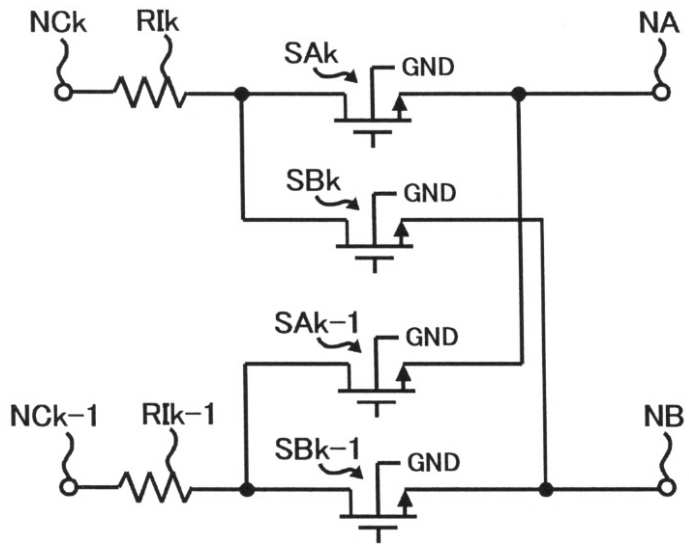
【 図 2 】



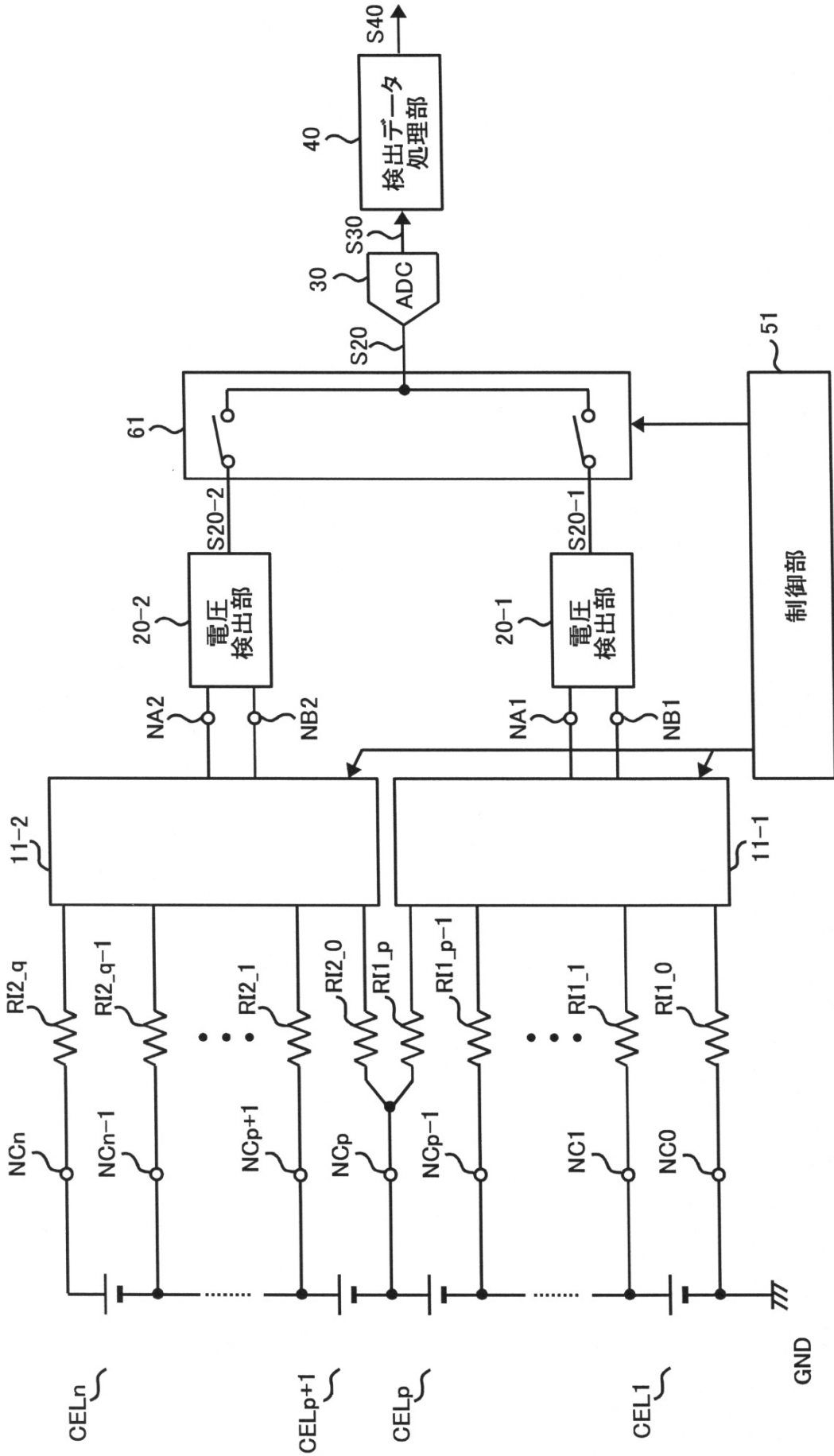
【 図 3 】



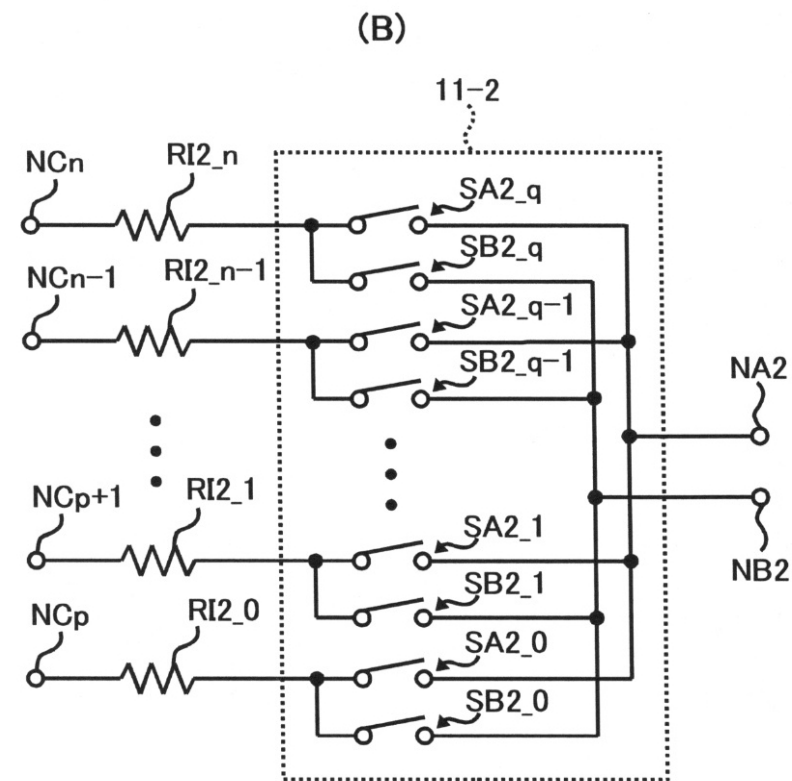
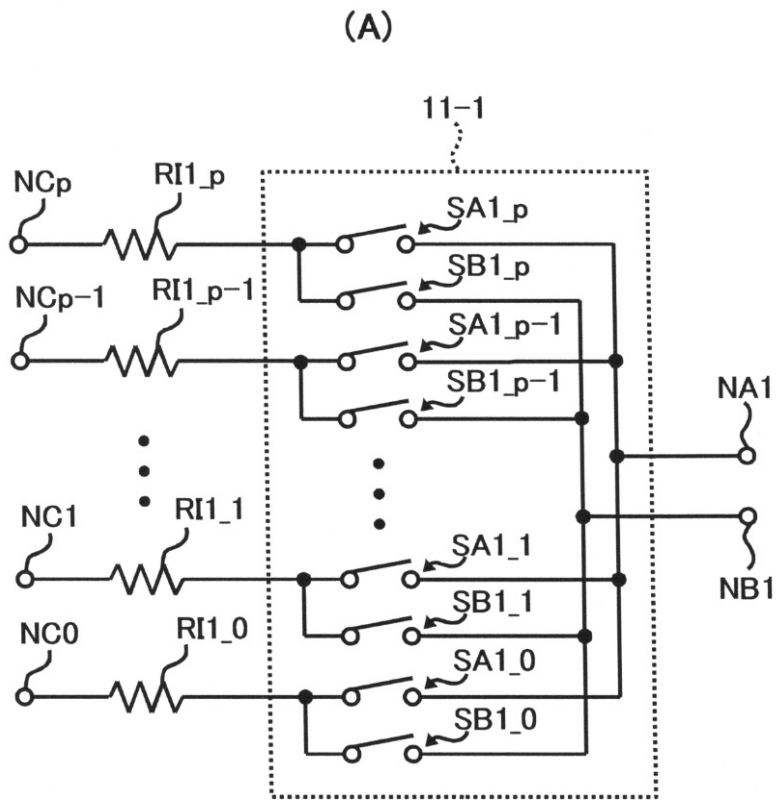
【 図 4 】



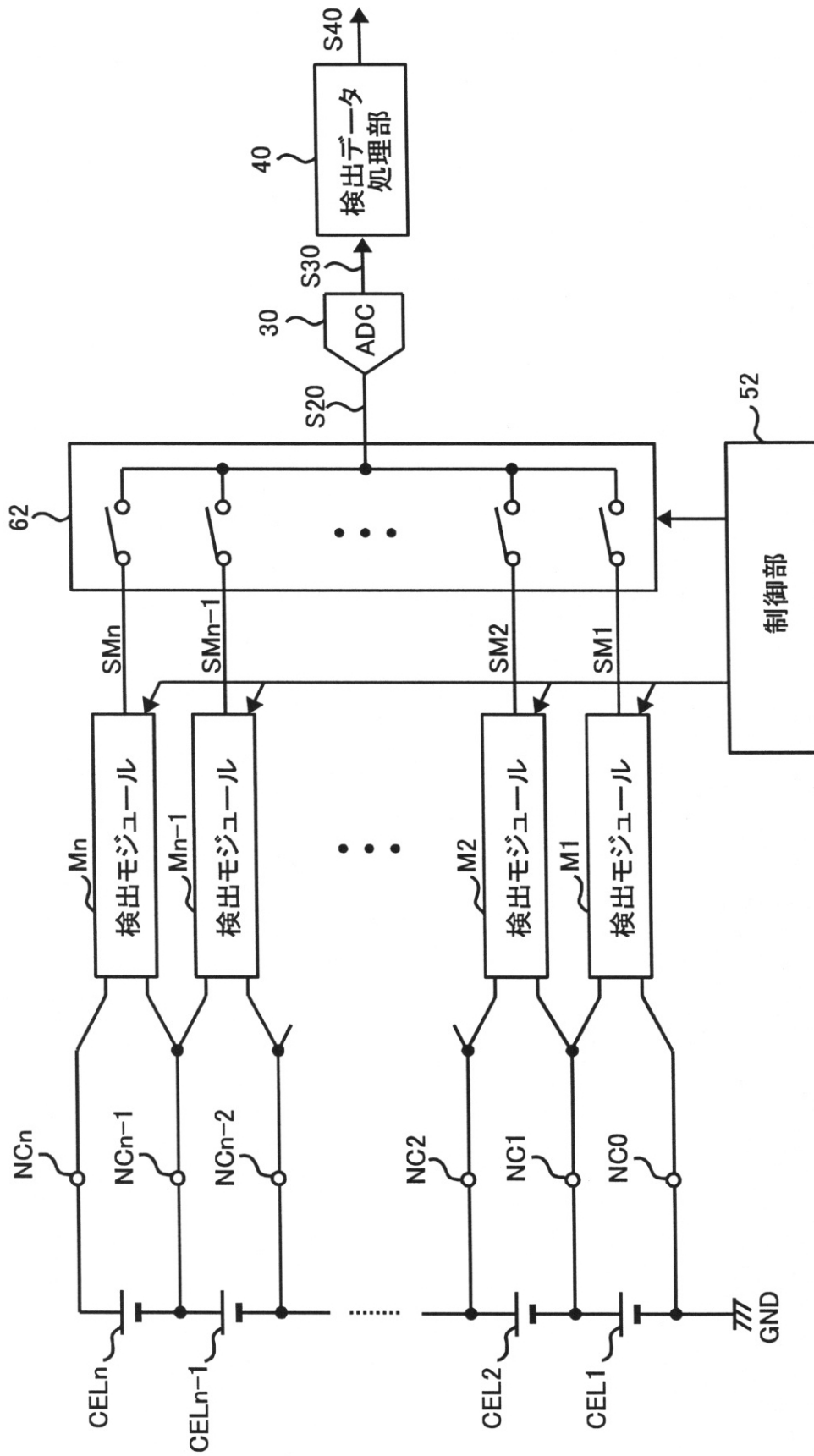
【図5】



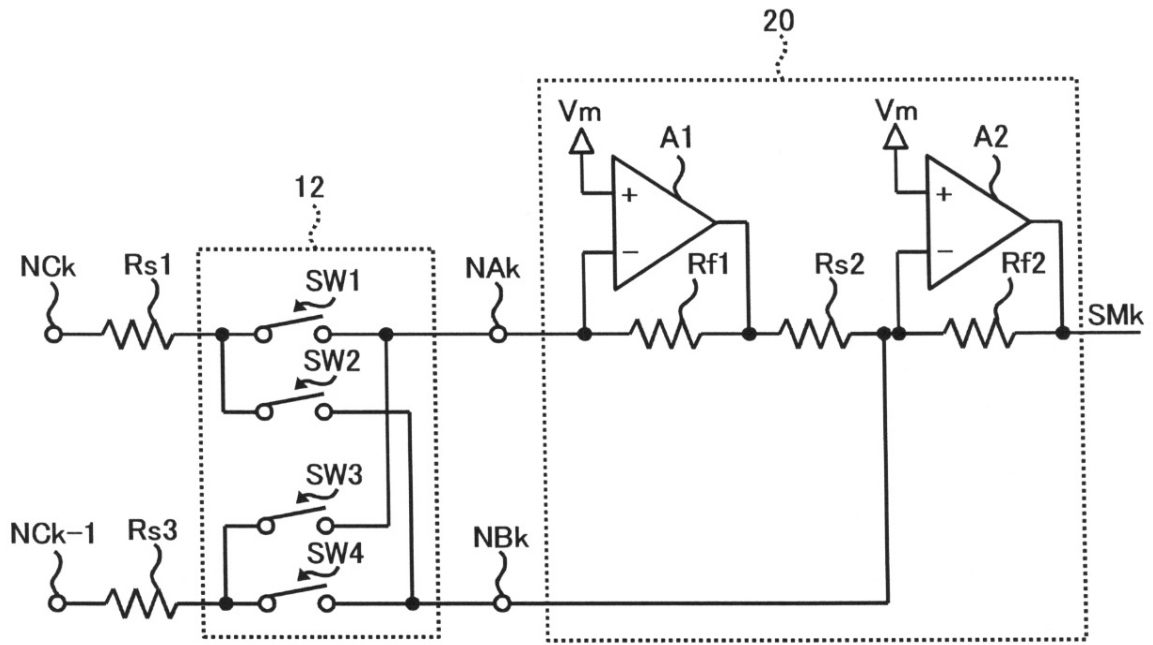
【 図 6 】



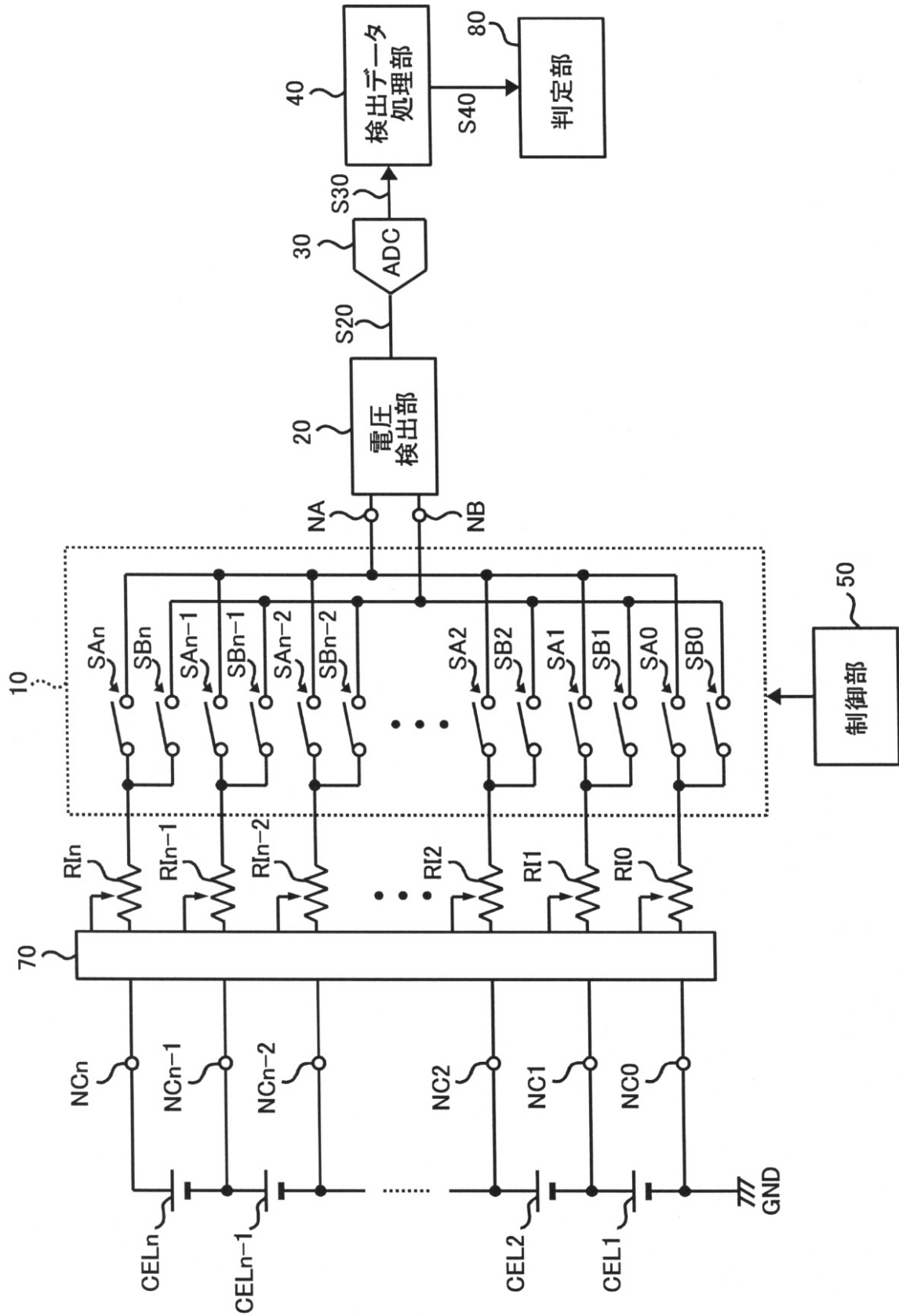
【図7】



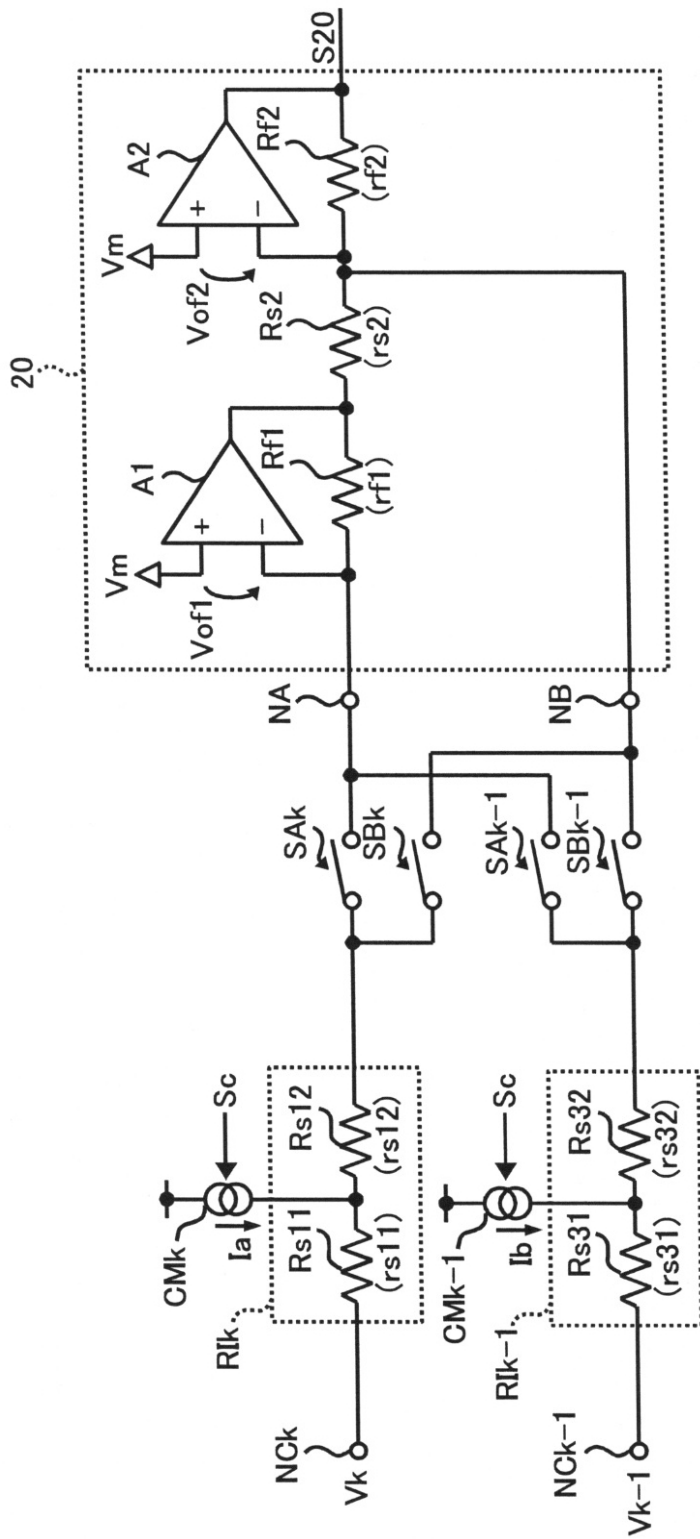
【 図 8 】



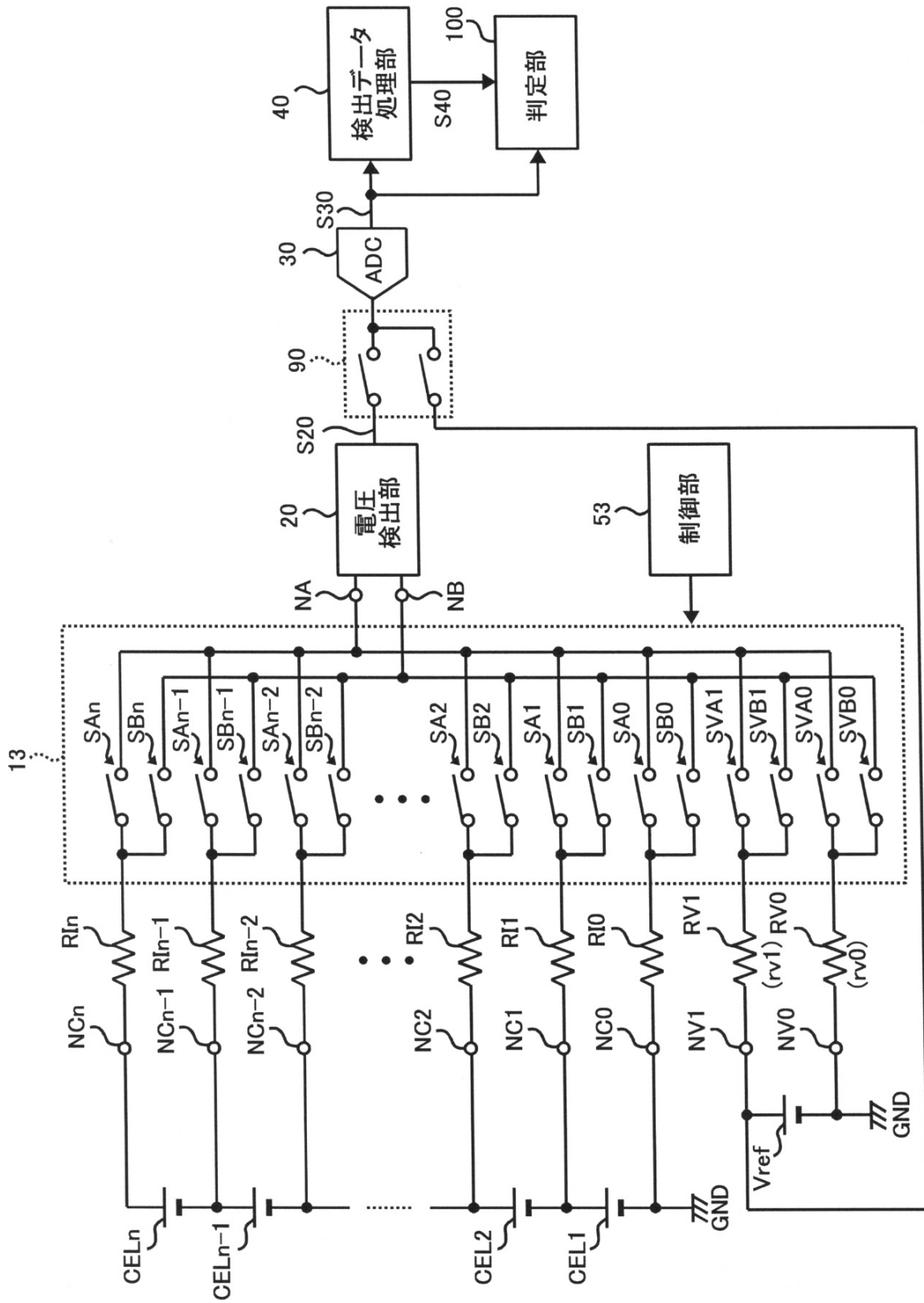
【図9】



【 図 1 0 】



【図12】



フロントページの続き

審査官 藤原 伸二

- (56)参考文献 特開2001-264366(JP,A)
特開平11-160371(JP,A)
特開2002-257869(JP,A)
特開2005-117765(JP,A)
特開2003-346916(JP,A)
特開2003-297407(JP,A)
特開昭63-277981(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 19/00 - 19/32
G01R 31/36
H01M 10/42 - 10/48
G01R 31/02 - 31/06
H02J 7/00 - 7/12