



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0154727
(43) 공개일자 2023년11월09일

(51) 국제특허분류(Int. Cl.)
G11C 11/412 (2006.01) G11C 11/419 (2015.01)
G11C 7/10 (2021.01) H03K 3/356 (2006.01)
(52) CPC특허분류
G11C 11/412 (2013.01)
G11C 11/419 (2018.05)
(21) 출원번호 10-2022-0096046
(22) 출원일자 2022년08월02일
심사청구일자 없음
(30) 우선권주장
1020220054120 2022년05월02일 대한민국(KR)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
이기준
경기도 수원시 영통구 삼성로 129
강영민
광주광역시 광산구 첨단중앙로181번길 88-21, 10 6동 701호
(뒷면에 계속)
(74) 대리인
박영우

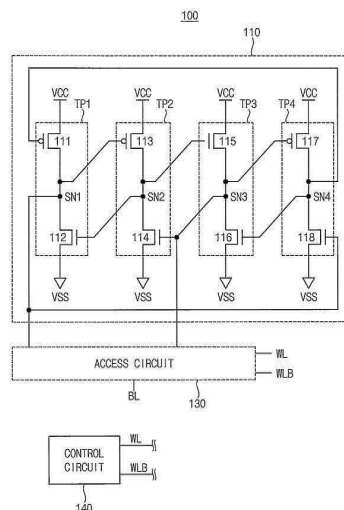
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 스토리지 회로 및 이를 포함하는 반도체 장치

(57) 요약

스토리지 회로는 래치 회로, 액세스 회로 및 제어 회로를 포함한다. 상기 래치 회로는 제1 내지 제4 스토리지 노드들 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들을 포함하고, 상기 제1 내지 제4 스토리지 노드들 각각은 전단의 트랜지스터 쌍의 엔모스 트랜지스터의 게이트와 후단의 트랜지스터 쌍의 피모스 트랜지스터의 게이트에 연결된다. 상기 액세스 회로는 상기 제1 내지 제4 스토리지 노드들 중 적어도 두 개의 스토리지 노드들에 연결되는 서로 다른 도전형의 액세스 트랜지스터들을 포함하여, 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 데이터 비트를 저장하거나 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 저장된 데이터 비트들을 독출한다. 상기 제어 회로는 상기 액세스 회로를 제어한다.

대표도 - 도1



(52) CPC특허분류

G11C 7/106 (2013.01)

G11C 7/1087 (2013.01)

H03K 3/356113 (2013.01)

(72) 발명자

장익준

경기도 용인시 기흥구 사은로126번길 33, 204동
102호

손교민

경기도 수원시 영통구 삼성로 129

이 발명을 지원한 국가연구개발사업

과제고유번호 1711159494

과제번호 2020M3F3A2A01085755

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 차세대지능형반도체기술개발(소자)

연구과제명 ReRAM 기반 near-memory 비트벡터 연산기를 위한 ReRAM 셀 어레이 개발

기 여 율 1/1

과제수행기관명 경희대학교(국제캠퍼스)

연구기간 2022.01.01 ~ 2023.02.28

명세서

청구범위

청구항 1

제1 내지 제4 스토리지 노드들 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들을 포함하고, 상기 제1 내지 제4 스토리지 노드들 각각은 전단의 트랜지스터 쌍의 엔모스 트랜지스터의 게이트와 후단의 트랜지스터 쌍의 피모스 트랜지스터의 게이트에 연결되는 래치 회로;

상기 제1 내지 제4 스토리지 노드들 중 적어도 두 개의 스토리지 노드들에 연결되는 서로 다른 도전형의 액세스 트랜지스터들을 포함하여, 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 데이터 비트를 저장하거나 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 저장된 데이터 비트들을 독출하는 액세스 회로; 및

상기 액세스 회로를 제어하는 제어 회로를 포함하는 스토리지 회로.

청구항 2

제1항에 있어서, 상기 액세스 회로는

상기 제1 스토리지 노드에 연결되는 소스, 상보 워드라인에 연결되는 게이트 및 비트라인에 연결되는 드레인을 구비하는 제1 피모스 액세스 트랜지스터; 및

상기 제3 스토리지 노드에 연결되는 드레인, 워드라인에 연결되는 게이트 및 상기 비트라인에 연결되는 소스를 구비하는 제1 엔모스 액세스 트랜지스터를 포함하는 스토리지 회로.

청구항 3

제2항에 있어서, 상기 제어 회로는

기입 동작에서는 상기 제1 피모스 액세스 트랜지스터와 상기 제1 엔모스 액세스 트랜지스터를 턴-온시켜 상기 비트라인을 통하여 제공되는 제1 데이터 비트에 기초하여 데이터 비트들을 상기 제1 내지 상기 제4 스토리지 노드들에 저장하고,

독출 동작에서는 상기 제1 피모스 액세스 트랜지스터를 턴-오프시키고, 상기 제1 엔모스 액세스 트랜지스터를 턴-온시켜 상기 제3 스토리지 노드에 저장된 데이터 비트를 독출하거나, 상기 제1 피모스 액세스 트랜지스터를 턴-온시키고, 상기 제1 엔모스 액세스 트랜지스터를 턴-오프시켜 상기 제1 스토리지 노드에 저장된 데이터 비트를 독출하고,

상기 제어 회로는

상기 워드라인을 제1 시점에서 제2 시점까지의 제1 구간 동안 하이 레벨로 활성화시키고, 상기 상보 워드라인을 상기 제1 시점과 상기 제2 시점 사이의 제3 시점부터 상기 제2 시점까지의 제2 구간 동안 로우 레벨로 활성화시켜 상기 기입 동작을 동작을 수행하는 스토리지 회로.

청구항 4

제2항에 있어서,

상기 제1 트랜지스터 쌍과 상기 제2 트랜지스터 쌍은

제1 방향으로 연장되고, 상기 제1 방향과 교차하는 제2 방향으로 이격되는 제1 액티브 패턴 및 제2 액티브 패턴; 및

상기 제1 방향으로 이격되며, 상기 제2 방향으로 연장되어 상기 제1 액티브 패턴과 상기 제2 액티브 패턴 상부에 제공되는 제1 게이트 패턴과 제2 게이트 패턴을 포함하고,

상기 제3 트랜지스터 쌍과 상기 제4 트랜지스터 쌍은

상기 제1 액티브 패턴과 상기 제2 액티브 패턴 각각과 상기 제1 방향으로 이격되어 상기 제1 방향으로 연장되며, 상기 제2 방향으로 이격되는 제3 액티브 패턴 및 제4 액티브 패턴; 및

상기 제1 방향으로 이격되며, 상기 제2 방향으로 연장되어 상기 제3 액티브 패턴과 상기 제4 액티브 패턴 상부에 제공되는 제3 게이트 패턴과 제4 게이트 패턴을 포함하고,

상기 제1 피모스 액세스 트랜지스터는

상기 제3 액티브 패턴; 및

상기 제4 게이트 패턴과 상기 제1 방향으로 이격되며 상기 제2 방향으로 연장되어 상기 제3 액티브 패턴 상부에 제공되는 제5 게이트 패턴을 포함하고,

상기 제1 엔모스 액세스 트랜지스터는

상기 제4 액티브 패턴; 및

상기 제4 게이트 패턴과 상기 제1 방향으로 이격되며, 상기 제5 게이트 패턴과 상기 제2 방향으로 이격되고 상기 제2 방향으로 연장되어 상기 제4 액티브 패턴 상부에 제공되는 제6 게이트 패턴을 포함하는 스토리지 회로.

청구항 5

제1항에 있어서, 상기 액세스 회로는

상기 제1 스토리지 노드에 연결되는 소스, 상보 워드라인에 연결되는 게이트 및 제1 비트라인에 연결되는 드레인을 구비하는 제1 피모스 액세스 트랜지스터; 및

상기 제3 스토리지 노드에 연결되는 드레인, 워드라인에 연결되는 게이트 및 제2 비트라인에 연결되는 소스를 구비하는 제1 엔모스 액세스 트랜지스터를 포함하고,

상기 제어 회로는

기입 동작에서는 상기 제1 피모스 액세스 트랜지스터와 상기 제1 엔모스 액세스 트랜지스터를 턴-온시켜 상기 제1 비트라인과 상기 제2 비트라인을 통하여 제공되는 제1 데이터 비트에 기초하여 데이터 비트들을 상기 제1 내지 상기 제4 스토리지 노드들에 저장하고,

독출 동작에서는 상기 제1 피모스 액세스 트랜지스터를 턴-오프시키고, 상기 제1 엔모스 액세스 트랜지스터를 턴-온시켜 상기 제3 스토리지 노드에 저장된 데이터 비트를 독출하는 스토리지 회로.

청구항 6

제1항에 있어서, 상기 액세스 회로는

상기 제1 스토리지 노드에 연결되는 소스, 상보 워드라인에 연결되는 게이트 및 비트라인에 연결되는 드레인을 구비하는 제1 피모스 액세스 트랜지스터;

상기 제2 스토리지 노드에 연결되는 소스, 상기 상보 워드라인에 연결되는 게이트 및 상보 비트라인에 연결되는 드레인을 구비하는 제2 피모스 액세스 트랜지스터;

상기 제3 스토리지 노드에 연결되는 드레인, 워드라인에 연결되는 게이트 및 상기 비트라인에 연결되는 소스를 구비하는 제1 엔모스 액세스 트랜지스터; 및

상기 제4 스토리지 노드에 연결되는 드레인, 상기 워드라인에 연결되는 게이트 및 상기 상보 비트라인에 연결되는 소스를 구비하는 제2 엔모스 액세스 트랜지스터를 포함하는 스토리지 회로.

청구항 7

제6항에 있어서, 상기 제어 회로는

기입 동작에서는 상기 제1 피모스 액세스 트랜지스터, 상기 제2 피모스 액세스 트랜지스터, 상기 제1 엔모스 액세스 트랜지스터 및 상기 제2 엔모스 액세스 트랜지스터를 턴-온시켜 상기 비트라인을 통하여 제공되는 제1 데이터 비트에 기초하여 데이터 비트들을 상기 제1 내지 상기 제4 스토리지 노드들에 저장하고,

독출 동작에서는 상기 제1 피모스 액세스 트랜지스터와 상기 제2 피모스 액세스 트랜지스터를 턴-오프시키고,

상기 제1 엔모스 액세스 트랜지스터와 상기 제2 엔모스 액세스 트랜지스터를 턴-온시켜 상기 제3 스토리지 노드에 저장된 데이터 비트를 독출하고,

상기 제어 회로는

상기 워드라인을 제1 시점에서 제2 시점까지의 제1 구간 동안 하이 레벨로 활성화시키고, 상기 상보 워드라인을 상기 제1 시점과 상기 제2 시점 사이의 제3 시점부터 상기 제2 시점까지의 제2 구간 동안 로우 레벨로 활성화시켜 상기 기입 동작을 동작을 수행하는 스토리지 회로.

청구항 8

제6항에 있어서,

상기 제1 트랜지스터 쌍과 상기 제2 트랜지스터 쌍은

제1 방향으로 연장되고, 상기 제1 방향과 교차하는 제2 방향으로 이격되는 제1 액티브 패턴 및 제2 액티브 패턴; 및

상기 제1 방향으로 이격되며, 상기 제2 방향으로 연장되어 상기 제1 액티브 패턴과 상기 제2 액티브 패턴 상부에 제공되는 제1 게이트 패턴과 제2 게이트 패턴을 포함하고,

상기 제3 트랜지스터 쌍과 상기 제4 트랜지스터 쌍은

상기 제1 액티브 패턴과 상기 제2 액티브 패턴 각각과 상기 제1 방향으로 이격되어 상기 제1 방향으로 연장되며, 상기 제2 방향으로 이격되는 제3 액티브 패턴과 제4 액티브 패턴; 및

상기 제1 방향으로 이격되며, 상기 제2 방향으로 연장되어 상기 제3 액티브 패턴과 상기 제4 액티브 패턴 상부에 제공되는 제3 게이트 패턴과 제4 게이트 패턴을 포함하고,

상기 제1 피모스 액세스 트랜지스터는

상기 제3 액티브 패턴; 및

상기 제4 게이트 패턴과 상기 제1 방향으로 이격되며 상기 제2 방향으로 연장되어 상기 제3 액티브 패턴 상부에 제공되는 제5 게이트 패턴을 포함하고,

상기 제1 엔모스 액세스 트랜지스터는

상기 제4 액티브 패턴; 및

상기 제4 게이트 패턴과 상기 제1 방향으로 이격되며, 상기 제5 게이트 패턴과 상기 제2 방향으로 이격되고 상기 제2 방향으로 연장되어 상기 제4 액티브 패턴 상부에 제공되는 제6 게이트 패턴을 포함하고,

상기 제2 피모스 액세스 트랜지스터는

상기 제1 액티브 패턴; 및

상기 제1 게이트 패턴과 상기 제1 방향으로 이격되며 상기 제2 방향으로 연장되어 상기 제1 액티브 패턴 상부에 제공되는 제7 게이트 패턴을 포함하고,

상기 제2 엔모스 액세스 트랜지스터는

상기 제2 액티브 패턴; 및

상기 제1 게이트 패턴과 상기 제1 방향으로 이격되며, 상기 제7 게이트 패턴과 상기 제2 방향으로 이격되고 상기 제2 방향으로 연장되어 상기 제2 액티브 패턴 상부에 제공되는 제8 게이트 패턴을 포함하는 스토리지 회로.

청구항 9

제1항에 있어서, 상기 액세스 회로는

상기 제1 스토리지 노드에 연결되는 소스, 상보 워드라인에 연결되는 게이트 및 제1 비트라인에 연결되는 드레인을 구비하는 제1 피모스 액세스 트랜지스터;

상기 제2 스토리지 노드에 연결되는 소스, 상보 워드라인에 연결되는 게이트 및 제1 상보 비트라인에 연결되는

드레인을 구비하는 제2 피모스 액세스 트랜지스터;

상기 제3 스토리지 노드에 연결되는 드레인, 워드라인에 연결되는 게이트 및 제2 비트라인에 연결되는 소스를 구비하는 제1 엔모스 액세스 트랜지스터; 및

상기 제4 스토리지 노드에 연결되는 드레인, 상기 워드라인에 연결되는 게이트 및 제2 상보 비트라인에 연결되는 소스를 구비하는 제2 엔모스 액세스 트랜지스터를 포함하는 스토리지 회로.

청구항 10

비트라인에 병렬로 연결되며 각각이 워드라인과 상보 워드라인에 연결되는 복수의 DICE(dual interlocked storage cell) 래치들;

상기 비트라인에 연결된 기입 드라이버; 및

상기 워드라인과 상기 상보 워드라인을 통하여 상기 복수의 DICE 래치들 각각을 제어하는 제어 회로를 포함하고,

상기 복수의 DICE 래치들 각각은

제1 내지 제4 스토리지 노드들 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들을 포함하고, 상기 제1 내지 제4 스토리지 노드들 각각은 전단의 트랜지스터 쌍의 엔모스 트랜지스터의 게이트와 후단의 트랜지스터 쌍의 피모스 트랜지스터의 게이트에 연결되는 래치 회로; 및

상기 제1 내지 제4 스토리지 노드들 중 적어도 두 개의 스토리지 노드들에 연결되는 서로 다른 도전형의 액세스 트랜지스터들을 포함하여, 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 데이터 비트들을 저장하거나 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 저장된 데이터 비트들을 독출하는 액세스 회로를 포함하는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 데이터 저장에 관한 것으로, 보다 상세하게는 스토리지 회로 및 이를 포함하는 반도체 장치에 관한 것이다.

배경 기술

[0002] 데이터를 저장하는 래치 회로는 모든 종류의 반도체 장치에서 가장 많이 사용되는 회로들 중 하나이다. 반도체 장치의 집적도가 올라갈수록 래치 회로의 스토리지 노드의 캐패시턴스 값이 감소하고 이에 의해 래치 회로의 스토리지 노드의 데이터가 변경되는 소프트 에러가 증가하고 있다. 여기서 소프트 에러란 알파 입자(alpha particle)와 같은 우주선(cosmic ray)에 의해 래치 회로에 저장된 데이터가 변경되는 현상을 의미한다.

[0003] 소프트 에러에 대한 강한 내성(immunity)을 가진 래치 회로들이 제안되었는데, 그 중 가장 대표적인 래치 회로는 DICE(Dual Interlocked Storage Cell)라 불리는 래치 회로이다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 성능을 작은 면적으로 소프트 에러에 강건한 스토리지 회로를 제공하는 것이다.

[0005] 본 발명의 일 목적은 성능을 작은 면적으로 소프트 에러에 강건한 스토리지 회로를 포함하는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 상기 일 목적을 달성하기 위한 본 발명의 실시예들에 따른 스토리지 회로는 래치 회로, 액세스 회로 및 제어 회로를 포함한다. 상기 래치 회로는 제1 내지 제4 스토리지 노드들 중 대응되는 스토리지 노드를 통해 직렬로 연

결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들을 포함하고, 상기 제1 내지 제4 스토리지 노드들 각각은 전단의 트랜지스터 쌍의 엔모스 트랜지스터의 게이트와 후단의 트랜지스터 쌍의 피모스 트랜지스터의 게이트에 연결된다. 상기 액세스 회로는 상기 제1 내지 제4 스토리지 노드들 중 적어도 두 개의 스토리지 노드들에 연결되는 서로 다른 도전형의 액세스 트랜지스터들을 포함하여, 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 데이터 비트를 저장하거나 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 저장된 데이터 비트들을 독출한다. 상기 제어 회로는 상기 액세스 회로를 제어한다.

[0007] 상기 일 목적을 달성하기 위한 본 발명의 실시예들에 따른 반도체 장치는 복수의 DICE(dual interlocked storage cell) 래치들, 기입 드라이버 및 제어 회로를 포함한다. 상기 복수의 DICE 래치들은 비트라인에 병렬로 연결되며 각각이 워드라인과 상보 워드라인에 연결된다. 상기 기입 드라이버는 상기 비트라인에 연결된다. 상기 제어 회로는 상기 워드라인과 상기 상보 워드라인을 통하여 상기 복수의 DICE 래치들 각각을 제어한다. 상기 복수의 DICE 래치들 각각은 래치 회로 및 액세스 회로를 포함한다. 상기 래치 회로는 제1 내지 제4 스토리지 노드들 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들을 포함하고, 상기 제1 내지 제4 스토리지 노드들 각각은 전단의 트랜지스터 쌍의 엔모스 트랜지스터의 게이트와 후단의 트랜지스터 쌍의 피모스 트랜지스터의 게이트에 연결된다. 상기 액세스 회로는 상기 제1 내지 제4 스토리지 노드들 중 적어도 두 개의 스토리지 노드들에 연결되는 서로 다른 도전형의 액세스 트랜지스터들을 포함하여, 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 데이터 비트들을 저장하거나 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 저장된 데이터 비트들을 독출한다.

[0008] 상기 일 목적을 달성하기 위한 본 발명의 실시예들에 따른 스토리지 회로는 래치 회로, 액세스 회로 및 제어 회로를 포함한다. 상기 래치 회로는 제1 내지 제4 스토리지 노드들 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들을 포함하고, 상기 제1 내지 제4 스토리지 노드들 각각은 전단의 트랜지스터 쌍의 엔모스 트랜지스터의 게이트와 후단의 트랜지스터 쌍의 피모스 트랜지스터의 게이트에 연결된다. 상기 액세스 회로는 상기 제1 내지 제4 스토리지 노드들 중 적어도 두 개의 스토리지 노드들에 연결되는 액세스 트랜지스터들을 포함하여, 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 데이터 비트를 저장하거나 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 저장된 데이터 비트들을 독출한다. 상기 제어 회로는 상기 액세스 회로를 제어한다. 상기 액세스 회로는 상기 제1 스토리지 노드에 연결되는 드레인, 상보 워드라인에 연결되는 게이트 및 비트라인에 연결되는 소스를 구비하는 제1 엔모스 액세스 트랜지스터, 상기 제2 스토리지 노드에 연결되는 드레인, 상기 워드라인에 연결되는 게이트 및 상보 비트라인에 연결되는 소스를 구비하는 제2 엔모스 액세스 트랜지스터, 상기 제3 스토리지 노드에 연결되는 드레인, 기입 워드라인에 연결되는 게이트 및 기입 비트라인에 연결되는 소스를 구비하는 제3 엔모스 액세스 트랜지스터 및 상기 제4 스토리지 노드에 연결되는 드레인, 상기 기입 워드라인에 연결되는 게이트 및 상보 기입 비트라인에 연결되는 소스를 구비하는 제4 엔모스 액세스 트랜지스터를 포함한다.

발명의 효과

[0009] 본 발명의 실시예들에 따른 스토리지 회로 및 반도체 장치에서는 액세스 회로가 래치 회로의 제1 내지 제4 스토리지 노드들 중 적어도 두 개의 스토리지 노드들에 연결되는 서로 다른 도전형의 액세스 트랜지스터들을 포함하여, 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 데이터 비트를 저장하거나 상기 제1 내지 제4 스토리지 노드들 중 적어도 일부에 저장된 데이터 비트들을 독출하고, 기입 동작에서는 워드라인과 상보 워드라인을 활성화시키고, 독출 동작에서 워드라인을 활성화시켜, 점유 면적을 감소시키고, 독출 교란을 방지하면서, 소프트 에러에 강건한 특성을 제공할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예들에 따른 스토리지 회로를 나타내는 블록도이다.

도 2는 본 발명의 실시예들에 따른 도 1의 스토리지 회로의 예를 나타내는 회로도이다.

도 3은 본 발명의 실시예들에 따른 도 2의 스토리지 회로에서 래치 회로와 제어 회로의 레이아웃을 나타낸다.

도 4는 본 발명의 실시예들에 따른 도 2의 스토리지 회로의 기입 동작에서 워드라인과 상보 워드라인의 전압 레벨을 나타낸다.

도 5는 본 발명의 실시예들에 따른 도 1의 스토리지 회로의 예를 나타내는 회로도이다.

도 6은 본 발명의 실시예들에 따른 도 2의 스토리지 회로의 독출 동작을 나타낸다.

도 7은 본 발명의 실시예들에 따른 도 2의 스토리지 회로의 독출 동작을 나타낸다.

도 8은 본 발명의 실시예들에 따른 도 1의 스토리지 회로의 예를 나타내는 회로도이다.

도 9는 본 발명의 실시예들에 따른 도 8의 스토리지 회로에서 래치 회로와 제어 회로의 레이아웃을 나타낸다.

도 10은 본 발명의 실시예들에 따른 도 1의 스토리지 회로의 예를 나타내는 회로도이다.

도 11은 본 발명의 실시예들에 따른 도 8의 스토리지 회로의 독출 동작을 나타낸다.

도 12는 본 발명의 실시예들에 따른 도 8의 스토리지 회로의 독출 동작을 나타낸다.

도 13a는 도 2의 스토리지 회로에 도 4의 워드라인과 상보 워드라인을 파형을 적용할 때의 제1 내지 제4 스토리지 노드들의 파형을 나타낸다.

도 13b는 도 2의 스토리지 회로가 워드라인만을 활성화시켜 독출 동작을 수행하는 경우에, 상보 워드라인, 비트라인, 제1 스토리지 노드 및 제3 스토리지 노드의 파형을 나타낸다.

도 14는 본 발명의 실시예들에 따른 도 1의 스토리지 회로의 예를 나타내는 회로도이다.

도 15는 본 발명의 실시예들에 따른 반도체 메모리 장치를 나타내는 블록도이다.

도 16은 도 15에 도시된 반도체 메모리 장치에서 차동 워드라인 구조의 메모리 셀을 설명하기 위한 도면이다.

도 17은 본 발명의 실시예들에 따른 도 15의 반도체 메모리 장치의 일부를 나타낸다.

도 18은 본 발명의 실시예들에 따른 스토리지 회로의 동작 방법을 나타내는 흐름도이다.

도 19는 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.

도 20은 본 발명의 실시예들에 따른 도 19의 메모리

도 21은 본 발명의 실시예들에 따른 컴퓨터 스토리지의 예를 나타내는 블록도이다. 시스템에서 반도체 메모리 장치의 구성을 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0012] 도 1은 본 발명의 실시예들에 따른 스토리지 회로를 나타내는 블록도이다.
- [0013] 도 1을 참조하면, 스토리지 회로(100)는 래치 회로(110), 액세스 회로(130) 및 제어 회로(140)를 포함할 수 있다.
- [0014] 래치 회로(110)는 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들(TP1, TP2, TP3, TP4)을 포함할 수 있다. 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 각각은 전단의 트랜지스터 쌍의 엔모스 트랜지스터의 게이트와 후단의 트랜지스터 쌍의 피모스 트랜지스터의 게이트에 연결될 수 있다.
- [0015] 액세스 회로(130)는 비트라인(BL), 워드라인(WL) 및 상보 워드라인(WLB)에 연결될 수 있다. 액세스 회로(130)는 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 적어도 두 개의 스토리지 노드들에 연결되는 서로 다른 도전형의 액세스 트랜지스터들을 포함하여, 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 적어도 일부에 데이터 비트를 저장하거나 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 적어도 일부에 저장된 데이터 비트들을 독출할 수 있다.
- [0016] 제어 회로(140)는 워드라인(WL) 및 상보 워드라인(WLB)의 전압 레벨을 제어하여 액세스 회로(130)를 제어할 수 있다.
- [0017] 제1 트랜지스터 쌍(TP1)은 피모스 트랜지스터(111) 및 엔모스 트랜지스터(112)를 포함할 수 있다. 피모스 트랜지스터(111)는 전원 전압(VCC)에 연결되는 소스, 제4 스토리지 노드(SN4)에 연결되는 게이트 및 제1 스토리지 노드(SN1)에 연결되는 드레인을 포함할 수 있다. 엔모스 트랜지스터(112)는 제1 스토리지 노드(SN1)에 연결되는

드레인, 제2 스토리지 노드(SN2)에 연결되는 게이트 및 접지 전압(VSS)에 연결되는 소스를 포함할 수 있다.

- [0018] 제2 트랜지스터 쌍(TP2)은 피모스 트랜지스터(113) 및 엔모스 트랜지스터(114)를 포함할 수 있다. 피모스 트랜지스터(113)는 전원 전압(VCC)에 연결되는 소스, 제1 스토리지 노드(SN1)에 연결되는 게이트 및 제2 스토리지 노드(SN2)에 연결되는 드레인을 포함할 수 있다. 엔모스 트랜지스터(114)는 제2 스토리지 노드(SN2)에 연결되는 드레인, 제3 스토리지 노드(SN3)에 연결되는 게이트 및 접지 전압(VSS)에 연결되는 소스를 포함할 수 있다.
- [0019] 제3 트랜지스터 쌍(TP3)은 피모스 트랜지스터(115) 및 엔모스 트랜지스터(116)를 포함할 수 있다. 피모스 트랜지스터(115)는 전원 전압(VCC)에 연결되는 소스, 제2 스토리지 노드(SN2)에 연결되는 게이트 및 제3 스토리지 노드(SN3)에 연결되는 드레인을 포함할 수 있다. 엔모스 트랜지스터(116)는 제3 스토리지 노드(SN3)에 연결되는 드레인, 제4 스토리지 노드(SN4)에 연결되는 게이트 및 접지 전압(VSS)에 연결되는 소스를 포함할 수 있다.
- [0020] 제4 트랜지스터 쌍(TP4)은 피모스 트랜지스터(117) 및 엔모스 트랜지스터(118)를 포함할 수 있다. 피모스 트랜지스터(117)는 전원 전압(VCC)에 연결되는 소스, 제3 스토리지 노드(SN3)에 연결되는 게이트 및 제4 스토리지 노드(SN4)에 연결되는 드레인을 포함할 수 있다. 엔모스 트랜지스터(118)는 제4 스토리지 노드(SN4)에 연결되는 드레인, 제1 스토리지 노드(SN1)에 연결되는 게이트 및 접지 전압(VSS)에 연결되는 소스를 포함할 수 있다.
- [0021] 액세스 회로(130)는 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 적어도 두 개의 스토리지 노드들(여기서는 제1 스토리지 노드(SN1)와 제3 스토리지 노드(SN3))에 연결될 수 있다.
- [0022] 제어 회로(140)는 워드라인(WL)과 상보 워드라인(WLB)의 전압 레벨을 조절함으로써 액세스 회로(130)를 제어하여 비트라인(BL)으로 입력되는 데이터 비트를 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 적어도 일부에 저장하거나, 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 적어도 일부에 저장된 데이터 비트를 비트라인(BL)을 통하여 독출할 수 있다.
- [0023] 도 2는 본 발명의 실시예들에 따른 도 1의 스토리지 회로의 예를 나타내는 회로도이다.
- [0024] 도 2를 참조하면, 스토리지 회로(100a)는 래치 회로(110), 액세스 회로(130a) 및 제어 회로(140)를 포함할 수 있다.
- [0025] 래치 회로(110)는 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들(TP1, TP2, TP3, TP4)을 포함할 수 있다. 래치 회로(110)와 제어 회로(140)의 구성과 동작에 대한 설명은 도 1에서의 래치 회로(110)와 제어 회로(140)의 구성과 동작에 대한 설명과 동일하므로 생략한다.
- [0026] 액세스 회로(130a)는 제1 피모스 액세스 트랜지스터(131a) 및 제1 엔모스 액세스 트랜지스터(133a)를 포함할 수 있다.
- [0027] 제1 피모스 액세스 트랜지스터(131a)는 제1 스토리지 노드(SN1)에 연결되는 소스, 상보 워드라인(WLB)에 연결되는 게이트 및 제1 노드(N11)에서 비트라인(BL)에 연결되는 드레인을 포함할 수 있다.
- [0028] 제1 엔모스 액세스 트랜지스터(133a)는 제3 스토리지 노드(SN3)에 연결되는 드레인, 상보 워드라인(WLB)에 연결되는 게이트 및 제1 노드(N11)에서 비트라인(BL)에 연결되는 소스를 포함할 수 있다.
- [0029] 액세스 회로(130a)가 제1 피모스 액세스 트랜지스터(131a) 및 제1 엔모스 액세스 트랜지스터(133a)를 포함하여 구성되므로, 도 2의 래치 회로(110)와 액세스 회로(130a)는 다이어트(diet) DICE라 호칭될 수 있다.
- [0030] 제어 회로(140)는 상보 워드라인(WLB)과 워드라인(WL)의 전압 레벨을 조절하여 기입 동작에서는 제1 피모스 액세스 트랜지스터(131a)와 제1 엔모스 액세스 트랜지스터(133a)를 턴-온시켜 비트라인(BL)을 통하여 제공되는 데이터 비트를 제1 스토리지 노드(SN1) 및 제3 스토리지 노드(SN3)에 저장할 수 있고, 독출 동작에서는 제1 피모스 액세스 트랜지스터(131a)를 턴-오프시키고 제1 엔모스 액세스 트랜지스터(133a)를 턴-온시켜 제3 스토리지 노드(SN3)에 저장된 데이터 비트를 비트라인(BL)을 통하여 독출할 수 있다. 또한 제어 회로(140)는 상보 워드라인(WLB)과 워드라인(WL)의 전압 레벨을 조절하여 독출 동작에서는 제1 피모스 액세스 트랜지스터(131a)를 턴-온시키고 제1 엔모스 액세스 트랜지스터(133a)를 턴-오프시켜 제1 스토리지 노드(SN1)에 저장된 데이터 비트를 비트라인(BL)을 통하여 독출할 수 있다.
- [0031] 기입 동작에서 데이터 비트가 제1 스토리지 노드(SN1) 및 제3 스토리지 노드(SN3)에 저장되는 경우, 제2 스토리지 노드(SN2)와 제4 스토리지 노드(SN4)에는 상기 데이터 비트와 상보적인 레벨을 가지는 데이터 비트가 저장될 수 있다.

- [0032] 도 3은 본 발명의 실시예들에 따른 도 2의 스토리지 회로에서 래치 회로와 제어 회로의 레이아웃을 나타낸다.
- [0033] 도 2 및 도 3을 참조하면, 제1 방향(D1)으로 연장되고, 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 이격되는 제1 액티브 패턴(ACT11) 및 제2 액티브 패턴(ACT2)과 제1 방향(D1)으로 이격되며, 상기 제2 방향(D2)으로 연장되어 상기 제1 액티브 패턴(ACT1)과 상기 제2 액티브 패턴 상부(ACT2)에 제공되는 제1 게이트 패턴(GS1)과 제2 게이트 패턴(GS2)에 의하여 제1 트랜지스터 쌍(TP1)과 제2 트랜지스터 쌍(TP2)이 제공될 수 있다.
- [0034] 또한, 상기 제1 액티브 패턴(ACT1)과 상기 제2 액티브 패턴(ACT2) 각각과 상기 제1 방향(D1)으로 이격되어 상기 제1 방향(D2)으로 연장되며, 상기 제2 방향(D2)으로 이격되는 제3 액티브 패턴(ACT3) 및 제4 액티브 패턴(ACT4)과 상기 제1 방향(D1)으로 이격되며, 상기 제2 방향(D2)으로 연장되어 상기 제3 액티브 패턴(ACT3)과 상기 제4 액티브 패턴(ACT4) 상부에 제공되는 제3 게이트 패턴(GS3)과 제4 게이트 패턴(GS4)에 의하여 제3 트랜지스터 쌍(TP3)과 제4 트랜지스터 쌍(TP4)이 제공될 수 있다.
- [0035] 또한, 상기 제3 액티브 패턴(ACT3) 및 상기 제4 게이트 패턴(GS4)과 상기 제1 방향(D1)으로 이격되며 상기 제2 방향(D2)으로 연장되어 상기 제3 액티브 패턴(ACT3) 상부에 제공되는 제5 게이트 패턴(GS5)에 의하여 제1 피모스 액세스 트랜지스터(131a)가 형성될 수 있다. 제4 액티브 패턴(ACT4) 및 상기 제4 게이트 패턴(GS4)과 상기 제1 방향(D1)으로 이격되며, 상기 제5 게이트 패턴(GS5)과 상기 제2 방향으로 이격되고 상기 제2 방향(D2)으로 연장되어 상기 제4 액티브 패턴(ACT4) 상부에 제공되는 제6 게이트 패턴(GS6)에 의하여 제1 엔모스 액세스 트랜지스터(133a)가 형성될 수 있다.
- [0036] 제2 게이트 패턴(GS2)에서 제1 방향(D1)으로 연장되는 제1 연결 패턴(CM1) 및 제3 게이트 패턴(GS3)에서 제1 방향(D1)으로 연장되는 제2 연결 패턴(CM2)에 의하여 엔모스 트랜지스터(114)의 게이트와 제3 스토리지 노드(SN3)가 연결될 수 있다.
- [0037] 제1 게이트 패턴(GS1), 제2 게이트 패턴(GS2), 제3 게이트 패턴(GS3), 제4 게이트 패턴(GS4), 제5 게이트 패턴(GS5) 및 제6 게이트 패턴(GS6) 각각과 제1 액티브 패턴(ACT1), 제2 액티브 패턴(ACT2), 제3 액티브 패턴(ACT3) 및 제4 액티브 패턴(ACT4) 각각에는 다른 패턴과의 연결을 위한 다이렉트 콘택(DC)이 형성될 수 있다.
- [0038] 또한, 제1 게이트 패턴(GS1), 제2 게이트 패턴(GS2), 제3 게이트 패턴(GS3) 및 제4 게이트 패턴(GS4) 각각에는 제1 스토리지 노드(SN1), 제2 스토리지 노드(SN2), 제3 스토리지 노드(SN3) 및 제4 스토리지 노드(SN4) 각각이 제공될 수 있다.
- [0039] 제1 게이트 패턴(GS1), 제2 게이트 패턴(GS2), 제3 게이트 패턴(GS3), 제4 게이트 패턴(GS4), 제5 게이트 패턴(GS5) 및 제6 게이트 패턴(GS6)은 모두 제2 방향(D2)으로 연장되어 병렬로 형성될 수 있다.
- [0040] 제1 게이트 패턴(GS1)과 제1 액티브 패턴(ACT1)은 피모스 트랜지스터(111)에 해당하고, 제1 게이트 패턴(GS1)과 제2 액티브 패턴(ACT2)은 엔모스 트랜지스터(112)에 해당할 수 있다. 제2 게이트 패턴(GS2)과 제1 액티브 패턴(ACT1)은 피모스 트랜지스터(113)에 해당하고, 제2 게이트 패턴(GS2)과 제2 액티브 패턴(ACT2)은 엔모스 트랜지스터(114)에 해당할 수 있다.
- [0041] 제3 게이트 패턴(GS3)과 제3 액티브 패턴(ACT3)은 피모스 트랜지스터(115)에 해당하고, 제3 게이트 패턴(GS3)과 제4 액티브 패턴(ACT4)은 엔모스 트랜지스터(116)에 해당할 수 있다. 제4 게이트 패턴(GS4)과 제3 액티브 패턴(ACT3)은 피모스 트랜지스터(117)에 해당하고, 제4 게이트 패턴(GS4)과 제4 액티브 패턴(ACT2)은 엔모스 트랜지스터(118)에 해당할 수 있다.
- [0042] 제5 게이트 패턴(GS5)과 제3 액티브 패턴(ACT3)은 제1 피모스 액세스 트랜지스터(131a)에 해당하고, 제6 게이트 패턴(GS6)과 제4 액티브 패턴(ACT4)은 제1 엔모스 액세스 트랜지스터(133a)에 해당할 수 있다. 제5 게이트 패턴(GS5) 상의 다이렉트 콘택(DC)들에 상보 워드라인(WLB)과 비트라인(BL)이 연결될 수 있고, 제6 게이트 패턴(GS6) 상의 다이렉트 콘택(DC)들에 워드라인(WL)과 비트라인(BL)이 연결될 수 있다.
- [0043] 도 4는 본 발명의 실시예들에 따른 도 2의 스토리지 회로의 기입 동작에서 워드라인과 상보 워드라인의 전압 레벨을 나타낸다.
- [0044] 도 2 및 도 4를 참조하면, 제어 회로(140)는 기입 동작에서 워드라인(WL)을 제1 시점(T11)에서 제2 시점(T12)까지의 제1 구간 동안 하이 레벨(VCC)로 활성화시켜 제1 엔모스 액세스 트랜지스터(133a)를 턴-온시키고, 상보 워드라인(WLB)을 제1 시점(T11)과 제2 시점(T12) 사이의 제3 시점(T13)에서 제2 시점(T12)까지의 제2 구간 동안 로우 레벨(VSS)로 활성화시켜 제1 피모스 액세스 트랜지스터(131a)를 턴-온시켜 비트라인(BL)을 통하여 제공

되는 데이터 비트를 제1 스토리지 노드(SN1) 및 제3 스토리지 노드(SN3)에 기입(저장) 수 있다.

- [0045] 상보 워드라인(WLB)을 워드라인(WL)보다 지연시켜 활성화시키면, 워드라인(WL)이 공유되는 경우에 발생할 수 있는 데이터 플립핑(flippping)을 방지할 수 있다.
- [0046] 도 5는 본 발명의 실시예들에 따른 도 1의 스토리지 회로의 예를 나타내는 회로도이다.
- [0047] 도 5를 참조하면, 스토리지 회로(100b)는 래치 회로(110), 액세스 회로(130b) 및 제어 회로(140)를 포함할 수 있다.
- [0048] 래치 회로(110)는 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들(TP1, TP2, TP3, TP4)을 포함할 수 있다. 래치 회로(110)와 제어 회로(140)의 구성과 동작에 대한 설명은 도 1에서의 래치 회로(110)와 제어 회로(140)의 구성과 동작에 대한 설명과 동일하므로 생략한다.
- [0049] 액세스 회로(130b)는 제1 피모스 액세스 트랜지스터(131) 및 제1 엔모스 액세스 트랜지스터(133)를 포함할 수 있다.
- [0050] 제1 피모스 액세스 트랜지스터(131)는 제1 스토리지 노드(SN1)에 연결되는 소스, 상보 워드라인(WLB)에 연결되는 게이트 및 제1 비트라인(BL1)에 연결되는 드레인을 포함할 수 있다.
- [0051] 제1 엔모스 액세스 트랜지스터(133)는 제3 스토리지 노드(SN3)에 연결되는 드레인, 상보 워드라인(WLB)에 연결되는 게이트 및 제2 비트라인(BL2)에 연결되는 소스를 포함할 수 있다.
- [0052] 제어 회로(140)는 상보 워드라인(WLB)과 워드라인(WL)의 전압 레벨을 조절하여 기입 동작에서는 제1 피모스 액세스 트랜지스터(131)와 제1 엔모스 액세스 트랜지스터(133)를 턴-온시켜 제1 비트라인(BL1)과 제2 비트라인(BL2)를 통하여 제공되는 데이터 비트를 제1 스토리지 노드(SN1) 및 제3 스토리지 노드(SN3)에 저장할 수 있고, 독출 동작에서는 제1 피모스 액세스 트랜지스터(131)를 턴-오프시키고 제1 엔모스 액세스 트랜지스터(133)를 턴-온시켜 제3 스토리지 노드(SN3)에 저장된 데이터 비트를 제2 비트라인(BL2)을 통하여 독출할 수 있다.
- [0053] 도 6은 본 발명의 실시예들에 따른 도 2의 스토리지 회로의 독출 동작을 나타낸다.
- [0054] 도 6에서는 제1 스토리지 노드(SN1)와 제3 스토리지 노드(SN3)에 각각 하이 레벨(H)의 데이터 비트가 저장되고, 제2 스토리지 노드(SN2)와 제4 스토리지 노드(SN4)에 각각 로우 레벨(L)의 데이터 비트가 저장되어 있음을 가정한다.
- [0055] 도 6을 참조하면, 독출 동작을 수행하기 위하여 비트라인(H)은 하이 레벨(H)로 프리차지된 후, 제어 회로(140)가 상보 워드라인(WLB)에 하이 레벨(H)의 전압을 인가하고 워드라인(WL)에 하이 레벨(H)의 전압을 인가하여 제1 피모스 액세스 트랜지스터(131a)를 턴-오프시키고 제1 엔모스 액세스 트랜지스터(133a)를 턴-온시키면, 제3 스토리지 노드(SN3)의 하이 레벨(H)의 데이터 비트가 비트라인(BL)을 통하여 독출될 수 있다.
- [0056] 도 7은 본 발명의 실시예들에 따른 도 2의 스토리지 회로의 독출 동작을 나타낸다.
- [0057] 도 7에서는 제1 스토리지 노드(SN1)와 제3 스토리지 노드(SN3)에 각각 로우 레벨(L)의 데이터 비트가 저장되고, 제2 스토리지 노드(SN2)와 제4 스토리지 노드(SN4)에 각각 하이 레벨(H)의 데이터 비트가 저장되어 있음을 가정한다.
- [0058] 도 7을 참조하면, 독출 동작을 수행하기 위하여 비트라인(BL)은 하이 레벨(H)로 프리차지되고, 제어 회로(140)가 상보 워드라인(WLB)에 하이 레벨(H)의 전압을 인가하고 워드라인(WL)에 하이 레벨(H)의 전압을 인가하여 제1 피모스 액세스 트랜지스터(131a)를 턴-오프시키고 제1 엔모스 액세스 트랜지스터(133a)를 턴-온시키면, 비트라인(BL)은 하이 레벨(H)을 가질 수 있다. 하지만, 제1 피모스 액세스 트랜지스터(131a)가 턴-오프되어 있으므로, 제1 스토리지 노드(SN1)는 비트라인(BL)의 하이 레벨(H)의 전압 레벨에 무관하게 로우 레벨(L)로 유지되고, 제3 스토리지 노드(SN3)는 로우 레벨(L)로 유지되어 비트라인(BL)의 전압 레벨은 하이 레벨(H)에서 로우 레벨(L)로 천이될 수 있다.
- [0059] 만일, 제1 피모스 액세스 트랜지스터(131a)가 턴-온되는 경우, 비트라인(BL)의 하이 레벨(H)의 전압 레벨에 의하여 제1 스토리지 노드(SN1)가 영향을 받아 하이 레벨로 천이되고, 제1 스토리지 노드(SN1)의 전압 레벨에 의하여 제3 스토리지 노드(SN3)의 전압 레벨이 하이 레벨로 유지되는 데이터 플립핑이 발생할 수 있다. 하지만 본 발명의 실시예들에 따른 스토리지 회로(100a)는 독출 동작 시에 제1 피모스 액세스 트랜지스터(131a)를 턴-오프

시켜 데이터 플립핑을 방지할 수 있다.

- [0060] 도 8은 본 발명의 실시예들에 따른 도 1의 스토리지 회로의 예를 나타내는 회로도이다.
- [0061] 도 8을 참조하면, 스토리지 회로(100c)는 래치 회로(110), 액세스 회로(130c) 및 제어 회로(140)를 포함할 수 있다.
- [0062] 래치 회로(110)는 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들(TP1, TP2, TP3, TP4)을 포함할 수 있다. 래치 회로(110)와 제어 회로(140)의 구성과 동작에 대한 설명은 도 1에서의 래치 회로(110)와 제어 회로(140)의 구성과 동작에 대한 설명과 동일하므로 생략한다.
- [0063] 액세스 회로(130c)는 제1 피모스 액세스 트랜지스터(131c), 제2 피모스 액세스 트랜지스터(132c), 제1 엔모스 액세스 트랜지스터(133c) 및 제2 엔모스 액세스 트랜지스터(134c)를 포함할 수 있다.
- [0064] 제1 피모스 액세스 트랜지스터(131c)는 제1 스토리지 노드(SN1)에 연결되는 소스, 상보 워드라인(WLB)에 연결되는 게이트 및 제1 노드(N21)에서 비트라인(BL)에 연결되는 드레인을 포함할 수 있다. 제2 피모스 액세스 트랜지스터(132c)는 제2 스토리지 노드(SN2)에 연결되는 소스, 상보 워드라인(WLB)에 연결되는 게이트 및 제2 노드(N22)에서 상보 비트라인(BLB)에 연결되는 드레인을 포함할 수 있다.
- [0065] 제1 엔모스 액세스 트랜지스터(133c)는 제3 스토리지 노드(SN3)에 연결되는 드레인, 상보 워드라인(WLB)에 연결되는 게이트 및 제1 노드(N21)에서 비트라인(BL)에 연결되는 소스를 포함할 수 있다. 제2 엔모스 액세스 트랜지스터(134c)는 제4 스토리지 노드(SN4)에 연결되는 드레인, 워드라인(WL)에 연결되는 게이트 및 제2 노드(N22)에서 상보 비트라인(BLB)에 연결되는 소스를 포함할 수 있다.
- [0066] 제어 회로(140)는 상보 워드라인(WLB)과 워드라인(WL)의 전압 레벨을 조절하여 기입 동작에서는 제1 피모스 액세스 트랜지스터(131c), 제2 피모스 액세스 트랜지스터(132c), 제1 엔모스 액세스 트랜지스터(133c) 및 제2 엔모스 액세스 트랜지스터(134c)를 턴-온시켜 비트라인(BL)과 상보 비트라인(BLB) 통하여 제공되는 데이터 비트를 제1 내지 제4 스토리지 노드들(SN1~SN4)에 저장할 수 있고, 독출 동작에서는 제1 피모스 액세스 트랜지스터(131c)와 제2 피모스 액세스 트랜지스터(132c)를 턴-오프시키고 제1 엔모스 액세스 트랜지스터(133c)와 제2 엔모스 액세스 트랜지스터(134c)를 턴-온시켜 제3 스토리지 노드(SN3)와 제4 스토리지 노드(SN4) 저장된 데이터 비트들을 비트라인(BL)과 상보 비트라인(BLB) 통하여 독출할 수 있다.
- [0067] 액세스 회로(130c)가 제1 피모스 액세스 트랜지스터(131c), 제2 피모스 액세스 트랜지스터(132c), 제1 엔모스 액세스 트랜지스터(133c) 및 제2 엔모스 액세스 트랜지스터(134c)를 포함하여 구성되고, 제1 내지 제4 스토리지 노드들(SN1~SN4) 중 네 개 또는 두 개의 스토리지 노드들을 액세스하므로, 도 8의 래치 회로(110)와 액세스 회로(130c)는 상보 액세스(complementary access) DICE라 호칭될 수 있다.
- [0068] 도 9는 본 발명의 실시예들에 따른 도 8의 스토리지 회로에서 래치 회로와 제어 회로의 레이아웃을 나타낸다.
- [0069] 도 8 및 도 9를 참조하면, 제1 방향(D1)으로 연장되고, 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 이격되는 제1 액티브 패턴(ACT1) 및 제2 액티브 패턴(ACT2)과 제1 방향(D1)으로 이격되며, 상기 제2 방향(D2)으로 연장되어 상기 제1 액티브 패턴(ACT1)과 상기 제2 액티브 패턴 상부(ACT2)에 제공되는 제1 게이트 패턴(GS1)과 제2 게이트 패턴(GS2)에 의하여 제1 트랜지스터 쌍(TP1)과 제2 트랜지스터 쌍(TP2)이 제공될 수 있다.
- [0070] 또한, 상기 제1 액티브 패턴(ACT1)과 상기 제2 액티브 패턴(ACT2) 각각과 상기 제1 방향(D1)으로 이격되어 상기 제1 방향(D2)으로 연장되며, 상기 제2 방향(D2)으로 이격되는 제3 액티브 패턴(ACT3) 및 제4 액티브 패턴(ACT4)과 상기 제1 방향(D1)으로 이격되며, 상기 제2 방향(D2)으로 연장되어 상기 제3 액티브 패턴(ACT3)과 상기 제4 액티브 패턴(ACT4) 상부에 제공되는 제3 게이트 패턴(GS3)과 제4 게이트 패턴(GS4)에 의하여 제3 트랜지스터 쌍(TP3)과 제4 트랜지스터 쌍(TP4)이 제공될 수 있다.
- [0071] 또한, 상기 제3 액티브 패턴(ACT3) 및 상기 제4 게이트 패턴(GS4)과 상기 제1 방향(D1)으로 이격되며 상기 제2 방향(D2)으로 연장되어 상기 제3 액티브 패턴(ACT3) 상부에 제공되는 제5 게이트 패턴(GS5)에 의하여 제1 피모스 액세스 트랜지스터(131c)가 형성될 수 있다. 제4 액티브 패턴(ACT4) 및 상기 제4 게이트 패턴(GS4)과 상기 제1 방향(D1)으로 이격되며, 상기 제5 게이트 패턴(GS5)과 상기 제2 방향으로 이격되고 상기 제2 방향(D2)으로 연장되어 상기 제4 액티브 패턴(ACT4) 상부에 제공되는 제6 게이트 패턴(GS6)에 의하여 제1 엔모스 액세스 트랜지스터(133c)가 형성될 수 있다.

- [0072] 또한, 상기 제1 액티브 패턴(ACT1) 및 상기 제1 게이트 패턴(GS1)과 상기 제1 방향(D1)으로 이격되며 상기 제2 방향(D2)으로 연장되어 상기 제1 액티브 패턴(ACT1) 상부에 제공되는 제7 게이트 패턴(GS7)에 의하여 제2 피모스 액세스 트랜지스터(132c)가 형성될 수 있다. 제2 액티브 패턴(ACT2) 및 상기 제1 게이트 패턴(GS1)과 상기 제1 방향(D1)으로 이격되며, 상기 제7 게이트 패턴(GS7)과 상기 제2 방향으로 이격되고 상기 제2 방향(D2)으로 연장되어 상기 제2 액티브 패턴(ACT2) 상부에 제공되는 제8 게이트 패턴(GS8)에 의하여 제2 엔모스 액세스 트랜지스터(134c)가 형성될 수 있다.
- [0073] 제2 게이트 패턴(GS2)에서 제1 방향(D1)으로 연장되는 제1 연결 패턴(CM1) 및 제3 게이트 패턴(GS3)에서 제1 방향(D1)으로 연장되는 제2 연결 패턴(CM2)에 의하여 엔모스 트랜지스터(114)의 게이트와 제3 스토리지 노드(SN3)가 연결될 수 있다.
- [0074] 제1 게이트 패턴(GS1), 제2 게이트 패턴(GS2), 제3 게이트 패턴(GS3), 제4 게이트 패턴(GS4), 제5 게이트 패턴(GS5), 제6 게이트 패턴(GS6), 제7 게이트 패턴(GS7) 및 제8 게이트 패턴(GS8) 각각과 제1 액티브 패턴(ACT1), 제2 액티브 패턴(ACT2), 제3 액티브 패턴(ACT3) 및 제4 액티브 패턴(ACT4) 각각에는 다른 패턴과의 연결을 위한 다이렉트 콘택(DC)이 형성될 수 있다.
- [0075] 또한, 제1 게이트 패턴(GS1), 제2 게이트 패턴(GS2), 제3 게이트 패턴(GS3) 및 제4 게이트 패턴(GS4) 각각에는 제1 스토리지 노드(SN1), 제2 스토리지 노드(SN2), 제3 스토리지 노드(SN3) 및 제4 스토리지 노드(SN4) 각각이 제공될 수 있다.
- [0076] 제1 게이트 패턴(GS1), 제2 게이트 패턴(GS2), 제3 게이트 패턴(GS3), 제4 게이트 패턴(GS4), 제5 게이트 패턴(GS5), 제6 게이트 패턴(GS6), 제7 게이트 패턴(GS7) 및 제8 게이트 패턴(GS8)은 모두 제2 방향(D2)으로 연장되어 병렬로 형성될 수 있다.
- [0077] 제5 게이트 패턴(GS5)과 제3 액티브 패턴(ACT3)은 제1 피모스 액세스 트랜지스터(131c)에 해당하고, 제6 게이트 패턴(GS6)과 제4 액티브 패턴(ACT4)은 제1 엔모스 액세스 트랜지스터(133c)에 해당할 수 있다. 제7 게이트 패턴(GS7)과 제1 액티브 패턴(ACT1)은 제2 피모스 액세스 트랜지스터(132c)에 해당하고, 제8 게이트 패턴(GS8)과 제2 액티브 패턴(ACT2)은 제2 엔모스 액세스 트랜지스터(134c)에 해당할 수 있다.
- [0078] 제5 게이트 패턴(GS5) 상의 다이렉트 콘택(DC)들에 상보 워드라인(WLB)과 비트라인(BL)이 연결될 수 있고, 제6 게이트 패턴(GS6) 상의 다이렉트 콘택(DC)들에 워드라인(WL)과 비트라인(BLB)이 연결될 수 있다. 제7 게이트 패턴(GS7) 상의 다이렉트 콘택(DC)들에 상보 워드라인(WLB)과 상보 비트라인(BLB)이 연결될 수 있고, 제8 게이트 패턴(GS8) 상의 다이렉트 콘택(DC)들에 워드라인(WL)과 상보 비트라인(BLB)이 연결될 수 있다.
- [0079] 도 10은 본 발명의 실시예들에 따른 도 1의 스토리지 회로의 예를 나타내는 회로도이다.
- [0080] 도 10을 참조하면, 스토리지 회로(100d)는 래치 회로(110), 액세스 회로(130d) 및 제어 회로(140)를 포함할 수 있다.
- [0081] 래치 회로(110)는 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들(TP1, TP2, TP3, TP4)을 포함할 수 있다. 래치 회로(110)와 제어 회로(140)의 구성과 동작에 대한 설명은 도 1에서의 래치 회로(110)와 제어 회로(140)의 구성과 동작에 대한 설명과 동일하므로 생략한다.
- [0082] 액세스 회로(130d)는 제1 피모스 액세스 트랜지스터(131), 제2 피모스 액세스 트랜지스터(132), 제1 엔모스 액세스 트랜지스터(133) 및 제2 엔모스 액세스 트랜지스터(134)를 포함할 수 있다.
- [0083] 제1 피모스 액세스 트랜지스터(131)는 제1 스토리지 노드(SN1)에 연결되는 소스, 상보 워드라인(WLB)에 연결되는 게이트 및 제1 비트라인(BL)에 연결되는 드레인을 포함할 수 있다. 제2 피모스 액세스 트랜지스터(132)는 제2 스토리지 노드(SN2)에 연결되는 소스, 상보 워드라인(WLB)에 연결되는 게이트 및 제1 상보 비트라인(BLB1)에 연결되는 드레인을 포함할 수 있다.
- [0084] 제1 엔모스 액세스 트랜지스터(133)는 제3 스토리지 노드(SN3)에 연결되는 드레인, 워드라인(WL)에 연결되는 게이트 및 제2 비트라인(BL2)에 연결되는 소스를 포함할 수 있다. 제2 엔모스 액세스 트랜지스터(134)는 제4 스토리지 노드(SN4)에 연결되는 드레인, 워드라인(WL)에 연결되는 게이트 및 제2 상보 비트라인(BLB2)에 연결되는 소스를 포함할 수 있다.
- [0085] 도 11은 본 발명의 실시예들에 따른 도 8의 스토리지 회로의 독출 동작을 나타낸다.

- [0086] 도 11에서는 제1 스토리지 노드(SN1)와 제3 스토리지 노드(SN3)에 각각 하이 레벨(H)의 데이터 비트가 저장되고, 제2 스토리지 노드(SN2)와 제4 스토리지 노드(SN4)에 각각 로우 레벨(L)의 데이터 비트가 저장되어 있음을 가정한다.
- [0087] 도 11을 참조하면, 독출 동작을 수행하기 위하여 비트라인(BL)과 상보 비트라인(BLB)은 하이 레벨(H)로 프리차지하면, 상보 비트라인(BLB)은 하이 레벨(H)을 가질 수 있다.
- [0088] 제어 회로(140)가 상보 워드라인(WLB)에 하이 레벨(H)의 전압을 인가하고 워드라인(WL)에 하이 레벨(H)의 전압을 인가하여 제1 피모스 액세스 트랜지스터(131c)와 제2 피모스 액세스 트랜지스터(132c)를 턴-오프시키고 제1 엔모스 액세스 트랜지스터(133c)와 제2 엔모스 액세스 트랜지스터(134c)를 턴-온시키면, 제3 스토리지 노드(SN3)의 하이 레벨(H)의 데이터 비트가 비트라인(BL)을 통하여 독출되고, 제4 스토리지 노드(SN4)의 로우 레벨(L)의 데이터 비트가 상보 비트라인(BLB)을 통하여 독출된다.
- [0089] 이 때, 제1 피모스 액세스 트랜지스터(131c)와 제2 피모스 액세스 트랜지스터(132c)를 턴-오프시킴으로써, 제2 스토리지 노드(SN2)가 상보 비트라인(BLB)의 하이 레벨(H)에 의하여 영향 받는 것을 방지하여, 제4 스토리지 노드(SN4)를 하이 레벨(H)에서 로우 레벨(L)로 천이될 수 있다.
- [0090] 도 12는 본 발명의 실시예들에 따른 도 8의 스토리지 회로의 독출 동작을 나타낸다.
- [0091] 도 12에서는 제1 스토리지 노드(SN1)와 제3 스토리지 노드(SN3)에 각각 로우 레벨(L)의 데이터 비트가 저장되고, 제2 스토리지 노드(SN2)와 제4 스토리지 노드(SN4)에 각각 하이 레벨(H)의 데이터 비트가 저장되어 있음을 가정한다.
- [0092] 도 12를 참조하면, 독출 동작을 수행하기 위하여 비트라인(BL)과 상보 비트라인(BLB)은 하이 레벨(H)로 프리차지하면, 비트라인(BLB)은 하이 레벨(H)을 가질 수 있다.
- [0093] 제어 회로(140)가 상보 워드라인(WLB)에 하이 레벨(H)의 전압을 인가하고 워드라인(WL)에 하이 레벨(H)의 전압을 인가하여 제1 피모스 액세스 트랜지스터(131c)와 제2 피모스 액세스 트랜지스터(132c)를 턴-오프시키고 제1 엔모스 액세스 트랜지스터(133c)와 제2 엔모스 액세스 트랜지스터(134c)를 턴-온시키면, 제3 스토리지 노드(SN3)의 로우 레벨(L)의 데이터 비트가 비트라인(BL)을 통하여 독출되고, 제4 스토리지 노드(SN4)의 하이 레벨(H)의 데이터 비트가 상보 비트라인(BLB)을 통하여 독출될 수 있다.
- [0094] 이 때, 제1 피모스 액세스 트랜지스터(131c)와 제2 피모스 액세스 트랜지스터(132c)를 턴-오프시킴으로써, 제1 스토리지 노드(SN1)가 비트라인(BL)의 하이 레벨(H)에 의하여 영향 받는 것을 방지하여, 제3 스토리지 노드(SN3)를 하이 레벨(H)에서 로우 레벨(L)로 천이시킬 수 있다.
- [0095] 도 8의 스토리지 회로(100c)에 대한 기입 동작에서도 도 4를 참조하여 설명한 워드라인(WL)과 상보 워드라인(WLB)의 전압 레벨 조절이 적용될 수 있다.
- [0096] 즉, 제어 회로(140)는 기입 동작에서 기입 동작에서 워드라인(WL)을 제1 시점에서 제2 시점까지의 제1 구간 동안 하이 레벨로 활성화시켜 제1 엔모스 액세스 트랜지스터(133c)와 제2 엔모스 액세스 트랜지스터(134c)를 턴-온시키고, 상보 워드라인(WLB)을 제1 시점과 제2 시점 사이의 제3 시점에서 제2 시점까지의 제2 구간 동안 로우 레벨로 활성화시켜 제1 피모스 액세스 트랜지스터(131c)와 제2 피모스 액세스 트랜지스터(132c)를 턴-온시켜 비트라인(BL)과 상보 비트라인들(BLB)을 통하여 제공되는 데이터 비트들을 제1 내지 제4 스토리지 노드들(SN1~SN4)에 기입(저장)할 수 있다.
- [0097] 도 13a는 도 2의 스토리지 회로에 도 4의 워드라인과 상보 워드라인을 파형을 적용할 때의 제1 내지 제4 스토리지 노드들의 파형을 나타낸다.
- [0098] 도 13a에서 참조 번호(151)는 워드라인(WL)의 전압 레벨을 나타내고, 참조 번호(152)는 상보 워드라인(WLB)의 전압 레벨을 나타내고, 참조 번호(153)는 제1 스토리지 노드(SN1)의 전압 레벨을 나타내고, 참조 번호(154)는 제2 스토리지 노드(SN2)의 전압 레벨을 나타내고, 참조 번호(155)는 제3 스토리지 노드(SN3)의 전압 레벨을 나타내고, 참조 번호(156)는 제4 스토리지 노드(SN4)의 전압 레벨을 나타낸다.
- [0099] 도 2, 도 4 및 도 13a를 참조하면, 제어 회로(140)가 기입 동작에서 워드라인(WL)을 제1 구간 동안 하이 레벨(VCC)로 활성화시켜 제1 엔모스 액세스 트랜지스터(133a)를 턴-온시키고, 상보 워드라인(WLB)을 제1 구간 보다 지연되고 짧은 제2 구간 동안 로우 레벨(VSS)로 활성화시켜 제1 피모스 액세스 트랜지스터(131a)를 턴-온시키는 경우, 제3 스토리지 노드(SN3)의 전압 레벨은 증가하다가 제1 스토리지 노드(SN1)의 전압 레벨과 실질적으로 동

일해지고, 제4 스토리지 노드(SN4)의 전압 레벨은 증가하다가 제2 스토리지 노드(SN2)의 전압 레벨과 실질적으로 동일해짐을 알 수 있다.

- [0100] 도 13b는 도 2의 스토리지 회로가 워드라인만을 활성화시켜 독출 동작을 수행하는 경우에, 상보 워드라인, 비트라인, 제1 스토리지 노드 및 제3 스토리지 노드의 파형을 나타낸다.
- [0101] 도 13b에서 참조 번호(161)는 워드라인(WL)의 전압 레벨을 나타내고, 참조 번호(162)는 상보 워드라인(WLB)의 전압 레벨을 나타내고, 참조 번호(133)는 비트라인(BL)의 전압 레벨을 나타내고, 참조 번호(164)는 제1 스토리지 노드(SN1)의 전압 레벨을 나타내고, 참조 번호(165)는 제3 스토리지 노드(SN3)의 전압 레벨을 나타낸다.
- [0102] 도 2, 도 7 및 도 13b를 참조하면, 제어 회로(140)가 제어 회로(140)가 상보 워드라인(WLB)에 하이 레벨(VCC)의 전압을 인가하고 워드라인(WL)에 일정 구간 동안 하이 레벨(VCC)의 전압을 인가하여 제1 피모스 액세스 트랜지스터(131a)를 턴-오프시키고 제1 엔모스 액세스 트랜지스터(133a)를 턴-온시키면, 제1 스토리지 노드(SN1)는 비트라인(BL)의 하이 레벨(VCC)의 전압 레벨에 무관하게 로우 레벨(L)로 유지되고, 제3 스토리지 노드(SN3)는 비트라인(BL)의 하이 레벨(VCC)의 전압 레벨로 인하여 상승하다가 로우 레벨(L)로 복귀되어 비트라인(BL)의 전압 레벨은 로우 레벨(L)로 천이될 수 있다.
- [0103] 도 2의 스토리지 회로(100a) 및 도 8의 스토리지 회로(100c)에서는 워드라인(WL)과 상보 워드라인(WLB)을 분리하여 사용하므로 제1 내지 제4 트랜지스터 쌍들(TP1, TP2, TP3, TP4)에 포함되는 엔모스 트랜지스터들(112, 114, 116, 118)의 크기를 감소시킬 수 있고, 제1 내지 제4 트랜지스터 쌍들(TP1, TP2, TP3, TP4)에 제공되는 전원 전압(VCC)의 레벨이 변동되어도 소프트 에러를 감소시킬 수 있다.
- [0104] 도 14는 본 발명의 실시예들에 따른 도 1의 스토리지 회로의 예를 나타내는 회로도이다.
- [0105] 도 14를 참조하면, 스토리지 회로(100e)는 래치 회로(110), 액세스 회로(130e) 및 제어 회로(140a)를 포함할 수 있다.
- [0106] 래치 회로(110)는 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들(TP1, TP2, TP3, TP4)을 포함할 수 있다. 래치 회로(110)의 구성과 동작에 대한 설명은 도 1에서의 래치 회로(110)의 구성과 동작에 대한 설명과 동일하므로 생략한다.
- [0107] 액세스 회로(130e)는 제1 엔모스 액세스 트랜지스터(131e), 제2 엔모스 액세스 트랜지스터(132e), 제3 엔모스 액세스 트랜지스터(133e) 및 제4 엔모스 액세스 트랜지스터(134e)를 포함할 수 있다.
- [0108] 제1 엔모스 액세스 트랜지스터(131e)는 제1 스토리지 노드(SN1)에 연결되는 드레인, 워드라인(WL)에 연결되는 게이트 및 비트라인(BL)에 연결되는 드레인을 포함할 수 있다. 제2 엔모스 액세스 트랜지스터(132e)는 제2 스토리지 노드(SN2)에 연결되는 드레인, 워드라인(WL)에 연결되는 게이트 및 상보 비트라인(BLB)에 연결되는 소스를 포함할 수 있다. 제3 엔모스 액세스 트랜지스터(133e)는 제3 스토리지 노드(SN3)에 연결되는 드레인, 기입 워드라인(WWL)에 연결되는 게이트 및 기입 비트라인(WBL)에 연결되는 드레인을 포함할 수 있다. 제4 엔모스 액세스 트랜지스터(134e)는 제4 스토리지 노드(SN4)에 연결되는 드레인, 기입 워드라인(WWL)에 연결되는 게이트 및 상보 기입 비트라인(WBLB)에 연결되는 드레인을 포함할 수 있다.
- [0109] 제어 회로(140a)는 기입 동작에서는 워드라인(WL)에 로우 레벨의 전압을 인가하여 제1 엔모스 액세스 트랜지스터(131e)와 제2 엔모스 액세스 트랜지스터(132e)를 턴-오프시키고, 기입 워드라인(WWL)에 하이 레벨을 전압을 인가하여 제3 엔모스 액세스 트랜지스터(133e)와 제4 엔모스 액세스 트랜지스터(134e)를 턴-온시켜, 기입 비트라인(WBL) 및 상보 기입 비트라인(WBLB)를 통하여 데이터 비트들을 제3 스토리지 노드(SN3) 및 제4 스토리지 노드(SN4)에 저장할 수 있다. 제3 스토리지 노드(SN3) 및 제4 스토리지 노드(SN4)에 데이터 비트들이 저장되면, 래치 회로(110)의 구조로 인하여 제1 스토리지 노드(SN1)에는 제3 스토리지 노드(SN3)와 동일한 논리 레벨이 저장되고, 제2 스토리지 노드(SN2)에는 제4 스토리지 노드(SN4)와 동일한 논리 레벨이 저장될 수 있다.
- [0110] 제어 회로(140a)는 독출 동작에서는 워드라인(WL)에 하이 레벨의 전압을 인가하여 제1 엔모스 액세스 트랜지스터(131e)와 제2 엔모스 액세스 트랜지스터(132e)를 턴-온시키고, 기입 워드라인(WWL)에 로우 레벨을 전압을 인가하여 제3 엔모스 액세스 트랜지스터(133e)와 제4 엔모스 액세스 트랜지스터(134e)를 턴-오프시켜, 비트라인(BL) 및 상보 비트라인(BLB)를 통하여 제1 스토리지 노드(SN1) 및 제2 스토리지 노드(SN2)에 저장된 데이터 비트들을 독출할 수 있다.

- [0111] 도 15는 본 발명의 실시예들에 따른 반도체 메모리 장치를 나타내는 블록도이다.
- [0112] 도 15를 참조하면, 반도체 메모리 장치(200)는 메모리 셀 어레이(210), 로우 디코더(220), 제어 회로(230), 감지 증폭기 및 쓰기 드라이버(240), 컬럼 디코더(250) 및 데이터 입출력 회로(260)를 포함할 수 있다. 반도체 메모리 장치(200)는 메모리 장치로 호칭될 수 있다.
- [0113] 메모리 셀 어레이(210)는 복수의 워드라인들(WL1~WLq; q는 2 이상의 정수), 복수의 비트라인들(BL1~BLp; p는 2 이상의 정수), 및 데이터를 저장하기 위한 복수의 메모리 셀들을 포함할 수 있다. 복수의 메모리 셀들 각각은 도 1의 스토리지 회로(100)로 구성될 수 있다. 복수의 메모리 셀들 각각은 DICE 래치로 호칭될 수 있고, 복수의 워드라인들(WL1~WLq) 각각은 워드라인과 상보 워드라인을 포함할 수 있다.
- [0114] 로우 디코더(220)는 로우 어드레스를 디코딩하고, 디코딩 결과에 따라 복수의 워드라인들(WL1~WLq) 중에서 어느 하나의 워드 라인을 선택적으로 구동할 수 있다. 제어 회로(230)는 외부로부터 입력되는 제어 신호에 기초하여 감지 증폭기 및 기입 드라이버(240)의 동작을 제어할 수 있다.
- [0115] 감지 증폭기 및 기입 드라이버(240)는 기입 동작 동안에 데이터 입출력 회로(260)를 통하여 입력된 데이터를 메모리 셀 어레이(210)에 쓰는 기입 드라이버로써의 기능을 수행할 수 있다. 또한, 감지 증폭기 및 기입 드라이버(240)는 독출 동작 동안에 메모리 셀 어레이(210)로부터 출력된 데이터를 감지 증폭하여 데이터 입출력 회로(260)로 전송하는 감지 증폭기의 기능을 수행할 수 있다.
- [0116] 이를 위해, 감지 증폭기 및 기입 드라이버(240)는 복수의 비트 라인들(BL1~BLp) 각각에 대응하는 데이터를 감지 증폭하기 위한 복수의 센스 앰프들을 포함할 수 있다. 여기서 복수의 센스 앰프들의 각각은 제어 회로(230)로부터 출력되는 제어 신호에 응답하여 복수의 비트 라인들(BL1~BLp)의 각각의 데이터를 감지 증폭할 수 있다.
- [0117] 도 16은 도 15에 도시된 반도체 메모리 장치에서 차동 워드라인 구조의 메모리 셀을 설명하기 위한 도면이다.
- [0118] 아래에서는 설명의 편의를 위하여 메모리 셀(211)이 DICE 래치라고 가정한다.
- [0119] 도 16을 참조하면, DICE 래치(211)들 각각은 비트라인(BL), 워드라인들(WL1, ..., WLq-1, WLq) 중 상응하는 하나 및 상보 워드라인들(WLB1, ..., WLBq-1, WLBq) 중 상응하는 하나에 연결될 수 있다.
- [0120] 또한, 도 2에 도시된 바와 같이, 미세 공정에서 메탈(metal) 저항의 증가로 인하여 긴 비트라인(BL)의 경우 상대적으로 큰 비트라인 저항(BLR)에 의해 기입 드라이버(241)의 출력이 DICE 래치(211)까지 제대로 전달되지 않을 수 있다.
- [0121] 도 17은 본 발명의 실시예들에 따른 도 15의 반도체 메모리 장치의 일부를 나타낸다.
- [0122] 도 17에는 비트라인들(BL1, BL2, BL3, BL4, ..., BLp), 워드라인들(WL1, WL2) 및 상보 워드라인들(WLB1, WLB2)에 연결되는 DICE 래치(211)들, 전원 전압 선택기(270) 및 멀티플렉서(280)를 포함할 수 있다. DICE 래치(211)들 각각은 도 2의 스토리지 회로(100a)로 구성되거나 도 2의 스토리지 회로(100a)에서 래치 회로(110)와 액세스 회로(130a)를 포함하여 구성될 수 있다.
- [0123] 전원 전압 선택기(270)는 제1 레벨의 전원 전압(VCC_L) 및 제1 레벨보다 큰 제2 레벨의 전원 전압(VCC_H)를 수신하고, 선택 신호(PSEL)에 기초하여 기입 동작에서는 제1 레벨의 전원 전압(VCC_L)을 파워 라인(PL)을 통하여 DICE 래치(211)들에 전원 전압으로 제공하고, 독출 동작에서는 제2 레벨의 전원 전압(VCC_H)을 파워 라인(PL)을 통하여 DICE 래치(211)들에 전원 전압으로 제공할 수 있다.
- [0124] 멀티플렉서(280)는 비트라인들(BL1, BL2, BL3, BL4), 워드라인들(WL1, WL2) 및 상보 워드라인들(WLB1, WLB2)에 연결되는 DICE 래치(211)들로부터 제공되는 데이터를 감지 증폭기 및 기입 드라이버(240)에 제공할 수 있다.
- [0125] 도 18은 본 발명의 실시예들에 따른 스토리지 회로의 동작 방법을 나타내는 흐름도이다.
- [0126] 도 2 내지 도 4, 도 6, 도 7 및 도 18을 참조하면, 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 대응되는 스토리지 노드를 통해 직렬로 연결되는 피모스 트랜지스터와 엔모스 트랜지스터를 각각 포함하는 제1 내지 제4 트랜지스터 쌍들(TP1, TP2, TP3, TP4)을 포함하고, 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 각각은 전단의 트랜지스터 쌍의 엔모스 트랜지스터의 게이트와 후단의 트랜지스터 쌍의 피모스 트랜지스터의 게이트에 연결되는 래치 회로(110)에 적어도 서로 다른 도전형의 두 개의 액세스 트랜지스터들(131a, 133a)을 통하여 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3, SN4) 중 적어도 일부에 데이터 비트를 저장한다(S110).
- [0127] 두 개의 액세스 트랜지스터들(131a, 133a) 중 하나를 통하여 제1 내지 제4 스토리지 노드들(SN1, SN2, SN3,

SN4) 중 적어도 일부에 저장된 데이터 비트를 독출한다(S130).

- [0128] 도 19는 본 발명의 실시예들에 따른 메모리 시스템을 나타내는 블록도이다.
- [0129] 도 19를 참조하면, 메모리 시스템(20)은 메모리 컨트롤러(30) 및 반도체 메모리 장치(300)를 포함할 수 있다.
- [0130] 메모리 컨트롤러(Memory Controller; 30)는 메모리 시스템(Memory System; 20)의 동작을 전반적으로 제어하며, 외부의 호스트와 반도체 메모리 장치(300) 사이의 전반적인 데이터 교환을 제어한다. 예컨대, 메모리 컨트롤러(30)는 호스트의 요청에 따라 반도체 메모리 장치(300)를 제어하여 데이터를 기입하거나 데이터를 독출한다.
- [0131] 또한, 메모리 컨트롤러(30)는 반도체 메모리 장치(300)를 제어하기 위한 동작 커맨드(command)들을 인가하여, 반도체 메모리 장치(300)의 동작을 제어한다. 실시예에 따라, 반도체 메모리 장치(300)는 휘발성 메모리 셀들을 구비하는 DRAM(dynamic random access), DDR5(double data rate 5) SDRAM(synchronous DRAM) 또는 DDR6 SDRAM 일 수 있다.
- [0132] 메모리 컨트롤러(30)는 반도체 메모리 장치(300)에 클럭 신호(CK, 또는, 커맨드 클럭 신호)와 커맨드(CMD) 및 어드레스(ADDR)를 전송할 수 있다. 메모리 컨트롤러(30)는 반도체 메모리 장치(300)에 데이터 신호(DQ)를 기입하거나 반도체 메모리 장치(300)로부터 데이터 신호(DQ)를 독출할 때, 데이터 스트로브 신호(DQS)를 반도체 메모리 장치(300)와 교환할 수 있다. 어드레스(ADDR)는 커맨드(CMD)에 수반될 수 있고, 본 명세서에서 어드레스(ADDR)는 액세스 어드레스라 호칭될 수 있다.
- [0133] 메모리 컨트롤러(30)는 메모리 컨트롤러(30)의 전반적인 동작을 제어하는 중앙 처리 장치(Central processing unit, CPU)(35)를 포함할 수 있다.
- [0134] 반도체 메모리 장치(300)는 데이터 신호(DQ)가 저장되는 메모리 셀 어레이(410), 제어 로직 회로(310) 및 에러 정정 코드(error correction code, 이하 'ECC' 엔진(450)을 포함할 수 있다.
- [0135] 제어 로직 회로(310)는 반도체 메모리 장치(300)의 동작을 제어할 수 있다. 메모리 셀 어레이(410)는 각각이 복수의 휘발성 메모리 셀들을 구비하는 복수의 메모리 셀 로우들을 포함할 수 있다.
- [0136] ECC 엔진(450)은 메모리 셀 어레이(410)의 타겟 페이지에 저장되는 기입 데이터에 대하여 ECC 인코딩을 수행하여 패리티 데이터를 생성하고, 타겟 페이지로부터 독출된 데이터와 패리티 데이터에 기초하여 ECC 디코딩을 수행하여 독출된 데이터의 에러를 정정할 수 있다.
- [0137] 도 20은 본 발명의 실시예들에 따른 도 19의 메모리 시스템에서 반도체 메모리 장치의 구성을 나타내는 블록도이다.
- [0138] 도 20을 참조하면, 반도체 메모리 장치(300)는 제어 로직 회로(310), 어드레스 레지스터(320), 뱅크 제어 로직(330), 리프래시 카운터(345), 로우 어드레스 멀티플렉서(340), 컬럼 어드레스 래치(350), 로우 디코더(360), 컬럼 디코더(370), 메모리 셀 어레이(410), 센스 앰프부(385), 입출력 게이팅 회로(390), ECC 엔진(450), 클럭 버퍼(325), 스트로브 신호 생성기(335) 및 데이터 입출력 버퍼(420)를 포함할 수 있다.
- [0139] 상기 메모리 셀 어레이(410)는 제1 내지 제16 뱅크 어레이들(410a~410s)을 포함할 수 있다. 또한, 상기 로우 디코더(360)는 제1 내지 제16 뱅크 어레이들(410a~410s)에 각각 연결된 제1 내지 제16 로우 디코더들(360a~360s)을 포함하고, 상기 컬럼 디코더(370)는 제1 내지 제16 뱅크 어레이들(410a~410s)에 각각 연결된 제1 내지 제16 컬럼 디코더들(370a~370s)을 포함하며, 상기 센스 앰프부(385)는 제1 내지 제16 뱅크 어레이들(410a~410s)에 각각 연결된 제1 내지 제16 센스 앰프들(385a~385s)을 포함할 수 있다.
- [0140] 제1 내지 제16 뱅크 어레이들(410a~410s), 제1 내지 제16 센스 앰프들(385a~385s), 제1 내지 제16 컬럼 디코더들(370a~370s) 및 제1 내지 제16 로우 디코더들(360a~360s)은 제1 내지 제16 뱅크들을 각각 구성할 수 있다. 제1 내지 제16 뱅크 어레이들(410a~410s) 각각은 복수의 워드라인(WL)들과 복수의 비트라인(BTL)들 및 워드라인(WL)들과 비트라인(BTL)들이 교차하는 지점에 형성되는 복수의 메모리 셀(MC)들을 포함할 수 있다.
- [0141] 어드레스 레지스터(320)는 메모리 컨트롤러(30)로부터 뱅크 어드레스(BANK_ADDR), 로우 어드레스(ROW_ADDR) 및 컬럼 어드레스(COL_ADDR)를 포함하는 어드레스(ADDR)를 수신할 수 있다. 어드레스 레지스터(320)는 수신된 뱅크 어드레스(BANK_ADDR)를 뱅크 제어 로직(330)에 제공하고, 수신된 로우 어드레스(ROW_ADDR)를 로우 어드레스 멀티플렉서(340)에 제공하며, 수신된 컬럼 어드레스(COL_ADDR)를 컬럼 어드레스 래치(350)에 제공할 수 있다.
- [0142] 어드레스 레지스터(320)는 도 1의 스토리지 회로(100)들로 구성되며, 뱅크 어드레스(BANK_ADDR), 로우 어드레스

(ROW_ADDR) 및 컬럼 어드레스(COL_ADDR)를 포함하는 어드레스(ADDR)를 소프트웨어에 강건하게 변동되지 않게 저장할 수 있다.

- [0143] 뱅크 제어 로직(330)은 뱅크 어드레스(BANK_ADDR)에 응답하여 뱅크 제어 신호들을 생성할 수 있다. 상기 뱅크 제어 신호들에 응답하여, 제1 내지 제16 로우 디코더들(360a~360s) 중 뱅크 어드레스(BANK_ADDR)에 상응하는 로우 디코더가 활성화되고, 제1 내지 제16 컬럼 디코더들(370a~370s) 중 뱅크 어드레스(BANK_ADDR)에 상응하는 컬럼 디코더가 활성화될 수 있다.
- [0144] 로우 어드레스 멀티플렉서(340)는 어드레스 레지스터(320)로부터 로우 어드레스(ROW_ADDR)를 수신하고, 리프레쉬 카운터(345)로부터 리프레쉬 로우 어드레스(REF_ADDR)를 수신할 수 있다. 로우 어드레스 멀티플렉서(340)는 로우 어드레스(ROW_ADDR) 또는 리프레쉬 로우 어드레스(REF_ADDR)를 로우 어드레스(RA)로서 선택적으로 출력할 수 있다. 로우 어드레스 멀티플렉서(340)로부터 출력된 로우 어드레스(RA)는 제1 내지 제16 로우 디코더들(360a~360s)에 각각 인가될 수 있다.
- [0145] 리프레쉬 카운터(345)는 제어 로직 회로(310)의 제어에 따라 리프레쉬 로우 어드레스(REF_ADDR)를 순차적으로 증가시키거나 감소시킬 수 있다.
- [0146] 제1 내지 제16 로우 디코더들(360a~360s) 중 뱅크 제어 로직(330)에 의해 활성화된 로우 디코더는 로우 어드레스 멀티플렉서(340)로부터 출력된 로우 어드레스(RA)를 디코딩하여 상기 로우 어드레스에 상응하는 워드라인을 활성화할 수 있다. 예를 들어, 상기 활성화된 로우 디코더는 로우 어드레스에 상응하는 워드라인에 워드라인 구동 전압을 인가할 수 있다.
- [0147] 컬럼 어드레스 래치(350)는 어드레스 레지스터(320)로부터 컬럼 어드레스(COL_ADDR)를 수신하고, 수신된 컬럼 어드레스(COL_ADDR)를 일시적으로 저장할 수 있다. 또한, 컬럼 어드레스 래치(350)는, 버스트 모드에서, 수신된 컬럼 어드레스(COL_ADDR)를 점진적으로 증가시킬 수 있다. 컬럼 어드레스 래치(350)는 일시적으로 저장된 또는 점진적으로 증가된 컬럼 어드레스(COL_ADDR')를 제1 내지 제16 컬럼 디코더들(370a~370s)에 각각 인가할 수 있다.
- [0148] 제1 내지 제16 컬럼 디코더들(370a~370s) 중 뱅크 제어 로직(330)에 의해 활성화된 컬럼 디코더는 상응하는 입출력 게이팅 회로(390)를 통하여 뱅크 어드레스(BANK_ADDR) 및 컬럼 어드레스(COL_ADDR)에 상응하는 센스 앰프를 활성화시킬 수 있다.
- [0149] 입출력 게이팅 회로(390)는 입출력 데이터를 게이팅하는 회로들과 함께, 입력 데이터 마스크 로직, 제1 내지 제16 뱅크 어레이들(410a~410s)로부터 출력된 코드워드를 저장하기 위한 독출 데이터 래치들, 및 제1 내지 제16 뱅크 어레이들(310a~310s)에 데이터를 기입하기 위한 기입 드라이버들을 포함할 수 있다.
- [0150] 제1 내지 제16 뱅크 어레이들(410a~410s) 중 하나의 뱅크 어레이에서 독출된 코드워드(CW)는 상기 하나의 뱅크 어레이에 상응하는 센스 앰프에 의해 감지되고, 상기 독출 데이터 래치들에 저장될 수 있다. 상기 독출 데이터 래치들에 저장된 코드워드(CW)는 ECC 엔진(450)에 의하여 ECC 디코딩이 수행되어 데이터(DTA)로서 데이터 입출력 버퍼(420)에 제공되고, 데이터 입출력 버퍼(420)는 데이터(DTA)를 기초하여 데이터 신호(DQ)로 변환하고 데이터 신호(DQ)를 스트로브 신호(DQS)와 함께 메모리 컨트롤러(30)로 제공할 수 있다.
- [0151] 제1 내지 제16 뱅크 어레이들(410a~410s) 중 하나의 뱅크 어레이에 기입될 데이터 신호(DQ)는 스트로브 신호(DQS)와 함께 데이터 입출력 버퍼(420)에 의하여 수신된다. 데이터 입출력 버퍼(420)는 데이터 신호(DQ)를 데이터 데이터(DTA)로 변환하여 ECC 엔진(450)에 제공하고, ECC 엔진(450)은 데이터(DTA)에 기초하여 패리티 비트들(또는 패리티 데이터)을 생성하고, 상기 데이터(DTA)와 상기 패리티 비트들을 포함하는 코드워드(CW)를 입출력 게이팅 회로(390)에 제공할 수 있다. 입출력 게이팅 회로(390)는 상기 기입 드라이버들을 통하여 상기 코드워드(CW)를 상기 하나의 뱅크 어레이의 타겟 페이지에 기입할 수 있다.
- [0152] 데이터 입출력 버퍼(420)는 기입 동작에서는 데이터 신호(DQ)를 데이터(DTA)로 변환하여 ECC 엔진(450)에 제공하고, 독출 동작에서는 ECC 엔진(450)으로부터 제공되는 데이터(DTA)를 데이터 신호(DQ)로 변환하고, 데이터 신호(DQ)와 스트로브 신호(DQS)를 메모리 컨트롤러(30)에 제공할 수 있다.
- [0153] ECC 엔진(450)은 제어 로직 회로(310)로부터의 제2 제어 신호(CTL2)에 기초하여 데이터(DTA)에 대한 ECC 인코딩과 코드워드(CW)에 대한 ECC 디코딩을 수행할 수 있다.
- [0154] 클럭 버퍼(325)는 클럭 신호(CK)를 수신하고, 클럭 신호(CK)를 버퍼링하여 내부 클럭 신호(ICK)를 생성하고, 내

부 클럭 신호(ICK)는 커맨드(CMD)와 어드레스(ADDR)를 처리하는 구성 요소들에 제공할 수 있다.

- [0155] 스트로브 신호 생성기(335)는 클럭 신호(CK)를 수신하고, 클럭 신호(CK)에 기초하여 스트로브 신호(DQS)를 생성하고, 스트로브 신호(DQS)를 데이터 입출력 버퍼(320)에 제공할 수 있다.
- [0156] 제어 로직 회로(310)는 반도체 메모리 장치(300)의 동작을 제어할 수 있다. 예를 들어, 제어 로직 회로(310)는 반도체 메모리 장치(300)가 기입 동작, 독출 동작 및 리프레쉬 동작을 수행하도록 제어 신호들을 생성할 수 있다. 제어 로직 회로(310)는 상기 메모리 컨트롤러(30)로부터 수신되는 커맨드(CMD)를 디코딩하는 커맨드 디코더(311) 및 반도체 메모리 장치(300)의 동작 모드를 설정하기 위한 모드 레지스터(312)를 포함할 수 있다.
- [0157] 예를 들어, 커맨드 디코더(311)는 칩 선택 신호 및 커맨드/어드레스 신호 등을 디코딩하여 커맨드(CMD)에 상응하는 상기 제어 신호들을 생성할 수 있다. 특히 제어 로직 회로(310)는 커맨드(CMD)를 디코딩하여 입출력 게이팅 회로(390)를 제어하는 제1 제어 신호(CTL1) 및 ECC 엔진(450)을 제어하는 제2 제어 신호(CTL2)를 생성할 수 있다.
- [0158] 도 21은 본 발명의 실시예들에 따른 컴퓨터 스토리지의 예를 나타내는 블록도이다.
- [0159] 디스크 어레이라고도 하는 컴퓨터 스토리지 어레이는 일반적으로 하드 디스크 드라이브(Hard Disk Drive: HDD) 및 솔리드 스테이트 드라이브(Solid-State Disk Drive: SSD)와 같은 여러 데이터 저장 장치가 연결된 데이터 저장 시스템이다. 컴퓨터 스토리지 어레이들은 확장성이 뛰어나고 엔드 포인트(endpoint) 클라이언트, 컴퓨터 서버 및/또는 다른 데이터 소비자가 될 수 있는 여러 개시자(initiators)에게 공유 데이터 액세스를 제공하도록 설계된다.
- [0160] 비휘발성 메모리 익스프레스 오버패브릭(Non-Volatile Memory Express over fabrics; NVMe-oF)(이하, 편의상 'NVMe-oF 장치') 사양을 지원하는 스토리지 장치들은 고성능과 확장성으로 인해 특히 컴퓨터 스토리지 어레이 용으로 널리 보급되고 있다. NVMe-oF는 NVMe-oF 메시지 기반 명령이 호스트 컴퓨터와 같은 개시자와 NVMe-oF 장치 또는 시스템 사이에서 이더넷(Ethernet), 파이버 채널(Fibre Channel) 및 인피니밴드(InfiniBand)와 같은 네트워크를 통해 데이터를 전송할 수 있도록 설계된 기술 사양이다. 따라서, NVMe-oF 장치는 일반적으로 네트워크 장치(예를 들어, 이더넷 컨트롤러를 구비함) 및 스토리지 장치(예를 들어, SSD를 구비함) 둘 모두의 기능을 포함한다.
- [0161] 네트워크 장치인 NVMe-oF 장치는 서비스 거부(DoS) 공격과 같은 사이버 공격의 영향을 받기 쉽다. DoS 공격은 가해자가 인터넷에 연결된 호스트의 서비스를 일시적 또는 영구적으로 중단시킴으로써, 의도된 사용자가 기계 또는 네트워크 리소스를 사용할 수 없도록 만드는 사이버 공격이다. 일반적으로, DoS 공격은 시스템에 과부하를 일으키거나 일부 또는 모든 합법적인 요청이 실행되지 않도록 하기 위해 불필요한 요청이 타겟 시스템 또는 리소스에 쇄도하도록 함으로써 달성된다. 여러 소스에서 요청이 쇄도하면, DoS 공격은 분산된 DoS(Distributed DoS: DDoS) 공격으로 간주된다.
- [0162] DoS 공격은 상점이나 사업체의 진입 도어 또는 게이트를 사람들로 혼잡하게 만들어 합법적인 사람들이 상점이나 사업체에 진입하지 못하게 하여 정상적인 동작을 방해하는 사람들의 그룹과 유사하다. 따라서, 일반적인 DoS 공격의 목적은 컴퓨터 서버나 스토리지 어레이에 저장된 기밀 데이터를 훔치거나 노출시키는 것이 아니라, 가짜 트래픽으로 감당할 수 없도록 하는 것이다. 그러나, DoS 공격은 다른 범죄적인 사이버 공격과는 달리 오작으로 사용되는 것으로 알려져 있다.
- [0163] 어떤 경우에, 펌웨어나 소프트웨어가 감염되거나 손상된 NVMe-oF 장치는 다른 시스템의 DoS 공격에 자신도 모르게 참여하게 될 수 있다. 시나리오와 상관없이 DoS 공격을 검출하고 대응하기 위해서는 종종 기업들이 가치 있는 리소스를 쏟아 부어야 한다. 또한, DoS 공격이 길어질수록 DoS 공격에 영향을 받는 기업에는 더 많은 비용이 부담될 것이다.
- [0164] 도 21을 참조하면, 컴퓨터 스토리지 어레이(500)는 컴퓨터 마더보드(520), 로컬 CPU(521), 베이스보드 관리 컨트롤러(Baseboard Management Controller: BMC)(523), PCIe(Peripheral Component Interconnect Express) 스위치(524), 네트워크 장치(525) 및 다수의 NVMe-oF 장치들(540)을 포함한다. 이 경우, NVMe-oF 장치들(540)은 이더넷 포트, PCIe 포트, 및 SMBus(System Management Bus) 포트를 포함하는 이더넷-인에이블 SSD(eSSD)일 수 있으며, 네트워크 장치(525)는 네트워크 어드레스 변환(Network Address Translation: NAT) 라우터, 네트워크 스위치 등일 수 있다. 컴퓨터 스토리지 어레이(500)는 컴퓨터 스토리지 어레이(500)에 연결된 하나 이상의 NVMe-oF 장치들(540)에 액세스하는 하나 이상의 원격 개시자(511)를 제공한다.

[0165] 실시 예들에 따르면, 로컬 CPU(521), BMC(523), PCIe 스위치(524), 네트워킹 장치(525)는 컴퓨터 마더보드(520)에 집적 또는 내장될 수 있거나, 개별 구성 요소로써 컴퓨터 마더보드(520)에 실장될 수 있다. 이들 구성 요소들은 하드웨어 구성 요소, 소프트웨어 구성 요소 또는 하드웨어 및 소프트웨어 구성 요소들의 조합을 사용하여 구현될 수 있다. 비록, 도 21에는 이들 구성 요소들이 별도의 구성 요소로 도시되었으나, 이들 구성 요소들 중 하나 이상은 결합될 수 있다.

[0166] 컴퓨터 마더보드(520)는 적어도 이더넷 버스(531, 532), PCIe 버스(533, 534), 및 SMBus(535)를 포함한다. 로컬 CPU(521)는 네트워킹 프로토콜들을 관리하기 위한 운영 체제(OS)를 실행시키도록 구성된다. 네트워킹 장치(525)는 패킷 레벨에서 NVMe-oF 장치들(540)로 및 NVMe-oF 장치들(540)로부터의 네트워크 트래픽을 모니터링하고 라우팅하도록 구성된다. 네트워킹 장치(525)는 네트워크 어드레스 변환 테이블과 같은 알려진 소스/목적지 어드레스들의 리스트에 접근할 수 있다. NVMe-oF 장치들에 연결되는 새로운 개시자가 리스트 또는 테이블에 엔트리로 추가될 수 있다. 상기 소스/목적지 어드레스들의 리스트는 도 1의 스토리지 회로(100)들로 구성되는 룩업 테이블에 저장되어 소프트웨어에 강건할 수 있다.

[0167] BMC(523)는 이더넷 버스(535)를 통해 확립된 밴드내 접속과는 분리된 밴드의 접속을 통해 관리 서버(513)와 통신한다. BMC(535)는 지능형 플랫폼 관리 인터페이스(Intelligent Platform Management Interface: IPMI)를 사용하여 관리 서버(108)와 통신할 수 있다. IPMI는 시스템의 로컬 CPU, 펌웨어 및 운영 체제와 독립적으로 관리 및 모니터링 기능을 제공하는 BMC(523)와 같은 컴퓨터 서버 시스템에 대한 한 세트의 컴퓨터 인터페이스 사양이다.

[0168] BMC(523) 및 로컬 CPU(525)는 로컬 버스를 통해 NVMe-oF 장치(540)에 국부적으로 연결된다. 예를 들어, PCIe 스위치(524)는 별도의 PCIe 버스(533, 534)를 통해 BMC(523)와 로컬 CPU(521)를 각각의 NVMe-oF 장치(540)에 연결한다. BMC(523) 및 로컬 CPU(521) 각각은 NVMe-oF 장치들(540)의 네트워크 설정을 구성할 수 있다. 또한, BMC(523)는 네트워킹 장치(525)를 통해 NVMe-oF 장치들(540)로 및 NVMe-oF 장치들(540)로부터의 네트워크 트래픽을 모니터링(예를 들어, 통계 모니터링)한 것에 기초하여 DoS 공격을 검출하도록 구성된다.

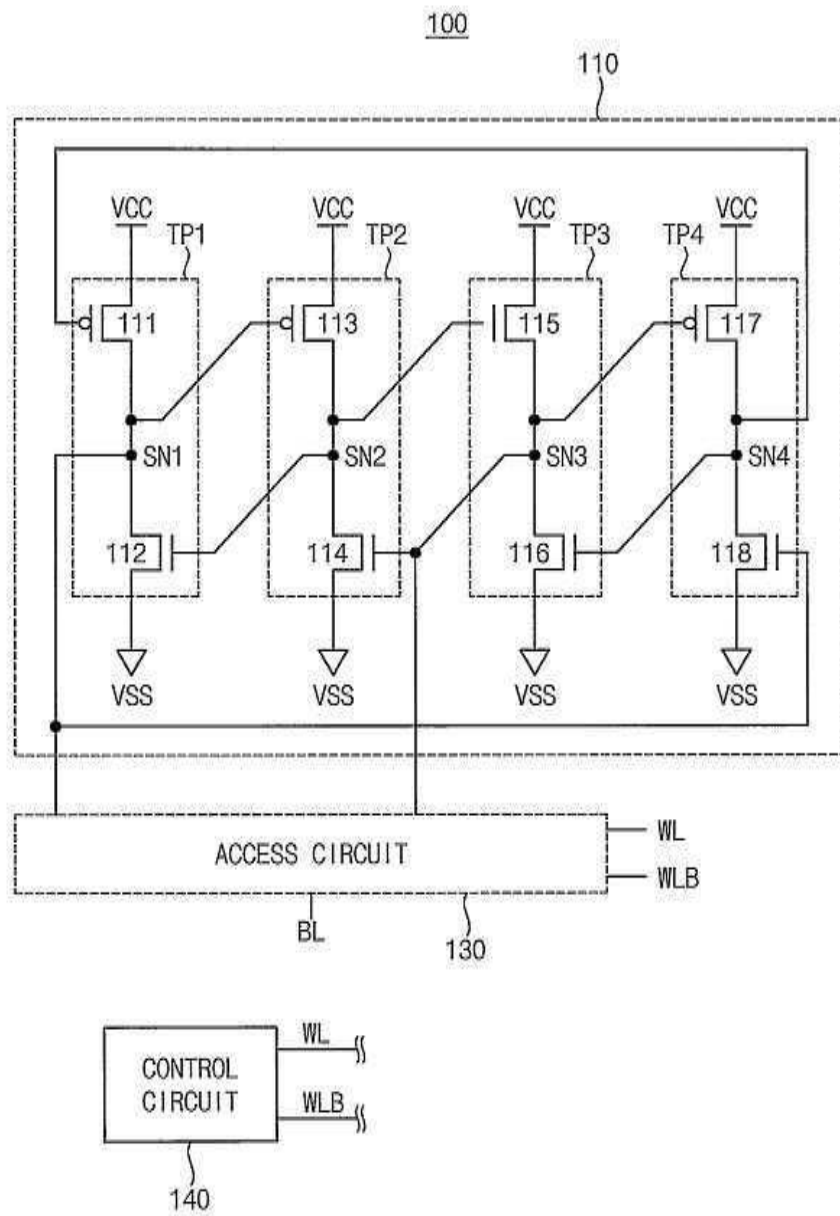
산업상 이용가능성

[0169] 본 발명은 DICE 레치를 데이터를 저장하는데 사용하는 다양한 시스템에 적용될 수 있다. 즉 본 발명은 스마트폰, 내비게이션 시스템, 노트북 컴퓨터, 데스크 탑 컴퓨터, 게임 콘솔 등과 같은 반도체 메모리 장치를 동작 메모리로 사용하는 다양한 시스템에 적용될 수 있다.

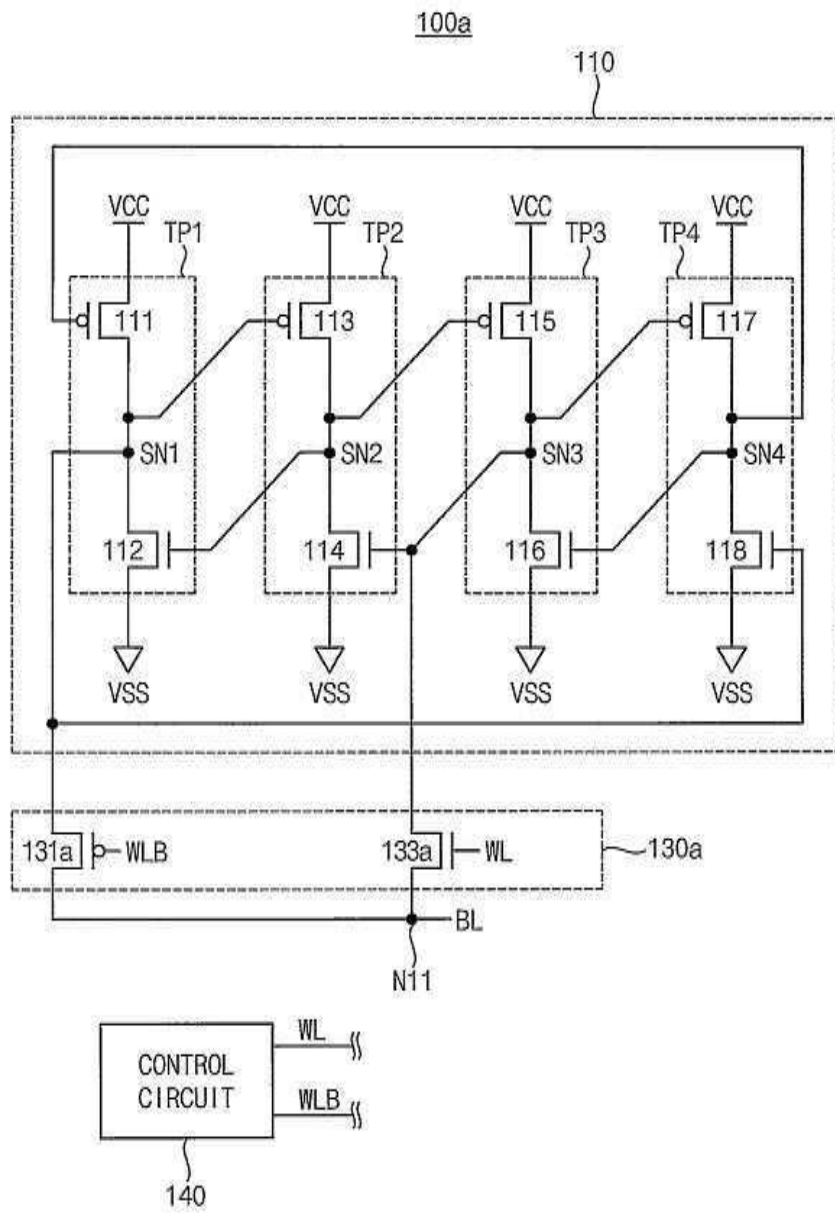
[0170] 상술한 바와 같이, 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

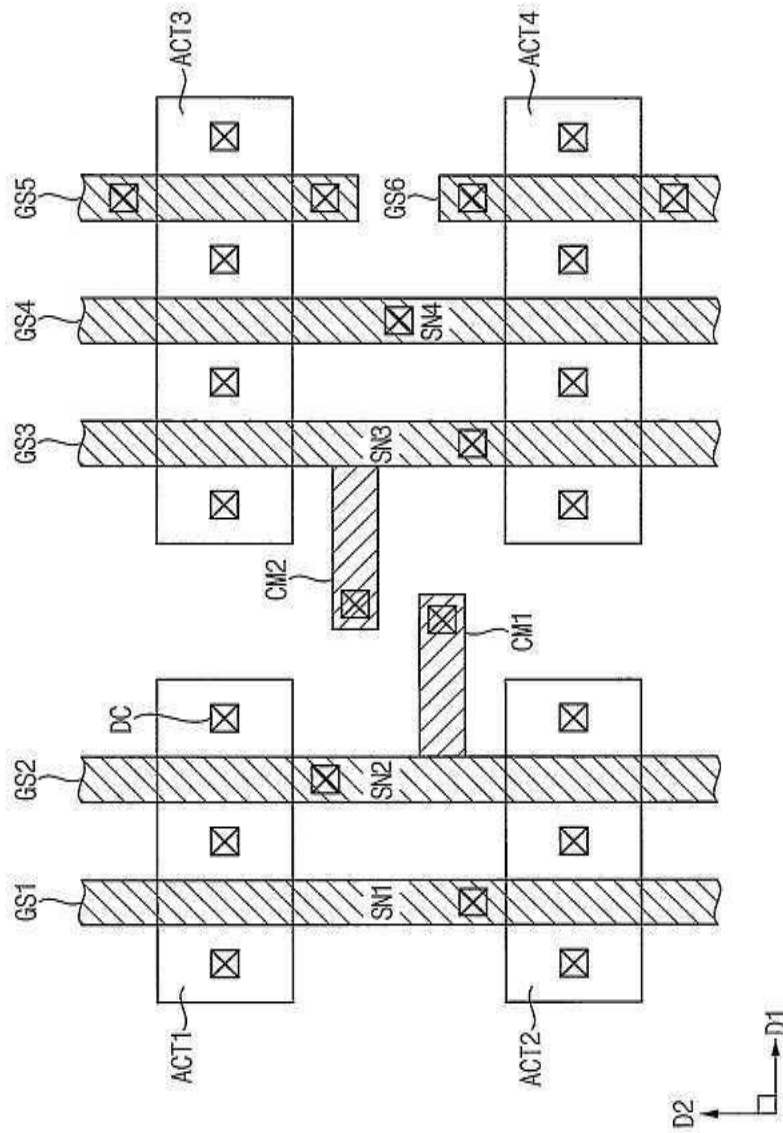
도면1



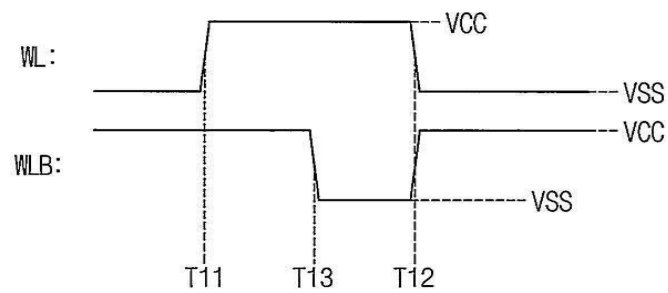
도면2



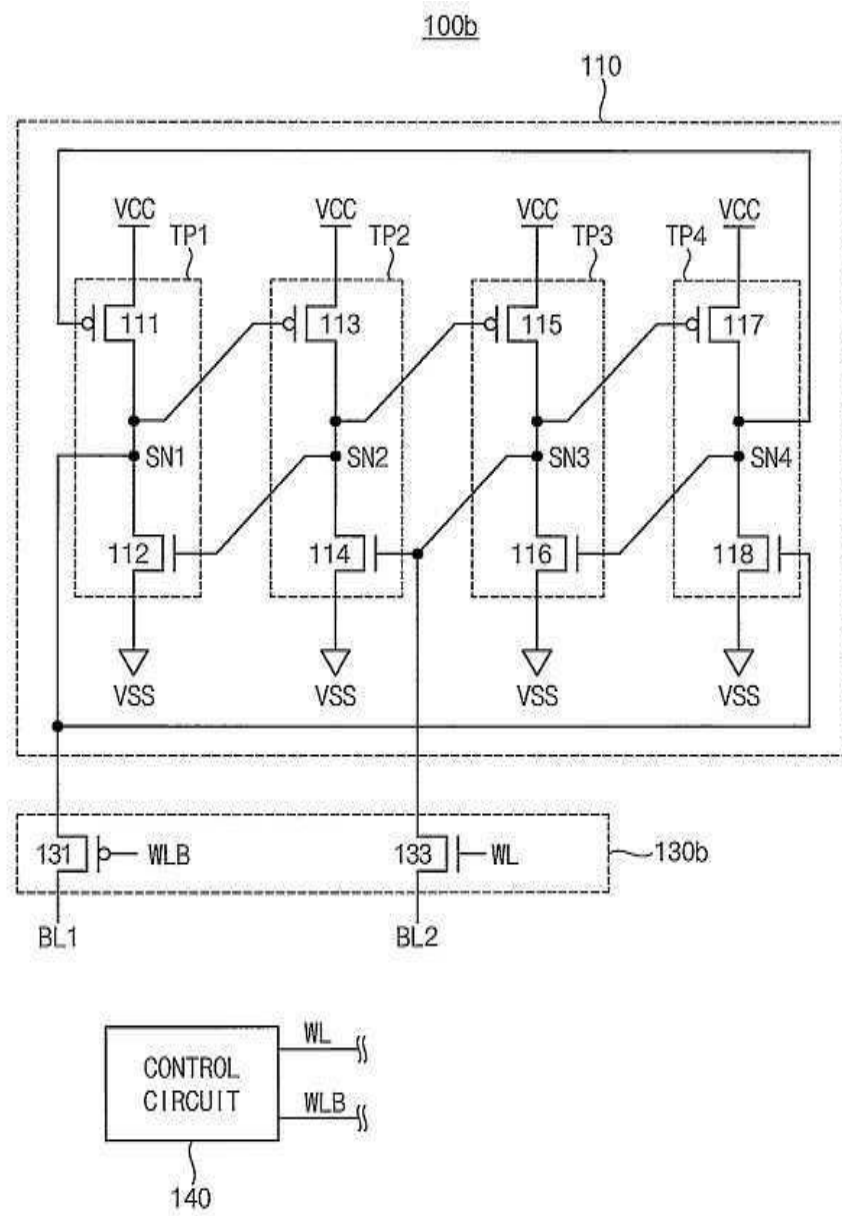
도면3



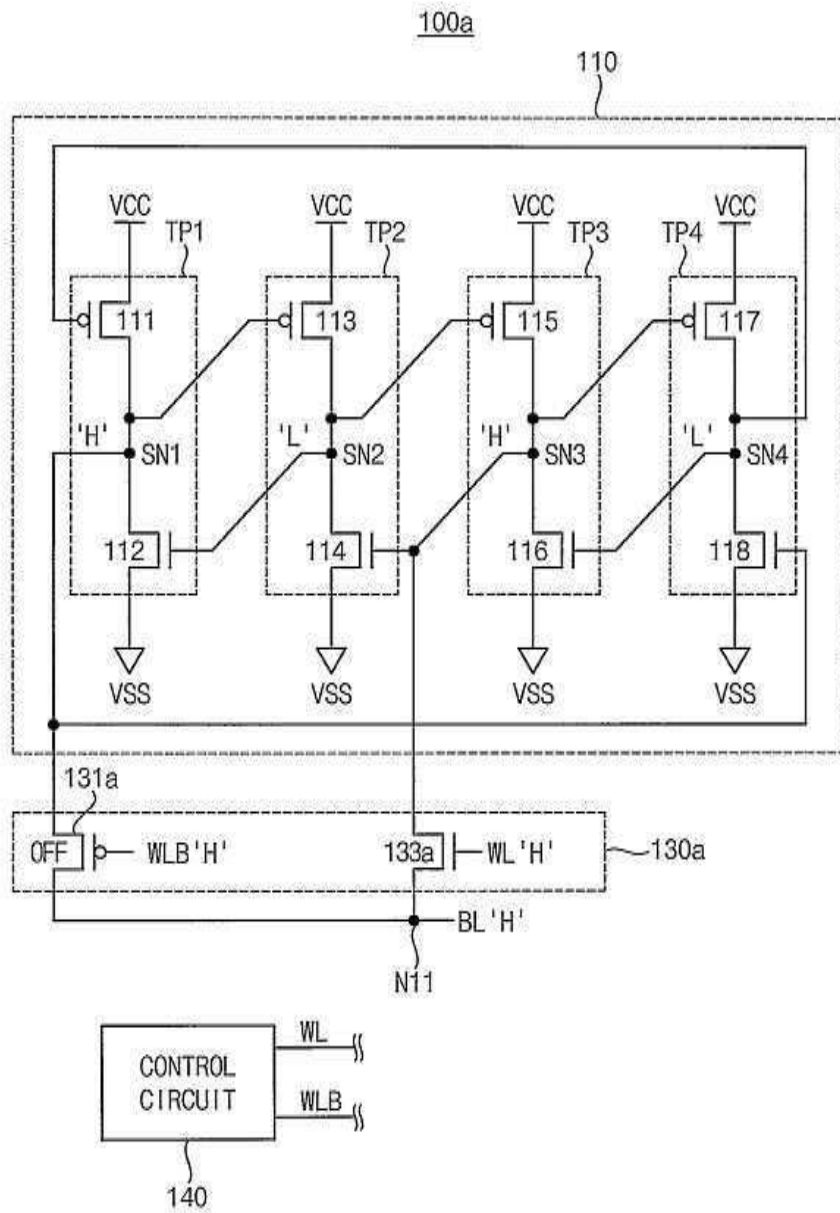
도면4



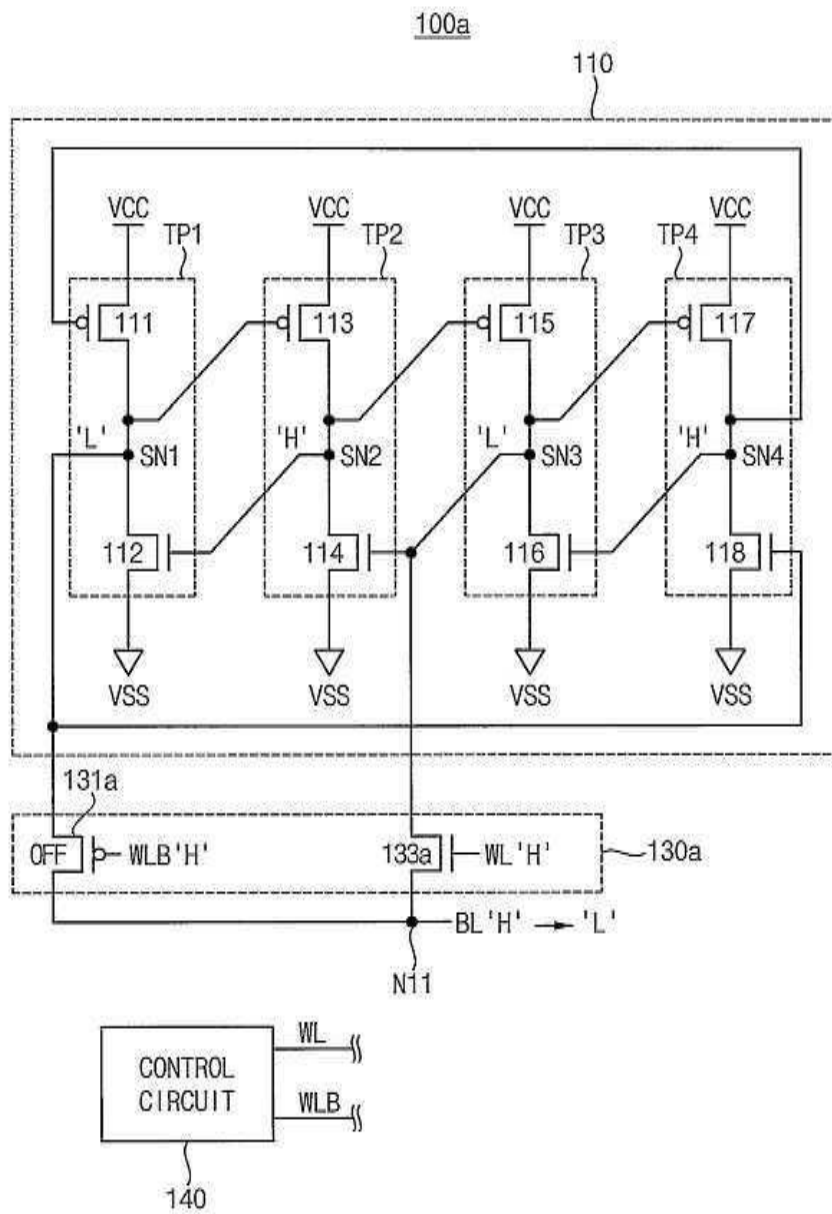
도면5



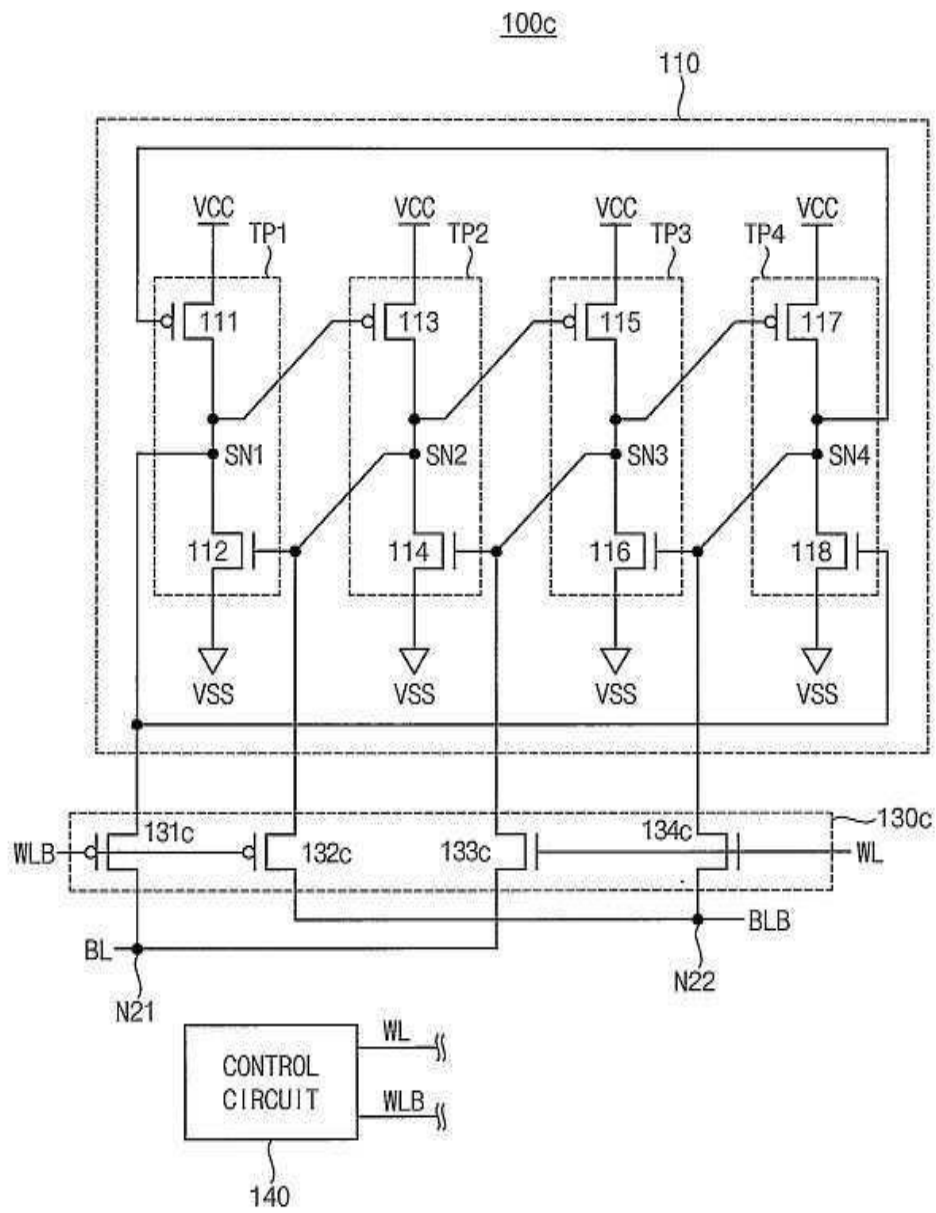
도면6



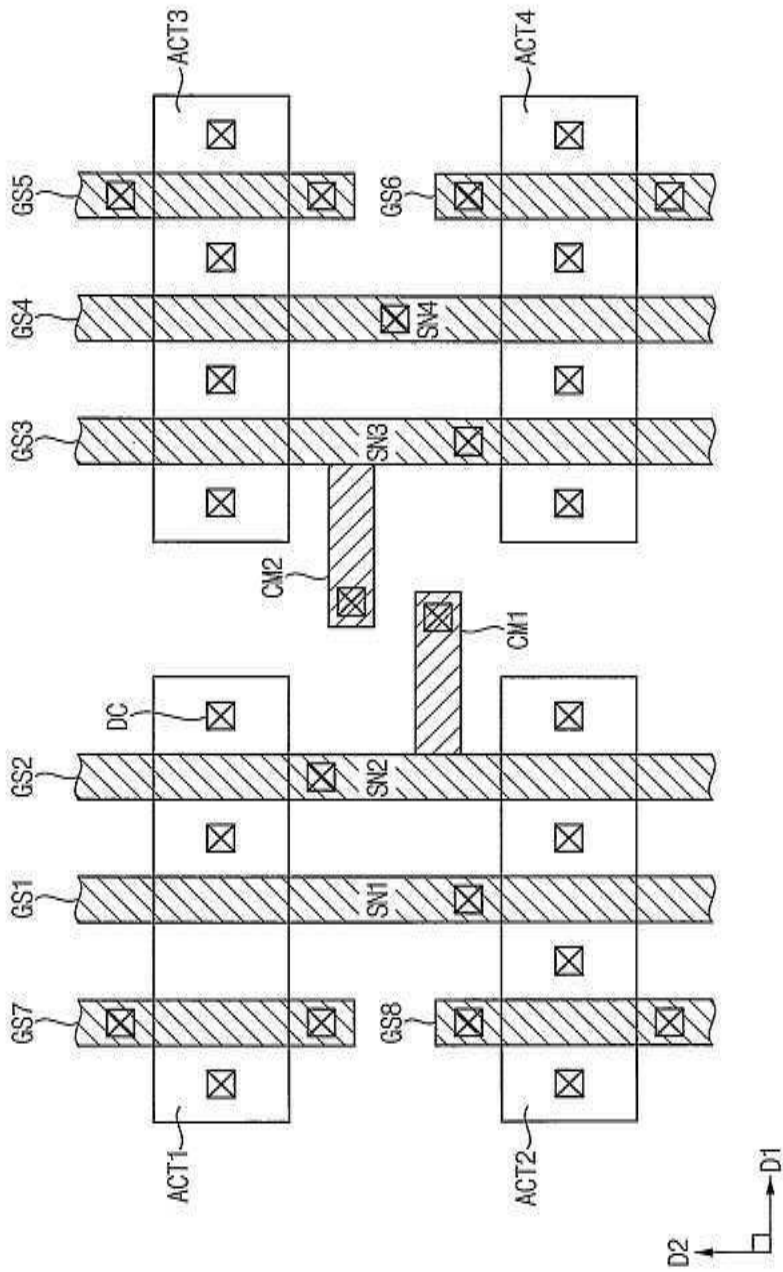
도면7



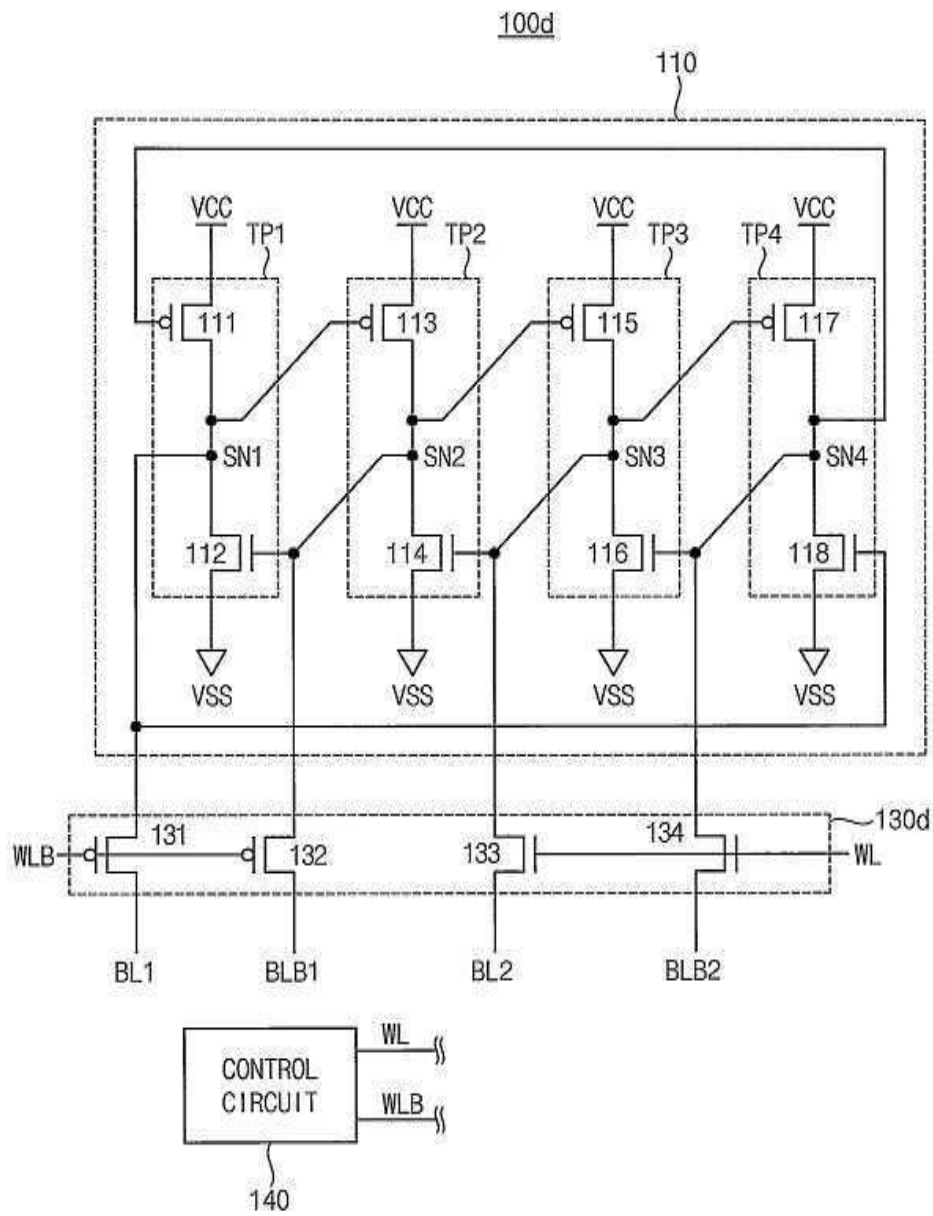
도면8



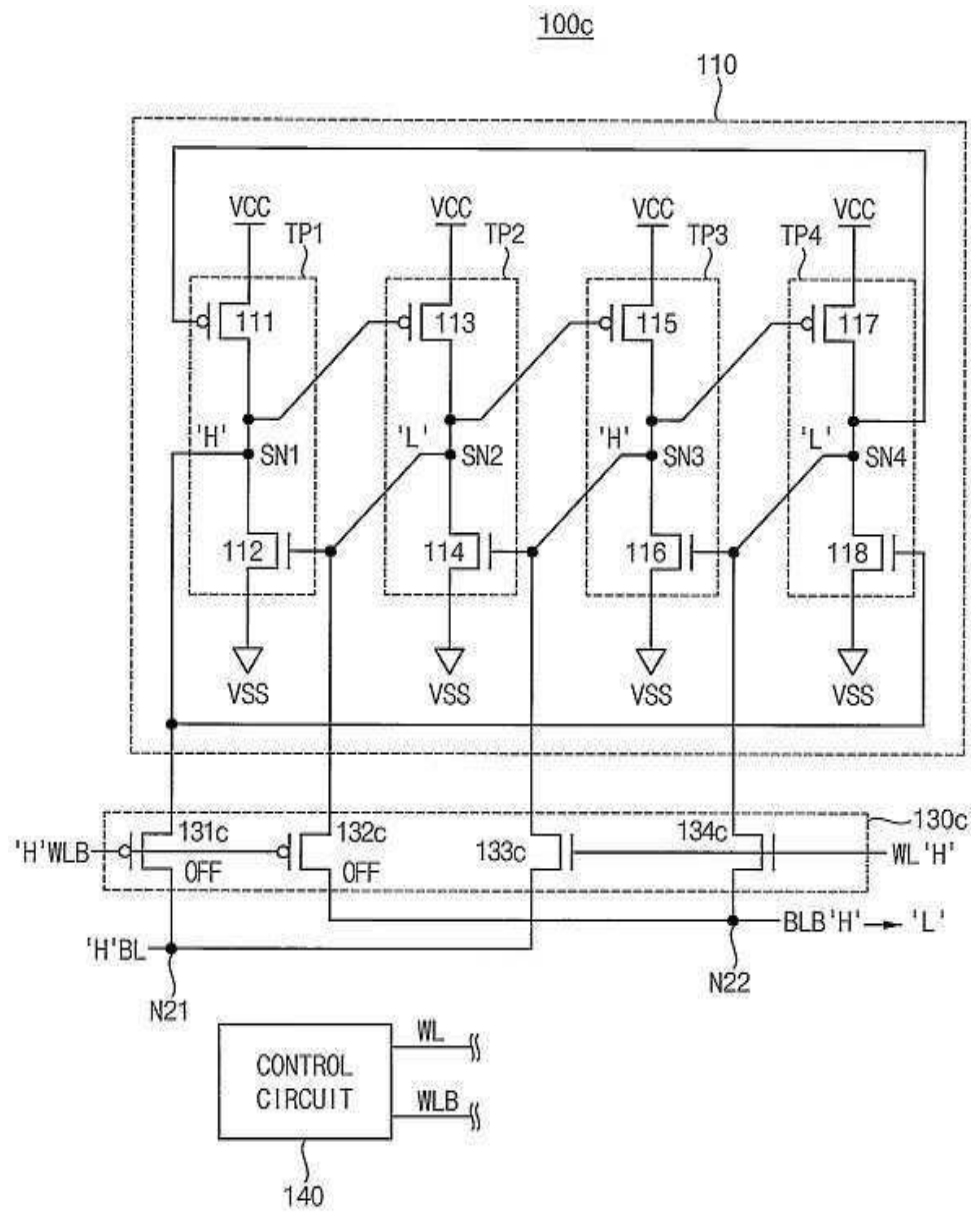
도면9



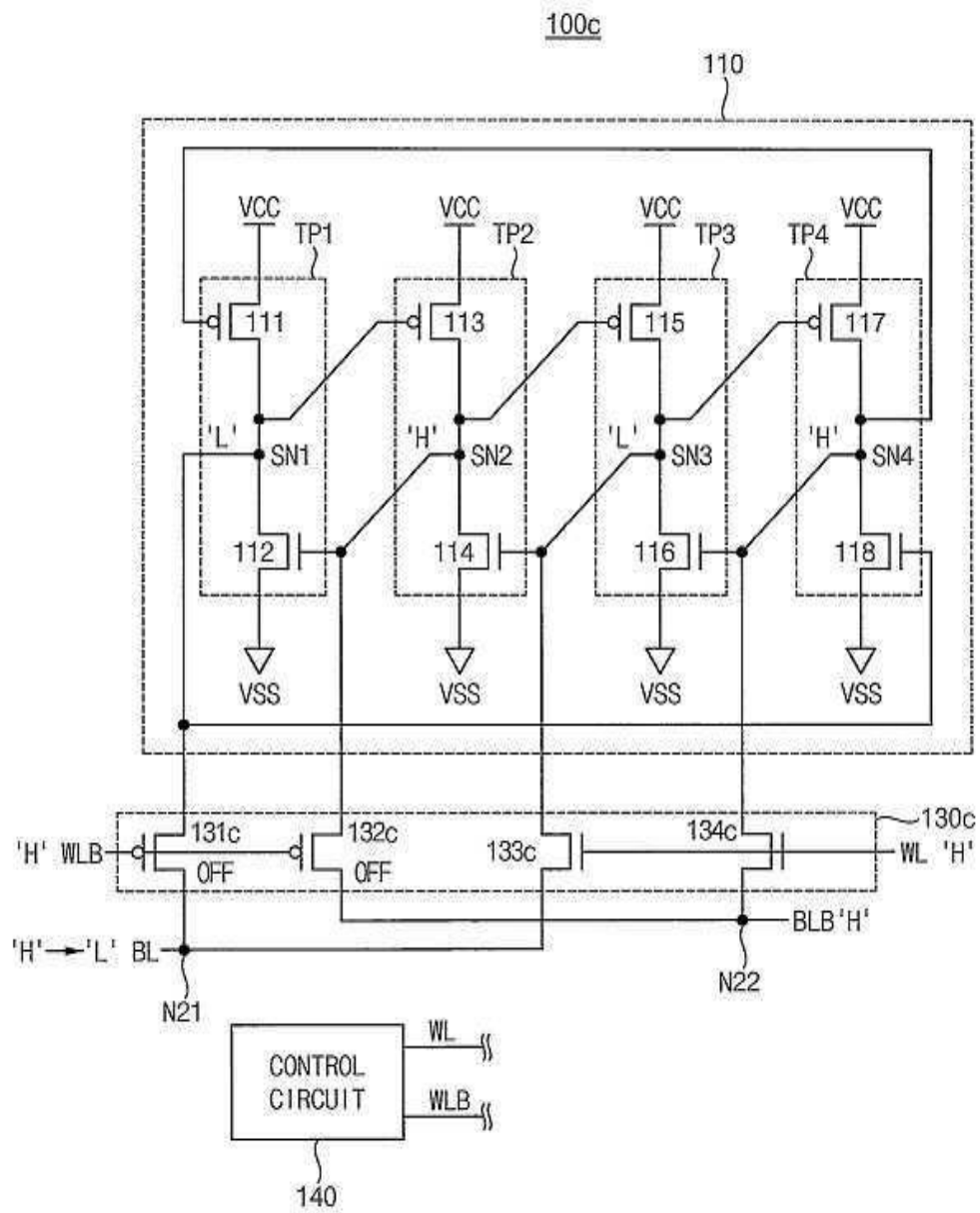
도면10



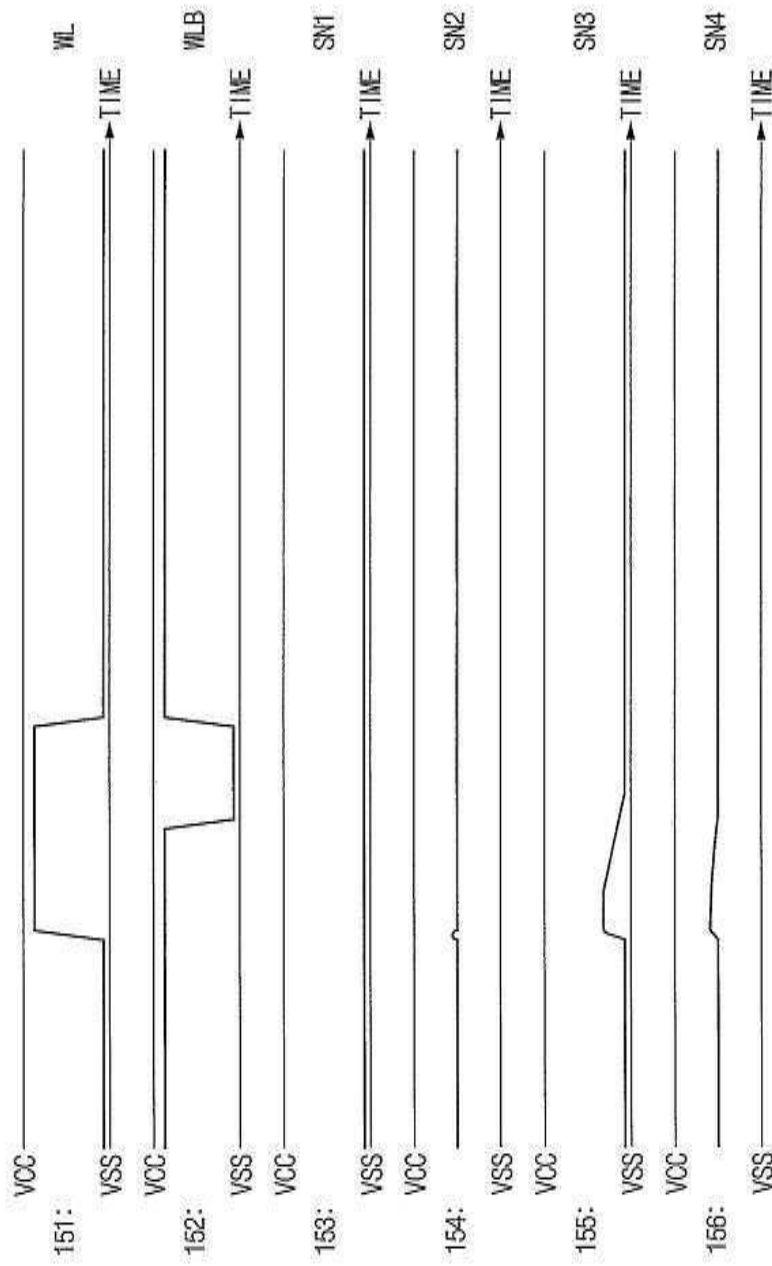
도면11



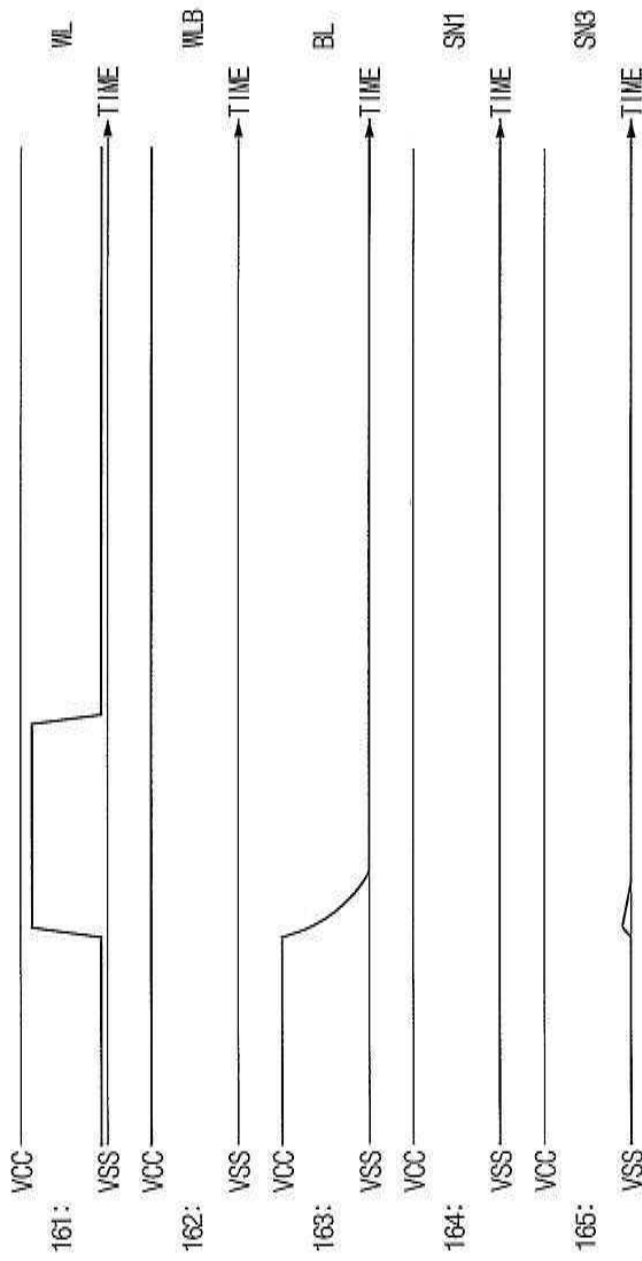
도면12



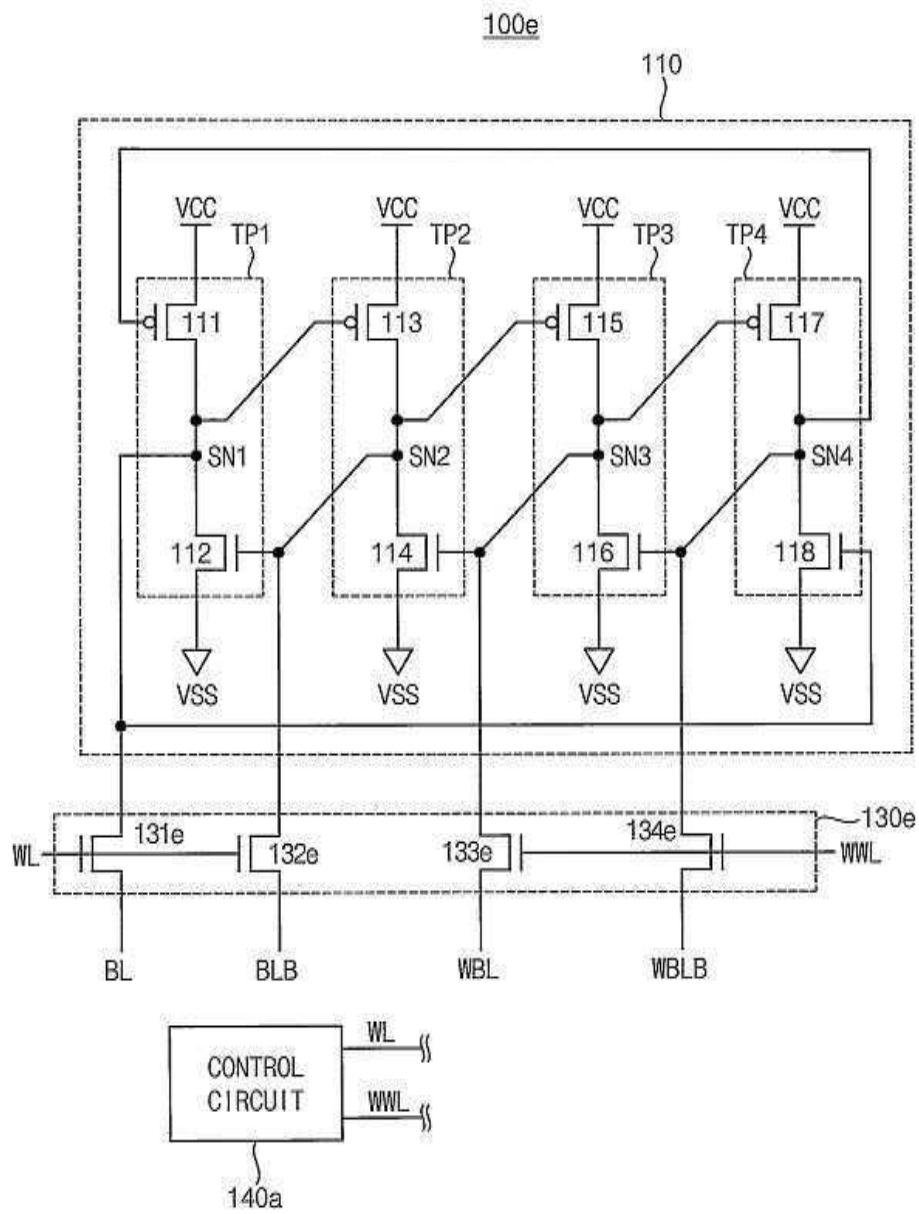
도면13a



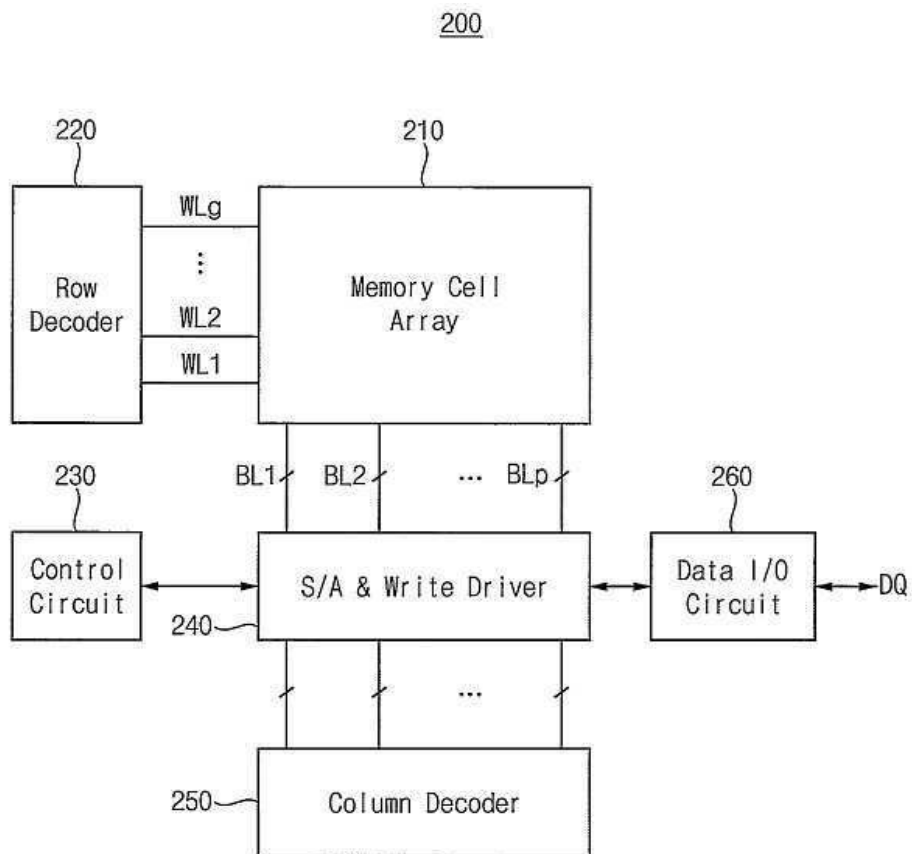
도면13b



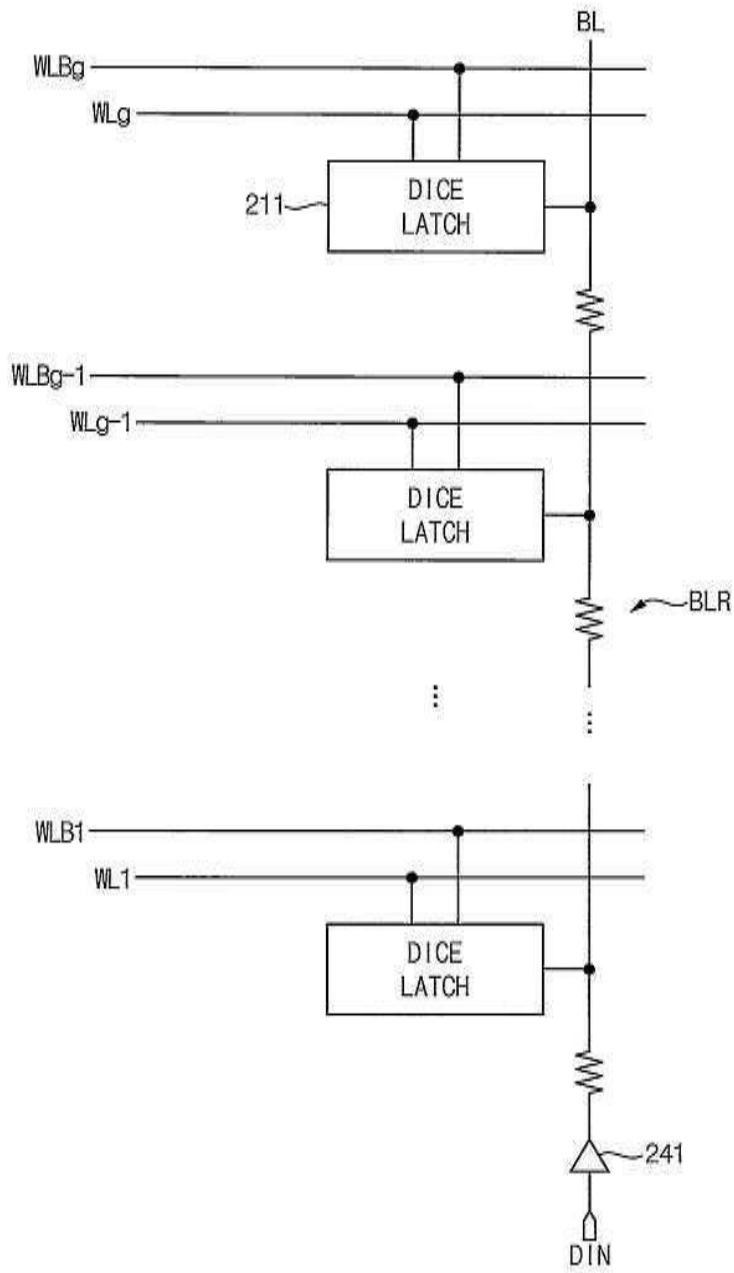
도면14



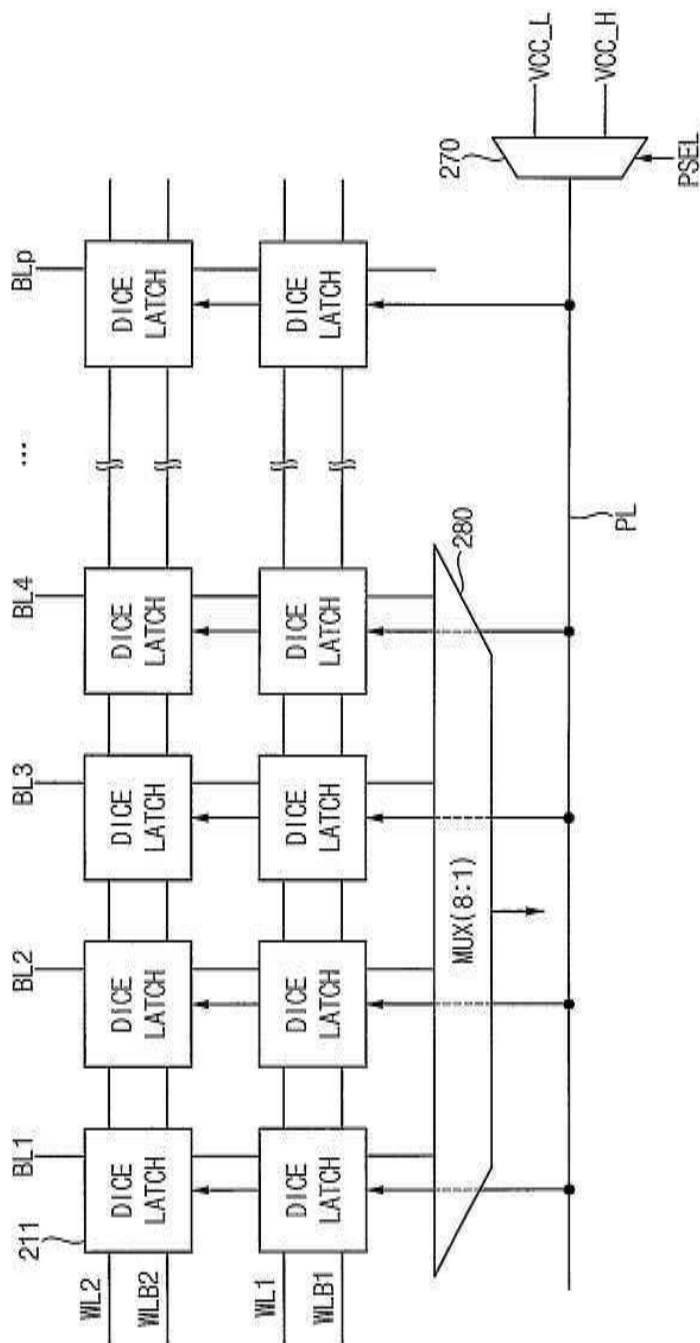
도면15



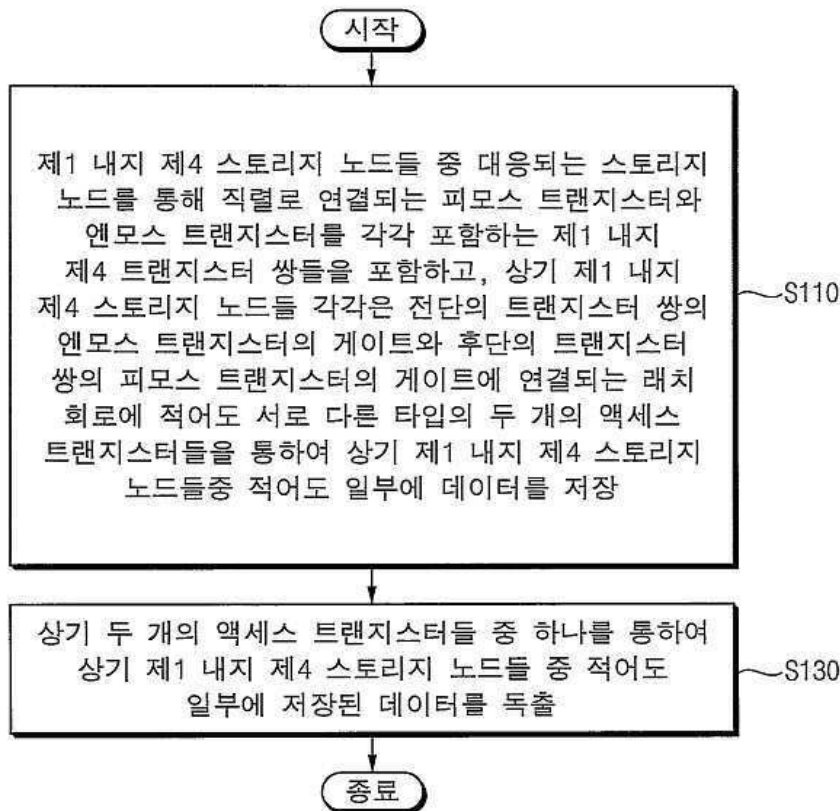
도면16



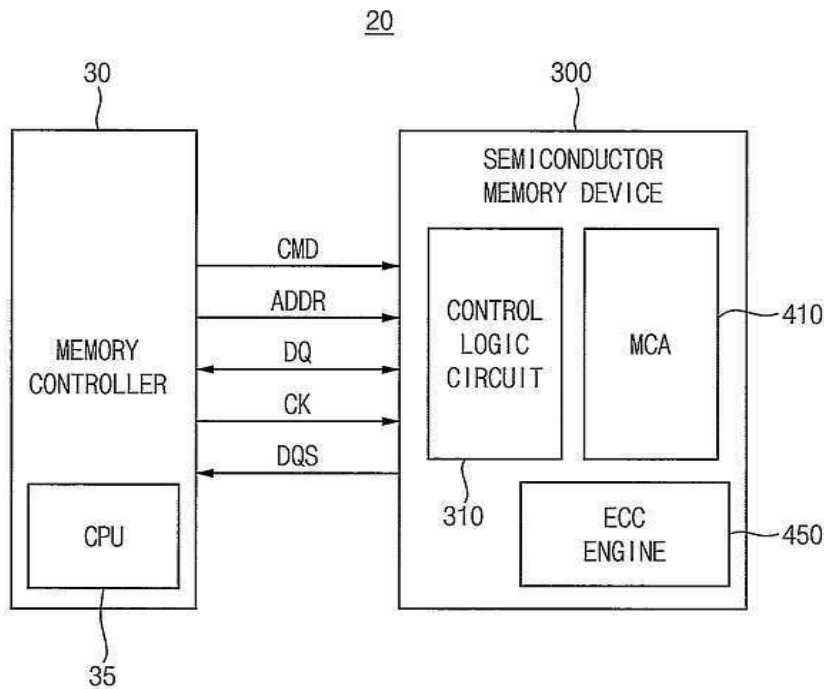
도면17



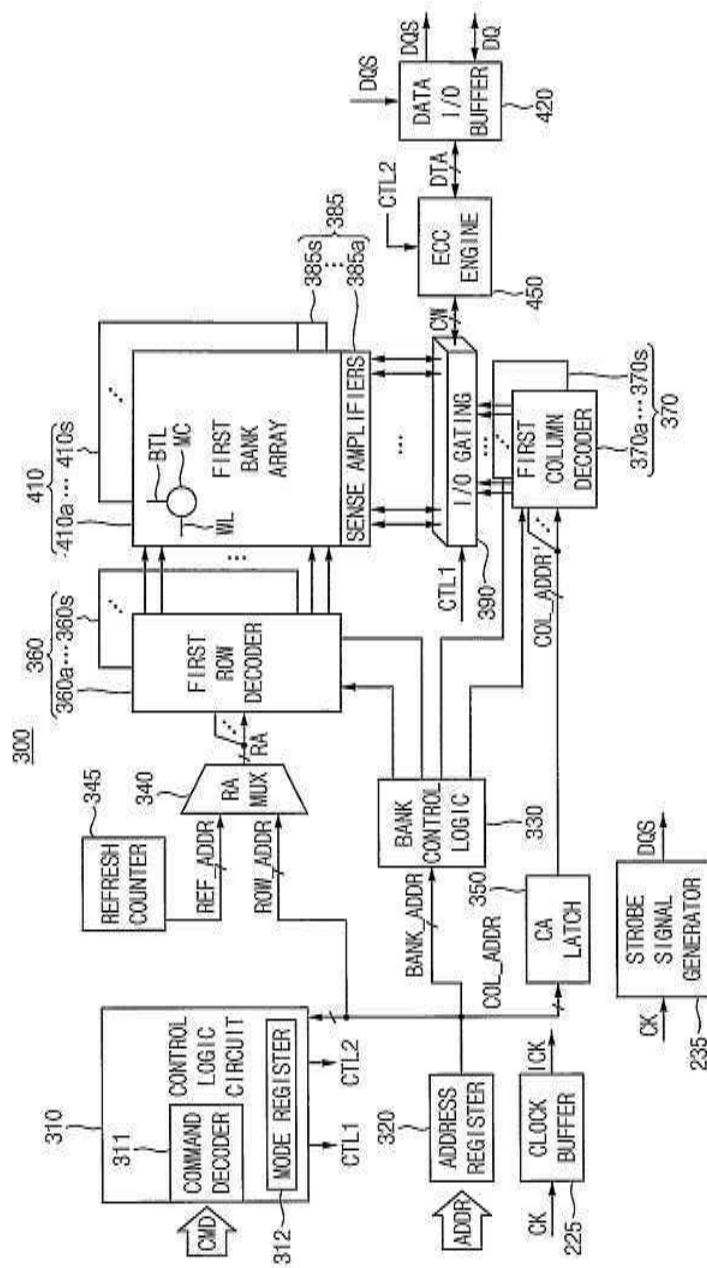
도면18



도면19



도면20



도면21

