

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7365823号  
(P7365823)

(45)発行日 令和5年10月20日(2023.10.20)

(24)登録日 令和5年10月12日(2023.10.12)

(51)国際特許分類	F I	
H 0 4 N 25/768 (2023.01)	H 0 4 N 25/768	
H 0 4 N 25/616 (2023.01)	H 0 4 N 25/616	
H 0 4 N 25/78 (2023.01)	H 0 4 N 25/78	
H 0 4 N 25/77 (2023.01)	H 0 4 N 25/77	
H 0 1 L 27/146 (2006.01)	H 0 1 L 27/146	A
請求項の数 11 (全33頁)		

(21)出願番号	特願2019-152770(P2019-152770)	(73)特許権者	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(22)出願日	令和1年8月23日(2019.8.23)	(74)代理人	100112955 弁理士 丸島 敏一
(65)公開番号	特開2021-34862(P2021-34862A)	(72)発明者	山崎 智裕 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
(43)公開日	令和3年3月1日(2021.3.1)	(72)発明者	村松 良徳 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
審査請求日	令和4年7月8日(2022.7.8)	(72)発明者	工藤 成貴
最終頁に続く			

(54)【発明の名称】 固体撮像素子、撮像装置、および、固体撮像素子の制御方法

(57)【特許請求の範囲】

【請求項1】

複数のデジタル信号がそれぞれに含まれる所定数のラインが配列されたフレームを生成する相関二重サンプリング回路と、

K (Kは、整数) 番目のフレームより前に生成されたK - 1 番目のフレームを保持するTDI (Time Delay Integration) フレームメモリと、

前記K 番目のフレーム内の所定アドレスの前記ラインと前記K - 1 番目のフレーム内の前記所定アドレスから一定距離離れたアドレスのラインとを加算する時間遅延積分処理を行う時間遅延積分回路とを具備する固体撮像素子。

【請求項2】

所定のリセットレベルを配列したフレームをリセットフレームとして保持するCDS (Correlated Double Sampling) フレームメモリをさらに具備し、

前記複数のデジタル信号のそれぞれは、前記リセットレベルと露光量に応じた信号レベルとを含み、

前記相関二重サンプリング回路は、前記保持されたりリセットレベルと前記信号レベルとの差分を求める相関二重サンプリング処理により前記フレームを生成する

請求項1記載の固体撮像素子。

【請求項3】

各々がアナログ信号をデジタル信号に変換する複数のアナログデジタル変換器を二次元

格子状に配列したアナログデジタル変換部をさらに具備する  
請求項 2 記載の固体撮像素子。

【請求項 4】

前記相関二重サンプリング回路は、前記アナログデジタル変換部と前記 C D S フレームメモリとの間に配置され、

前記時間遅延積分回路は、前記 C D S フレームメモリと前記 T D I フレームメモリとの間に配置される

請求項 3 記載の固体撮像素子。

【請求項 5】

前記相関二重サンプリング回路は、前記アナログデジタル変換部内の列ごとに設けられ、 10

前記相関二重サンプリング回路のそれぞれは、対応する列からの前記デジタル信号に対して前記相関二重サンプリング処理を行う

請求項 4 記載の固体撮像素子。

【請求項 6】

前記相関二重サンプリング回路は、前記アナログデジタル変換部内の複数の列に共有される

請求項 4 記載の固体撮像素子。

【請求項 7】

アナログ信号を生成して前記アナログデジタル変換部に供給する複数の画素回路をさらに具備し、 20

前記複数の画素回路は、所定の受光チップに配置され、

前記 T D I フレームメモリ、前記相関二重サンプリング回路および前記時間遅延積分回路は、前記受光チップに積層された所定の回路チップに配置される

請求項 4 記載の固体撮像素子。

【請求項 8】

前記相関二重サンプリング回路は、

前記アナログデジタル変換部により生成されたデジタル信号と前記 T D I フレームメモリから出力されたデジタル信号とのいずれかを選択するセレクタと、

前記リセットレベルと前記信号レベルとの差分を求める減算器と、

前記 T D I フレームメモリと前記減算器との間に挿入された第 1 のバッファと 30

を備え、

前記時間遅延積分回路は、

前記所定アドレスの前記ラインと前記所定アドレスから一定距離離れたアドレスのラインとを加算する加算器と、

前記セレクタと前記加算器との間に挿入された第 2 のバッファと

を備える請求項 4 記載の固体撮像素子。

【請求項 9】

前記セレクタと前記アナログデジタル変換部との間に挿入された第 3 のバッファをさらに備える請求項 8 記載の固体撮像素子。

【請求項 10】

複数のデジタル信号がそれぞれに含まれる所定数のラインが配列されたフレームを生成する相関二重サンプリング回路と、 40

K 番目のフレームより前に生成された K - 1 番目のフレームを保持する T D I フレームメモリと、

K 番目のフレーム内の所定アドレスの前記ラインと前記 K - 1 番目のフレーム内の前記所定アドレスから一定距離離れたアドレスのラインとを加算して積分データとして出力する演算回路と、

前記積分データを処理する画像処理回路と

を具備する撮像装置。

【請求項 11】

複数のデジタル信号がそれぞれに含まれる所定数のラインが配列されたフレームを生成する相関二重サンプリング手順と、

T D I フレームメモリが、K 番目のフレームより前に生成された K - 1 番目のフレームを保持する保持手順と、

前記 K 番目のフレーム内の所定アドレスの前記ラインと前記 K - 1 番目のフレーム内の前記所定アドレスから一定距離離れたアドレスのラインとを加算する時間遅延積分処理を行う時間遅延積分手順と

を具備する固体撮像素子の制御方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本技術は、固体撮像素子に関する。詳しくは、画素毎にアナログデジタル変換を行う固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。

【背景技術】

【0002】

従来より、F A ( Factory Automation ) や空撮の分野において、時間遅延積分 ( T D I : Time Delay Integration ) センサが用いられている。この T D I センサは、被写体の移動速度に合わせて時間をずらしながら、電荷量を積分する T D I 処理を行うセンサである。例えば、時間をずらして電荷を転送する C C D ( Charge Coupled Device ) と、それらの電荷量を浮遊拡散層に蓄積して積分信号を生成する回路とにより T D I 処理を行う固体撮像素子が提案されている ( 例えば、非特許文献 1 参照。 ) 。

20

【先行技術文献】

【非特許文献】

【0003】

【文献】 Hyun Jung Lee 他、 「 Charge-Coupled CMOS TDI Imager 」 、 [ online ] 、 [ 令和 1 年 7 月 2 2 日 検索 ] 、 インターネット URL : <http://www.imagesensors.org/Past%20Workshops/2017%20Workshop/2017%20Papers/P16.pdf>

【発明の概要】

【発明が解決しようとする課題】

【0004】

30

上述の従来技術では、T D I 処理により、明るさの向上やノイズ低減を図っている。しかしながら、上述の固体撮像素子では、電荷の転送元の画素数が多いほど、転送先の浮遊拡散層の容量を大きくする必要がある。この容量の増大により画素の感度が低下し、その感度の低下に起因して画像データの画質が低下してしまう。このように、上述の固体撮像素子では、感度低下により画質が低下するという問題がある。

【0005】

本技術はこのような状況に鑑みて生み出されたものであり、時間遅延積分を行う固体撮像素子において、画質を向上させることを目的とする。

【課題を解決するための手段】

【0006】

40

本技術は、上述の問題点を解消するためになされたものであり、その第 1 の側面は、複数のデジタル信号がそれぞれに含まれる所定数のラインが配列されたフレームを生成する相関二重サンプリング回路と、K 番目のフレームより前に生成された K - 1 番目のフレームを保持する T D I ( Time Delay Integration ) フレームメモリと、上記 K 番目のフレーム内の所定アドレスの上記ラインと上記 K - 1 番目のフレーム内の上記所定アドレスから一定距離離れたアドレスのラインとを加算する時間遅延積分処理を行う時間遅延積分回路とを具備する固体撮像素子、および、その制御方法である。これにより、C D S ( Correlated Double Sampling ) 処理後に T D I 処理が行われるという作用をもたらす。

【0007】

また、この第 1 の側面において、所定のリセットレベルを配列したフレームをリセット

50

フレームとして保持するCDS (Correlated Double Sampling) フレームメモリをさらに具備し、上記複数のデジタル信号のそれぞれは、上記リセットレベルと露光量に応じた信号レベルとを含み、上記相関二重サンプリング回路は、上記保持されたリセットレベルと上記信号レベルとの差分を求める相関二重サンプリング処理により上記フレームを生成してもよい。これにより、CDS処理によりフレームが生成されるという作用をもたらす。

【0008】

また、この第1の側面において、各々がアナログ信号をデジタル信号に変換する複数のアナログデジタル変換器を二次元格子状に配列したアナログデジタル変換部をさらに具備してもよい。これにより、アナログデジタル変換後にTDI処理が行われるという作用をもたらす。

【0009】

また、この第1の側面において、上記相関二重サンプリング回路は、上記アナログデジタル変換部と上記CDSフレームメモリとの間に配置され、上記時間遅延積分回路は、上記CDSフレームと上記TDIフレームメモリとの間に配置されてもよい。これにより、相関二重サンプリング回路と時間遅延積分回路とがCDSフレームメモリを挟んで配置されるという作用をもたらす。

【0010】

また、この第1の側面において、上記相関二重サンプリング回路は、上記アナログデジタル変換部内の列ごとに設けられ、上記相関二重サンプリング回路のそれぞれは、対応する列からの上記デジタル信号に対して上記相関二重サンプリング処理を行ってもよい。これにより、列ごとに相関二重サンプリング処理が実行されるという作用をもたらす。

【0011】

また、この第1の側面において、上記相関二重サンプリング回路は、上記アナログデジタル変換部内の複数の列に共有されてもよい。これにより、回路規模が削減されるという作用をもたらす。

【0012】

また、この第1の側面において、アナログ信号を生成して上記アナログデジタル変換部に供給する複数の画素回路をさらに具備し、上記複数の画素回路は、所定の受光チップに配置され、上記TDIフレームメモリ、上記相関二重サンプリング回路および上記時間遅延積分回路は、上記受光チップに積層された所定の回路チップに配置されてもよい。これにより、積層構造の固体撮像素子に相関二重サンプリング回路および時間遅延積分回路が配置されるという作用をもたらす。

【0013】

また、この第1の側面において、上記相関二重サンプリング回路は、上記アナログデジタル変換部により生成されたデジタル信号と上記TDIフレームメモリから出力されたデジタル信号とのいずれかを選択するセレクタと、上記リセットレベルと上記信号レベルとの差分を求める減算器と、上記TDIフレームメモリと上記減算器との間に挿入された第1のバッファとを備え、上記時間遅延積分回路は、上記所定アドレスの上記ラインと上記所定アドレスから一定距離離れたアドレスのラインとを加算する加算器と、上記セレクタと上記加算器との間に挿入された第2のバッファとを備えてもよい。これにより、デジタル信号が遅延するという作用をもたらす。

【0014】

また、この第1の側面において、上記セレクタと上記アナログデジタル変換部との間に挿入された第3のバッファをさらに備えてもよい。これにより、アナログデジタル変換部からのデジタル信号の遅延時間が調整されるという作用をもたらす。

【0015】

また、本技術の第2の側面は、複数のデジタル信号がそれぞれに含まれる所定数のラインが配列されたフレームを生成する相関二重サンプリング回路と、K番目のフレームより前に生成されたK-1番目のフレームを保持するTDIフレームメモリと、上記K番目のフレーム内の所定アドレスの上記ラインと上記K-1番目のフレーム内の上記所定アドレ

10

20

30

40

50

スから一定距離離れたアドレスのラインとを加算して積分データとして出力する演算回路と、上記積分データを処理する画像処理回路とを具備する撮像装置である。これにより、CDS処理後にTDI処理が行われ、積分データが処理されるという作用をもたらす。

【図面の簡単な説明】

【0016】

【図1】本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

【図2】本技術の第1の実施の形態における撮像装置の利用例を説明するための図である。

【図3】本技術の第1の実施の形態における固体撮像素子の積層構造の一例を示す図である。

【図4】本技術の第1の実施の形態における受光チップの一構成例を示すブロック図である。

10

【図5】本技術の第1の実施の形態における回路チップの一構成例を示すブロック図である。

【図6】本技術の第1の実施の形態における画素ADC (Analog to Digital) 変換部の一構成例を示す図である。

【図7】本技術の第1の実施の形態におけるADC (Analog to Digital Converter) の一構成例を示すブロック図である。

【図8】本技術の第1の実施の形態における画素回路、差動入力回路および正帰還回路の一構成例を示す回路図である。

【図9】本技術の第1の実施の形態における信号処理回路の一構成例を示すブロック図である。

20

【図10】本技術の第1の実施の形態における演算回路の一構成例を示す回路図である。

【図11】本技術の第1の実施の形態における1フレーム目のP相レベルを保持する際の演算回路の状態の一例を示す図である。

【図12】本技術の第1の実施の形態における1フレーム目に対してCDS処理を行う際の演算回路の状態の一例を示す図である。

【図13】本技術の第1の実施の形態におけるフレームを保持させる際の演算回路の状態の一例を示す図である。

【図14】本技術の第1の実施の形態における2フレーム目のP相レベルを保持する際の演算回路の状態の一例を示す図である。

30

【図15】本技術の第1の実施の形態における2フレーム目に対してCDS処理を行う際の演算回路の状態の一例を示す図である。

【図16】本技術の第1の実施の形態における2フレーム目に対してTDI処理を行う際の演算回路の状態の一例を示す図である。

【図17】本技術の第1の実施の形態におけるTDI処理の一例を示す図である。

【図18】本技術の第1の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

【図19】本技術の第1の実施の形態における信号処理回路の演算を説明するための図である。

【図20】本技術の第1の実施の形態におけるP相レベルを保持する際の固体撮像素子の状態の一例を示す図である。

40

【図21】本技術の第1の実施の形態におけるCDS処理を行う際の固体撮像素子の状態の一例を示す図である。

【図22】本技術の第1の実施の形態におけるCDS処理後に画像処理を行う際の固体撮像素子の状態の一例を示す図である。

【図23】本技術の第1の実施の形態におけるTDI処理を行う際の固体撮像素子の状態の一例を示す図である。

【図24】本技術の第1の実施の形態におけるTDI処理後に画像処理を行う際の固体撮像素子の状態の一例を示す図である。

【図25】本技術の第1の実施の形態におけるフレームを出力する際の固体撮像素子の状

50

態の一例を示す図である。

【図 2 6】本技術の第 1 の実施の形態における固体撮像素子の動作の一例を示すフローチャートの一例である。

【図 2 7】本技術の第 2 の実施の形態における回路チップの一構成例を示すブロック図である。

【図 2 8】本技術の第 2 の実施の形態におけるカラム C D S 処理部およびカラム T D I 演算部の一構成例を示すブロック図である。

【図 2 9】本技術の第 2 の実施の形態における固体撮像素子の動作の一例を示すタイミングチャートである。

【図 3 0】本技術の第 3 の実施の形態における C D S 回路および T D I 回路の一構成例を示す回路図である。

10

【図 3 1】本技術の第 3 の実施の形態における信号処理回路の一構成例を示すブロック図である。

【図 3 2】本技術の第 4 の実施の形態における C D S 回路および T D I 回路の一構成例を示す回路図である。

【図 3 3】本技術の第 4 の実施の形態における信号処理回路の一構成例を示すブロック図である。

【図 3 4】本技術の第 5 の実施の形態における C D S 回路の一構成例を示す回路図である。

【図 3 5】本技術の第 5 の実施の形態における信号処理回路の一構成例を示すブロック図である。

20

【発明を実施するための形態】

【0017】

以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第 1 の実施の形態（C D S 処理後に T D I 処理を行う例）
2. 第 2 の実施の形態（C D S 回路と T D I 回路とを異なる場所に配置し、C D S 処理後に T D I 処理を行う例）
3. 第 3 の実施の形態（バッファを追加し、C D S 処理後に T D I 処理を行う例）
4. 第 4 の実施の形態（2 列で C D S 回路を共有し、C D S 処理後に T D I 処理を行う例）
5. 第 5 の実施の形態（4 列で C D S 回路を共有し、C D S 処理後に T D I 処理を行う例）

30

【0018】

< 1. 第 1 の実施の形態 >

[ 撮像装置の構成例 ]

図 1 は、本技術の第 1 の実施の形態における撮像装置 1 0 0 の一構成例を示すブロック図である。この撮像装置 1 0 0 は、画像データを撮像する装置であり、光学部 1 1 0、固体撮像素子 2 0 0、記憶部 1 2 0、制御部 1 3 0 および通信部 1 4 0 を備える。

【0019】

光学部 1 1 0 は、入射光を集光して固体撮像素子 2 0 0 に導くものである。固体撮像素子 2 0 0 は、画像データを撮像するものである。この固体撮像素子 2 0 0 は、画像データを記憶部 1 2 0 に信号線 2 0 9 を介して供給する。

40

【0020】

記憶部 1 2 0 は、画像データを記憶するものである。制御部 1 3 0 は、固体撮像素子 2 0 0 を制御して画像データを撮像させるものである。この制御部 1 3 0 は、例えば、信号線 2 0 8 を介して、撮像タイミングを示す垂直同期信号 V S Y N C を固体撮像素子 2 0 0 に供給する。

【0021】

通信部 1 4 0 は、画像データを記憶部 1 2 0 から読み出して外部に送信するものである。

【0022】

50

図2は、本技術の第1の実施の形態における撮像装置100の利用例を説明するための図である。同図に例示するように、撮像装置100は、ベルトコンベア510が設けられた工場などで用いられる。

【0023】

ベルトコンベア510は、一定の速度で、被写体511を所定の方向に移動させるものである。撮像装置100は、ベルトコンベア510の近傍に固定され、この被写体511を撮像して画像データを生成する。画像データは、例えば、欠陥の有無などの検査に用いられる。これにより、FAが実現される。

【0024】

なお、撮像装置100は、一定速度で移動する被写体511を撮像しているが、この構成に限定されない。空撮など、被写体に対して撮像装置100が一定速度で移動して撮像する構成であってもよい。

10

【0025】

[ 固体撮像素子の構成例 ]

図3は、本技術の第1の実施の形態における固体撮像素子200の積層構造の一例を示す図である。この固体撮像素子200は、回路チップ202と、その回路チップ202に積層された受光チップ201とを備える。これらのチップは、ビアなどの接続部を介して電氣的に接続される。なお、ビアの他、Cu-Cu接合やバンプにより接続することもできる。

【0026】

図4は、本技術の第1の実施の形態における受光チップ201の一構成例を示すブロック図である。受光チップ201には、画素アレイ部210および周辺回路212が設けられる。

20

【0027】

画素アレイ部210には、複数の画素回路220が二次元格子状に配列される。また、画素アレイ部210は、複数の画素ブロック211に分割される。これらの画素ブロック211のそれぞれには、例えば、4行×2列の画素回路220が配列される。

【0028】

周辺回路212には、例えば、DC(Direct Current)電圧を供給する回路などが配置される。

30

【0029】

図5は、本技術の第1の実施の形態における回路チップ202の一構成例を示すブロック図である。この回路チップ202には、DAC(Digital to Analog Converter)251、画素駆動回路252、時刻コード生成部253、画素AD変換部254および垂直走査回路255が配置される。さらに回路チップ202には、制御回路256、信号処理回路400、画像処理回路260、出力回路257が配置される。

【0030】

DAC251は、所定のAD変換期間内に亘って参照信号をDA(Digital to Analog)変換により生成するものである。例えば、のこぎり刃状のランプ信号が参照信号として用いられる。DAC251は、参照信号を画素AD変換部254に供給する。

40

【0031】

時刻コード生成部253は、AD変換期間内の時刻を示す時刻コードを生成するものである。時刻コード生成部253は、例えば、カウンタにより実現される。カウンタとして、例えば、グレイコードカウンタが用いられる。時刻コード生成部253は、時刻コードを画素AD変換部254へ供給する。

【0032】

画素駆動回路252は、画素回路220のそれぞれを駆動してアナログの画素信号を生成させるものである。

【0033】

画素AD変換部254は、画素回路220のそれぞれのアナログ信号(すなわち、画素

50

信号)をデジタル信号に変換するAD変換を行うものである。この画素AD変換部254は、複数のクラスタ300により分割される。クラスタ300は、画素ブロック211ごとに設けられ、対応する画素ブロック211内のアナログ信号をデジタル信号に変換する。

【0034】

画素AD変換部254は、AD変換によりデジタル信号を配列した画像データをフレームとして生成し、信号処理回路400に供給する。このフレームにおいて、水平方向に配列されたデジタル信号の集合を以下、「ライン」と称する。ラインのそれぞれには、垂直方向におけるラインの位置を示すアドレスである行アドレスが割り当てられている。

【0035】

垂直走査回路255は、画素AD変換部254を駆動してAD変換を実行させるものである。

10

【0036】

信号処理回路400は、フレームに対して所定の信号処理を行うものである。信号処理として、CDS処理およびTDI処理を含む各種の処理が実行される。この信号処理回路400は、処理後のフレームを画像処理回路260に供給する。

【0037】

画像処理回路260は、信号処理回路400からのフレームに対して、所定の画像処理を実行するものである。画像処理として、画像認識処理、黒レベル補正処理、画像補正処理やデモザイク処理などが実行される。この画像処理回路260は、処理後のフレームを出力回路257に供給する。

20

【0038】

出力回路257は、画像処理後のフレームを外部に出力するものである。

【0039】

制御回路256は、DAC251、画素駆動回路252、垂直走査回路255、信号処理回路400、画像処理回路260および出力回路257のそれぞれの動作タイミングを垂直同期信号VSYNCに同期して制御するものである。

【0040】

[画素AD変換部の構成例]

図6は、本技術の第1の実施の形態における画素AD変換部254の一構成例を示す図である。この画素AD変換部254には、複数のADC310が二次元格子状に配列される。ADC310は、画素回路220ごとに配置される。画素回路220の行数および列数がN行(Nは、整数)およびM列(Mは、整数)である場合、 $N \times M$ 個のADC310が配置される。

30

【0041】

クラスタ300のそれぞれには、画素ブロック211内の画素回路220の個数と同じ個数のADC310が配置される。画素ブロック211内に4行×2列の画素回路220が配列される場合、クラスタ300内にも4行×2列のADC310が配列される。

【0042】

ADC310は、対応する画素回路220により生成されたアナログの画素信号に対してAD変換を行うものである。このADC310は、AD変換において、画素信号と参照信号とを比較し、その比較結果が反転したときの時刻コードを保持する。そして、ADC310は、保持した時刻コードをAD変換後のデジタル信号として出力する。

40

【0043】

また、クラスタ300の列ごとにリピータ部360が配置される。クラスタ300の列数が $M/2$ である場合、 $M/2$ 個のリピータ部360が配置される。リピータ部360は、時刻コードを転送するものである。リピータ部360は、時刻コード生成部253からADC310へ時刻コードを転送する。また、リピータ部360は、ADC310から信号処理回路400へデジタル信号を転送する。このデジタル信号の転送は、デジタル信号の「読出し」とも呼ばれる。

【0044】

50

また、同図において、かっこ内の数字は、A D C 3 1 0 のデジタル信号の読み出し順序の一例を示す。例えば、1 行目の奇数列のデジタル信号が 1 番目に読み出され、1 行目の偶数列のデジタル信号が 2 番目に読み出される。2 行目の奇数列のデジタル信号が 3 番目に読み出され、2 行目の偶数列のデジタル信号が 4 番目に読み出される。以下、同様に、各行の奇数列、偶数列のデジタル信号が順に読み出される。

【 0 0 4 5 】

なお、画素回路 2 2 0 ごとに、A D C 3 1 0 を配置しているが、この構成に限定されない。複数の画素回路 2 2 0 が 1 つの A D C 3 1 0 を共有する構成であってもよい。

【 0 0 4 6 】

[ A D C の構成例 ]

図 7 は、本技術の第 1 の実施の形態における A D C 3 1 0 の一構成例を示すブロック図である。この A D C 3 1 0 は、差動入力回路 3 2 0 と、正帰還回路 3 3 0 と、ラッチ制御回路 3 4 0 と、複数のラッチ回路 3 5 0 とを備える。

【 0 0 4 7 】

また、画素回路 2 2 0 と差動入力回路 3 2 0 の一部とは、受光チップ 2 0 1 に配置され、差動入力回路 3 2 0 の残りとは、その後段の回路とは、回路チップ 2 0 2 に配置される。

【 0 0 4 8 】

差動入力回路 3 2 0 は、画素回路 2 2 0 からの画素信号と、D A C 2 5 1 からの参照信号とを比較するものである。この差動入力回路 3 2 0 は、比較結果を示す比較結果信号を正帰還回路 3 3 0 に供給する。

【 0 0 4 9 】

正帰還回路 3 3 0 は、出力の一部を入力（比較結果信号）に加算し、出力信号 V C O としてラッチ制御回路 3 4 0 に供給するものである。

【 0 0 5 0 】

ラッチ制御回路 3 4 0 は、垂直走査回路 2 5 5 からの制御信号 x W O R D に従って、出力信号 V C O が反転したときの時刻コードを複数のラッチ回路 3 5 0 に保持させるものである。

【 0 0 5 1 】

ラッチ回路 3 5 0 は、ラッチ制御回路 3 4 0 の制御に従って、リピータ部 3 6 0 からの時刻コードを保持するものである。ラッチ回路 3 5 0 は、時刻コードのビット数の分、設けられる。例えば、時刻コードが 1 5 ビットの場合、A D C 3 1 0 内に、1 5 個のラッチ回路 3 5 0 が配置される。また、保持された時刻コードは、A D 変換後のデジタル信号としてリピータ部 3 6 0 により読み出される。

【 0 0 5 2 】

同図に例示した構成により、A D C 3 1 0 は、画素回路 2 2 0 からの画素信号をデジタル信号に変換する。

【 0 0 5 3 】

[ 画素回路、差動入力回路および正帰還回路の構成例 ]

図 8 は、本技術の第 1 の実施の形態における画素回路 2 2 0、差動入力回路 3 2 0 および正帰還回路 3 3 0 の一構成例を示す回路図である。

【 0 0 5 4 】

画素回路 2 2 0 は、リセットトランジスタ 2 2 1、浮遊拡散層 2 2 2、転送トランジスタ 2 2 3、フォトダイオード 2 2 4 および排出トランジスタ 2 2 5 を備える。リセットトランジスタ 2 2 1、転送トランジスタ 2 2 3 および排出トランジスタ 2 2 5 として、例えば、n M O S ( n - channel Metal Oxide Semiconductor ) トランジスタが用いられる。

【 0 0 5 5 】

フォトダイオード 2 2 4 は、光電変換により電荷を生成するものである。排出トランジスタ 2 2 5 は、画素駆動回路 2 5 2 からの駆動信号 O F G に従ってフォトダイオード 2 2 4 に蓄積された電荷を排出させるものである。

【 0 0 5 6 】

10

20

30

40

50

転送トランジスタ 2 2 3 は、画素駆動回路 2 5 2 からの転送信号 T X に従って、フォトダイオード 2 2 4 から浮遊拡散層 2 2 2 へ電荷を転送するものである。

【 0 0 5 7 】

浮遊拡散層 2 2 2 は、転送された電荷を蓄積して、電荷量に応じた電圧を生成するものである。

【 0 0 5 8 】

リセットトランジスタ 2 2 1 は、画素駆動回路 2 5 2 からのリセット信号 R S T に従って、浮遊拡散層 2 2 2 を初期化するものである。

【 0 0 5 9 】

差動入力回路 3 2 0 は、p M O S ( p-channel Metal Oxide Semiconductor ) トランジスタ 3 2 1、3 2 4 および 3 2 6 と、n M O S トランジスタ 3 2 2、3 2 3、3 2 5 および 3 2 7 とを備える。これらのうち n M O S トランジスタ 3 2 2、3 2 3 および 3 2 5 は、受光チップ 2 0 1 に配置され、残りは回路チップ 2 0 2 に配置される。

10

【 0 0 6 0 】

n M O S トランジスタ 3 2 2 および 3 2 5 は、差動対を構成し、これらのトランジスタのソースは、n M O S トランジスタ 3 2 3 のドレインに共通に接続される。また、n M O S トランジスタ 3 2 2 のドレインは、p M O S トランジスタ 3 2 1 のドレインと p M O S トランジスタ 3 2 1 および 3 2 4 のゲートとに接続される。n M O S トランジスタ 3 2 5 のドレインは、p M O S トランジスタ 3 2 4 のドレインと p M O S トランジスタ 3 2 6 のゲートとリセットトランジスタ 2 2 1 のドレインとに接続される。また、n M O S トランジスタ 3 2 2 のゲートには、D A C 2 5 1 からの参照信号 R E F が入力される。

20

【 0 0 6 1 】

n M O S トランジスタ 3 2 3 のゲートには、所定のバイアス電圧 V b が印加され、n M O S トランジスタ 3 2 3 のソースには、所定の接地電圧が印加される。

【 0 0 6 2 】

p M O S トランジスタ 3 2 1、3 2 4 および 3 2 6 は、カレントミラー回路を構成する。p M O S トランジスタ 3 2 1、3 2 4 および 3 2 6 のソースには、電源電圧 V D D H が印加される。この電源電圧 V D D H は、後述する電源電圧 V D D L よりも高い。

【 0 0 6 3 】

n M O S トランジスタ 3 2 7 のゲートには電源電圧 V D D L が印加される。また、n M O S トランジスタ 3 2 7 のドレインは、p M O S トランジスタ 3 3 2 のドレインに接続され、ソースは、正帰還回路 3 3 0 に接続される。

30

【 0 0 6 4 】

正帰還回路 3 3 0 は p M O S トランジスタ 3 3 1、3 3 2、3 3 4 および 3 3 5 と、n M O S トランジスタ 3 3 3、3 3 6 および 3 3 7 とを備える。p M O S トランジスタ 3 3 1 および 3 3 2 と n M O S トランジスタ 3 3 3 とは、電源電圧 V D D L に直列に接続される。また、p M O S トランジスタ 3 3 1 のゲートには、垂直走査回路 2 5 5 からの駆動信号 I N I 2 が入力される。p M O S トランジスタ 3 3 2 および n M O S トランジスタ 3 3 3 の接続点は、n M O S トランジスタ 3 2 7 のソースに接続される。

【 0 0 6 5 】

n M O S トランジスタ 3 3 3 のソースには接地電圧が印加され、ゲートには、垂直走査回路 2 5 5 からの駆動信号 I N I 1 が入力される。

40

【 0 0 6 6 】

p M O S トランジスタ 3 3 4 および 3 3 5 は、電源電圧 V D D L に直列に接続される。また、p M O S トランジスタ 3 3 5 のドレインは、p M O S トランジスタ 3 3 2 のゲートと、n M O S トランジスタ 3 3 6 および 3 3 7 のドレインとに接続される。p M O S トランジスタ 3 3 5 および n M O S トランジスタ 3 3 7 のゲートには、垂直走査回路 2 5 5 からの制御信号 T E S T V C O が入力される。また、p M O S トランジスタ 3 3 4 および n M O S トランジスタ 3 3 6 のゲートは、p M O S トランジスタ 3 3 2 および n M O S トランジスタ 3 3 3 の接続点に接続される。

50

## 【 0 0 6 7 】

pMOSトランジスタ335およびnMOSトランジスタ337の接続点からは、出力信号VCOが出力される。また、nMOSトランジスタ336および337のソースには、接地電圧が印加される。

## 【 0 0 6 8 】

なお、画素回路220、差動入力回路320および正帰還回路330のそれぞれは、図7で説明した機能を持つのであれば、図8に例示した回路に限定されない。

## 【 0 0 6 9 】

[ 信号処理回路の構成例 ]

図9は、本技術の第1の実施の形態における信号処理回路400の一構成例を示すブロック図である。この信号処理回路400は、複数のセレクトア405と、複数の演算回路410と、CDSフレームメモリ440と、TDIフレームメモリ450とを備える。

10

## 【 0 0 7 0 】

セレクトア405は、クラスタ300の列ごと、言い換えれば、リピータ部360ごとに配置される。クラスタ300に2列のADC310が配列される場合、2列ごとにセレクトア405が配置される。また、演算回路410は、ADC310の列ごとに配置される。ADC310がM列である場合、M/2個のセレクトア405と、M個の演算回路410とが配置される。

## 【 0 0 7 1 】

前述したようにリピータ部360は、奇数列のデジタル信号と偶数列のデジタル信号とを順に出力する。

20

## 【 0 0 7 2 】

セレクトア405は、制御回路256の制御に従って、デジタル信号の出力先を選択するものである。リピータ部360により奇数列が出力された場合にセレクトア405は、その奇数列に対応する演算回路410にデジタル信号を出力する。一方、偶数列が出力された場合にセレクトア405は、その偶数列に対応する演算回路410にデジタル信号を出力する。

## 【 0 0 7 3 】

演算回路410は、セレクトア405からのデジタル信号に対してCDS処理とTDI処理とを行うものである。

30

## 【 0 0 7 4 】

ここで、デジタル信号は、P相レベルとD相レベルとを含む。P相レベルは、画素回路220がリセット信号RSTにより初期化されたときのレベルを示す。一方、D相レベルは、転送信号TXにより電荷が転送されたときの露光量に応じたレベルを示す。P相レベルは、リセットレベルとも呼ばれ、D相レベルは、信号レベルとも呼ばれる。

## 【 0 0 7 5 】

CDS処理において、M個の演算回路410は、P相レベルを配列したP相フレームをCDSフレームメモリ440に保持させる。そして、M個の演算回路410は、画素毎にP相レベルと、D相レベルとの差分を求め、差分データを配列したCDSフレームを生成する。

40

## 【 0 0 7 6 】

そして、TDI処理において、M個の演算回路410は、最初のCDSフレームをTDIフレームメモリ450に保持させる。次に、M個の演算回路410は、CDS処理後の2フレーム目のCDSフレーム内の所定アドレスのラインと、1フレーム目のフレーム内の所定アドレスから一定距離離れたアドレスのラインとを加算する。加算するアドレス間の距離には、被写体の移動距離が早いほど大きい値が設定される。例えば、加算するアドレス間の距離に「1」が設定される。この場合、隣接するライン同士が加算される。2フレーム目以降においては、K(Kは、整数)番目のCDSフレームに対し、そのフレームより前に生成されたK-1番目のCDSフレームがTDIフレームメモリ450に保持される。

50

## 【 0 0 7 7 】

また、M個の演算回路410は、CDSフレームと、TDI処理後のTDIフレームとを画像処理回路260に供給する。

## 【 0 0 7 8 】

## [ 演算回路の構成例 ]

図10は、本技術の第1の実施の形態における演算回路410の一構成例を示す回路図である。この演算回路410は、TDI回路420およびCDS回路430を備える。TDI回路420は、バッファ421、セレクタ422、加算器423およびスイッチ424を備える。CDS回路430は、セレクタ431、バッファ432、セレクタ433、減算器434およびスイッチ435を備える。セレクタ422、431および433と、スイッチ424および425とのそれぞれの動作は、例えば、制御回路256により制御される。

10

## 【 0 0 7 9 】

セレクタ431は、セレクタ405からのデジタル信号とTDIフレームメモリ450からのデジタル信号とのいずれかを選択してバッファ421に出力するものである。

## 【 0 0 8 0 】

バッファ421は、セレクタ431からの信号を遅延させて出力するものである。なお、バッファ421は、特許請求の範囲に記載の第2のバッファの一例である。

## 【 0 0 8 1 】

セレクタ422は、バッファ421からのデジタル信号と、10進数で「0」の値のデジタル信号とのいずれかを選択して加算器423に出力するものである。

20

## 【 0 0 8 2 】

加算器423は、セレクタ422からのデジタル信号とバッファ432からのデジタル信号とを加算するものである。この加算器423は、加算値を示すデジタル信号を積算データとしてスイッチ424に供給する。

## 【 0 0 8 3 】

スイッチ424は、加算器423とTDIフレームメモリ450との間の経路を開閉するものである。

## 【 0 0 8 4 】

バッファ432は、CDSフレームメモリ440からの信号を遅延させて出力するものである。なお、バッファ432は、特許請求の範囲に記載の第1のバッファの一例である。

30

## 【 0 0 8 5 】

セレクタ433は、バッファ432からのデジタル信号と、10進数で「0」の値のデジタル信号とのいずれかを選択して減算器434に出力するものである。

## 【 0 0 8 6 】

減算器434は、バッファ421からのデジタル信号とセレクタ433からのデジタル信号との差分を演算するものである。この減算器434は、差分を示すデジタル信号を差分データとしてスイッチ435に供給する。

## 【 0 0 8 7 】

スイッチ435は、減算器434とCDSフレームメモリ440との間の経路を開閉するものである。

40

## 【 0 0 8 8 】

続いて、演算回路410内の回路の制御方法について説明する。

## 【 0 0 8 9 】

## [ 演算回路の動作例 ]

図11は、本技術の第1の実施の形態における1フレーム目のP相レベルを保持する際の演算回路410の状態の一例を示す図である。

## 【 0 0 9 0 】

制御回路256は、CDSフレームメモリ440およびTDIフレームメモリ450を初期化する。初期化後に、画素AD変換部254は、1フレーム目のP相レベルを生成し

50

たものとする。

【 0 0 9 1 】

セレクタ 4 3 1 には、1 フレーム目の対応する列内の複数の P 相レベルが順に入力される。セレクタ 4 3 1 は、これらの P 相レベルを選択してバッファ 4 2 1 に出力する。セレクタ 4 3 3 は、「0」のデジタル信号を減算器 4 3 4 に出力する。減算器 4 3 4 は、P 相レベルから「0」を減算してスイッチ 4 3 5 に出力する。また、スイッチ 4 2 4 は開状態に制御され、スイッチ 4 3 5 は閉状態に制御される。

【 0 0 9 2 】

上述の制御により、M 個の演算回路 4 1 0 は、P 相レベルを配列した 1 フレーム目の P 相フレームを C D S フレームメモリ 4 4 0 に保持させる。

10

【 0 0 9 3 】

図 1 2 は、本技術の第 1 の実施の形態における 1 フレーム目に対して C D S 処理を行う際の演算回路の状態の一例を示す図である。

【 0 0 9 4 】

画素 A D 変換部 2 5 4 は、1 フレーム目の D 相レベルを生成する。セレクタ 4 3 1 には、1 フレーム目の対応する列内の複数の D 相レベルが順に入力される。セレクタ 4 3 1 は、これらの D 相レベルを選択してバッファ 4 2 1 に出力する。

【 0 0 9 5 】

また、バッファ 4 3 2 は、C D S フレームメモリ 4 4 0 から、対応する列内の複数の P 相レベルを順に読み出し、セレクタ 4 3 3 に出力する。セレクタ 4 3 3 は、これらの P 相レベルを選択して減算器 4 3 4 に出力する。

20

【 0 0 9 6 】

減算器 4 3 4 は、バッファ 4 2 1 により出力された D 相レベルから、セレクタ 4 3 3 により選択された P 相レベルを減算し、差分データとしてスイッチ 4 3 5 に出力する。また、スイッチ 4 2 4 は開状態に制御され、スイッチ 4 3 5 は閉状態に制御される。

【 0 0 9 7 】

上述の制御により、M 個の演算回路 4 1 0 は、1 フレーム目に対して C D S 処理を行い、差分データを配列した C D S フレームを C D S フレームメモリ 4 4 0 に保持させる。また、この C D S フレームは、画像処理回路 2 6 0 にも供給される。

【 0 0 9 8 】

図 1 3 は、本技術の第 1 の実施の形態におけるフレームを保持させる際の演算回路の状態の一例を示す図である。

30

【 0 0 9 9 】

画素 A D 変換部 2 5 4 は、2 フレーム目の P 相レベルを生成する。セレクタ 4 3 1 には、2 フレーム目の対応する列内の複数の P 相レベルが順に入力される。セレクタ 4 3 1 は、これらの P 相レベルを選択してバッファ 4 2 1 に出力する。バッファ 4 2 1 は、これらの P 相レベルを遅延させる。

【 0 1 0 0 】

バッファ 4 3 2 は、C D S フレームメモリ 4 4 0 から、対応する列内の複数の差分データを順に読み出し、加算器 4 2 3 に出力する。セレクタ 4 2 2 は、「0」のデジタル信号を選択して加算器 4 2 3 に出力する。加算器 4 2 3 は、差分データに「0」を加算してスイッチ 4 2 4 に出力する。また、スイッチ 4 2 4 は閉状態に制御され、スイッチ 4 3 5 は開状態に制御される。

40

【 0 1 0 1 】

上述の制御により、M 個の演算回路 4 1 0 は、差分データを配列した現在の C D S フレームを T D I フレームメモリ 4 5 0 に保持させる。

【 0 1 0 2 】

図 1 4 は、本技術の第 1 の実施の形態における 2 フレーム目の P 相レベルを保持する際の演算回路 4 1 0 の状態の一例を示す図である。

【 0 1 0 3 】

50

バッファ 4 2 1 は、P 相レベルを減算器 4 3 4 に出力する。セレクタ 4 3 3 は、「0」のデジタル信号を減算器 4 3 4 に出力する。減算器 4 3 4 は、P 相レベルから「0」を減算してスイッチ 4 3 5 に出力する。また、スイッチ 4 2 4 は開状態に制御され、スイッチ 4 3 5 は閉状態に制御される。

【0 1 0 4】

上述の制御により、M 個の演算回路 4 1 0 は、P 相レベルを配列した 2 フレーム目の P 相フレームを C D S フレームメモリ 4 4 0 に保持させる。

【0 1 0 5】

図 1 5 は、本技術の第 1 の実施の形態における 2 フレーム目に対して C D S 処理を行う際の演算回路の状態の一例を示す図である。

10

【0 1 0 6】

画素 A D 変換部 2 5 4 は、2 フレーム目の D 相レベルを生成する。セレクタ 4 3 1 には、2 フレーム目の対応する列内の複数の D 相レベルが順に輸入される。セレクタ 4 3 1 は、これらの D 相レベルを選択してバッファ 4 2 1 に出力する。

【0 1 0 7】

また、バッファ 4 3 2 は、C D S フレームメモリ 4 4 0 から、対応する列内の複数の P 相レベルを順に読み出し、セレクタ 4 3 3 に出力する。セレクタ 4 3 3 は、これらの P 相レベルを選択して減算器 4 3 4 に出力する。

【0 1 0 8】

減算器 4 3 4 は、D 相レベルから P 相レベルを減算し、差分データとしてスイッチ 4 3 5 に出力する。また、スイッチ 4 2 4 は開状態に制御され、スイッチ 4 3 5 は閉状態に制御される。

20

【0 1 0 9】

上述の制御により、M 個の演算回路 4 1 0 は、2 フレーム目に対して C D S 処理を行い、差分データを配列した C D S フレームを C D S フレームメモリ 4 4 0 に保持させる。また、この C D S フレームは、画像処理回路 2 6 0 にも供給される。

【0 1 1 0】

図 1 6 は、本技術の第 1 の実施の形態における 2 フレーム目に対して T D I 処理を行う際の演算回路の状態の一例を示す図である。

【0 1 1 1】

セレクタ 4 3 1 は、対応する列内の差分データを順に T D I フレームメモリ 4 5 0 から読み出し、それらを選択してバッファ 4 2 1 に出力する。また、バッファ 4 3 2 は、C D S フレームメモリ 4 4 0 から、対応する列内の差分データを読み出し、加算器 4 2 3 に出力する。T D I フレームメモリ 4 5 0 から読み出された差分データの行アドレスを所定アドレスとすると、C D S フレームメモリ 4 4 0 から読み出された差分データの行アドレスは、その所定アドレスから一定距離離れたアドレスである。例えば、C D S フレームメモリ 4 4 0 から読み出された差分データの行アドレスは、所定アドレスに隣接するアドレスである。

30

【0 1 1 2】

セレクタ 4 2 2 は、バッファ 4 2 1 からの差分データを選択して加算器 4 2 3 に出力する。加算器 4 2 3 は、1 フレーム目の差分データと、2 フレーム目の差分データとを加算してスイッチ 4 2 4 に出力する。また、スイッチ 4 2 4 は閉状態に制御され、スイッチ 4 3 5 は開状態に制御される。

40

【0 1 1 3】

上述の制御により、M 個の演算回路 4 1 0 は、現在の 2 フレーム目の所定アドレスのラインと、過去の 1 フレーム目の隣接するアドレスのラインとを加算する。3 フレーム目以降のフレームに対しては、2 フレーム目に対する処理が繰り返し実行される。

【0 1 1 4】

図 1 7 は、本技術の第 1 の実施の形態における T D I 処理の一例を示す図である。例えば、C D S フレームメモリ 4 4 0 および T D I フレームメモリ 4 5 0 が初期化され、最初

50

にフレーム F 1 が撮像され、続いてフレーム F 2、F 3、F 4 および F 5 が順に撮像されたものとする。同図における矢印は、被写体の移動方向を示す。同図に例示するように、この被写体は、垂直方向に沿って、行アドレスが大きくなる方向に 1 ラインずつ移動するものとする。

【 0 1 1 5 】

信号処理回路 4 0 0 は、まず、フレーム F 1 に対して C D S 処理を行い、処理後のフレーム F 1 を C D S フレームメモリ 4 4 0 に保持し、そのフレーム F 1 を T D I フレームメモリ 4 5 0 に保持する。

【 0 1 1 6 】

そして、信号処理回路 4 0 0 は、フレーム F 2 に対して C D S 処理を行い、現在のフレーム F 2 内のライン L 2 と、過去のフレーム F 1 内のライン L 2 に隣接するライン L 1 とを加算する。

10

【 0 1 1 7 】

次に、信号処理回路 4 0 0 は、フレーム F 3 に対して C D S 処理を行い、現在のフレーム F 3 内のライン L 3 と、過去のフレーム F 2 内のライン L 3 に隣接するライン L 2 とを加算する。

【 0 1 1 8 】

続いて、信号処理回路 4 0 0 は、フレーム F 4 に対して C D S 処理を行い、現在のフレーム F 4 内のライン L 4 と、過去のフレーム F 3 内のライン L 4 に隣接するライン L 3 とを加算する。

20

【 0 1 1 9 】

上述の演算により、フレーム F 1 内のライン L 1 と、フレーム F 2 内のライン L 2 と、フレーム F 3 内のライン L 3 と、フレーム F 4 内のライン L 4 とが積算される。前述したように、被写体は 1 ラインずつ移動するため、積算対象の各ラインのパターンは、同一である。信号処理回路 4 0 0 は、積算したラインを T D I フレームの最後のラインとして出力する。このように、時間をずらして露光量を積分する処理は、T D I 処理と呼ばれる。

【 0 1 2 0 】

T D I フレームの最後から 2 番目のラインは、フレーム F 2 内のライン L 1 と、フレーム F 3 内のライン L 2 と、フレーム F 4 内のライン L 3 と、フレーム F 5 内のライン L 4 との積算により生成される。他のラインについても同様に、フレーム F 3 以降の 4 ラインの積算により生成される。

30

【 0 1 2 1 】

被写体の移動速度が速い場合には、ブレを防止するために、露光時間を短くする必要がある。露光時間を短くすると、画像が暗くなるおそれがあるが、T D I 処理を行うことにより、同じパターンの複数のラインを積算して明るさを向上させることができる。また、積算するライン数が多いほど、平滑化効果によりノイズが低減する。これらの明るさの向上とノイズ低減とにより、T D I 処理を行わない場合と比較して、フレーム（すなわち、画像データ）の画質を向上させることができる。

【 0 1 2 2 】

なお、信号処理回路 4 0 0 は、4 つのラインを積算しているが、積算するライン数は、2 以上であれば、4 つに限定されない。また、信号処理回路 4 0 0 は、最初の 4 フレームについて先頭のラインから 4 ラインを積分しているが、この構成に限定されない。例えば、被写体の移動方向が逆の場合、信号処理回路 4 0 0 は、最初の 4 フレームについて最後のラインから 4 ラインを積分すればよい。

40

【 0 1 2 3 】

[ 固体撮像素子の動作例 ]

図 1 8 は、本技術の第 1 の実施の形態における固体撮像素子 2 0 0 の動作の一例を示すタイミングチャートである。画素 A D 変換部 2 5 4 は、タイミング T 1 乃至 T 2 の期間にフレーム F 1 を生成し、タイミング T 2 乃至 T 3 の期間にフレーム F 2 を生成する。また、画素 A D 変換部 2 5 4 は、タイミング T 3 乃至 T 4 の期間にフレーム F 3 を生成し、タ

50

イミング T 4 以降にフレーム F 4 を生成する。

【 0 1 2 4 】

また、タイミング T 1 乃至 T 2 の期間内において、それぞれの A D C 3 1 0 は、1 フレーム目の P 相レベルおよび D 相レベルを順に生成する。一方、それぞれの演算回路 4 1 0 は、D 相の生成時に C D S 処理を行う。

【 0 1 2 5 】

また、それぞれの A D C 3 1 0 は、タイミング T 2 乃至 T 3 の期間内に、2 フレーム目の P 相レベルおよび D 相レベルを順に生成する。一方、それぞれの演算回路 4 1 0 は、P 相の生成時に T D I 処理を行い、D 相の生成時に C D S 処理を行う。

【 0 1 2 6 】

3 フレーム目以降においても同様に P 相レベルおよび D 相レベルが生成され、T D I 処理および C D S 処理が実行される。

【 0 1 2 7 】

図 1 9 は、本技術の第 1 の実施の形態における信号処理回路 4 0 0 の演算を説明するための図である。

【 0 1 2 8 】

複数の画素回路 2 2 0 のそれぞれは、光電変換によりアナログの画素信号を生成して画素 A D 変換部 2 5 4 に供給する。画素 A D 変換部 2 5 4 には、複数の A D C 3 1 0 が二次元格子状に配列される。それらの A D C 3 1 0 は、アナログの画素信号をデジタル信号に変換し、リピータ部 3 6 0 を介して演算回路 4 1 0 に転送する。デジタル信号は、リセットレベルと、露光量に応じた信号レベルとを含む。A D C 3 1 0 のそれぞれは、リセットレベルの次に信号レベルを出力する。なお、画素 A D 変換部 2 5 4 は、特許請求の範囲に記載のアナログデジタル変換部の一例である。

【 0 1 2 9 】

C D S 回路 4 3 0 は、P 相レベルを配列した最初の P 相フレームを C D S フレームメモリ 4 4 0 に保持させる。D 相レベルが入力されると C D S 回路 4 3 0 は、C D S フレームメモリ 4 4 0 から P 相フレームを読み出し、P 相レベルおよび D 相レベルの差分を求める C D S 処理を行う。そして、C D S 回路 4 3 0 は、C D S 処理後の最初の C D S フレームにより C D S フレームメモリ 4 4 0 を更新し、その C D S フレームを T D I フレームメモリ 4 5 0 に保持させる。

【 0 1 3 0 】

そして、C D S 回路 4 3 0 は、2 フレーム目の P 相フレームを C D S フレームメモリ 4 4 0 に保持させる。D 相レベルが入力されると C D S 回路 4 3 0 は、C D S フレームメモリ 4 4 0 から P 相フレームを読み出し、P 相レベルおよび D 相レベルの差分を求める 2 回目の C D S 処理を行う。そして、C D S 回路 4 3 0 は、C D S 処理後の 2 フレーム目の C D S フレームにより C D S フレームメモリ 4 4 0 を更新する。

【 0 1 3 1 】

続いて、T D I 回路 4 2 0 は、K - 1 番目の C D S フレーム内の所定アドレスのラインを T D I フレームメモリ 4 5 0 から読み出し、K 番目のフレーム内の所定アドレスから一定距離離れた（例えば、隣接する）アドレスのラインを C D S フレームメモリ 4 4 0 から読み出す。そして、T D I 回路 4 2 0 は、それらのラインを加算し、加算したラインにより T D I フレームメモリ 4 5 0 を更新する。

【 0 1 3 2 】

3 フレーム目以降は、上述の 2 フレーム目と同様の処理が繰り返し実行される。ただし、3 フレーム以降は、積算対象のライン数が 1 ラインずつ増大する。積算回数は、一定回数（4 回など）になるまで増大する。これらの処理により、積算データを配列した T D I フレームが生成される。

【 0 1 3 3 】

ここで、比較例として、時間をずらして電荷を転送する C C D (Charge Coupled Device) と、それらの電荷量を浮遊拡散層に蓄積して積分信号を生成する回路とを設けた固体

10

20

30

40

50

撮像素子を考える。この比較例では、電荷の転送元の画素数が多いほど、転送先の浮遊拡散層の容量を大きくする必要があり、この容量の増大により画素の感度が低下し、その感度の低下に起因して画像データの画質が低下してしまう。このように、比較例では、画質が低下するという問題がある。

【 0 1 3 4 】

これに対して、画素回路 2 2 0 の外部で C D S 処理後に T D I 処理を行う構成では、加算数に応じて画素回路 2 2 0 内の浮遊拡散層の容量を増大させる必要がなくなり、比較例よりも浮遊拡散層の容量を小さくすることができる。これにより、画素の感度を比較例よりも高くし、画像データの画質を向上させることができる。

【 0 1 3 5 】

次に、固体撮像素子 2 0 0 内の回路の制御方法について説明する。

【 0 1 3 6 】

[ 固体撮像素子の動作例 ]

図 2 0 は、本技術の第 1 の実施の形態における P 相レベルを保持する際の固体撮像素子 2 0 0 の状態の一例を示す図である。同図において、セクタ 4 0 5 は、記載の便宜上、省略されている。

【 0 1 3 7 】

画素 A D 変換部 2 5 4 により、ライン内の P 相レベルが出力されるたびに、複数の演算回路 4 1 0 は、それらの P 相レベルを C D S フレームメモリ 4 4 0 に保持させる。これにより、複数の P 相レベルを配列した P 相フレームが C D S フレームメモリ 4 4 0 に保持される。

【 0 1 3 8 】

図 2 1 は、本技術の第 1 の実施の形態における C D S 処理を行う際の固体撮像素子 2 0 0 の状態の一例を示す図である。同図においてセクタ 4 0 5 は省略されている。

【 0 1 3 9 】

画素 A D 変換部 2 5 4 によりライン内の D 相レベルが出力されるたびに、複数の演算回路 4 1 0 は、それらの D 相レベルと C D S フレームメモリ 4 4 0 内の対応する P 相レベルとの差分を求める。そして、それらの演算回路 4 1 0 は、差分データを配列した C D S フレームにより C D S フレームメモリ 4 4 0 を更新する。

【 0 1 4 0 】

図 2 2 は、本技術の第 1 の実施の形態における C D S 処理後に画像処理を行う際の固体撮像素子 2 0 0 の状態の一例を示す図である。同図においてセクタ 4 0 5 は省略されている。画像処理回路 2 6 0 は、C D S 処理後のフレームに対して所定の画像処理を行う。

【 0 1 4 1 】

図 2 3 は、本技術の第 1 の実施の形態における T D I 処理を行う際の固体撮像素子の状態の一例を示す図である。同図においてセクタ 4 0 5 は省略されている。

【 0 1 4 2 】

複数の演算回路 4 1 0 は、C D S フレームメモリ 4 4 0 内の所定アドレスのラインと、T D I フレームメモリ 4 5 0 内の所定アドレスに隣接するラインとを加算する。そして、それらの演算回路 4 1 0 は、加算値を示す積算データにより T D I フレームメモリ 4 5 0 を更新する。

【 0 1 4 3 】

図 2 4 は、本技術の第 1 の実施の形態における T D I 処理後に画像処理を行う際の固体撮像素子 2 0 0 の状態の一例を示す図である。同図においてセクタ 4 0 5 は省略されている。画像処理回路 2 6 0 は、T D S 処理後のフレームに対して黒レベル補正処理などの画像処理を行う。

【 0 1 4 4 】

図 2 5 は、本技術の第 1 の実施の形態におけるフレームを出力する際の固体撮像素子の状態の一例を示す図である。同図においてセクタ 4 0 5 は省略されている。出力回路 2 5 7 は、画像処理の結果を記憶部 1 2 0 などに出力する。

10

20

30

40

50

## 【 0 1 4 5 】

図 2 6 は、本技術の第 1 の実施の形態における固体撮像素子の動作の一例を示すフローチャートの一例である。この動作は、例えば、フレームの撮像を行うための所定のアプリケーションが実行されたときに開始される。

## 【 0 1 4 6 】

固体撮像素子 2 0 0 内の画素駆動回路 2 5 2 は、全画素を駆動し、同時に露光を開始させる（ステップ S 9 0 1）。このように、全画素を同時に露光させる制御は、グローバルシャッター方式と呼ばれる。

## 【 0 1 4 7 】

露光終了の直前に A D C 3 1 0 は、P 相レベルを A D 変換する（ステップ S 9 0 2）。そして、露光終了時に A D C 3 1 0 は、D 相レベルを A D 変換し、演算回路 4 1 0 は、C D S 処理を行う（ステップ S 9 0 3）。

## 【 0 1 4 8 】

画像処理回路 2 6 0 は、C D S 処理後のフレームに対して所定の画像処理を行い（ステップ S 9 0 4）、演算回路 4 1 0 は、T D I 処理を行う（ステップ S 9 0 5）。画像処理回路 2 6 0 は、T D I 処理後のフレームに対して所定の画像処理を行い（ステップ S 9 0 6）、出力回路 2 5 7 は、処理結果を出力する（ステップ S 9 0 7）。ステップ S 9 0 7 の後に固体撮像素子 2 0 0 は、1 フレームを撮像する処理を終了する。2 フレーム以上を連続して撮像する際には、ステップ S 9 0 1 乃至 S 9 0 7 が垂直同期信号 V S Y N C に同期して繰り返し実行される。

## 【 0 1 4 9 】

このように、本技術の第 1 の実施の形態では、演算回路 4 1 0 は、C D S 処理後の K 番目のフレーム内の所定のラインと K - 1 番目のフレーム内の隣接するラインとを加算するため、加算数に応じて画素回路 2 2 0 の浮遊拡散層の容量を増大する必要がなくなる。これにより、複数の画素の電荷量を浮遊拡散層に転送する場合と比較して、浮遊拡散層の容量を小さくし、画素の感度を高くすることができる。この感度の向上により、画像データの画質を向上させることができる。

## 【 0 1 5 0 】

## &lt; 2 . 第 2 の実施の形態 &gt;

上述の第 1 の実施の形態では、T D I 回路 4 2 0 および C D S 回路 4 3 0 の両方を画素 A D 変換部 2 5 4 と C D S フレームメモリ 4 4 0 との間に配置していた。しかし、これらの回路の一方（T D I 回路 4 2 0 など）を、画素 A D 変換部 2 5 4 と C D S フレームメモリ 4 4 0 との間以外に配置することもできる。この第 2 の実施の形態の固体撮像素子 2 0 0 は、T D I 回路 4 2 0 の配置を変更した点において第 1 の実施の形態と異なる。

## 【 0 1 5 1 】

図 2 7 は、本技術の第 2 の実施の形態における回路チップ 2 0 2 の一構成例を示すブロック図である。この第 2 の実施の形態の回路チップ 2 0 2 には、複数の演算回路 4 1 0 の代わりに、カラム C D S 処理部 4 6 0 およびカラム T D I 演算部 4 7 0 が配置される。

## 【 0 1 5 2 】

カラム C D S 処理部 4 6 0 は、画素 A D 変換部 2 5 4 と C D S フレームメモリ 4 4 0 との間に配置され、カラム T D I 演算部 4 7 0 は、C D S フレームメモリ 4 4 0 と T D I フレームメモリ 4 5 0 との間に配置される。なお、同図において、セレクタ 4 0 5 は、記載の便宜上、省略されている。

## 【 0 1 5 3 】

図 2 8 は、本技術の第 2 の実施の形態におけるカラム C D S 処理部 4 6 0 およびカラム T D I 演算部 4 7 0 の一構成例を示すブロック図である。同図に例示するようにカラム C D S 処理部 4 6 0 には、複数の C D S 回路 4 3 0 が配列される。C D S 回路 4 3 0 は、例えば、A D C 3 1 0 の列ごとに配置される。

## 【 0 1 5 4 】

また、カラム T D I 演算部 4 7 0 には、複数の T D I 回路 4 2 0 が配列される。T D I

10

20

30

40

50

回路 4 2 0 は、例えば、A D C 3 1 0 の列ごとに配置される。

【 0 1 5 5 】

同図に例示したように、C D S 回路 4 3 0 および T D I 回路 4 2 0 を異なる位置に配置したため、回路チップ 2 0 2 のレイアウト設計の自由度を向上させることができる。

【 0 1 5 6 】

図 2 9 は、本技術の第 2 の実施の形態における固体撮像素子 2 0 0 の動作の一例を示すタイミングチャートである。画素 A D 変換部 2 5 4 は、タイミング T 1 乃至 T 2 の期間にフレーム F 1 乃至 F 4 を順に生成する。

【 0 1 5 7 】

また、タイミング T 1 乃至 T 2 の期間内において、それぞれの A D C 3 1 0 は、P 相レベルおよび D 相レベルを順に生成する。一方、カラム C D S 処理部 4 6 0 は、D 相の生成時に C D S 処理を行う。

10

【 0 1 5 8 】

また、それぞれの A D C 3 1 0 は、タイミング T 2 乃至 T 3 の期間内に 2 フレーム目の P 相レベルおよび D 相レベルを順に生成する。一方、カラム T D I 演算部 4 7 0 は、P 相の生成時に T D I 処理を行う。カラム C D S 処理部 4 6 0 は、D 相の生成時に C D S 処理を行う。

【 0 1 5 9 】

3 フレーム目以降においても同様に P 相レベルおよび D 相レベルが生成され、T D I 処理および C D S 処理が実行される。

20

【 0 1 6 0 】

このように、本技術の第 2 の実施の形態では、T D I 回路 4 2 0 と C D S 回路 4 3 0 とを異なる位置に配置したため、レイアウトの設計自由度を向上させることができる。

【 0 1 6 1 】

< 3 . 第 3 の実施の形態 >

上述の第 2 の実施の形態では、セレクトア 4 0 5 とセレクトア 4 3 1 との間にバッファが挿入されていないが、奇数列と偶数列とでは、デジタル信号の出力タイミングが異なるため、バッファを挿入してタイミングを調整することが望ましい。この第 3 の実施の形態の固体撮像素子 2 0 0 は、C D S 回路 4 3 0 にバッファを追加した点において第 2 の実施の形態と異なる。

30

【 0 1 6 2 】

図 3 0 は、本技術の第 3 の実施の形態における C D S 回路 4 3 0 および T D I 回路 4 2 0 の一構成例を示す回路図である。この第 3 の実施の形態の C D S 回路 4 3 0 は、バッファ 4 8 1 をさらに備える点において第 2 の実施の形態と異なる。

【 0 1 6 3 】

バッファ 4 8 1 は、セレクトア 4 0 5 とセレクトア 4 3 1 との間に配置される。なお、バッファ 4 8 1 は、特許請求の範囲に記載の第 3 のバッファの一例である。

【 0 1 6 4 】

図 3 1 は、本技術の第 3 の実施の形態における信号処理回路 4 0 0 の一構成例を示すブロック図である。同図に例示するように、C D S 回路 4 3 0 には、バッファ 4 8 1 および 4 3 2 と、処理回路 4 8 0 とが配置される。この処理回路 4 8 0 には、図 3 0 のセレクトア 4 3 1 および 4 3 3 と、減算器 4 3 4 と、スイッチ 4 3 5 とが配置される。

40

【 0 1 6 5 】

セレクトア 4 0 5 は、偶数列のデジタル信号と、奇数列のデジタル信号とを異なるタイミングで出力する。セレクトア 4 0 5 の後段に追加したバッファ 4 8 1 により、奇数列と偶数列とで C D S 処理の開始タイミングを調整することができる。

【 0 1 6 6 】

このように、本技術の第 3 の実施の形態では、セレクトア 4 0 5 とセレクトア 4 3 1 との間にバッファ 4 8 1 を挿入したため、奇数列と偶数列とで C D S 処理の開始タイミングを調整することができる。

50

## 【 0 1 6 7 】

## &lt; 4 . 第 4 の実施の形態 &gt;

上述の第 3 の実施の形態では、処理回路 4 8 0 を列ごとに配置していたが、列数が増大するほど、信号処理回路 4 0 0 の回路規模が増大する。この第 4 の実施の形態の固体撮像素子 2 0 0 は、隣接する 2 列で処理回路 4 8 0 を共有した点において第 3 の実施の形態と異なる。

## 【 0 1 6 8 】

図 3 2 は、本技術の第 4 の実施の形態における C D S 回路 4 3 0 および T D I 回路 4 2 0 の一構成例を示す回路図である。この第 4 の実施の形態の C D S 回路 4 3 0 は、バッファ 4 8 2 およびセクタ 4 8 3 をさらに備える点において第 3 の実施の形態と異なる。

10

## 【 0 1 6 9 】

バッファ 4 8 2 は、偶数列のデジタル信号を C D S フレームメモリ 4 4 0 から読み出して遅延させるものである。また、第 4 の実施の形態のバッファ 4 3 2 は、奇数列のデジタル信号を C D S フレームメモリ 4 4 0 から読み出して遅延させる。

## 【 0 1 7 0 】

セクタ 4 8 3 は、制御回路 2 5 6 の制御に従って、バッファ 4 8 2 および 4 3 2 のそれぞれの出力のいずれかを選択し、T D I 回路 4 2 0 およびセクタ 4 3 3 に出力するものである。

## 【 0 1 7 1 】

図 3 3 は、本技術の第 4 の実施の形態における信号処理回路 4 0 0 の一構成例を示すブロック図である。この第 4 の実施の形態の信号処理回路 4 0 0 には、隣接する 2 列ごとに C D S 回路 4 3 0 および T D I 回路 4 2 0 が配置される。なお、同図においてセクタ 4 0 5 および T D I 回路 4 2 0 は省略されている。

20

## 【 0 1 7 2 】

C D S 回路 4 3 0 には、バッファ 4 3 2、4 8 1 および 4 8 2 と、セクタ 4 8 3 と、処理回路 4 8 0 とが配置される。同図に例示するように第 4 の実施の形態においては、処理回路 4 8 0 が 2 列により共有される。このため、列ごとに処理回路 4 8 0 を設ける第 3 の実施の形態と比較して、信号処理回路 4 0 0 の回路規模を削減することができる。

## 【 0 1 7 3 】

このように、本技術の第 4 の実施の形態では、処理回路 4 8 0 を隣接する 2 列の列によって共有することにより、列ごとに処理回路 4 8 0 を配置する場合と比較して、信号処理回路 4 0 0 の回路規模を削減することができる。

30

## 【 0 1 7 4 】

## &lt; 5 . 第 5 の実施の形態 &gt;

上述の第 3 の実施の形態では、処理回路 4 8 0 を列ごとに配置していたが、列数が増大するほど、信号処理回路 4 0 0 の回路規模が増大する。この第 5 の実施の形態の固体撮像素子 2 0 0 は、4 列で処理回路 4 8 0 を共有した点において第 3 の実施の形態と異なる。

## 【 0 1 7 5 】

図 3 4 は、本技術の第 5 の実施の形態における C D S 回路 4 3 0 の一構成例を示す回路図である。この第 5 の実施の形態の C D S 回路 4 3 0 は、バッファ 4 9 1 乃至 4 9 4 と、セクタ 4 9 5 と、バッファ 4 9 6 乃至 4 9 9 と、セクタ 5 0 0 と、セクタ 4 3 3 と、減算器 4 3 4 と、スイッチ 4 3 5 とを備える。

40

## 【 0 1 7 6 】

バッファ 4 9 1 乃至 4 9 4 は、セクタ 4 0 5 および 4 0 6 からの隣接する 4 列のそれぞれのデジタル信号を遅延させるものである。例えば、セクタ 4 0 5 は、 $4m$  ( $m$  は整数) 列および  $4m + 1$  列のいずれかのデジタル信号を出力し、セクタ 4 0 6 は、 $4m + 2$  列および  $4m + 3$  列のいずれかのデジタル信号を出力する。バッファ 4 9 1 は、 $4m$  列のデジタル信号を遅延させ、バッファ 4 9 2 は、 $4m + 1$  列のデジタル信号を遅延させる。バッファ 4 9 3 は、 $4m + 2$  列のデジタル信号を遅延させ、バッファ 4 9 4 は、 $4m + 3$  列のデジタル信号を遅延させる。

50

## 【0177】

セクタ495は、制御回路256に従って、バッファ491乃至494とTDIフレームメモリ450とのそれぞれの出力のいずれかを選択し、TDI回路420に出力するものである。

## 【0178】

バッファ496乃至499は、CDSフレームメモリ440内の隣接する4列のそれぞれのデジタル信号を遅延させるものである。バッファ496は、4m列のデジタル信号を遅延させ、バッファ497は、4m+1列のデジタル信号を遅延させる。バッファ498は、4m+2列のデジタル信号を遅延させ、バッファ499は、4m+3列のデジタル信号を遅延させる。

10

## 【0179】

セクタ500は、制御回路256に従って、バッファ496乃至499それぞれの出力のいずれかを選択し、TDI回路420およびセクタ433に出力するものである。

## 【0180】

図35は、本技術の第5の実施の形態における信号処理回路400の一構成例を示すブロック図である。この第5の実施の形態の信号処理回路400には、4列ごとにCDS回路430およびTDI回路420が配置される。なお、同図においてTDI回路420は省略されている。

## 【0181】

CDS回路430には、バッファ491乃至494と、バッファ496乃至499と、処理回路490とが配置される。処理回路490には、図34のセクタ495と、セクタ500および433と、減算器434と、スイッチ435とが配置される。同図に例示するように第5の実施の形態においては、処理回路490が4列により共有される。このため、列ごとに処理回路480を設ける第3の実施の形態と比較して、信号処理回路400の回路規模を削減することができる。

20

## 【0182】

このように、本技術の第5の実施の形態では、処理回路490を4列によって共有することにより、列ごとに処理回路480を配置する場合と比較して、信号処理回路400の回路規模を削減することができる。

## 【0183】

なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

30

## 【0184】

なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

## 【0185】

なお、本技術は以下のような構成もとることができる。  
(1) 複数のデジタル信号がそれぞれに含まれる所定数のラインが配列されたフレームを生成する相関二重サンプリング回路と、  
前記K (Kは、整数) 番目のフレームより前に生成されたK-1番目のフレームを保持するTDI (Time Delay Integration) フレームメモリと、  
前記K番目フレーム内の所定アドレスの前記ラインと前記K-1番目フレーム内の前記所定アドレスから一定距離離れたアドレスのラインとを加算する時間遅延積分処理を行う時間遅延積分回路と  
を具備する固体撮像素子。

40

(2) 所定のリセットレベルを配列したフレームをリセットフレームとして保持するCD

50

S (Correlated Double Sampling) フレームメモリをさらに具備し、

前記複数のデジタル信号のそれぞれは、前記リセットレベルと露光量に応じた信号レベルとを含み、

前記相関二重サンプリング回路は、前記保持されたりセットレベルと前記信号レベルとの差分を求める相関二重サンプリング処理により前記フレームを生成する

請求項 1 記載の固体撮像素子。

(3) 各々がアナログ信号をデジタル信号に変換する複数のアナログデジタル変換器を二次元格子状に配列したアナログデジタル変換部をさらに具備する

前記(2)記載の固体撮像素子。

(4) 前記相関二重サンプリング回路は、前記アナログデジタル変換部と前記 CDS フレームメモリとの間に配置され、

10

前記時間遅延積分回路は、前記 CDS フレームと前記 TDI フレームメモリとの間に配置される

前記(3)記載の固体撮像素子。

(5) 前記相関二重サンプリング回路は、前記アナログデジタル変換部内の列ごとに設けられ、

前記相関二重サンプリング回路のそれぞれは、対応する列からの前記デジタル信号に対して前記相関二重サンプリング処理を行う

前記(4)記載の固体撮像素子。

(6) 前記相関二重サンプリング回路は、前記アナログデジタル変換部内の複数の列に共有される

20

前記(4)記載の固体撮像素子。

(7) アナログ信号を生成して前記アナログデジタル変換部に供給する複数の画素回路をさらに具備し、

前記複数の画素回路は、所定の受光チップに配置され、

前記 TDI フレームメモリ、前記相関二重サンプリング回路および前記時間遅延積分回路は、前記受光チップに積層された所定の回路チップに配置される

前記(4)から(6)のいずれかに記載の固体撮像素子。

(8) 前記相関二重サンプリング回路は、

前記アナログデジタル変換部により生成されたデジタル信号と前記 TDI フレームメモリから出力されたデジタル信号とのいずれかを選択するセレクタと、

30

前記リセットレベルと前記信号レベルとの差分を求める減算器と、

前記 TDI フレームメモリと前記減算器との間に挿入された第 1 のバッファとを備え、

前記時間遅延積分回路は、

前記所定アドレスの前記ラインと前記所定アドレスから一定距離離れたアドレスのラインとを加算する加算器と、

前記セレクタと前記加算器との間に挿入された第 2 のバッファと

を備える前記(4)から(7)のいずれかに記載の固体撮像素子。

(9) 前記セレクタと前記アナログデジタル変換部との間に挿入された第 3 のバッファをさらに備える前記(8)記載の固体撮像素子。

40

(10) 複数のデジタル信号がそれぞれに含まれる所定数のラインが配列されたフレームを生成する相関二重サンプリング回路と、

K 番目のフレームより前に生成された K - 1 番目のフレームを保持する TDI フレームメモリと、

前記 K 番目のフレーム内の所定アドレスの前記ラインと前記 K - 1 番目のフレーム内の前記所定アドレスから一定距離離れたアドレスのラインとを加算して積分データとして出力する演算回路と、

前記積分データを処理する画像処理回路と

を具備する撮像装置。

50

( 1 1 ) 複数のデジタル信号がそれぞれに含まれる所定数のラインが配列されたフレームを生成する相関二重サンプリング手順と、

T D I フレームメモリが、K 番目のフレームより前に生成された K - 1 番目のフレームを保持する保持手順と、

前記 K 番目のフレーム内の所定アドレスの前記ラインと前記 K - 1 番目のフレーム内の前記所定アドレスから一定距離離れたアドレスのラインとを加算する時間遅延積分処理を行う時間遅延積分手順と

を具備する固体撮像素子の制御方法。

【符号の説明】

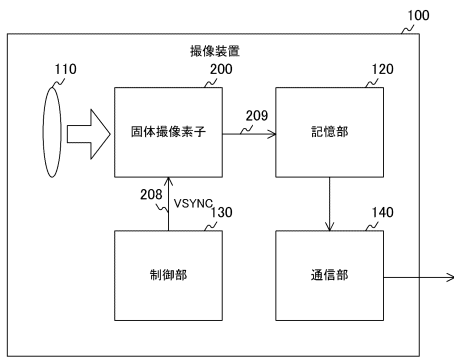
【 0 1 8 6 】

1 0 0	撮像装置	
1 1 0	光学部	
1 2 0	記憶部	
1 3 0	制御部	
1 4 0	通信部	
2 0 0	固体撮像素子	
2 0 1	受光チップ	
2 0 2	回路チップ	
2 1 0	画素アレイ部	
2 1 1	画素ブロック	20
2 1 2	周辺回路	
2 2 0	画素回路	
2 2 1	リセットトランジスタ	
2 2 2	浮遊拡散層	
2 2 3	転送トランジスタ	
2 2 4	フォトダイオード	
2 2 5	排出トランジスタ	
2 5 1	D A C	
2 5 2	画素駆動回路	
2 5 3	時刻コード生成部	30
2 5 4	画素 A D 変換部	
2 5 5	垂直走査回路	
2 5 6	制御回路	
2 5 7	出力回路	
2 6 0	画像処理回路	
3 0 0	クラスタ	
3 1 0	A D C	
3 2 0	差動入力回路	
3 2 1、3 2 4、3 2 6、3 3 1、3 3 2、3 3 4、3 3 5	p M O S トランジスタ	
3 2 2、3 2 3、3 2 5、3 2 7、3 3 3、3 3 6、3 3 7	n M O S トランジスタ	40
3 3 0	正帰還回路	
3 4 0	ラッチ制御回路	
3 5 0	ラッチ回路	
3 6 0	リピータ部	
4 0 0	信号処理回路	
4 0 5、4 0 6、4 2 2、4 3 1、4 3 3、4 8 3、4 9 5、5 0 0	セレクタ	
4 1 0	演算回路	
4 2 0	T D I 回路	
4 2 1、4 3 2、4 8 1、4 8 2、4 9 1 ~ 4 9 4、4 9 6 ~ 4 9 9	バッファ	
4 2 3	加算器	50

- 4 2 4、4 3 5 スイッチ
- 4 3 0 C D S 回路
- 4 3 4 減算器
- 4 4 0 C D S フレームメモリ
- 4 5 0 T D I フレームメモリ
- 4 6 0 カラム C D S 処理部
- 4 7 0 カラム T D I 演算部
- 4 8 0、4 9 0 処理回路

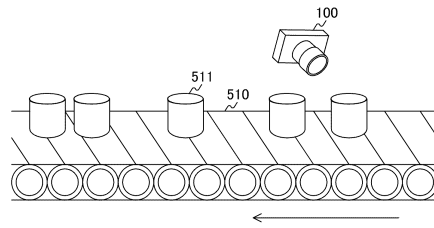
【図面】

【図 1】



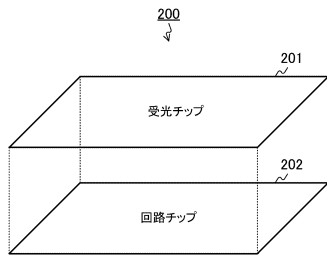
【図 2】

10



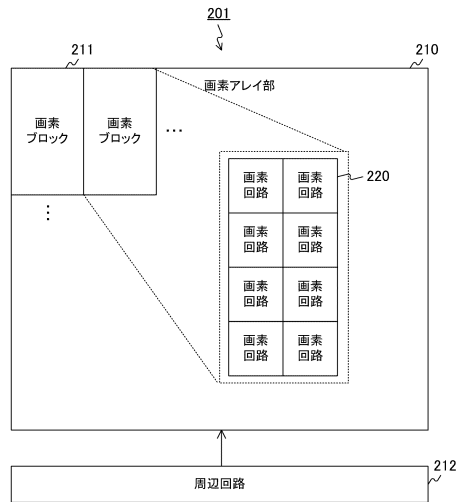
20

【図 3】



【図 4】

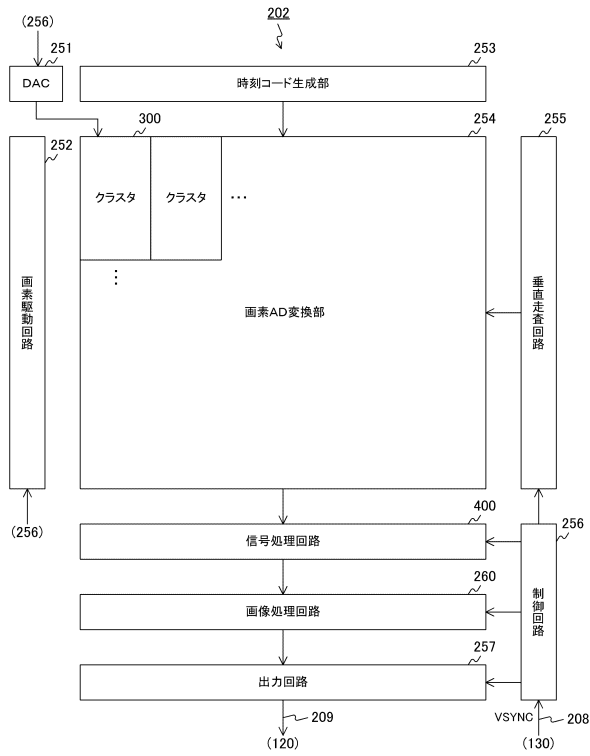
30



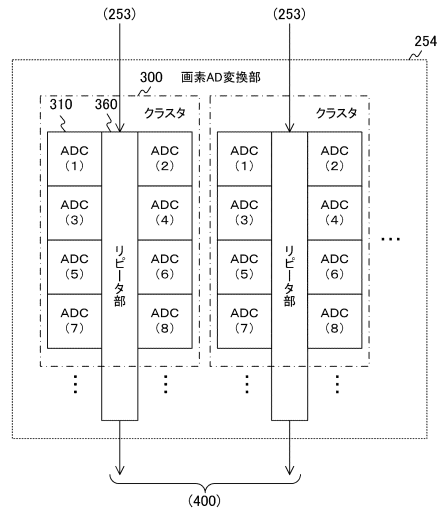
40

50

【図5】



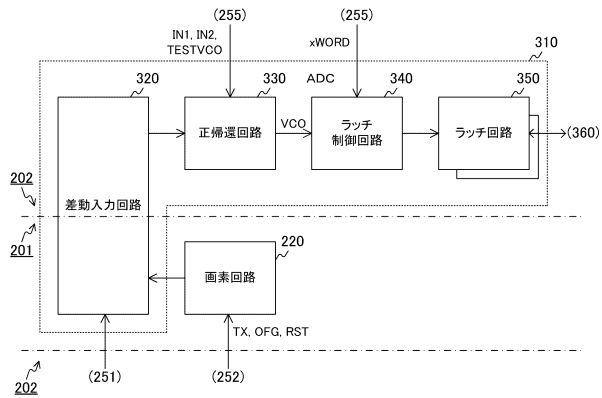
【図6】



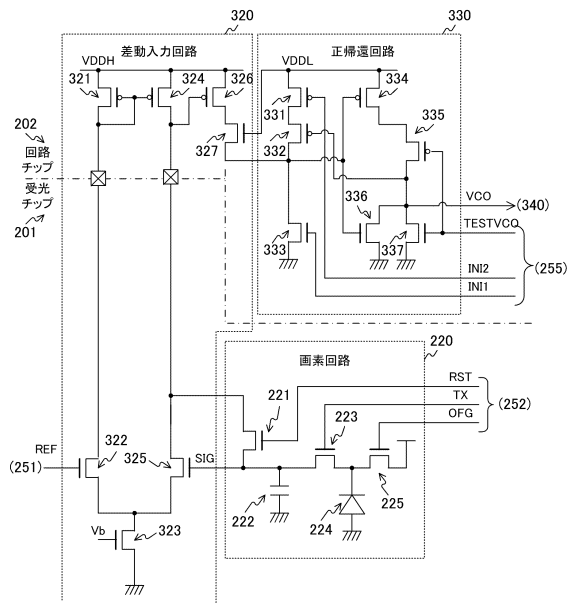
10

20

【図7】



【図8】

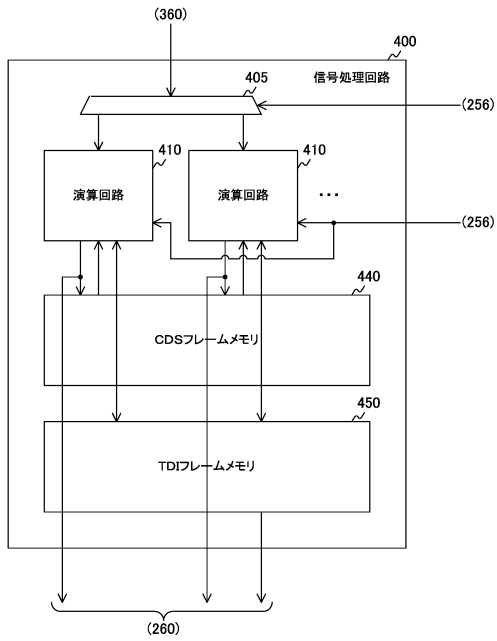


30

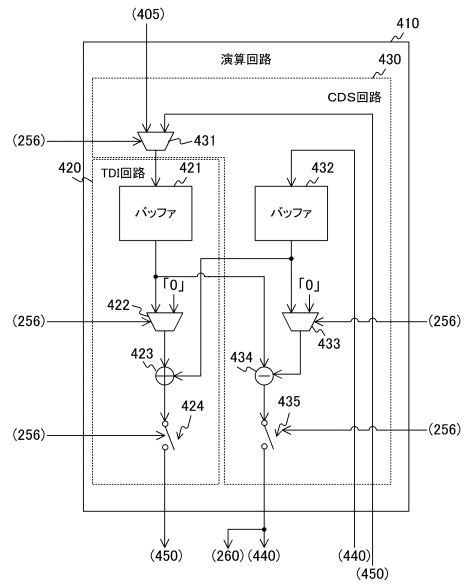
40

50

【図 9】



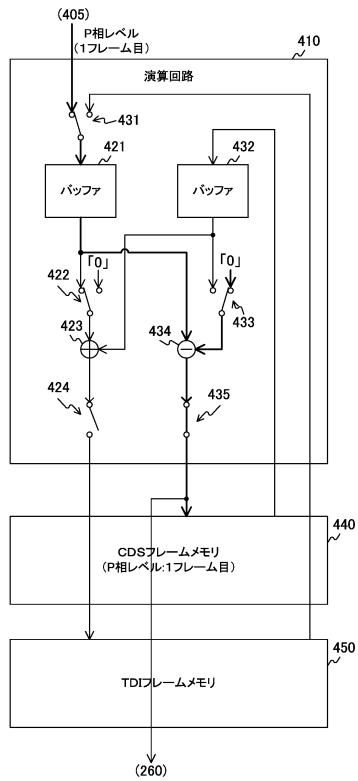
【図 10】



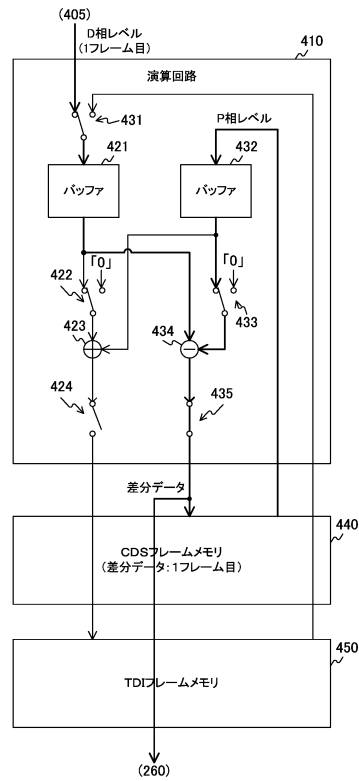
10

20

【図 11】



【図 12】

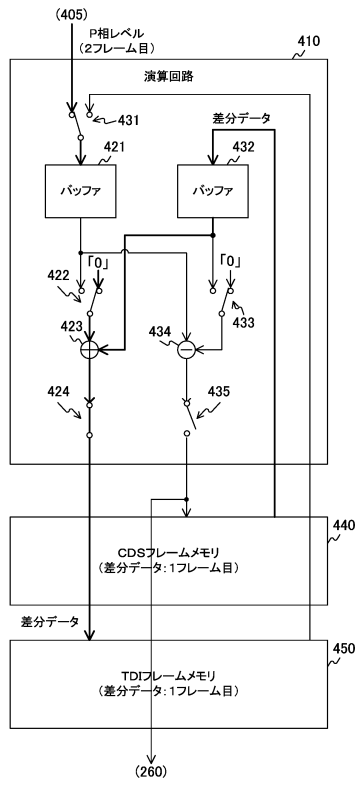


30

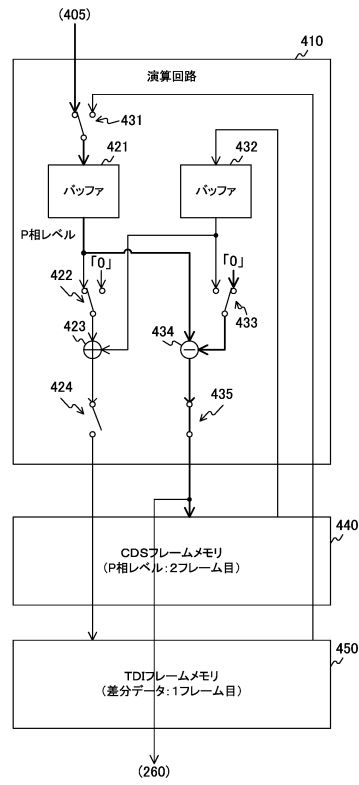
40

50

【図13】



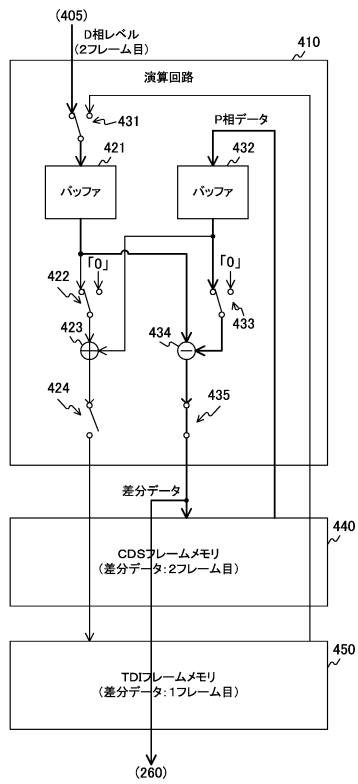
【図14】



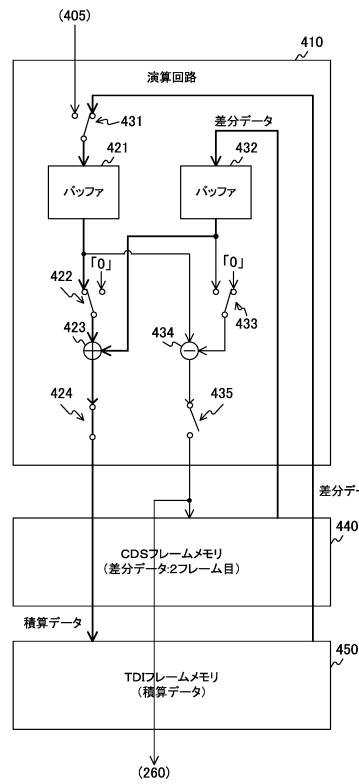
10

20

【図15】



【図16】

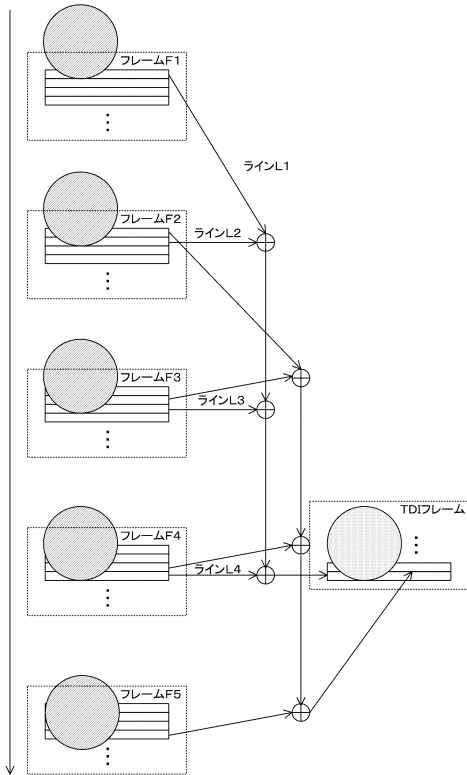


30

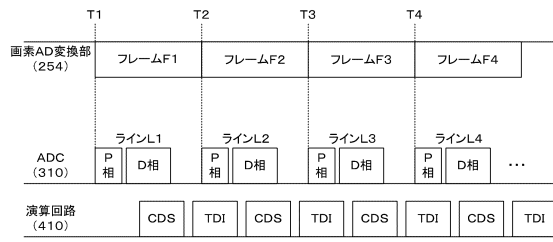
40

50

【図 17】



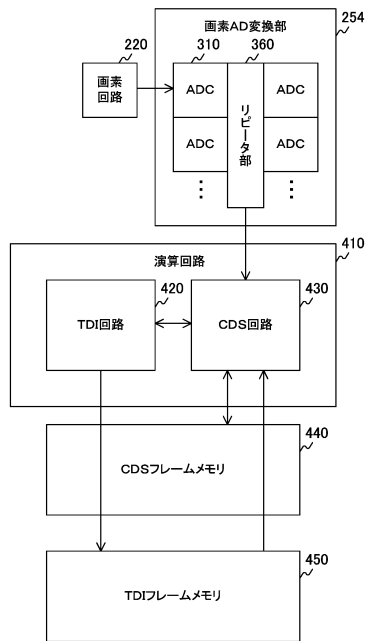
【図 18】



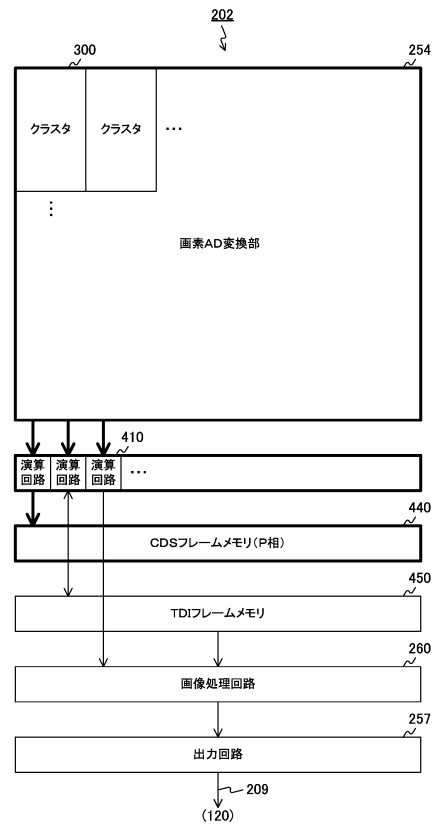
10

20

【図 19】



【図 20】

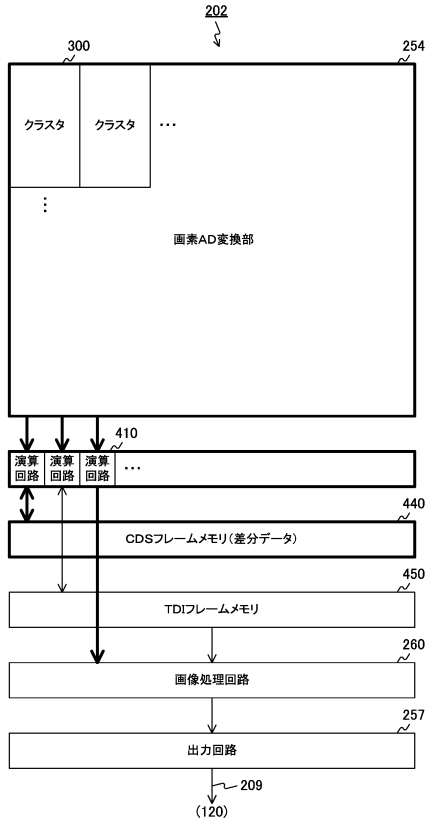


30

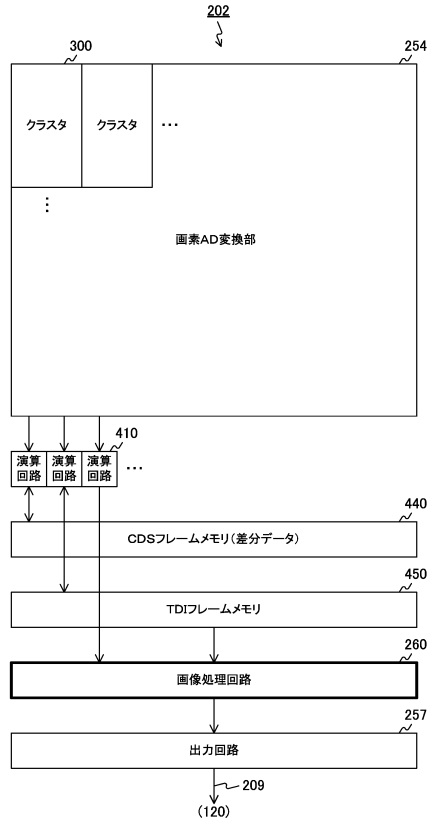
40

50

【図 2 1】



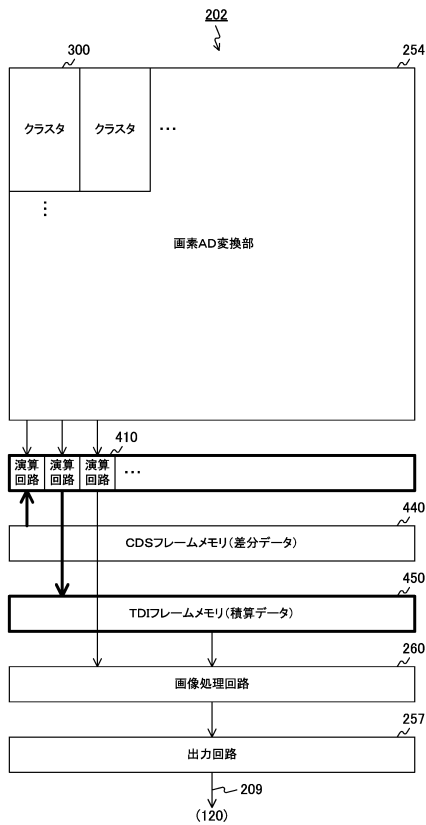
【図 2 2】



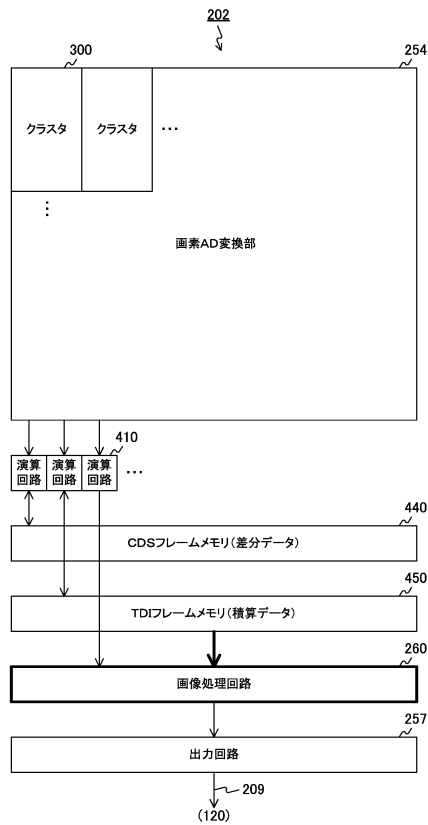
10

20

【図 2 3】



【図 2 4】

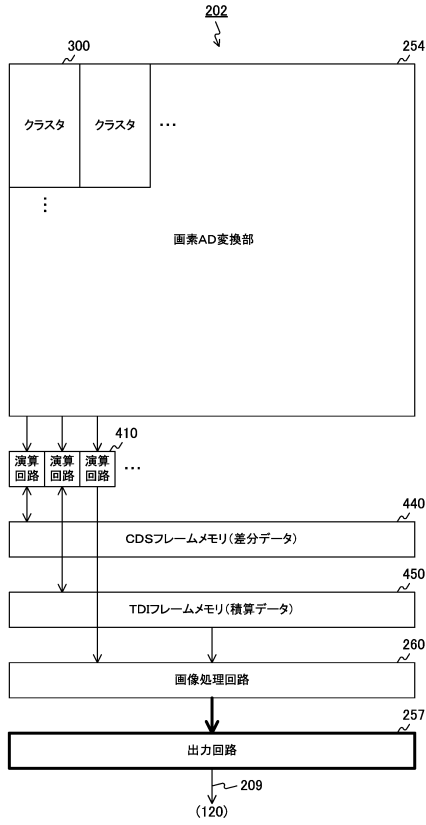


30

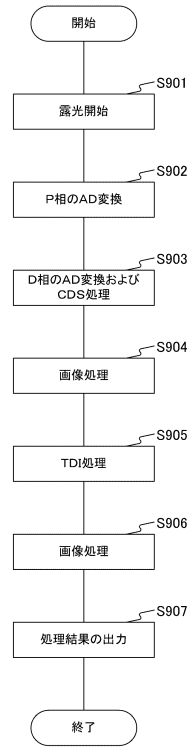
40

50

【図 25】



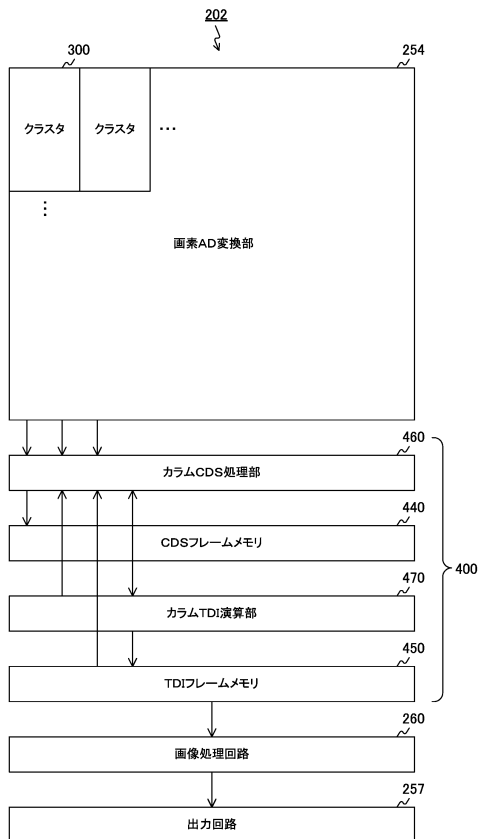
【図 26】



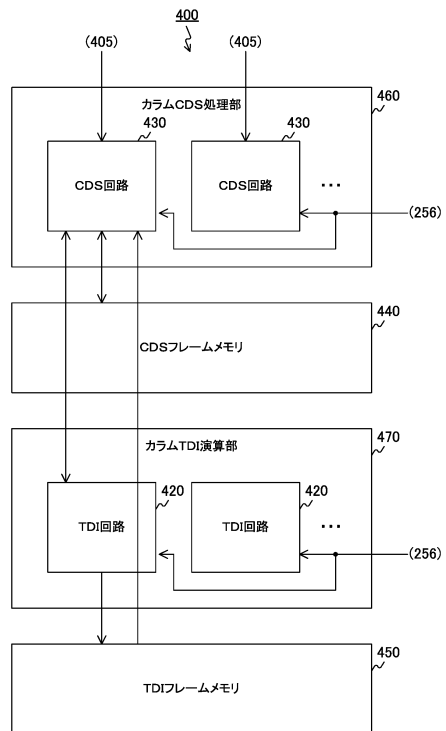
10

20

【図 27】



【図 28】

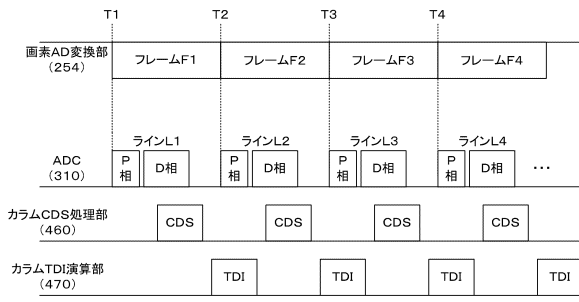


30

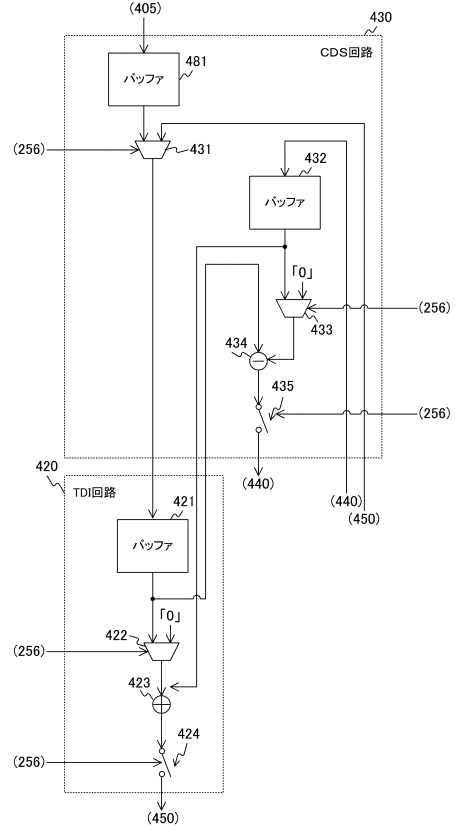
40

50

【図 29】



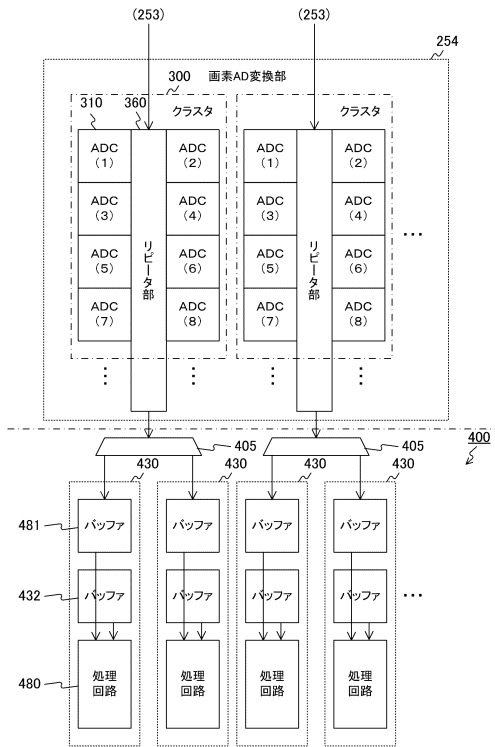
【図 30】



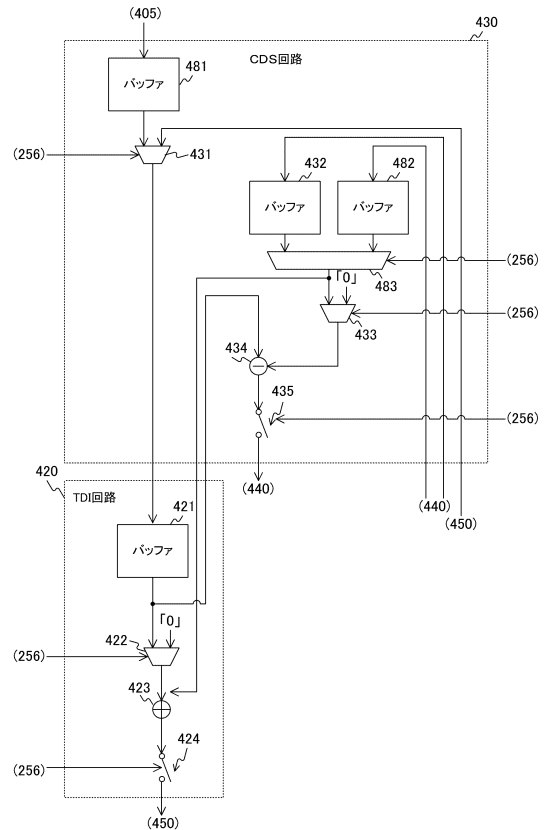
10

20

【図 31】



【図 32】

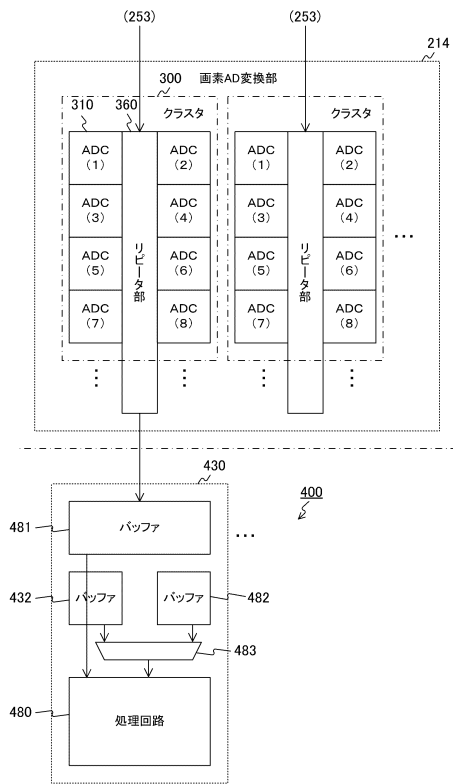


30

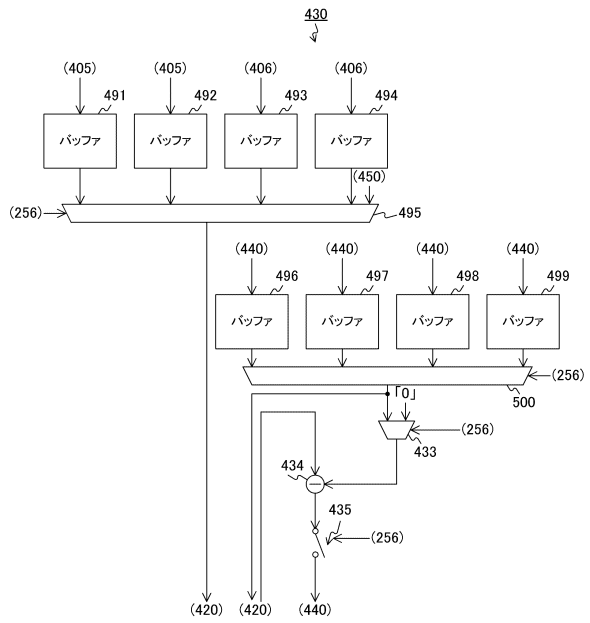
40

50

【図 3 3】



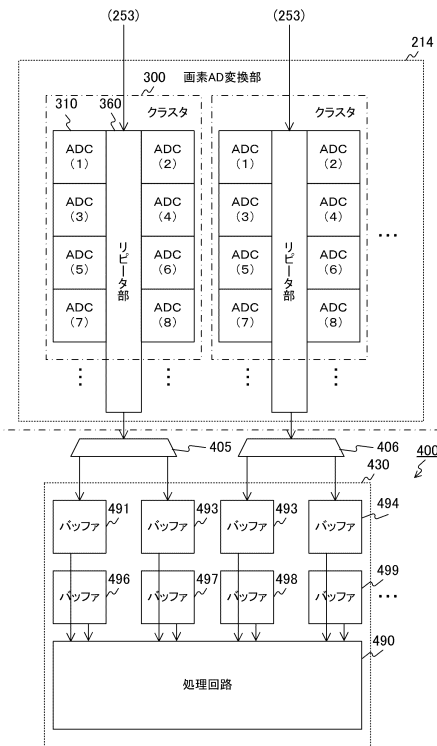
【図 3 4】



10

20

【図 3 5】



30

40

50

## フロントページの続き

- 神奈川県厚木市旭町四丁目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内  
(72)発明者 村岡 和彦  
神奈川県厚木市旭町四丁目 1 4 番 1 号 ソニーセミコンダクタソリューションズ株式会社内  
審査官 鈴木 明
- (56)参考文献 国際公開第 2 0 1 8 / 0 9 6 8 1 3 ( W O , A 1 )  
国際公開第 2 0 1 5 / 0 1 9 8 3 6 ( W O , A 1 )  
特開 2 0 1 8 - 1 8 6 4 7 8 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)  
H 0 4 N 2 5 / 0 0 - 2 5 / 7 9  
H 0 1 L 2 7 / 1 4 6